

(19) 대한민국특허청(KR)

(12) 특허공보(B1)

(51) Int. Cl.⁵
H01L 21/331(45) 공고일자 1993년 10월 06일
(11) 공고번호 93-009552

(21) 출원번호	특 1990-0021816	(65) 공개번호	특 1992-0013636
(22) 출원일자	1990년 12월 26일	(43) 공개일자	1992년 07월 29일

(71) 출원인 재단법인 한국전자통신연구소 경상현
대전직할시 유성구 가정동 161번지

(72) 발명자 이경호
대전직할시 중구 태평 2동 삼부아파트 22-116

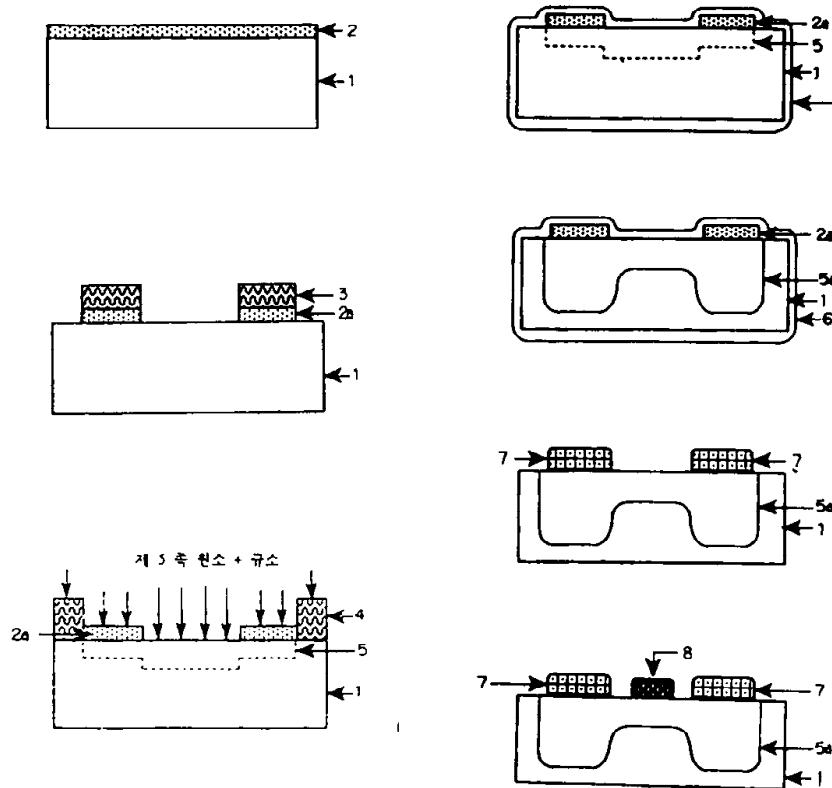
(74) 대리인 김영길

심사관 : 박형식 (책자공보 제3425호)

(54) 갈륨비소 금속반도체 전계효과 트랜지스터의 제조방법

요약

내용 없음.

대표도**명세서**

[발명의 명칭]

갈륨비소 금속반도체 전계효과 트랜지스터의 제조방법

[도면의 간단한 설명]

제 1a~1g 도는 본 발명의 제조공정을 나타낸 개략도.

* 도면의 주요부분에 대한 부호의 설명

1 : 반절연 갈륨비소기판	2,2a : 규소박막
4,3 : 감광막(photoresist)	5 : 이온주입된 규소의 윤곽
5a : 확산된 규소의 윤곽	6 : 보호막
7 : 오옴전극(Ohmic Contacts)	8 : 게이트

[발명의 상세한 설명]

본 발명은 이종이온주입과 후속열처리로 증착규소박막의 확산을 유도하여 접촉부위를 형성한 오옴전극으로 구성된 갈륨비소 금속반도체 전계효과 트랜지스터(GaAs Metal Semiconductor Field Effect Transistor, GaAs MESFET)의 제조방법에 관한 것이다. 일반적으로 갈륨비소 화합물 반도체의 소오스(source)와 드레인(drain) 금속전극의 접촉부위(Contact Regions)를 고농도로 도우핑(doping)하기 위해서는 높은 에너지에 의한 많은 주입량의 규소이온주입법(Ion Implantation)을 사용함을 잘 알려진 사실이다.

그러나, 상기의 이온주입법은 공정중에 많은량의 이온을 주입함으로 인해 금속전극의 접촉부위가 손상되는 결점을 지니고 있다.

또한, 종래의 자기정렬형 게이트(Self-Aligned Gate)를 이용하여 금속반도체 전계효과 트랜지스터를 제작하는데 있어서 소오스와 드레인 금속전극의 접촉부위를 고농도로 높은 도우핑하기 위하여 에너지에 의한 많은량의 이온을 주입하는 이온주입법을 사용하면 금속전극의 접촉부위가 손상되고 도우핑 농도 또한 열처리 온도에서 최대로 상승시킬 수 없게 되어 오옴전극의 전기 접촉저항이 높아지는 결점이 있다.

이에따라 본 발명의 목적은 낮은 에너지에 의한 적은 주입량의 이종이온주입과 열처리로도 증착규소박막의 확산을 유도하여 오옴전극으로 형성된 우수한 갈륨비소 금속반도체 전계효과 트랜지스터를 제공하는데 있다. 상기 목적을 달성하기 위하여 본 발명은 반절연 갈륨비소기판(1) 위에 규소박막을 스퍼터 증착하는 단계와, 이미지 반전기법의 포토리소그라피를 통한 예칭으로 오옴전극 접촉부위의 규소박막만을 잔류시키는 단계와, 채널이온주입용 마스크를 사용하여 포토리소그라피를 한 뒤 인 또는 비소이온 등의 5족 원소를 주입한 후 규소이온을 주입하는 이종이온주입 단계와, 기판전체에 규소산화막, 규소질화막 또는 규소산화질화막 등을 보호막으로 증착하고 열처리에 의해 주입된 규소이온을 활성화함과 동시에 증착된 규소박막을 기판 내부로 확산시켜 고용도(solid solubility)까지 고농도로 도우핑된 접촉부위를 형성하는 단계와, 상기 보호막을 습식예칭으로 제거한 후 오옴전극용 마스크를 사용하여 오옴전극의 패턴을 형성시킨 후 금속을 증착하여 오옴전극을 형성하고 합금화하는 단계를 포함하는 것이 특징이다.

이하 본 발명을 첨부된 도면에 의거하여 상세히 기술하면 다음과 같다.

제 1a 도는 반절연 갈륨비소 기판표면에 규소박막을 증착한 것을 나타낸 것으로, 반절연 갈륨비소 기판(1) 표면에 세척과 예칭을 거쳐 증착방법에 의해 규소박막(2)을 입힌 상태를 도시한 것이다.

제 1b 도는 오옴전극 접촉부위의 규소박막만 잔류시킨 상태를 나타낸 것으로, 포토리소그라피를 사용하여 예칭을 통해 오옴전극 접촉부위의 규소박막(2a)만 잔류시키고, 이미지 반전(Image Reversal) 기법을 사용하여 오옴전극부위의 감광막(3)만을 남긴 것을 도시한 것이다. 이때 사용되는 마스크는 (b) 도에 도시한 것처럼 오옴전극용 마스크를 그대로 사용할 수도 있으나, 예칭후 잔류되는 규소막의 면적이 오옴전극용 마스크를 사용하였을 경우보다 더 넓어서 게이트 방향으로의 간격이 더 밀착되도록 제작된 마스크를 사용하면 자기정렬형 게이트를 사용하여 고농도 이온주입을 하지 않고도 소오스 저항을 최소화 할 수 있는 잇점이 있다.

제 1c 도는 채널용 패턴을 사용하여 포토리소그라피한 후 이종으로 이온을 주입하여 채널을 형성한 상태를 나타낸 것으로, 전자채널 형성을 위해 채널 이온주입용 마스크를 사용하여 포토리소그라피를 한 뒤 전도층 깊이로 먼저 인(Phosphorous) 또는 비소(Arsenic)와 같은 주기율표 상의 제 5 족 원소를 이온주입한 후 규소이온을 주입한 상태를 도시한 것이다. 여기서 (5)는 채널층의 이온주입 윤곽을 나타낸다.

또한, 제 5 족 원소의 주입량은 채널층 규소 주입량과 근사하거나 그보다 어느정도 많은양이 적당하다. 열처리 과정에서 인(또는 비소)은 갈륨비소 기판내의 같은 5족인 비소자리를 선택적으로 치환하게 되어 자체적으로는 전기적인 영향을 전혀 주지 않는 한편, 제 4 족 원소인 규소이온이 갈륨자리를 선택적으로 차지할 수 있게 되는 확률을 높여주게 되며, 이온주입에 의해 생성된 점결함(Point Defect)이나 복합물(Complex)의 농도를 저하시켜 주므로써, 전기적 활성화와 이동도 향상에 기여하게 된다.

또한, 이온주입에 의한 충격으로 규소가 박막으로부터 기판내부로 확산해 들어갈 수 있는 구동력을 제공하는 역할도 동시에 하게 되는 것이다. 감광막(4)은 이온이 기판으로 주입되는 것을 완전히 차단하며, 오옴 전극 접촉부위에 잔류하는 규소막이 차단하는 정도는, 규소의 갈륨비소에 대한 원자량의 비로 보아 규소막 두께의 약 20% 정도가 된다.

제 1d 도는 감광막을 제거하고 보호막으로 기판을 둘러싼 상태를 나타낸 것으로, 채널영역에 주입된 규소이온을 전기적으로 활성화시킴과 동시에 잔류하는 규소막으로부터 규소를 기판내부로 확산시키기 위해 다음에 수행될 열처리를 위해 감광막(4)을 제거한 후 규소산화막(Silicon Oxide), 규소질화막(Silicon Nitride), 또는 규소산화질화막(Silicon Oxynitride)등을 플라즈마 화학증착법(Plasma Enhanced Chemical Vapor Deposition, PECVD)에 의해 기판전체에 보호막(Capping Layer)(6)을 증착한 것을 도시한 것이다. 상기와 같이 보호막(6)을 형성시킴으로 인해 다음에 주행되는 열처리시 기판표면에서 비소가 증발하는 것을 방지할 수 있게 된다.

제 1e 도는 채널영역에 주입된 규소이온의 전기적 활성화와 오옴전극 접촉부위의 규소박막으로부터

규소를 기판내부로 확산시키기 위해 열처리를 수행한 후 기판내부의 규소의 윤곽을 나타낸 것으로, 질소에 의해 충분히 분위기를 정화한 후 알곤(Algon)을 흘리며 열처리 공정을 수행하는데, 열처리 온도는 통상 800°C 이상 1000°C 이하로 하며 보호막의 가판보호 정도에 따라 열처리온도를 선택하고 열처리 시간을 금속 열처리(Rapid Thermal Annealing)와 보편적인 열처리(Furnace Annealing)의 경우에 대해 수초에서 수십분까지 변하게 한다. 일반적으로, 갈륨비소 위에 증착된 규소막은 열적으로 매우 안정하지만, 외부에서 결함(Defect) 요소가 공급되는 경우 계면의 안정성이 파괴되어 상호확산이 일어나게 된다.

본 발명에서 주어지는 외부 결함요소는, 채널형성을 위한 규소와 제 5 족 원소의 이온주입의 충격에 기인한 계면구조의 안정성이 손상되는 것인데 이때, 보호막은 갈륨과 비소의 외부로의 확산을 막아주므로, 규소만이 기판내부로 확산해 들어가게 된다.

또한, 규소의 확산형상은 주입된 규소이온의 농도에 따라서 달라지게 되는데, 고용도까지 고농도로 도핑된 경우의 확산은, 채널부위에 주입된 정도와 같은 저농도에서의 확산에 비해 훨씬 빠르므로, 채널부위에 주입된 규소는 거의 확산하지 않는 한편, 잔류 규소막으로 부터의 규소의 확산은 매우 빠르므로 (e) 도의 (5a)와 같은 규소의 윤곽을 형성하게 된다.

제 1f 도의 오음전극용 패턴으로 포토리소그라피한 후 잔류 규소박막을 에칭하고 오음전극을 형성한 상태를 나타낸 것으로, 보호막(6)을 습식에칭으로 제거한 후, 오음전극용 마스크를 사용하여 포토리소그라피를 하여 오음전극 패턴을 강광막으로 형성한 다음 잔류 규소막을 습식에칭으로 제거한 후 금속을 증착하고 도면에 도시한 바와같이 리프트-오프(lift-off)에 의해 오음전극(7)을 형성하여 합금화한 것을 도시한 것이다. 제 1g 도는 본 발명의 완성된 트랜지스터를 나타낸 것으로, 게이트용 마스크를 사용한 포토리소그라피로 게이트(8)를 형성하여 완성된 트랜지스터를 도시한 것이다.

한편, 본 발명에 의하면, 게이트 형성공정은 (c) 도의 이온주입공정 이후 어느 단계에서도 가능하게 되어, 게이트 재료로서 전기 비저항과 쇼트키 특성 등을 고려하여 최선의 물질을 선택할 수 있고, 이에따라 게이트 형성공정에 따르는 열처리 온도 또한 활성화 열처리 온도 이하의 어느온도든지 가능하게 되는 잇점이 있다.

이상의 설명에서 알 수 있듯이 본 발명은 갈륨비소 화합물 반도체의 소오스와 드레인 오음전극의 접촉부위를 고농도로 도우필하는데 일반적으로 사용되는 높은 에너지에 의한 많은 주입량의 규소이온 주입법 대신, 접촉부위의 갈륨비소 기판위에 규소박막을 증착하고, 먼저 제 5 족 원소 또는 비소를 전도채널층 깊이로 이온주입하고, 그 위에 채널층 형성에 필요한 낮은 에너지에 의한 적은 주입량의 규소이온주입으로 전도채널을 형성한 후, 후속 열처리에 의해, 주입된 규소이온을 활성화함과 동시에 증착된 규소박막을 기판내부로 확산시켜서 규소가 고용도(Solid Solubility) 정도까지 고농도로 도우필된 접촉부위를 형성하고 오음전극을 형성하여 갈륨비소 금속반도체 전계효과 트랜지스터, 또는 고전자이동도 트랜지스터를 제작하는 것으로써, 본 발명에 의하면, 먼저 이온주입된 제 5 족 원소가 열처리 후 채널층 규소의 활성화와 이동도(Mobility)를 향상시킴과 동시에, 증착된 규소박막과 갈륨비소 사이 계면의 안정성을 이온주입에 의한 충격으로 파괴시키는데 기여하게 되어, 열처리시 규소가 기판내부로 확산해 들어가도록 유도하게 된다.

이때, 소오스와 드레인 금속전극의 규소 도우필 농도는 열처리 온도에서 최대인 고용도 정도까지 상승시킬 수 있으므로 오음전극의 전기 접촉저항이 낮아지게 되는 잇점이 있으며, 증착된 규소박막 중에칭 후 접촉부위에 잔류하는 부분을 포토리소그라피 작업시 정렬표시(Align Key) 대신으로 사용할 수 있어 작업이 용이한 잇점도 있다.

한편, 정해진 열처리 온도에서 규소의 수평적인 확산(Lateral Diffusion)을 고려하여 적절하게 제작된 마스크를 사용하여 포토리소그라피를 행하면 게이트와 소오스 사이의 간격을 최소화할 수 있게 되므로 자기정렬형 게이트를 이용한 이온주입이 아니므로, 게이트 형성공정은 채널 규소 이온주입공정 이후에는 어느 단계에서든 가능하게 됨에 따라 게이트용 재료로는 전기 비저항이 낮고 쇼트키(Schottky) 특성이 우수한 금속을 선택하여 사용할 수 있는 게이트 재료의 선택성이라는 잇점도 있게 되어 트랜지스터의 동작속도 증진을 도모할 수 있게 된다.

(57) 청구의 범위

청구항 1

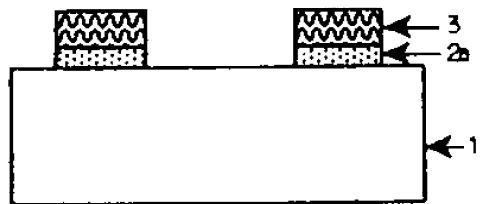
전계효과 트랜지스터의 제조방법에 있어서, 반절연 갈륨비소비기판(1) 위에 접촉부에 규소박막(2)을 스퍼터 증착하는 단계와, 이미지 반전기법의 포토리소그라피를 통한 에칭으로 오음전극 접촉부위의 규소박막(2a)만 잔류시키는 단계와, 채널이온주입용 마스크를 사용하여 포토리소그라피를 한 뒤 인 또는 비소이온등의 5족 원소들을 주입한 후 규소이온을 주입하는 이중이온주입 단계와, 기판 전체에 규소산화막, 규소질화막 또는 규소산화질화막 등을 보호막(6)으로 증착하고 800°C~1000°C의 열처리에 의해 채널영역에 주입된 규소이온을 활성화함과 동시에 오음전극 접촉부위에 증착된 규소박막(2a)으로부터 규소를 기판(1)의 내부로 확산시켜 고용도까지 고농도로 도우필된 오음전극 접촉부위를 형성하는 단계와, 상기 보호막(6)을 습식 에칭으로 제거한 후 오음전극용 마스크를 사용하여 오음전극 패턴을 형성한 후 금속을 증착하고 오음전극(7)을 형성하여 합금화하고 게이트 패턴을 형성한 후 게이트 전극(8)을 형성하는 단계를 포함함을 특징으로 하는 금속반도체 전계효과 트랜지스터의 제조방법.

도면

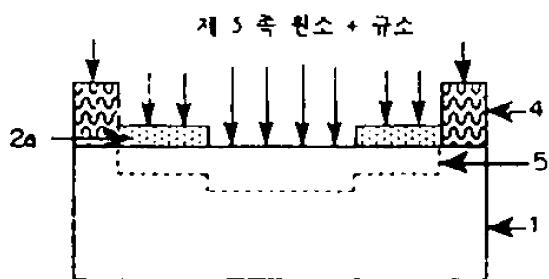
도면1-가



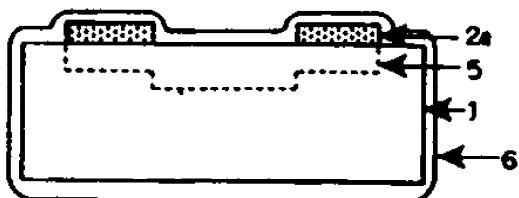
도면1-나



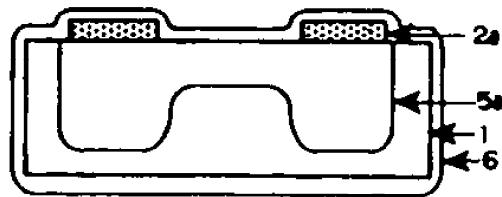
도면1-다



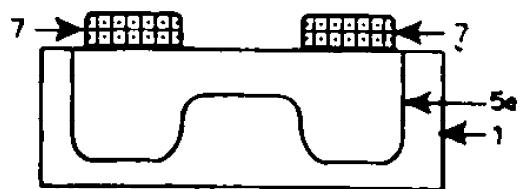
도면1-라



도면1-마



도면1-바



도면1-사

