



## (12)发明专利

(10)授权公告号 CN 107924905 B

(45)授权公告日 2020.10.30

(21)申请号 201680047813.3

(22)申请日 2016.06.03

(65)同一申请的已公布的文献号  
申请公布号 CN 107924905 A

(43)申请公布日 2018.04.17

(30)优先权数据  
14/832,363 2015.08.21 US

(85)PCT国际申请进入国家阶段日  
2018.02.12

(86)PCT国际申请的申请数据  
PCT/US2016/035895 2016.06.03

(87)PCT国际申请的公布数据  
W02017/034641 EN 2017.03.02

(73)专利权人 高通股份有限公司  
地址 美国加利福尼亚州

(72)发明人 S·顾 H·B·蔚 J·S·李  
D·W·金

(74)专利代理机构 上海专利商标事务所有限公  
司 31100

代理人 李小芳 袁逸

(51)Int.Cl.  
H01L 23/538(2006.01)

(56)对比文件  
W0 2015057216 A1,2015.04.23  
CN 104040713 A,2014.09.10  
CN 102810507 A,2012.12.05  
US 2014264791 A1,2014.09.18  
US 2014070380 A1,2014.03.13  
US 2015116965 A1,2015.04.30

审查员 武建刚

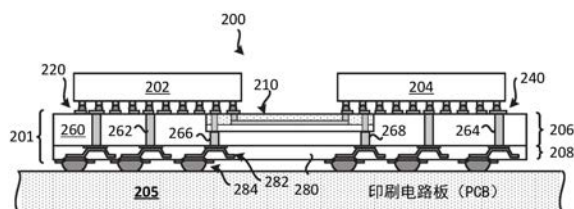
权利要求书4页 说明书21页 附图16页

### (54)发明名称

在可光刻蚀刻层中包括桥接的集成器件封装

### (57)摘要

一种集成器件封装包括第一管芯、第二管芯、耦合到该第一管芯和该第二管芯的包封部分,以及耦合到该包封部分的重分布部分。该包封部分包括包封层、桥接、以及第一通孔。该桥接至少部分地嵌入在该包封层中。该桥接被配置成提供用于该第一管芯和该第二管芯之间的第一信号的第一电路径。该第一通孔位于该包封层中。该第一通孔被耦合到该桥接。该第一通孔和该桥接被配置成提供用于去往该第一管芯的第二信号的第二电路径。该重分布部分包括至少一个介电层和在该介电层中的耦合到该第一通孔的至少一个互连。



1. 一种集成器件封装基底,包括:

包封部分,包括:

包封层;

至少部分地嵌入在所述包封层中的桥接,所述桥接配置成提供用于第一管芯和第二管芯之间的第一信号的第一电路径;以及

所述包封层中的耦合到所述桥接的第一通孔,其中所述第一通孔和所述桥接被配置成提供用于去往所述第一管芯的第二信号的第二电路径;以及

重分布部分,所述重分布部分耦合到所述包封部分,所述重分布部分包括:

至少一个介电层;以及

所述至少一个介电层中的耦合到所述第一通孔的至少一个互连。

2. 如权利要求1所述的集成器件封装基底,其特征在于,所述桥接包括:

基板;

介电层;

第一组互连,其被配置成提供用于所述第一管芯和所述第二管芯之间的所述第一信号的所述第一电路径;以及

至少贯穿所述基板的贯穿基板通孔TSV,所述TSV耦合到所述第一通孔,所述TSV被配置成提供用于去往所述第一管芯的所述第二信号的所述第二电路径。

3. 如权利要求2所述的集成器件封装基底,其特征在于,所述第一组互连包括约2微米 $\mu\text{m}$ 或更少的宽度和/或约2微米 $\mu\text{m}$ 或更少的间隔。

4. 如权利要求2所述的集成器件封装基底,其特征在于,所述第一组互连包括:

一组通孔;以及

耦合到所述一组通孔的一组迹线。

5. 如权利要求2所述的集成器件封装基底,其特征在于,所述TSV贯穿所述桥接的所述基板和所述介电层。

6. 如权利要求1所述的集成器件封装基底,其特征在于,所述第一通孔具有包括V形或U形的剖面。

7. 如权利要求1所述的集成器件封装基底,其特征在于,所述第二信号是功率信号和/或接地参考信号中的至少一者。

8. 如权利要求1所述的集成器件封装基底,其特征在于,所述包封层是可光刻蚀刻材料。

9. 如权利要求1所述的集成器件封装基底,其特征在于,所述包封层是模塑和/或环氧树脂填料中的至少一者。

10. 如权利要求1所述的集成器件封装基底,其特征在于,所述集成器件封装基底被纳入到选自包括以下各项的组的设备中:音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、移动设备、移动电话、智能电话、个人数字助理、固定位置终端、计算机、以及可穿戴设备。

11. 一种集成器件封装基底,包括:

包封部分,包括:

包封层;

至少部分地嵌入在所述包封层中的装置,所述装置用于提供用于第一管芯和第二管芯之间的第一信号的第一电路路径;以及

在所述包封层中的耦合到所述用于提供用于所述第一管芯和所述第二管芯之间的所述第一信号的所述第一电路路径的装置的第一通孔,其中所述第一通孔和所述用于提供用于所述第一管芯和所述第二管芯之间的所述第一信号的所述第一电路路径的装置被配置成提供用于去往所述第一管芯的第二信号的第二电路路径;以及

重分布部分,所述重分布部分耦合到所述包封部分,所述重分布部分包括:

至少一个介电层;以及

所述至少一个介电层中的耦合到所述第一通孔的至少一个互连。

12. 如权利要求11所述的集成器件封装基底,其特征在于,所述用于提供用于所述第一管芯和所述第二管芯之间的所述第一信号的所述第一电路路径的装置包括第一组互连,所述第一组互连包括约2微米 $\mu\text{m}$ 或更少的宽度和/或约2微米 $\mu\text{m}$ 或更少的间隔。

13. 如权利要求11所述的集成器件封装基底,其特征在于,所述第一通孔具有包括V形或U形的剖面。

14. 如权利要求11所述的集成器件封装基底,其特征在于,所述第二信号是功率信号和/或接地参考信号中的至少一者。

15. 如权利要求11所述的集成器件封装基底,其特征在于,所述集成器件封装基底被纳入到选自包括以下各项的组的设备中:音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、移动设备、移动电话、智能电话、个人数字助理、固定位置终端、计算机、以及可穿戴设备。

16. 一种集成器件封装,包括:

第一管芯;

第二管芯;以及

基底,其耦合到所述第一管芯和所述第二管芯,其包括:

包封部分,其耦合到所述第一管芯和所述第二管芯,其包括:

包封层;

至少部分地嵌入在所述包封层中的桥接,所述桥接配置成提供用于所述第一管芯和所述第二管芯之间的第一信号的第一电路路径;以及

所述包封层中的耦合到所述桥接的第一通孔,其中所述第一通孔和所述桥接被配置成提供用于去往所述第一管芯的第二信号的第二电路路径;以及

重分布部分,所述重分布部分耦合到所述包封部分,所述重分布部分包括:

至少一个介电层;以及

所述至少一个介电层中的耦合到所述第一通孔的至少一个互连。

17. 如权利要求16所述的集成器件封装,其特征在于,所述桥接包括:

基板;

介电层;

第一组互连,其被配置成提供用于所述第一管芯和所述第二管芯之间的所述第一信号的所述第一电路路径;以及

至少贯穿所述基板的贯穿基板通孔TSV,所述TSV耦合到所述第一通孔,所述TSV被配置

成提供用于去往所述第一管芯的所述第二信号的所述第二电路径。

18. 如权利要求17所述的集成器件封装,其特征在于,所述第一组互连包括约2微米 $\mu\text{m}$ 或更少的宽度和/或约2微米 $\mu\text{m}$ 或更少的间隔。

19. 如权利要求17所述的集成器件封装,其特征在于,所述第一组互连包括:

一组通孔;以及

耦合到所述一组通孔的一组迹线。

20. 如权利要求17所述的集成器件封装,其特征在于,所述TSV贯穿所述桥接的所述基板和所述介电层。

21. 如权利要求16所述的集成器件封装,其特征在于,所述第一通孔具有包括V形或U形的剖面。

22. 如权利要求16所述的集成器件封装,其特征在于,所述第二信号是功率信号和/或接地参考信号中的至少一者。

23. 如权利要求16所述的集成器件封装,其特征在于,所述包封层是可光刻蚀刻材料。

24. 如权利要求16所述的集成器件封装,其特征在于,所述包封层和所述重分布部分定义了所述集成器件封装的封装基板。

25. 如权利要求16所述的集成器件封装,其特征在于,所述集成器件封装被纳入到选自包括以下各项的组的设备中:音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、移动设备、移动电话、智能电话、个人数字助理、固定位置终端、计算机、以及可穿戴设备。

26. 一种集成器件封装,包括:

第一管芯;

第二管芯;以及

基底,其耦合到所述第一管芯和所述第二管芯,其包括:

包封部分,其耦合到所述第一管芯和所述第二管芯,其包括:

包封层;

至少部分地嵌入在所述包封层中的用于提供用于所述第一管芯和所述第二管芯之间的第一信号的第一电路径的装置;以及

在所述包封层中的耦合到所述用于提供用于所述第一管芯和所述第二管芯之间的所述第一信号的第一电路径的装置的第一通孔,其中所述第一通孔和所述用于提供用于所述第一管芯和所述第二管芯之间的所述第一信号的第一电路径的装置被配置成提供用于去往所述第一管芯的第二信号的第二电路径;以及

重分布部分,所述重分布部分耦合到所述包封部分,所述重分布部分包括:

至少一个介电层;以及

所述至少一个介电层中的耦合到所述第一通孔的至少一个互连。

27. 如权利要求26所述的集成器件封装,其特征在于,所述用于提供用于所述第一管芯和所述第二管芯之间的所述第一信号的第一电路径的装置包括第一组互连,所述第一组互连包括约2微米 $\mu\text{m}$ 或更少的宽度和/或约2微米 $\mu\text{m}$ 或更少的间隔。

28. 如权利要求26所述的集成器件封装,其特征在于,所述第一通孔具有包括V形或U形的剖面。

29. 如权利要求26所述的集成器件封装,其特征在于,所述第二信号是功率信号和/或

接地参考信号中的至少一者。

30. 如权利要求26所述的集成器件封装,其特征在于,所述集成器件封装被纳入到选自包括以下各项的组的设备中:音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、移动设备、移动电话、智能电话、个人数字助理、固定位置终端、计算机、以及可穿戴设备。

## 在可光刻蚀刻层中包括桥接的集成器件封装

[0001] 相关申请的交叉引用

[0002] 本申请要求于2015年8月21日向美国专利商标局提交的非临时申请No.14/832,363的优先权和权益,其全部内容通过援引纳入于此。

### 背景技术

[0003] 领域

[0004] 各种特征涉及在可光刻蚀刻层中包括桥接的集成器件封装。

[0005] 背景

[0006] 图1解说了包括第一管芯102、第二管芯104和封装基板106的集成器件封装100。封装基板106包括介电层和多个互连110。封装基板106是层压基板。多个互连110包括迹线、焊盘和/或通孔。第一管芯102通过第一组焊球112耦合到封装基板106。第二管芯104通过第二组焊球114耦合至封装基板106。封装基板106通过第三组焊球116耦合到印刷电路板 (PCB) 108。图1解说了第一管芯102通过第一组焊球112、多个互连110中的互连、和第二组焊球114耦合至第二管芯104。

[0007] 图1中所示的集成器件封装100的一个缺点在于,其创建了具有对于移动计算设备和/或可穿戴计算设备的需求而言可能过大的形状因子的集成器件封装。这可能导致过大和/或过厚的封装。即,图1中所示的集成器件封装配置可能太厚和/或具有太大的表面面积以致于不能满足移动计算设备和/或可穿戴计算设备的需要和/或要求。

[0008] 集成器件封装100的另一个缺点在于,该多个互连110的配置未在第一管芯102与第二管芯104之间提供高密度互连。这极大地限制了能够存在于第一管芯102和第二管芯104之间的互连数目,因此限制了第一管芯102和第二管芯104之间的通信带宽。

[0009] 因此,存在对在管芯之间包括高密度互连的集成器件封装的需要。理想地,此类集成器件封装将具有更好的形状因子,提供经改进的功率分配网络(例如,去往和来自管芯的经改进的功率路由),同时满足移动计算设备和/或可穿戴计算设备的需求和/或要求。

[0010] 概述

[0011] 各种特征涉及在可光刻蚀刻层中包括桥接的集成器件封装。

[0012] 第一示例提供了一种包括包封部分和耦合到该包封部分的重分布部分的集成器件封装基底。该包封部分包括包封层、至少部分地嵌入在该包封层中的桥接、以及该包封层中的第一通孔。该桥接被配置成提供用于第一管芯和第二管芯之间的第一信号的第一电路径。该第一通孔被耦合到该桥接。该第一通孔和该桥接被配置成提供用于去往该第一管芯的第二信号的第二电路径。该重分布部分包括至少一个介电层和在该至少一个介电层中的耦合到该第一通孔的至少一个互连。

[0013] 第二示例提供了一种包括包封部分和耦合到该包封部分的重分布部分的集成器件封装基底。该包封部分包括包封层、至少部分地嵌入在该包封层中的用于提供用于第一管芯和第二管芯之间的第一信号的第一电路径的装置、以及该包封层中的第一通孔。该第一通孔耦合到该用于提供用于第一管芯和第二管芯之间的第一信号的第一电路径的装置。

该第一通孔和该用于提供用于第一管芯和第二管芯之间的第一信号的第一电路路径的装置被配置成提供用于去往该第一管芯的第二信号的第二电路路径。该重分布部分包括至少一个介电层和在该至少一个介电层中的耦合到该第一通孔的至少一个互连。

[0014] 第三示例提供了一种集成器件封装,该集成器件封装包括第一管芯、第二管芯和耦合到该第一管芯和该第二管芯的基底。该基底包括耦合到该第一管芯和该第二管芯的包封部分以及耦合到该包封部分的重分布部分。该包封部分包括包封层、至少部分地嵌入在该包封层中的桥接、以及该包封层中的第一通孔。该桥接被配置成提供用于第一管芯和第二管芯之间的第一信号的第一电路路径。该第一通孔被耦合到该桥接。该第一通孔和该桥接被配置成提供用于去往该第一管芯的第二信号的第二电路路径。该重分布部分包括至少一个介电层和在该至少一个介电层中的耦合到该第一通孔的至少一个互连。

[0015] 第四示例提供了一种集成器件封装,该集成器件封装包括第一管芯、第二管芯和耦合到该第一管芯和该第二管芯的基底。该基底包括耦合到该第一管芯和该第二管芯的包封部分以及耦合到该包封部分的重分布部分。该包封部分包括包封层、至少部分地嵌入在该包封层中的用于提供用于第一管芯和第二管芯之间的第一信号的第一电路路径的装置、以及该包封层中的第一通孔。该第一通孔耦合到该用于提供用于第一管芯和第二管芯之间的第一信号的第一电路路径的装置。该第一通孔和该用于提供用于第一管芯和第二管芯之间的第一信号的第一电路路径的装置被配置成提供用于去往该第一管芯的第二信号的第二电路路径。该重分布部分包括至少一个介电层和在该至少一个介电层中的耦合到该第一通孔的至少一个互连。

[0016] 附图

[0017] 在结合附图理解下面阐述的详细描述时,各种特征、本质和优点会变得明显,在附图中,相同的附图标记始终作相应标识。

[0018] 图1解说了包括两个管芯的集成器件封装。

[0019] 图2解说了在包封层中包括具有贯穿基板通孔的高密度互连桥接的集成器件封装的示例。

[0020] 图3解说了在包封层中包括具有贯穿基板通孔的高密度互连桥接的集成器件封装的示例。

[0021] 图4解说了具有贯穿基板通孔(TSV)的高密度互连桥接的剖面图的示例。

[0022] 图5解说了具有贯穿基板通孔(TSV)的高密度互连桥接的平面图的示例。

[0023] 图6解说了在包封层中包括具有贯穿基板通孔的高密度互连桥接的集成器件封装基底的剖面图的示例。

[0024] 图7解说了在包封层中包括具有贯穿基板通孔的高密度互连桥接的集成器件封装基底的剖面图的另一示例。

[0025] 图8解说了在包封层中包括具有贯穿基板通孔的高密度互连桥接的集成器件封装基底的剖面图的示例。

[0026] 图9解说了在包封层中包括具有贯穿基板通孔的高密度互连桥接的集成器件封装基底的剖面图的另一示例。

[0027] 图10解说了在包封层中包括具有贯穿基板通孔的高密度互连桥接的集成器件封装的剖面图的示例。

[0028] 图11解说了用于提供/制造具有贯穿基板通孔 (TSV) 的高密度互连桥接的示例性工序。

[0029] 图12解说了用于提供/制造具有贯穿基板通孔 (TSV) 的高密度互连桥接的方法的示例性流程图。

[0030] 图13 (包括图13A-13C) 解说了用于提供/制造在包封层中包括具有贯穿基板通孔 (TSV) 的高密度桥接的集成器件封装的示例性工序。

[0031] 图14解说了用于提供/制造在包封层中包括具有贯穿基板通孔 (TSV) 的高密度桥接的集成器件封装的方法的示例性流程图。

[0032] 图15解说了半加成图案化 (SAP) 工艺的示例。

[0033] 图16解说了半加成图案化 (SAP) 工艺的流程图的示例。

[0034] 图17解说了镶嵌工艺的示例。

[0035] 图18解说了镶嵌工艺的流程图的示例。

[0036] 图19解说了可集成本文所描述的集成器件封装、半导体器件、管芯、集成电路和/或PCB的各种电子设备。

[0037] 详细描述

[0038] 在以下描述中,给出了具体细节以提供对本公开的各个方面的透彻理解。然而,本领域普通技术人员将理解,没有这些具体细节也可实践这些方面。例如,电路可能用框图示出以避免使这些方面湮没在不必要的细节中。在其他实例中,公知的电路、结构和技术可能不被详细示出以免湮没本公开的这些方面。

[0039] 概览

[0040] 一些特征涉及包括第一管芯、第二管芯、以及耦合到第一管芯和第二管芯的基底 (例如,集成器件封装基底) 的集成器件封装。基底包括包封部分和耦合到该包封部分的重分布部分。包封部分耦合到第一管芯和第二管芯。包封部分包括包封层、桥接、以及第一通孔。包封层可以是可光刻蚀刻材料 (例如,可由光刻 (photolithography) 工艺蚀刻的材料)。桥接至少部分地嵌入在包封层中。桥接被配置成提供用于第一管芯和第二管芯之间的第一信号 (例如,输入/输出信号) 的第一电路路径。第一通孔位于包封层中。第一通孔被耦合到桥接。第一通孔和桥接被配置成提供用于去往第一管芯的第二信号 (例如,功率信号、接地参考信号) 的第二电路路径。在一些实现中,第一通孔具有包括V形或U形的剖面。重分布部分包括至少一个介电层和在该至少一个介电层中的至少一个互连。该至少一个互连耦合到第一通孔。在一些实现中,桥接包括基板、介电层、配置成提供用于第一管芯和第二管芯之间的第一信号的第一电路路径的第一组互连。桥接还包括至少贯穿基板的贯穿基板通孔 (TSV)。TSV被耦合到第一通孔。TSV被配置成提供用于去往第一管芯的第二信号的第二电路路径。在一些实现中,TSV贯穿桥接的基板和介电层。

[0041] 互连是器件 (例如,集成器件、集成器件封装、管芯) 和/或基底 (例如,集成器件封装基底、封装基板、印刷电路板、中介体) 的允许或促成两个点、元件和/或组件之间的电连接的元件或组件。在一些实现中,互连可包括迹线、通孔、焊盘、柱、重分布金属层、和/或凸块下金属化 (UBM) 层。在一些实现中,互连是为信号 (例如,数据信号、接地信号、功率信号) 提供电路路径的导电材料。互连可包括一个以上的元件/组件。一组互连可包括一个或多个互连。



[0042] 重分布层或重分布金属层是集成器件、集成器件封装、和/或集成器件封装基底的重分布部分的金属层。重分布层可包括一个或多个重分布互连,其形成在重分布部分的同一金属层上。集成器件或集成器件封装的重分布部分可包括若干重分布层,每个重分布层可包括一个或多个重分布互连。因此,例如,重分布部分可包括第一重分布层上的第一重分布互连、以及不同于第一重分布层的第二重分布层上的第二重分布互连。

[0043] 可光刻图案化层/材料(例如,可光刻蚀刻层)是光可图案化和可显影(例如,光可蚀刻)的材料。即,可光刻图案化层/材料由能够通过将材料经由掩膜(例如,光掩膜)暴露于光源(例如,紫外(UV)光)而被图案化、显影、蚀刻和/或移除(例如,通过光刻工艺)的材料制成。

[0044] 在可光刻蚀刻层中包括桥接的示例性集成器件封装

[0045] 图2解说了包括高密度管芯到管芯互连的集成器件封装的示例。具体而言,图2解说了集成器件封装200的示例,集成器件封装200包括基底201、第一管芯202、第二管芯204、以及桥接210。桥接210可以被配置成提供高密度互连管芯到管芯互连。集成器件封装200可以被耦合到印刷电路板(PCB) 205。

[0046] 基底201可以是集成器件封装基底。例如,基底201可以是封装基板。基底201包括包封部分206和重分布部分208。包封部分206耦合到重分布部分208。包封部分206包括包封层260、桥接210、和耦合到桥接210的至少一个通孔(例如,通孔266)。桥接210至少部分地嵌入在包封层260中。桥接210被配置成提供用于第一管芯202和第二管芯204之间的第一信号(例如,输入/输出信号)的第一电路路径。至少一个通孔和桥接210被配置成提供用于去往第一管芯202的第二信号(例如,功率信号)的第二电路路径。

[0047] 如图2中所示,第一管芯202通过第一组互连220耦合至基底201。第一组互连220可以包括桩、柱和/或焊料。第二管芯204通过第二组互连240耦合至基板201。第二组互连240可以包括桩、柱和/或焊料。

[0048] 包括贯穿基板通孔的高密度互连桥接

[0049] 图2解说了桥接210至少部分地位于基底201中。具体而言,桥接210至少部分地嵌入在包封部分206中。如图2中所示,桥接210至少部分地嵌入在包封层260中。桥接210可包括硅桥接、玻璃桥接、和/或陶瓷桥接。如上文所述,桥接210被配置成在集成器件封装200中提供高密度管芯到管芯互连。例如,桥接210被配置成提供第一管芯202和第二管芯204之间的高密度互连(例如,用于第一管芯202和第二管芯204之间的信号(例如,输入/输出信号)的高密度电路路径)。由此,在一个示例中,桥接210可以配置成提供用于第一管芯202和第二管芯204之间的至少一个第一信号的至少一个第一电路路径。至少一个第一信号的至少一个第一电路路径可以包括桥接210中的若干互连(例如,迹线、通孔)和/或可以由桥接210中的若干互连(例如,迹线、通孔)来定义。定义至少一个第一电路路径的此类互连至少在以下的图4-5中进一步描述。

[0050] 高密度互连和/或高密度电路路径可以指与常规印刷电路板相比每单位面积的任何密度的布线或连接,并且可包括更精细的线和节距、更小的通孔和捕获焊盘以及更高的连接焊盘密度。高密度互连因而可有助于减小封装和/或器件的尺寸、厚度、重量等以及增强电性能和热性能。高密度互连可以由包括大约2微米( $\mu\text{m}$ )或更少的宽度、大约4微米( $\mu\text{m}$ )或更少的节距、和/或大约2微米( $\mu\text{m}$ )或更少的间隔来定义。互连的节距可以是两个毗邻互连

之间的中心到中心距离。互连的间隔可以是两个毗邻互连之间的边到边距离。高密度互连的宽度、节距和间隔的示例至少在以下图4-5中进一步描述。

[0051] 桥接210可以包括基板、介电层、一组高密度互连(例如,迹线、通孔)、和至少一个贯穿基板通孔(TSV)。基板可以包括硅、玻璃和/或陶瓷。桥接210的基板、介电层、高密度互连(例如,迹线、通孔)组、和贯穿基板通孔(TSV)并未在图2中标号或标记。然而,详细的示例性桥接至少在以下图4-5中解说和描述。

[0052] 如图2中所示,第一管芯204至少通过桥接210耦合到第二管芯204(例如,与之处于通信)。具体而言,图2解说了第一管芯202通过第一组互连220、桥接210中的互连、和第二组互连240耦合到第二管芯204。在一些实现中,第一组互连220、桥接210中的互连(例如,通孔、迹线)、和第二组互连240提供了用于第一管芯202和第二管芯204之间的信号(例如,输入/输出信号)的若干高密度电路路径。

[0053] 在一些实现中,至少一个贯穿基板通孔(TSV)被配置成提供用于去往和/或来自耦合到桥接210的管芯的功率信号和/或接地参考信号的至少一个电路路径。图2解说了能够穿过桥接210去往第一管芯202和/或第二管芯204的至少一个功率信号和/或接地参考信号。例如,桥接210被配置成提供用于去往第一管芯202的第二信号(例如,功率信号)的第二电路路径。

[0054] 提供包括配置成提供用于去往和来自一个或多个管芯的功率信号和/或接地参考信号的电路路径的至少一个TSV的桥接有诸多优点。首先,通过桥接210的电路路径是去往和来自管芯的更为直接的路径,这意味着去往和来自管芯的更短的路径。其次,通过桥接210的电路路径意味着该电路路径不需要在桥接周围布线,从而节省了基底201中的空间和有效面积,这可以造成集成器件封装200的总体上更小的形状因子。第三,功率信号和/或接地参考信号的更为直接的路径意味着使用更少的材料,藉此降低制造集成器件封装的成本。

[0055] 第四,通过桥接的高频管芯到管芯通信可以要求管芯到管芯(D2D)缓冲器(未示出)。在一些实现中,D2D缓冲器位于耦合到桥接的管芯中(例如,垂直在桥接之上的管芯部分中),该桥接适配成和/或配置成提供管芯到管芯通信。耦合到桥接的每个管芯可以包括其自身相应的D2D缓冲器。D2D缓冲器可以包括至少一个晶体管。D2D缓冲器可能需要电源(例如,功率信号),并且在去往D2D缓冲器(例如,去往D2D缓冲器的晶体管)的信号中(例如,在功率信号中)具有最小的可能功率压降可以是重要的。这可以通过将功率信号通过桥接路由到D2D缓冲器(例如,管芯的D2D)来达成。管芯可以具有去往D2D缓冲器的互连,其具有大约2微米( $\mu\text{m}$ )或更小的金属厚度(例如,铜厚度)以及大于1000微米( $\mu\text{m}$ )的横向长度,这产生了功率信号中的高IR降,其中IR是流电阻。相反,通过桥接去往D2D缓冲器的互连可以具有大约100微米( $\mu\text{m}$ )的长度和大约10微米( $\mu\text{m}$ )的金属厚度(例如,铜厚度),这为D2D缓冲器提供了较小的压降,且由此提供了经改进的管芯到管芯通信性能。

[0056] 图2示出了包括配置成提供用于去往和来自至少一个管芯的功率信号和/或接地参考信号的至少一个电路路径的至少一个TSV的高密度互连桥接(例如,桥接210)的高层级解说。如上文所提及的,包括配置成提供用于功率信号和/或接地参考信号的电路路径的至少一个TSV的高密度桥接的更为详细的描述至少在图4-10中被进一步解说和描述。

[0057] 包括包含TSV的高密度互连桥接的集成器件封装基底

[0058] 如上文所提及的,基底201包括包封部分206和重分布部分208。基底201可以是集

成器件封装200的集成器件封装基底和/或封装基板。

[0059] 包封部分206包括包封层260、第一组通孔262、第二组通孔264、第三组通孔266以及第四组通孔268。一组通孔可包括一个或多个通孔。包封层260可包括至少模塑和/或环氧树脂填料中的一者。在一些实现中,包封层260可以是可光刻图案化层(例如,可光刻蚀刻层)。可光刻图案化层是光可图案化以及可显影(例如,光可蚀刻)的材料。即,包封层260由能够通过将材料暴露于光源(例如,紫外(UV)光)而被图案化、显影、蚀刻和/或移除的材料制成。桥接210至少部分地嵌入在包封部分206和/或包封层260中。由此,包封部分206和/或包封层260至少部分地包封了桥接210。包封层260可以是模塑和/或环氧树脂填充。在一些实现中,包封层260是包括填料的层。在一些实现中,包封层260可以具有比聚酰亚胺(PI)层和/或聚苯并恶唑(PBO)层更高的填充材料浓度。

[0060] 第一组通孔262垂直地贯穿包封层260的至少一部分。由此,第一组通孔262位于和/或嵌入在包封层260中。第一组通孔262耦合到重分布部分208。第一组通孔262还通过第一组互连220耦合到第一管芯202。在一些实现中,包封部分206包括一组焊盘。这组焊盘可以耦合到第一组通孔262和第一组互连220。包封部分中焊盘的示例至少在下文的图6-10中进一步描述。

[0061] 第二组通孔264垂直地贯穿包封层260的至少一部分。由此,第二组通孔264位于和/或嵌入在包封层260中。第二组通孔264耦合到重分布部分208。第二组通孔264还通过第二组互连240耦合到第二管芯204。在一些实现中,包封部分206包括一组焊盘。这组焊盘可以耦合到第二组通孔264和第二组互连240。

[0062] 第三组通孔266垂直地贯穿包封层260的至少一部分。由此,第三组通孔266位于和/或嵌入在包封层260中。第三组通孔266耦合到重分布部分208。第三组通孔266还通过桥接210和第一组互连220耦合到第一管芯202。第三组通孔266耦合到桥接210的贯穿基板通孔(TSV)。在一些实现中,包封部分206包括一组焊盘。这组焊盘可以耦合到桥接210和第一组互连220。

[0063] 在一些实现中,第三组通孔266配置成通过桥接210提供用于去往和来自管芯(例如,第一管芯202)的至少一个功率信号和/或至少一个接地参考信号的至少一个电路路径。例如,在一些实现中,通孔(例如,来自诸通孔266)和桥接210可以配置成提供用于去往第一管芯202的第二信号(例如,功率信号)的第二电路路径。

[0064] 第四组通孔268垂直地贯穿包封层260的至少一部分。第四组通孔268耦合到重分布部分208。第四组通孔268还通过桥接210和第二组互连240耦合到第二管芯204。第四组通孔268耦合到桥接210的贯穿基板通孔(TSV)。在一些实现中,包封部分206包括一组焊盘。这组焊盘可以耦合到桥接210和第二组互连240。

[0065] 在一些实现中,第四组通孔268配置成通过桥接210提供用于去往和来自管芯(例如,第二管芯204)的至少一个功率信号和/或至少一个接地参考信号的至少一个电路路径。

[0066] 在一些实现中,包封部分206中的通孔是具有约10微米( $\mu\text{m}$ )或更少的宽度和/或约10微米( $\mu\text{m}$ )或更少的间隔的通孔。由此,在一些实现中,包封部分206中的通孔是具有比桥接210中的互连低的密度的互连。在一些实现中,包封部分206中的至少大部分通孔具有比桥接210中的互连(例如,迹线、通孔)低的密度(例如,较大宽度、较大间隔)。

[0067] 通孔(例如,第一组通孔262、第二组通孔264、第三组通孔266、第四组通孔268)可

以具有不同的形状和大小。包封层中的通孔的形狀的各种示例至少在以下图6-10中被进一步解说和描述。

[0068] 重分布部分208包括一组介电层280和一组互连282。该组介电层280可包括一个或多个介电层。如图2所示,重分布部分208被耦合至包封部分206的第一表面(例如,底表面)。该组互连282可以包括迹线、通孔、焊盘、重分布互连、和/或凸块下金属化(UBM)层。如图2中进一步所示的,该组互连282包括重分布互连和UBM层。该组互连282耦合到第一组通孔262、第二组通孔264、第三组通孔266、和第四组通孔268。该组互连282中的一些互连可以被配置成提供用于至少一个功率信号和/或至少一个接地参考信号的至少一个电路路径。在一些实现中,重分布部分208的该组互连282是具有约5微米( $\mu\text{m}$ )或更少的宽度和/或约5微米( $\mu\text{m}$ )或更少的间隔的互连。各种重分布部分的更为详细的示例至少在图6-10中被进一步描述。图2解说了耦合到该组互连282的一组焊球284。在一些实现中,该组焊球284耦合到该组互连282的UBM层。该组焊球284耦合到PCB 205。

[0069] 虽然未示出,但是集成器件封装200还可以包括覆盖第一管芯202和第二管芯204的另一包封层。该包封层可以包括至少模塑和/或环氧树脂填料中的一者。

[0070] 在可光刻蚀刻层中包括桥接的示例性集成器件封装

[0071] 图3解说了包括高密度管芯到管芯互连的集成器件封装的另一示例。具体而言,图3解说了集成器件封装300的示例,集成器件封装300包括基底301、第一管芯202、第二管芯204、以及桥接210。基底301可以是集成器件封装300的集成器件封装基底和/或封装基板。基底301包括包封部分206和重分布部分308。集成器件封装300被耦合到印刷电路板(PCB) 205。

[0072] 集成器件封装300类似于集成器件封装200,除了在一些实现中,重分布部分308包括不同配置的互连。

[0073] 如图3中所示,第一管芯202通过第一组互连220耦合至基底201。第一组互连220可以包括桩、柱和/或焊料。第二管芯204通过第二组互连240耦合至基板201。第二组互连240可以包括桩、柱和/或焊料。

[0074] 如图3中所示,重分布部分308耦合到包封部分206。重分布部分308包括一组介电层280和一组互连382。该组介电层280可包括一个或多个介电层。如图3所示,重分布部分308被耦合至包封部分206的第一表面(例如,底表面)。该组互连382可以包括迹线、通孔、焊盘、重分布互连、和/或凸块下金属化(UBM)层。如图3中进一步所示的,该组互连382包括焊盘、通孔、和UBM层。该组互连382耦合到第一组通孔262、第二组通孔264、第三组通孔266、和第四组通孔268。该组互连382中的一些互连可以被配置成提供用于至少一个功率信号和/或至少一个接地参考信号的至少一个电路路径。在一些实现中,重分布部分308的该组互连382是具有约5微米( $\mu\text{m}$ )或更少的宽度和/或约5微米( $\mu\text{m}$ )或更少的间隔的互连。各种重分布部分的更为详细的示例至少在图6-10中被进一步描述。图3解说了耦合到该组互连382的一组焊球284。在一些实现中,该组焊球284耦合到该组互连382的UBM层。该组焊球284耦合到PCB 205。

[0075] 虽然未示出,但是集成器件封装300还可以包括覆盖第一管芯202和第二管芯204的另一包封层。该包封层可以包括至少模塑和/或环氧树脂填料中的一者。

[0076] 包括互连和贯穿基板通孔(TSV)的示例性桥接

[0077] 如上文所述,集成器件封装可以包括配置成提供高密度管芯到管芯互连以及配置成提供用于去往和来自一个或多个管芯的至少一个功率信号和/或至少一个接地参考信号的至少一个电路路径的贯穿基板通孔(TSV)的桥接(例如,硅桥接、玻璃桥接、陶瓷桥接)。图4和5解说了被配置成在集成器件封装中提供高密度互连和TSV的此类桥接的概念示例。

[0078] 图4解说了桥接210(例如,硅桥接)的示例的剖面图。桥接210包括基板402、介电层404、至少一个第一互连406、至少一个第二互连408、至少一个第三互连410、至少一个第四互连418、和至少一个第五互连420。在一些实现中,桥接210可以实现在本公开中解说和描述的任何集成器件封装中。例如,桥接210可以是图2-3的桥接。在一些实现中,桥接210是用于提供第一管芯与第二管芯之间的管芯到管芯电路路径或高密度管芯到管芯电连接的装置(例如,桥接装置)。例如,至少一个第一互连406、至少一个第二互连408、和至少一个第三互连410可以定义用于第一管芯和第二管芯之间的至少一个第一信号的至少一个第一电路路径。在一些实现中,至少一个第一互连406、至少一个第二互连408、和至少一个第三互连410可以形成配置成提供用于第一管芯和第二管芯之间的至少一个第一信号的至少一个第一电路路径的至少一个第一组互连。

[0079] 在一些实现中,桥接210是用于提供用于去往和来自第一管芯的至少一个功率信号和/或至少一个接地参考信号的至少一个第二电路路径的装置(例如,桥接装置)。在一些实现中,桥接210是用于提供用于去往和来自第二管芯的至少一个功率信号和/或至少一个接地参考信号的至少一个第三电路路径的装置(例如,桥接装置)。

[0080] 在一些实现中,该装置(例如,桥接装置)提供等于或高于集成器件封装基底的包封部分(例如,包封部分206)和/或重分布部分(例如,重分布部分208)的互连密度的互连密度。

[0081] 在一些实现中,基板402包括硅基板、玻璃基板、和/或陶瓷基板。第一互连406可以是位于基板402上的至少一个迹线。介电层404覆盖第一互连406和基板402。在一些实现中,第二和第三互连408和410是垂直贯穿介电层404的通孔。第二和第三互连408和410耦合至第一互连406。

[0082] 在一些实现中,第一、第二和第三互连406、408和410是高密度互连。在一些实现中,高密度互连是具有约2微米( $\mu\text{m}$ )或更少的宽度和/或约2微米( $\mu\text{m}$ )或更少的间隔的互连。在一些实现中,互连的宽度可以是迹线和/或线的宽度。在一些实现中,互连的宽度可以是通孔和/或焊盘的直径。间隔是两个相邻/毗邻互连之间的边到边距离。

[0083] 第四互连418可以是贯穿基板402和介电层404的通孔。第四互连418可以是贯穿基板402和介电层404的贯穿基板通孔(TSV)。在一些实现中,第四互连418可以是两个或更多通孔(例如,基板402中的第一通孔和介电层404中的第二通孔)的组合。在一些实现中,第四互连418配置成提供用于去往和来自管芯(例如,第一管芯)的至少一个第二信号(例如至少一个功率信号和/或至少一个接地参考信号)的至少一个电路路径(例如,第二电路路径)。

[0084] 第五互连420可以是贯穿基板402和介电层404的通孔。第五互连420可以是贯穿基板402和介电层404的贯穿基板通孔(TSV)。在一些实现中,第五互连420可以是两个或更多通孔(例如,基板402中的第一通孔和介电层404中的第二通孔)的组合。在一些实现中,第五互连420配置成提供用于去往和来自管芯(例如,第二管芯)的至少一个第三信号(例如至少一个功率信号和/或至少一个接地参考信号)的至少一个电路路径(例如,第三电路路径)。在一

些实现中,第四和第五互连418和420是高密度互连。

[0085] 注意到,桥接210可以包括若干第一互连、第二互连、第三互连、第四互连、和第五互连。

[0086] 图5解说了桥接210(例如,硅桥接)的示例的平面图(例如,俯视图),桥接210包括基板(不可见)、介电层404、第一互连406、第二互连408、第三互连410、第四互连418、和第五互连420。图5解说了互连的宽度和间隔。互连的宽度由(W)解说,而两个相邻/毗邻互连之间的间隔由(S)解说。在一些实现中,第一互连406、第二互连408、第三互连410、第四互连418、和/或第五互连420是高密度互连。在一些实现中,高密度互连是具有约2微米( $\mu\text{m}$ )或更少的宽度和/或约2微米( $\mu\text{m}$ )或更少的间隔的互连。

[0087] 如上文所描述,提供包括配置成提供用于去往和来自一个或多个管芯的功率信号和/或接地参考信号的电路路径的至少一个TSV的桥接有诸多优点。首先,通过桥接210的电路路径是去往和来自管芯的更为直接的路径,这意味着去往和来自管芯的更短的路径。其次,通过桥接210的电路路径意味着该电路路径不需要在桥接周围布线,从而节省了基底201中的空间和有效面积,这可以造成集成器件封装200的总体上更小的形状因子。第三,功率信号和/或接地参考信号的更为直接的路径意味着使用更少的材料,藉此降低制造集成器件封装的成本。第四,TSV可以帮助在管芯到管芯通信中提供经改进的性能。

[0088] 包括桥接可光刻蚀刻层的示例性集成器件封装

[0089] 已经就一般的细节方面描述了包括高密度管芯到管芯互连的集成器件封装的示例,现在将更详细地描述包括高密度管芯到管芯互连和贯穿基板通孔(TSV)的集成器件封装的示例。

[0090] 图6解说了集成器件封装的集成器件封装基底600的一部分的示例。在一些实现中,集成器件封装基底600可以至少对应于图2的包封部分206和重分布部分208。在一些实现中,集成器件封装基底600是集成器件封装的封装基板。

[0091] 集成器件封装基底600包括包封部分602和重分布部分604。包封部分602包括包封层606、第一通孔603、第二通孔605、第一焊盘611、第二焊盘613、第三焊盘615、阻焊层608、和桥接210。在一些实现中,包封层606是光可图案化和可显影(例如,光可蚀刻)的可光刻图案化材料(例如,可光刻蚀刻材料)。即,包封层606由能够通过将材料暴露于光源(例如,紫外(UV)光)而被图案化、显影、蚀刻和/或移除的材料制成。包封层606可包括至少模塑和/或环氧树脂填料中的一者。

[0092] 第一通孔603垂直地贯穿包封层606。第一焊盘611耦合到第一通孔603。第二通孔605垂直地贯穿包封层606。由此,第二通孔605位于和/或嵌入到包封层606中。第二通孔605耦合到桥接210的互连418。互连418可以是桥接210的贯穿基板通孔(TSV)。第二焊盘613耦合到互连418。在一些实现中,第二通孔605、互连418、和第二焊盘613被配置成提供用于去往和来自管芯(例如,第一管芯202)的第二信号(例如,功率信号和/或接地参考信号)的电路路径(例如,第二电路路径)。

[0093] 阻焊层608覆盖包封层606的第一表面(例如,顶表面)。焊球可以耦合到焊盘611、613和/或615。通孔603是包封层606中的一组通孔的一部分,其中该组通孔具有第一密度(例如,第一宽度和/或第一间隔)。

[0094] 图6还解说了桥接210被至少部分地嵌入包封部分602的包封层606中。桥接210被

配置成在包封部分602中提供高密度电路路径(例如,高密度管芯到管芯互连)。桥接210还被配置成提供用于去往管芯的信号(例如,功率信号)的穿过桥接210的基板402的电路路径。

[0095] 重分布部分604耦合到包封部分602。重分布部分604包括第一介电层642、第二介电层644、和第三介电层648、互连643、以及互连653。在一些实现中,第一、第二、和/或第三介电层642、644、和/或648可以统一为单个介电层。互连643和653可以是包括斜角(diagonal)部分和水平(horizontal)部分的重分布互连。在一些实现中,互连643和653是U形或V形重分布互连。在一些实现中,互连643和653可以被配置成耦合到焊球(例如,印刷电路板侧焊球)。

[0096] 重分布部分604的互连643耦合到包封部分602的通孔603。重分布部分604的互连653耦合到包封部分602中的第二通孔605。在一些实现中,互连653、第二通孔605、互连418、和第二焊盘613被配置成提供用于去往和来自管芯(例如,第一管芯202)的功率信号和/或接地参考信号的电路路径。

[0097] 在一些实现中,第一管芯(例如,管芯202)可以通过第三焊盘615、互连410和互连406电耦合到第二管芯(例如,第二管芯204)。在一些实现中,第三焊盘615、互连410、和互连406定义了第一和第二管芯(例如,管芯202和204)之间的管芯到管芯连接的电路路径。

[0098] 包括桥接可光刻蚀刻层的示例性集成器件封装

[0099] 图7解说了集成器件封装的集成器件封装基底700的一部分的另一示例。在一些实现中,集成器件封装基底700可以至少对应于图3的包封部分206和重分布部分308。在一些实现中,集成器件封装基底700是集成器件封装的封装基板。

[0100] 集成器件封装基底700包括包封部分602和重分布部分704。包封部分602包括包封层606、第一通孔603、第二通孔605、第一焊盘611、第二焊盘613、第三焊盘615、阻焊层608、和桥接210。在一些实现中,包封层606是光可图案化和可显影(例如,光可蚀刻)的可光刻图案化材料(例如,可光刻蚀刻材料)。即,包封层606由能够通过将材料暴露于光源(例如,紫外(UV)光)而被图案化、显影、蚀刻和/或移除的材料制成。包封层606可包括至少模塑和/或环氧树脂填料中的一者。

[0101] 第一通孔603垂直地贯穿包封层606。第一焊盘611耦合到第一通孔603。第二通孔605垂直地贯穿包封层606。第二通孔605耦合到桥接210的互连418。互连418可以是桥接210的贯穿基板通孔(TSV)。第二焊盘613耦合到互连418。在一些实现中,第二通孔605、互连418、和第二焊盘613被配置成提供用于去往和来自管芯(例如,第一管芯202)的功率信号和/或接地参考信号的电路路径。

[0102] 阻焊层608覆盖包封层606的第一表面(例如,顶表面)。焊球可以耦合到焊盘611、613和/或615。通孔603是包封层606中的一组通孔的一部分,其中该组通孔具有第一密度(例如,第一宽度和/或第一间隔)。

[0103] 图7还解说了桥接210被至少部分地嵌入包封部分602的包封层606中。桥接210被配置成在包封部分602中提供高密度电路路径(例如,高密度管芯到管芯互连)。桥接210还被配置成提供用于去往管芯的信号(例如,功率信号)的穿过桥接210的基板402的电路路径。

[0104] 重分布部分704耦合到包封部分602。重分布部分704包括第一介电层642、第二介电层644、和第三介电层648、互连743、互连745、互连753、和互连755。在一些实现中,第一、第二、和/或第三介电层642、644、和/或648可以统一为单个介电层。互连743和753可以是通

孔。互连745和755可以是迹线和/或焊盘。在一些实现中,互连745和755可以被配置成耦合到焊球(例如,印刷电路板侧焊球)。

[0105] 互连745耦合到互连743。重分布部分704的互连743耦合到包封部分602的通孔603。互连755耦合到互连753。重分布部分704的互连753耦合到包封部分602中的第二通孔605。在一些实现中,互连755、互连753、第二通孔605、互连418、和第二焊盘613被配置成提供用于去往和来自管芯(例如,第一管芯202)的功率信号和/或接地参考信号的电路路径。

[0106] 在一些实现中,第一管芯(例如,管芯202)可以通过第三焊盘615、互连410和互连406电耦合到第二管芯(例如,第二管芯204)。在一些实现中,第三焊盘615、互连410、和互连406定义了第一和第二管芯(例如,管芯202和204)之间的管芯到管芯连接的电路路径。

[0107] 包括桥接可光刻蚀刻层的示例性集成器件封装

[0108] 图6-7解说了包括特定形状的包封层中的通孔(例如,通孔603、通孔605)。如图6-7中所示,包封层606中的通孔通过填充包封层606中的腔体来形成。然而,在一些实现中,包封层中的通孔可以具有不同的形状和/或配置。

[0109] 图8-9解说了包括不同形状的包封层中的通孔。如图8-9中所示以及在以下所进一步描述的,包封层中的通孔通过共形填充来形成,其中一个或多个金属层在诸腔体的壁上形成,而听任另一腔体被用介电层填充。在一些实现中,通孔具有像碗或罐的形状。

[0110] 图8解说了集成器件封装的集成器件封装基底800的一部分的示例。在一些实现中,集成器件封装基底800可以至少对应于图2的包封部分206和重分布部分208。在一些实现中,集成器件封装基底800是集成器件封装的封装基板。

[0111] 集成器件封装基底800包括包封部分802和重分布部分804。包封部分802包括包封层606、第一通孔803、第二通孔805、第一焊盘611、第二焊盘613、第三焊盘615、阻焊层608、和桥接210。在一些实现中,包封层606是光可图案化和可显影(例如,光可蚀刻)的可光刻图案化材料(例如,可光刻蚀刻材料)。即,包封层606由能够通过将材料暴露于光源(例如,紫外(UV)光)而被图案化、显影、蚀刻和/或移除的材料制成。包封层606可包括至少模塑和/或环氧树脂填料中的一者。

[0112] 如图8中所示,第一通孔803包括V形剖面或U形剖面。第一通孔803可以是形成在其中形成该通孔的腔体的形状的共形填充通孔。在该示例中,第一通孔803至少沿着在其中形成该通孔的腔体的壁形成。第一通孔803还包括在重分布部分804中形成的翼部。第一通孔803的翼部在重分布部分804中横向地贯穿。翼部也可以被称作通孔的翼互连。第一通孔803垂直地贯穿包封层606。第一焊盘611耦合到第一通孔803。第二通孔805也包括V形剖面或U形剖面。第二通孔805可以是形成在其中形成该通孔的腔体的形状的共形填充通孔。在该示例中,第二通孔805至少沿着在其中形成该通孔的腔体的壁形成。第二通孔805还包括在重分布部分804中形成的翼部。第二通孔805的翼部在重分布部分804中横向地贯穿。介电层840位于由包封层606的通孔(例如,通孔803、通孔805)创建的腔体内。第二通孔805垂直地贯穿包封层606。由此,第二通孔805至少部分地位于和/或至少部分地嵌入在包封层606中。第二通孔805耦合到桥接210的互连418。互连418可以是桥接210的贯穿基板通孔(TSV)。第二焊盘613耦合到互连418。在一些实现中,第二通孔805、互连418、和第二焊盘613被配置成提供用于去往和来自管芯(例如,第一管芯202)的功率信号和/或接地参考信号的电路路径。

[0113] 阻焊层608覆盖包封层606的第一表面(例如,顶表面)。焊球可以耦合到焊盘611、



613和/或615。通孔803是包封层606中的一组通孔的一部分,其中该组通孔具有第一密度(例如,第一宽度和/或第一间隔)。

[0114] 图8还解说了桥接210被至少部分地嵌入包封部分602的包封层802中。桥接210被配置成在包封部分802中提供高密度电路路径(例如,高密度管芯到管芯互连)。桥接还被配置成提供用于去往管芯的信号(例如,功率信号)的穿过桥接210的基板402的电路路径。

[0115] 重分布部分804耦合到包封部分802。重分布部分804包括介电层840、介电层844、和介电层848、互连843、以及互连853。在一些实现中,介电层840、844和/或848可以被统一为单个介电层。互连843和853可以是包括斜角(diagonal)部分和水平(horizontal)部分的重分布互连。在一些实现中,互连843和853包括U形或V形重分布互连。在一些实现中,互连843和853可以被配置成耦合到焊球(例如,印刷电路板侧焊球)。

[0116] 重分布部分804的互连843被耦合到包封部分802的通孔803(例如,耦合到第一通孔803的翼部)。重分布部分804的互连853被耦合到包封部分802的通孔805(例如,耦合到第二通孔805的翼部)。在一些实现中,互连853、第二通孔805、互连418、和第二焊盘613被配置成提供用于去往和来自管芯(例如,第一管芯202)的功率信号和/或接地参考信号的电路路径。

[0117] 图8解说了还可以包括第一凸块下金属化(UBM)层845和第二凸块下金属化(UBM)层855的重分布部分804。第一UBM层845被耦合到互连843。第二UBM层855被耦合到互连853。在一些实现中,第一UBM层845和第二UBM层855被配置成耦合到焊球。

[0118] 在一些实现中,第一管芯(例如,管芯202)可以通过第三焊盘615、互连410和互连406电耦合到第二管芯(例如,第二管芯204)。在一些实现中,第三焊盘615、互连410、和互连406定义了第一和第二管芯(例如,管芯202和204)之间的管芯到管芯连接的电路路径。

[0119] 包括桥接可光刻蚀刻层的示例性集成器件封装

[0120] 图9解说了集成器件封装的集成器件封装基底900的一部分的另一示例。在一些实现中,集成器件封装基底900可以至少对应于图3的包封部分206和重分布部分308。在一些实现中,集成器件封装基底900是集成器件封装的封装基板。

[0121] 集成器件封装基底900包括包封部分802和重分布部分904。包封部分802包括包封层606、第一通孔803、第二通孔805、第一焊盘611、第二焊盘613、第三焊盘615、阻焊层608、和桥接210。在一些实现中,包封层606是光可图案化和可显影(例如,光可蚀刻)的可光刻图案化材料(例如,可光刻蚀刻材料)。即,包封层606由能够通过将材料暴露于光源(例如,紫外(UV)光)而被图案化、显影、蚀刻和/或移除的材料制成。包封层606可包括至少模塑和/或树脂填料中的一者。

[0122] 如图9中所示,第一通孔803包括V形剖面或U形剖面。第一通孔803可以是形成在其中形成该通孔的腔体的形状的共形填充通孔。在该示例中,第一通孔803至少沿着在其中形成该通孔的腔体的壁形成。第一通孔803还包括在重分布部分904中形成的翼部。第一通孔803的翼部在重分布部分904中横向地贯穿。翼部也可以被称作通孔的翼互连。第一通孔803垂直地贯穿包封层606。第一焊盘611耦合到第一通孔803。第二通孔805也包括V形剖面或U形剖面。第二通孔805可以是形成在其中形成该通孔的腔体的形状的共形填充通孔。在该示例中,第二通孔805至少沿着在其中形成该通孔的腔体的壁形成。第二通孔805还包括在重分布部分904中形成的翼部。第二通孔805的翼部在重分布部分904中横向地贯穿。介电层

840位于由包封层606的通孔(例如,通孔803、通孔805)创建的腔体内。第二通孔805垂直地贯穿包封层606。第二通孔805耦合到桥接210的互连418。互连418可以是桥接210的贯穿基板通孔(TSV)。第二焊盘613耦合到互连418。在一些实现中,第二通孔805、互连418、和第二焊盘613被配置成提供用于去往和来自管芯(例如,第一管芯202)的功率信号和/或接地参考信号的电路路径。

[0123] 阻焊层608覆盖包封层606的第一表面(例如,顶表面)。焊球可以耦合到焊盘611、613和/或615。通孔803是包封层606中的一组通孔的一部分,其中该组通孔具有第一密度(例如,第一宽度和/或第一间隔)。

[0124] 图9还解说了桥接210被至少部分地嵌入包封部分802的包封层606中。桥接210被配置成在包封部分802中提供高密度电路路径(例如,高密度管芯到管芯互连)。桥接还被配置成提供用于去往管芯的信号(例如,功率信号)的穿过桥接210的基板402的电路路径。

[0125] 重分布部分904耦合到包封部分802。重分布部分904包括介电层840、介电层844、和介电层848、互连943、互连945、互连953、和互连955。在一些实现中,介电层842、844和/或848可以被统一为单个介电层。互连943和953可以是通孔。互连945和955可以是迹线和/或焊盘。在一些实现中,互连945和955可以被配置成耦合到焊球(例如,印刷电路板侧焊球)。

[0126] 互连945耦合到互连943。重分布部分904的互连943被耦合到包封部分802的通孔803(例如,耦合到第一通孔803的翼部)。互连955耦合到互连953。重分布部分904的互连953被耦合到包封部分802的第二通孔805(例如,耦合到第二通孔803的翼部)。在一些实现中,互连955、互连953、第二通孔805、互连418、和第二焊盘613被配置成提供用于去往和来自管芯(例如,第一管芯202)的功率信号和/或接地参考信号的电路路径。

[0127] 图9解说了还可以包括第一凸块下金属化(UBM)层947和第二凸块下金属化(UBM)层957的重分布部分904。第一UBM层947被耦合到互连945。第二UBM层957被耦合到互连955。在一些实现中,第一UBM层947和第二UBM层957被配置成耦合到焊球。

[0128] 在一些实现中,第一管芯(例如,管芯202)可以通过第三焊盘615、互连410和互连406电耦合到第二管芯(例如,第二管芯204)。在一些实现中,第三焊盘615、互连410、和互连406定义了第一和第二管芯(例如,管芯202和204)之间的管芯到管芯连接的电路路径。

[0129] 包括桥接可光刻蚀刻层的示例性集成器件封装

[0130] 图10解说了包括耦合到集成器件封装基板的两个管芯的集成器件封装1000的示例。如图10中所示,集成器件封装1000包括第一管芯1002和第二管芯1004,以及基底600。第一管芯1002和第二管芯1004耦合到基底600。应当注意,第一管芯1002和第二管芯1004可以耦合到本公开中描述的任何集成器件封装基底(例如,基底201、基底301、基底700、基底800、基底900)。

[0131] 第一管芯1002包括凸块下金属化(UBM)层1020(任选)、柱1022、和焊料1024。第一管芯1002通过集成器件封装基底600的UBM层1020(任选)、柱1022、焊料1024、以及焊盘613耦合到集成器件封装基底600。

[0132] 第二管芯1004包括凸块下金属化(UBM)层1040(任选)、柱1042、和焊料1044。第二管芯1004通过集成器件封装基底600的UBM层1040(任选)、柱1042、焊料1044、以及焊盘623耦合到集成器件封装基底600。

[0133] 如进一步所示出的,填料1050位于第一管芯1002和集成器件封装基底600之间。填

料1050可以至少包括非导电填料(NCF)和/或非导电膏(NCP)。填料1050覆盖第一管芯1002和集成器件封装基底600之间的互连(例如,柱1022、焊料1024、焊盘613)。填料1050还位于第二管芯1004和集成器件封装基底600之间。

[0134] 用于提供/制造包括贯穿基板通孔(TSV)的高密度互连桥接的示例性工序

[0135] 在一些实现中,提供/制造具有贯穿基板通孔的高密度互连桥接包括若干过程。图11解说了用于提供/制造包括TSV的高密度互连桥接的示例性工序。在一些实现中,图11的工序可被用来提供/制造图2-10的桥接和/或本公开中描述的其他桥接。然而,出于简化目的,图11将在提供/制造图4的桥接的上下文中描述。

[0136] 应当注意,图11的序列可以组合一个或多个阶段以简化和/或阐明用于提供/制造桥接的序列。在一些实现中,可变化或修改这些工艺的顺序。

[0137] 图11的阶段1解说了在提供基板1102之后的状态。在一些实现中,由供应商提供基板1102。在一些实现中,制造(例如,形成)基板1102。在一些实现中,基板1102包括硅基板、玻璃基板、陶瓷基板和/或晶片(例如,硅晶片)。

[0138] 阶段2解说了在腔1103(例如,腔1103a、腔1103b)被形成在基板1102中之后的状态。不同的实现可以不同方式来形成腔1103。在一些实现中,激光和/或光刻工艺被用来形成腔1103。

[0139] 阶段3解说了在通孔1104(例如,通孔1104a、通孔1104b)被形成在基板1102的腔体中之后的状态。通孔1104可以是贯穿基板通孔(TSV)。不同实现可以不同方式来形成通孔1104。例如,电镀工艺和/或粘贴工艺可以被用来形成通孔1104。

[0140] 阶段4解说了在金属层1106被形成在基板1102上之后的状态。在一些实现中,金属层1106可以形成和/或限定一个或多个高密度互连(例如,如图4-5中所述)。这些高密度互连可以是管芯之间的高密度电路路径。在一些实现中,提供金属层1106包括:形成(例如,电镀)一个或多个金属层(例如,晶种层和金属层)以及选择性地蚀刻该一个或多个金属层的一部分。图15-18解说了使用若干电镀工艺来形成一个或多个金属层的示例。

[0141] 阶段5解说了在介电层1108被形成在基板1102和金属层1106之上之后的状态。不同的实现可以将不同的材料用于介电层1108。

[0142] 阶段6解说了腔体1109(例如,腔体1109a、腔体1109b)以及腔体1111(例如,腔体1111a、腔体1111b)被形成在介电层1108中之后的状态。不同实现可使用不同工艺来在介电层1108中形成腔。在一些实现中,激光可被用于形成腔。在一些实现中,光蚀刻工艺被用于形成腔。

[0143] 阶段7解说了通孔1112(例如,通孔1112a、通孔1112b)以及通孔1114(例如,通孔1114a、通孔1114b)被形成在介电层1108中之后的状态。具体而言,通孔1112被形成在介电层1108的腔体1109中,以及通孔1114被形成在介电层1108的腔体1111中。在一些实现中,通孔1112和通孔1104联合形成了垂直贯穿整个桥接1130的贯穿基板通孔(TSV)。通孔1104a和通孔1112a可以提供用于去往管芯的功率信号或接地参考信号的电路路径。在一些实现中,通孔1112是使用一个或多个电镀工艺形成的(诸)金属层。通孔1114耦合到金属层1106。图15-18解说了使用若干电镀工艺来形成一个或多个金属层的示例。在一些实现中,阶段7解说了可被实现在本公开中描述的任何基底的包封层中的桥接1130(例如,硅桥接)。应当注意,在一些实现中,一旦桥接被定位或嵌入在基底的包封层中,通孔1104和/或1112就可以被形

成。

[0144] 用于提供/制造包括贯穿基板通孔 (TSV) 的高密度互连桥接的方法的示例性流程图

[0145] 图12解说了用于提供/制造高密度互连硅桥接的方法1200的示例性流程图。在一些实现中,图12的方法可被用来提供/制造图2-10的高密度互连硅桥接和/或本公开中的其他高密度互连硅桥接。

[0146] 应当注意,图12的流程图可以组合一个或多个过程以简化和/或阐明该用于提供无源器件封装的方法。在一些实现中,可变化或修改这些工艺的顺序。

[0147] 该方法(在1205处)提供基板。在一些实现中,提供基板可包括从供应商接收基板或制造(例如,形成)基板。在一些实现中,基板包括硅基板、玻璃基板、陶瓷基板和/或晶片(例如,硅晶片)。

[0148] 该方法在基板中形成(在1210处)贯穿基板通孔 (TSV)。在一些实现中,形成TSV包括在基板中形成腔体并且用导电材料填充该腔体以定义TSV。在一些实现中,激光可被用于形成腔。在一些实现中,光蚀刻工艺被用于形成腔。镀敷工艺或丝网印刷工艺可以被用来形成通孔。在一些实现中,TSV被配置成提供用于功率信号或接地参考信号的电路径。

[0149] 该方法在基板上形成(在1215处)金属层以形成一个或多个高密度互连(例如,如图4-5中所述)。在一些实现中,形成金属层包括形成(例如,镀敷)一个或多个金属层(例如,晶种层和金属层)以及选择性地蚀刻该一个或多个金属层的各部分。图15-18解说了使用若干镀敷工艺来提供一个或多个金属层的示例。

[0150] 该方法在基板和金属层之上形成(在1220)介电层。不同实现可以将不同材料用于介电层。

[0151] 该方法接着在介电层中形成(在1225)至少一个腔。不同实现可使用不同工艺来在介电层中形成腔。在一些实现中,激光可被用于形成腔。在一些实现中,光蚀刻工艺被用于形成腔。

[0152] 该方法可任选地在介电层中形成(在1230)通孔。具体地,该方法用一个或多个导电材料(例如,金属层)来填充介电层的腔以在腔中形成通孔。一个或多个通孔可以被形成在基板中的TSV之上。在一些实现中,通孔是高密度通孔(例如,如图4-5中所述)。在一些实现中,通孔是使用一个或多个镀敷工艺形成的金属层。图15-18解说了使用若干镀敷工艺来提供一个或多个金属层的示例。应当注意,在一些实现中,一旦桥接被定位或嵌入基底部分的光可图案化层中,通孔可以被形成。

[0153] 用于提供/制造包括包含贯穿基板通孔 (TSV) 的高密度互连桥接的集成器件封装的示例性工序

[0154] 在一些实现中,提供/制造在包封层中包括包含贯穿基板通孔的高密度互连桥接的集成器件封装包括若干过程。图13(包括图13A-13C)解说了用于提供/制造在包封层中包括包含贯穿基板通孔的高密度互连桥接的集成器件封装的示例性工序。在一些实现中,图13A-13C的序列可被用于提供/制造图2-3、6-10的集成器件封装和/或本公开中的其他集成器件封装。然而,出于简化的目的,将在制造图3的集成器件封装的上下文中描述图13A-13C。

[0155] 应当注意,图13A-13C的序列可以组合一个或多个阶段以便简化和/或阐明用于提

供集成器件封装的序列。在一些实现中,可变化或修改这些工艺的顺序。

[0156] 图13A的阶段1解说了在载体1300上提供(例如,装载)桥接1302之后的状态。在一些实现中,载体1300是由供应商提供的。在一些实现中,载体1300被制造(例如,形成)。在一些实现中,载体1300包括硅基板和/或晶片(例如,硅晶片)。桥接1302可以包括基板、至少一个金属层、至少一个通孔、至少一个介电层、和/或至少一个贯穿基板通孔(TSV),如至少在图2-3中所描述的。桥接1302的示例包括图4-5中示出和描述的桥接。在一些实现中,桥接1302是配置成提供用于两个管芯之间的信号的连接和/或电路路径,以及为功率信号和/或接地参考信号提供去往和来自管芯的连接和/或电路路径的高密度互连桥接。在阶段1所示的,桥接1302耦合到载体1300的表面。在一些实现中,粘合剂被用来将桥接1302机械地耦合到载体1300。

[0157] 阶段2解说了在载体1300和桥接1302上提供(例如,形成)了包封层1304之后的状态。包封层1304可以是可光刻蚀刻介电层(例如,可通过是用光蚀刻工艺来蚀刻)。包封层1304至少部分地包封或者至少部分地覆盖了桥接1302。包封层1304可包括模塑和/或环氧树脂填料。

[0158] 阶段3解说了在包封层1304中形成至少一个腔1305之后的状态。至少一个腔1305通过使用光蚀刻工艺来移除,该光蚀刻工艺通过将包封层1304选择性地暴露于光源(例如,UV光)来选择性地移除包封层1304的一部分。

[0159] 阶段4解说了在包封层1304中形成至少一个通孔1306(例如,通孔1306a、通孔1306b)之后的状态。具体而言,通孔1306b和通孔1306b形成在包封层1304的腔中。通孔1306a贯穿包封层1304。通孔1306b形成在包封层1304中以耦合到桥接1302。在一些实现中,通孔1306是使用一个或多个镀敷工艺形成的(诸)金属层。图15-18解说了使用若干镀敷工艺来形成一个或多个金属层的示例。

[0160] 阶段5解说了在包封层1304的第一表面和/或通孔1306上形成第一金属层1308之后的状态。第一金属层1308可以配置成在包封层1304上定义一个或多个焊盘(例如,焊盘1308a、焊盘1308b)和/或迹线。焊盘1308a形成在通孔1306a之上。焊盘1308b形成在通孔1306b之上。在一些实现中,提供第一金属层1308包括:形成(例如,镀敷)一个或多个金属层(例如,晶种层和金属层)以及选择性地蚀刻该一个或多个金属层的各部分。图15-18解说了使用若干镀敷工艺来提供一个或多个金属层的示例。

[0161] 在一些实现中,通孔1306和第一金属层1308可以同时形成。同样的,在一些实现中,通孔1306是沿着腔壁形成的共形通孔,如图8-9中描述的。通孔1306(例如,通孔1306a、通孔1306b)可以具有包括V形或U形的剖面。

[0162] 如图13B中所示,阶段6解说了包封层1304和第一金属层1308上提供(例如形成)第一介电层且第一介电层1310中形成腔1312之后的状态。腔1312可以通过光蚀刻工艺形成。

[0163] 阶段7解说了至少一个通孔1314被形成在第一介电层1310中且金属层1316被形成在第一介电层1310上之后的状态。在一些实现中,通过形成(例如,镀敷)一个或多个金属层(例如,晶种层和金属层)以及选择性地蚀刻该一个或多个金属层的各部分来形成通孔1314和金属层1316。图15-18解说了使用若干镀敷工艺来提供一个或多个金属层的示例。金属层1316可以是重分布部分中的互连。

[0164] 阶段8解说了在第一介电层1310和金属层1316上提供(例如,形成)第二介电层

1318之后的状态。

[0165] 阶段9解说了在第二介电层1318上形成凸块下金属化 (UBM) 层1320之后的状态。UBM层1320被形成以使得UBM层1320耦合至金属层1316。在一些实现中,提供UBM层1320包括:形成(例如,镀敷)一个或多个金属层(例如,晶种层和金属层)以及选择性地蚀刻该一个或多个金属层的各部分。图15-18解说了使用若干镀敷工艺来形成一个或多个金属层的示例。

[0166] 阶段10解说了载体1300从基底1330解耦之后的状态,该基底1330包括桥接1302、包封层1304、通孔1306、金属层1308、介电层1310、通孔1314、金属层1316、介电层1318、和UBM层1320。

[0167] 如图13C中所示,阶段11解说了基底1330被任选地翻转之后的状态。

[0168] 阶段12解说了在包封层1304和桥接1302上形成金属层1340之后的状态。金属层1340可以形成一个或多个焊盘和/或迹线。金属层1340的一些部分可以耦合到包封层1304中的通孔和桥接1302中的通孔。在一些实现中,提供金属层1340包括:形成(例如,镀敷)一个或多个金属层(例如,晶种层和金属层)以及选择性地蚀刻该一个或多个金属层的各部分。图15-18解说了使用若干镀敷工艺来提供一个或多个金属层的示例。虽然未示出,但是阻焊层可以被形成在一些金属层1340之上。

[0169] 阶段13解说了在基底1330上提供(例如,耦合、装载)第一管芯1350和第二管芯1352之后的状态。具体而言,第一管芯1350通过一组互连(可以包括至少一个柱和/或焊料)耦合到金属层1340的各部分。第二管芯1352通过另一组互连(可以包括至少一个柱和/或焊料)耦合到金属层1340的其他部分。在一些实现中,填料(未示出)可以在管芯1350-1352和基底1330之间形成。填料可以包括非导电填料(NCF)和/或非导电膏(NCP)。

[0170] 阶段14解说了在UBM层1320上提供焊球1360之后的状态。

[0171] 用于提供/制造包括包含贯穿基板通孔(TSV)的高密度互连桥接的集成器件封装的示例性方法

[0172] 图14解说了用于提供/制造在包封层中包括具有贯穿基板通孔(TSV)的高密度互连桥接的集成器件封装的方法1400的示例性流程图。在一些实现中,图14的方法可被用来提供/制造图2的集成器件封装和/或本公开中的其他集成器件封装。

[0173] 应当注意,图14的流程图可以组合一个或多个过程以简化和/或阐明该用于提供集成器件封装的方法。在一些实现中,可变化或修改这些工艺的顺序。

[0174] 该方法提供(在1405)载体。在一些实现中,载体是由供应商提供的。在一些实现中,载体被制造(例如,形成)。在一些实现中,载体包括硅基板和/或晶片(例如,硅晶片)。

[0175] 该方法随后将桥接耦合(在1410)到载体。桥接可包括基板、至少一个金属层、至少一个通孔、和/或至少一个介电层,如图2-5中所述。在一些实现中,桥接是配置成提供两个管芯之间的连接和/或电路路径以及为功率信号和/或接地参考信号提供去往和来自管芯的连接和/或电路路径的高密度互连桥接。在一些实现中,粘合剂被用来将桥接机械地耦合到载体。

[0176] 该方法在该载体和该桥接上或上方形成(在1415)包封层。该包封层可以是可光刻蚀刻介电层。该包封层至少部分覆盖桥接。

[0177] 该方法在包封层中形成(在1420)至少一个通孔。在一些实现中,形成通孔包括通

过使用光蚀刻工艺来在包封层中形成至少一个腔,该光蚀刻工艺选择性地移除包封层的各部分(例如,通过将包封层选择性地暴露于光源(例如,UV光))。该方法随后用一个或多个金属层填充腔。在一些实现中,通孔是使用一个或多个镀敷工艺和/或丝网印刷工艺形成的(诸)金属层。图15-18解说了使用若干镀敷工艺来形成一个或多个金属层的示例。

[0178] 该方法在包封部分/层上或上方形成(在1425)重分布部分。在一些实现中,形成重分布部分包括:形成至少一个介电层和至少一个金属层。一个金属层可以定义一个或多个互连(例如,焊盘、迹线、通孔、桩、柱、重分布互连)。在一些实现中,提供金属层包括形成(例如,镀敷)一个或多个金属层(例如,晶种层和金属层)以及选择性地蚀刻该一个或多个金属层的各部分。图15-18解说了使用若干镀敷工艺来提供一个或多个金属层的示例。

[0179] 该方法随后解耦(在1430)载体,留下包括包封层、桥接、通孔、焊盘、和重分布部分的基底。不同的实现用以用不同方式解耦(例如,移除)载体。在一些实现中,载体从桥接和包封层分离。在一些实现中,载体是被蚀除的。

[0180] 该方法在包封层和桥接上形成(在1435)焊盘、迹线和阻焊层。在一些实现中,提供焊盘包括形成(例如,镀敷)一个或多个金属层(例如,晶种层和金属层)并且选择性地蚀刻该一个或多个金属层的各部分来定义焊盘。图15-18解说了使用若干镀敷工艺来提供一个或多个金属层的示例。该方法也可以在焊盘上提供焊球。

[0181] 该方法随后将第一管芯和第二管芯耦合(在1440)到包封层上的焊盘。在一些实现中,一组互连(例如,柱、焊料)被用来将第一和第二管芯耦合到包封层上的焊盘。该方法还可以在第二管芯与包封层之间提供填料。填料可以包括非导电填料(NCF)和/或非导电膏(NCP)。

[0182] 该方法还在重分布部分上提供(在1445)焊球。例如,该方法可以在重分布层的UBM层上提供焊球。

[0183] 示例性半加成图案化(SAP)工艺

[0184] 在本公开中描述了各种互连(例如,迹线、通孔、焊盘)。这些互连可以被形成在基底、包封层、包封部分、桥接和/或重分布部分中。在一些实现中,这些互连可包括一个或多个金属层。例如,在一些实现中,这些互连可包括第一金属晶种层和第二金属层。可使用不同镀敷工艺来提供(例如,形成)这些金属层。以下是具有晶种层的互连(例如,迹线、通孔、焊盘)的详细示例以及可如何使用不同镀敷工艺来形成这些互连。这些镀敷工艺被描述为在介电层中或介电层上形成互连。在一些实现中,这些镀敷工艺可以被用来在包封层中或包封层上形成互连。

[0185] 不同的实现可使用不同的工艺来形成和/或制造金属层(例如,互连、重分布层、凸块下金属化层)。在一些实现中,这些工艺包括半加成图案化(SAP)工艺和镶嵌工艺。这些各种不同工艺在下文进一步描述。

[0186] 图15解说了用于使用半加成图案化(SAP)工艺来形成互连以在一个或多个介电层中提供和/或形成互连的序列。如图15中所示,阶段1解说了在提供(例如,形成)介电层1502之后的集成器件(例如,基板)的状态。在一些实现中,阶段1解说了介电层1502包括第一金属层1504。在一些实现中,第一金属层1504是晶种层。在一些实现中,可在提供(例如,接收或形成)介电层1502之后在介电层1502上提供(例如,形成)第一金属层1504。阶段1解说了在介电层1504的第一表面上提供(例如,形成)第一金属层1502。在一些实现中,第一金属层

1504是通过使用沉积工艺(例如,PVD、CVD、镀敷工艺)来提供的。

[0187] 阶段2解说了在第一金属层1504上选择性地提供(例如,形成)光致抗蚀层1506(例如,光显影抗蚀层)之后的集成器件的状态。在一些实现中,选择性地提供光致抗蚀层1506包括在第一金属层1504上提供光致抗蚀层1506并且通过显影(例如,使用显影工艺)来选择性地移除光致抗蚀层1506的一些部分。阶段2解说了提供抗蚀层1506,从而形成腔1508。

[0188] 阶段3解说了在腔1508中形成第二金属层1510之后的集成器件的状态。在一些实现中,在第一金属层1504的暴露部分之上形成第二金属层1510。在一些实现中,第二金属层1510是通过使用沉积工艺(例如,镀敷工艺)来提供的。

[0189] 阶段4解说了在移除光致抗蚀层1506之后的集成器件的状态。不同实现可使用不同工艺来移除抗蚀层1506。

[0190] 阶段5解说了在选择性地移除第一金属层1504的一些部分之后的集成器件的状态。在一些实现中,移除第一金属层1504中未被第二金属层1510覆盖的一个或多个部分。如阶段5所示,剩余第一金属层1504和第二金属层1510可形成和/或限定集成器件和/或基板中的互连1512(例如,迹线、通孔、焊盘)。在一些实现中,移除第一金属层1504,以使得位于第二金属层1510下方的第一金属层1504的尺寸(例如,长度、宽度)与第二金属层1510的尺寸(例如,长度、宽度)大致相同或者比其小,这可导致底切,如图15的阶段5所示。在一些实现中,以上提及的过程可被迭代若干次以在集成器件和/或基板的一个或多个介电层中提供和/或形成若干互连。

[0191] 图16解说了用于使用(SAP)工艺以在一个或多个介电层中提供和/或形成互连的方法的流程图。该方法(在1605)提供介电层(例如,介电层1502)。在一些实现中,提供介电层包括形成介电层。在一些实现中,提供介电层包括形成第一金属层(例如,第一金属层1504)。在一些实现中,第一金属层是晶种层。在一些实现中,可在提供(例如,接收或形成)介电层之后在介电层上提供(例如,形成)第一金属层。在一些实现中,第一金属层是通过使用沉积工艺(例如,物理气相沉积(PVD)或镀敷工艺)来提供的。

[0192] 该方法(在1610)在第一金属层上选择性地提供光致抗蚀层(例如,光显影抗蚀层1506)。在一些实现中,选择性地提供抗光致蚀层包括在第一金属层上提供光致抗蚀层并且选择性地移除该光致抗蚀层的一些部分(这提供了一个或多个腔)。

[0193] 该方法随后(在1615)在光致抗蚀层的腔中提供第二金属层(例如,第二金属层1510)。在一些实现中,在第一金属层的暴露部分之上形成第二金属层。在一些实现中,第二金属层是通过使用沉积工艺(例如,镀敷工艺)来提供的。

[0194] 该方法进一步(在1620)移除光致抗蚀层。不同实现可使用不同工艺来移除光致抗蚀层。该方法还(在1625)选择性地移除第一金属层的一些部分。在一些实现中,移除第一金属层中未被第二金属层覆盖的一个或多个部分。在一些实现中,任何剩余第一金属层和第二金属层可形成和/或限定集成器件和/或基板中的一个或多个互连(例如,迹线、通孔、焊盘)。在一些实现中,以上提及的方法可被迭代若干次以在集成器件和/或基板的一个或多个介电层中提供和/或形成若干互连。

[0195] 示例性镶嵌工艺

[0196] 图17解说了用于使用镶嵌工艺来形成互连以在介电层中提供和/或形成互连的工序。如图17中所示,阶段1解说了在提供(例如,形成)介电层1702之后的集成器件的状态。在



一些实现中,介电层1702是无机层(例如,无机膜)。

[0197] 阶段2解说了在介电层1702中形成腔1704之后的集成器件的状态。不同实现可使用不同工艺来在介电层1702中提供腔1704。

[0198] 阶段3解说了在介电层1702上提供第一金属层1706之后的集成器件的状态。如阶段3所示,在介电层1702的第一表面上提供第一金属层1706。在介电层1702上提供第一金属层1706,以使得第一金属层1706采取介电层1702的轮廓,包括腔1704的轮廓在内。在一些实现中,第一金属层1706是晶种层。在一些实现中,第一金属层1706是通过使用沉积工艺(例如,物理气相沉积(PVD)、化学气相沉积(CVD)、或镀敷工艺)来提供的。

[0199] 阶段4解说了在腔1704中和介电层1702的表面形成第二金属层1708之后的集成器件的状态。在一些实现中,在第一金属层1706的暴露部分之上形成第二金属层1708。在一些实现中,第二金属层1708是通过使用沉积工艺(例如,镀敷工艺)来提供的。

[0200] 阶段5解说了在移除第二金属层1708的一些部分和第一金属层1706的一些部分之后的集成器件的状态。不同实现可使用不同工艺来移除第二金属层1708和第一金属层1706。在一些实现中,化学机械抛光(CMP)工艺被用来移除第二金属层1708的一些部分和第一金属层1706的一些部分。如阶段5所示,剩余第一金属层1706和第二金属层1708可形成和/或限定集成器件和/或基板中的互连1712(例如,迹线、通孔、焊盘)。如阶段5所示,以在第二金属层1708的基底部分和(诸)侧部上形成第一金属层1706的方式来形成互连1712。在一些实现中,腔1704可包括两层电介质的沟槽和/或孔洞的组合,以使得通孔和互连(例如,金属迹线)可以在单个沉积步骤中被形成。在一些实现中,以上提及的过程可被迭代若干次以在集成器件和/或基板的一个或多个介电层中提供和/或形成若干互连。

[0201] 图18解说了用于使用镶嵌工艺来形成互连以在介电层中提供和/或形成互连的方法1800的流程图。该方法(在1805)提供介电层(例如,介电层1702)。在一些实现中,提供介电层包括形成介电层。在一些实现中,提供介电层包括从供应器接收介电层。在一些实现中,介电层是无机层(例如,无机膜)。

[0202] 该方法(在1810)在介电层中形成至少一个腔(例如,腔1704)。不同实现可使用不同工艺来在介电层中提供腔。

[0203] 该方法(在1815)在介电层上提供第一金属层(例如,第一金属层1706)。在一些实现中,在介电层的第一表面上提供(例如,形成)第一金属层。在一些实现中,在介电层上提供第一金属层,以使得第一金属层采取介电层的轮廓,包括腔的轮廓在内。在一些实现中,第一金属层是晶种层。在一些实现中,第一金属层1706是通过使用沉积工艺(例如,PVD、CVD或镀敷工艺)来提供的。

[0204] 该方法(在1820)在腔和介电层的表面中提供第二金属层(例如,第二金属层1708)。在一些实现中,在第一金属层的暴露部分之上形成第二金属层。在一些实现中,第二金属层是通过使用沉积工艺(例如,镀敷工艺)来提供的。在一些实现中,第二金属层与第一金属层类似或相同。在一些实现中,第二金属层不同于第一金属层。

[0205] 该方法随后(在1825)移除第二金属层的一些部分和第一金属层的一些部分。不同实现可使用不同工艺来移除第二金属层和第一金属层。在一些实现中,化学机械抛光(CMP)工艺被用来移除第二金属层的一些部分和第一金属层的一些部分。在一些实现中,剩余第一金属层和第二金属层可形成和/或限定互连(例如,互连1712)。在一些实现中,互连可包

括集成器件和/或基板中的迹线、通孔、和/或焊盘。在一些实现中，以在第二金属层的基底部分和(诸)侧部上形成第一金属层的方式来形成互连。在一些实现中，以上提及的方法可被迭代若干次以在集成器件和/或基板的一个或多个介电层中提供和/或形成若干互连。

[0206] 示例性电子设备

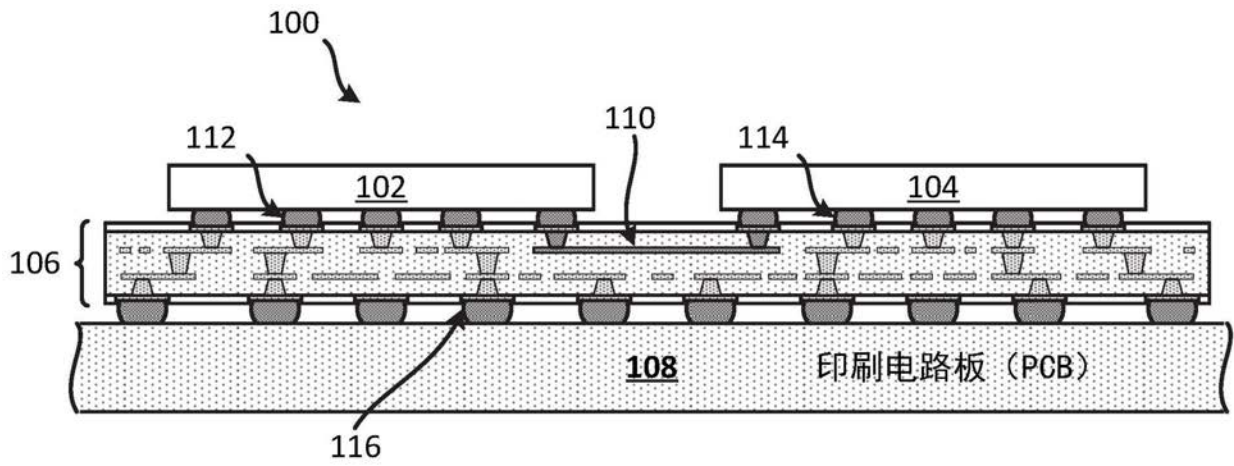
[0207] 图19解说了可集成有前述集成器件、半导体器件、集成电路、管芯、中介体、封装或层叠封装(PoP)中的任何一者的各种电子设备。例如，移动电话设备1902、膝上型计算机设备1904、以及固定位置终端设备1906可包括如本文所描述的集成器件1900。集成器件1900可以是例如本文中所描述的集成电路、管芯、封装、层叠封装中的任何一者。图19中所解说的设备1902、1904、1906仅是示例性的。其它电子设备也能以集成器件1900为其特征，此类电子设备包括但不限于包括以下各项的设备群：移动设备、手持式个人通信系统(PCS)单元、便携式数据单元(诸如个人数字助理)、启用全球定位系统(GPS)的设备、导航设备、机顶盒、音乐播放器、视频播放器、娱乐单元、固定位置数据单元(诸如仪表读数装备)、通信设备、智能电话、平板计算机、计算机、可穿戴设备、固定位置终端、膝上型计算机、移动电话、或者存储或检索数据或计算机指令的任何其它设备，或者其任何组合。

[0208] 在图2、3、4、5、6、7、8、9、10、11、12、13A-13C、14、15、16、17、18和/或19中解说的一个或多个组件、特征、和/或功能可被重新安排和/或组合成单个的组件、步骤、特征或功能，或可实施在若干组件、步骤或功能中。也可添加附加的元件、组件、步骤、和/或功能而不会脱离本公开。还应当注意，本公开中的图2、3、4、5、6、7、8、9、10、11、12、13A-13C、14、15、16、17、18和/或19及其对应描述不限于管芯和/或IC。在一些实现中，图2、3、4、5、6、7、8、9、10、11、12、13A-13C、14、15、16、17、18和/或19及其相应描述可被用于制造、创建、提供、和/或生产集成器件。在一些实现中，器件可包括管芯、管芯封装、集成电路(IC)、集成器件、集成器件封装、晶片、半导体器件、层叠封装结构、和/或中介体。

[0209] 措辞“示例性”在本文中用于表示“用作示例、实例、或解说”。本文中描述为“示例性”的任何实现或方面不必被解释为优于或胜过本公开的其他方面。同样，术语“方面”不要求本公开的所有方面都包括所讨论的特征、优点或操作模式。术语“耦合”在本文中用于指代两个对象之间的直接或间接耦合。例如，如果对象A物理地接触对象B，且对象B接触对象C，则对象A和C可仍被认为是彼此耦合的一即便它们并非彼此直接物理接触。

[0210] 还应当注意，各实施例可能是作为被描绘为流程图、流图、结构图、或框图的过程来描述的。尽管流程图可能会将各操作描述为顺序过程，但是这些操作中的许多操作能够并行或并发地执行。另外，这些操作的次序可被重新安排。过程在其操作完成时终止。

[0211] 本文中所描述的本公开的各种特征可实现于不同系统中而不会脱离本公开。应注意，本公开的以上各方面仅是示例，且不应被解释成限定本公开。对本公开的各方面的描述旨在是解说性的，而非限定所附权利要求的范围。由此，本发明的教导可以现成地应用于其他类型的装置，并且许多替换、修改和变形对于本领域技术人员将是显而易见的。



(现有技术)

图1

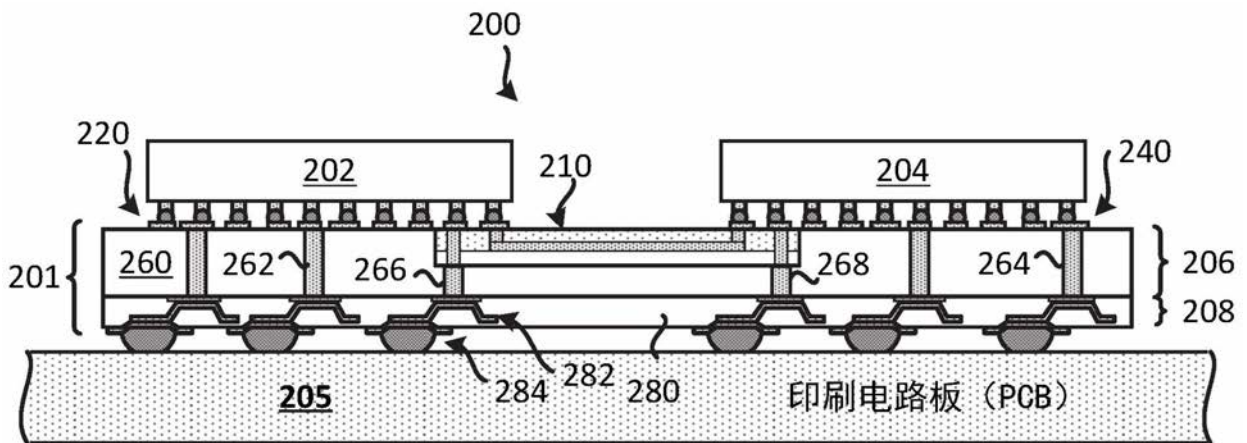


图2

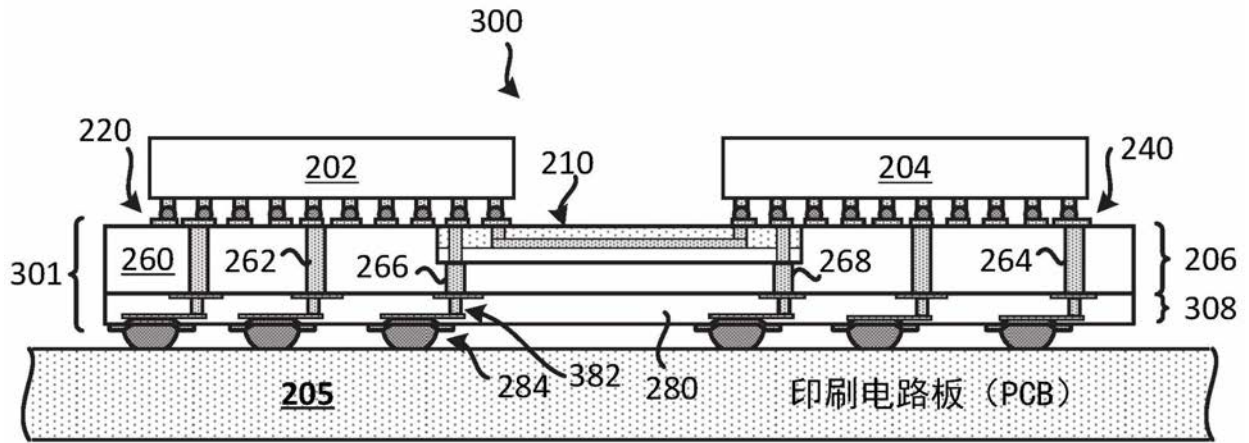
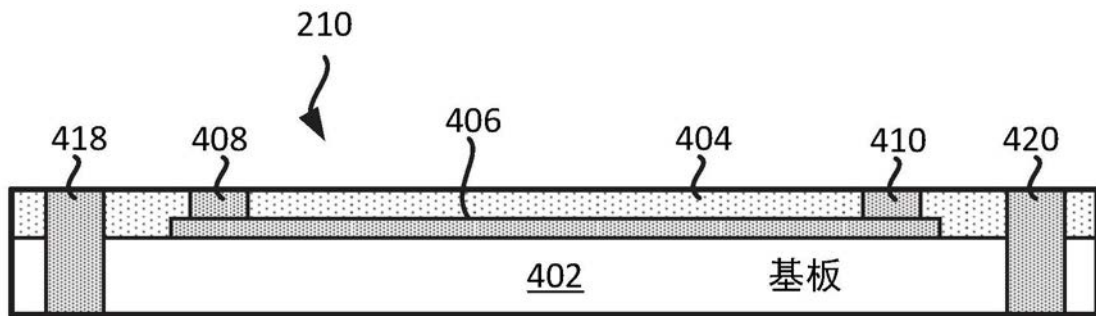
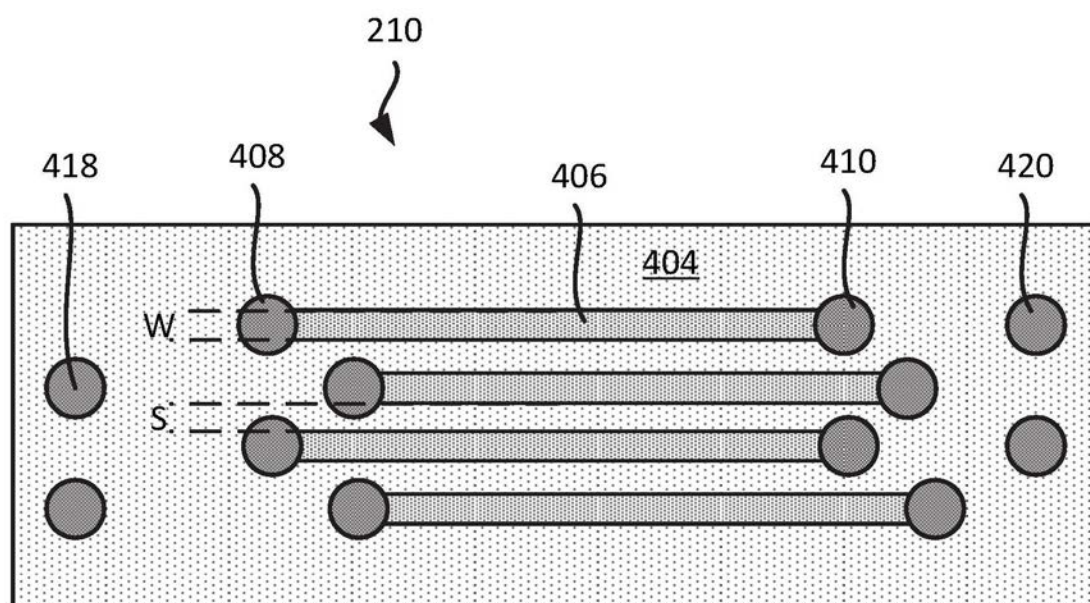


图3



剖面图

图4



平面图

图5

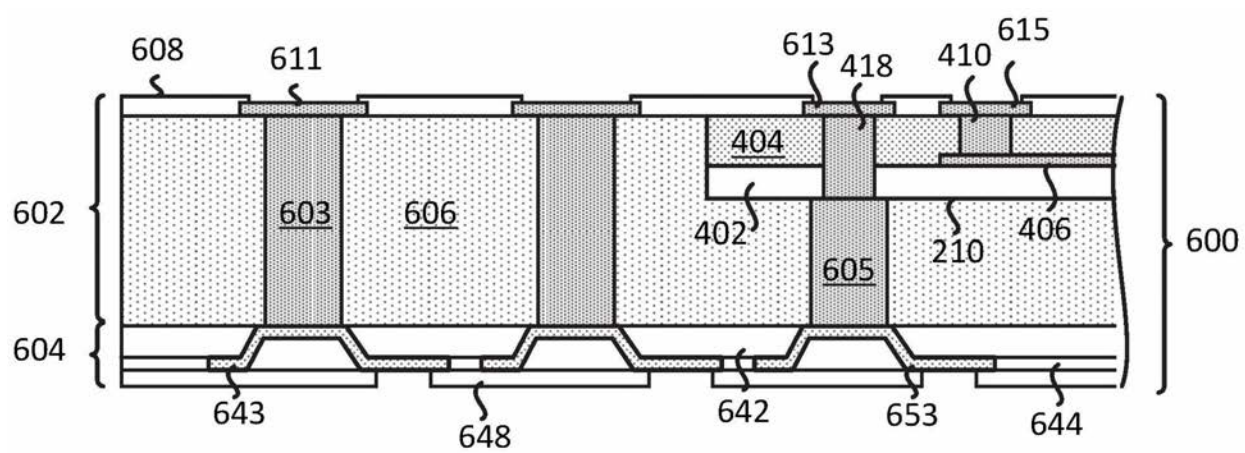


图6



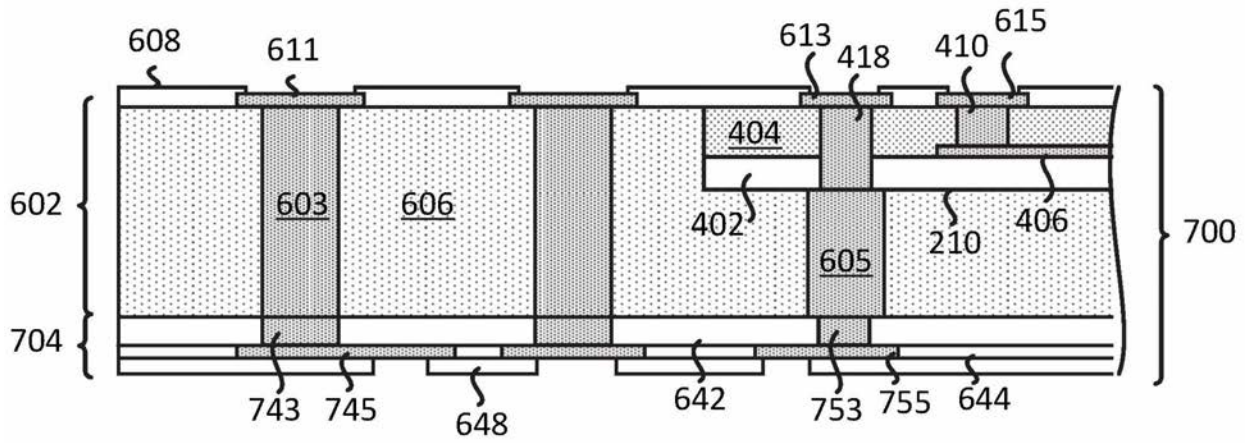


图7

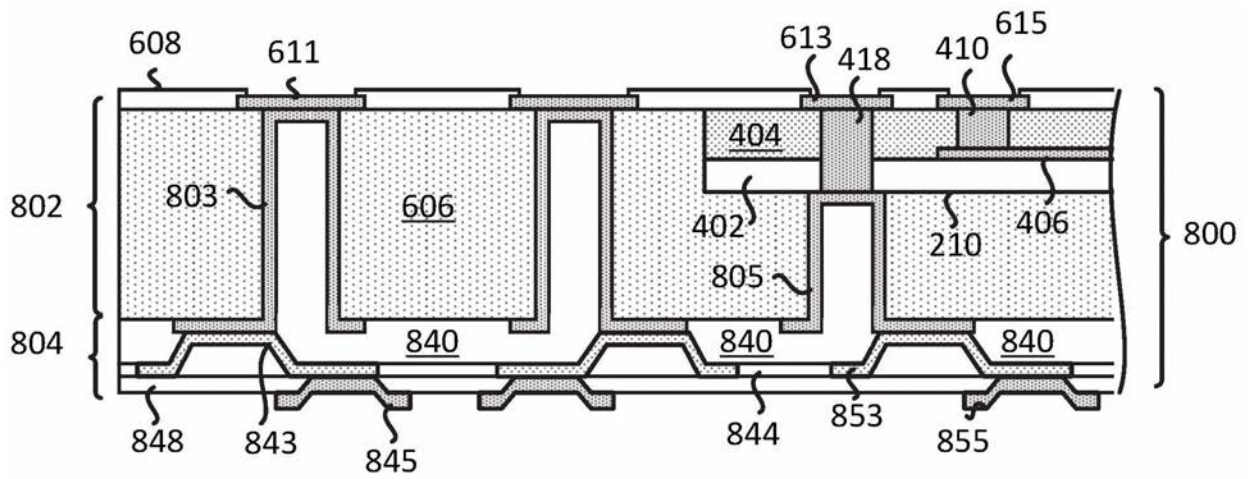


图8

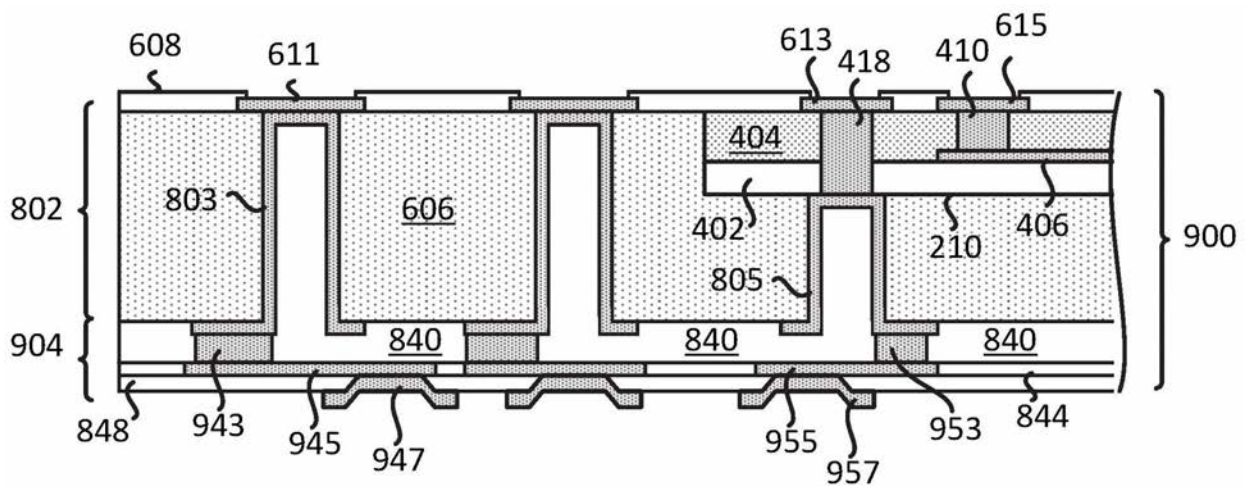


图9

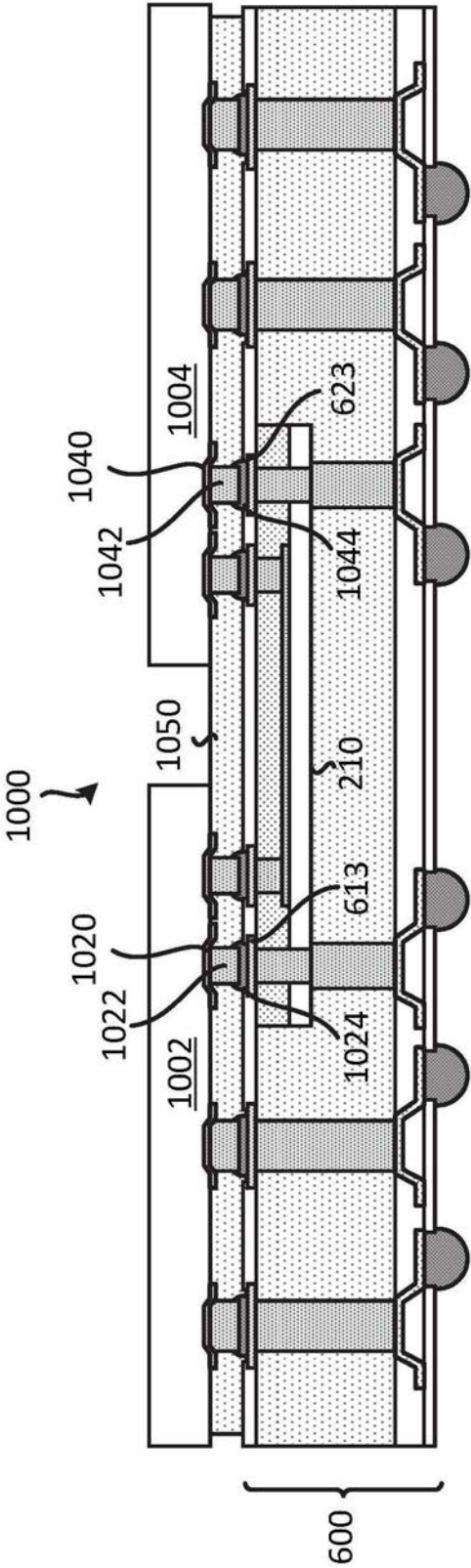


图10

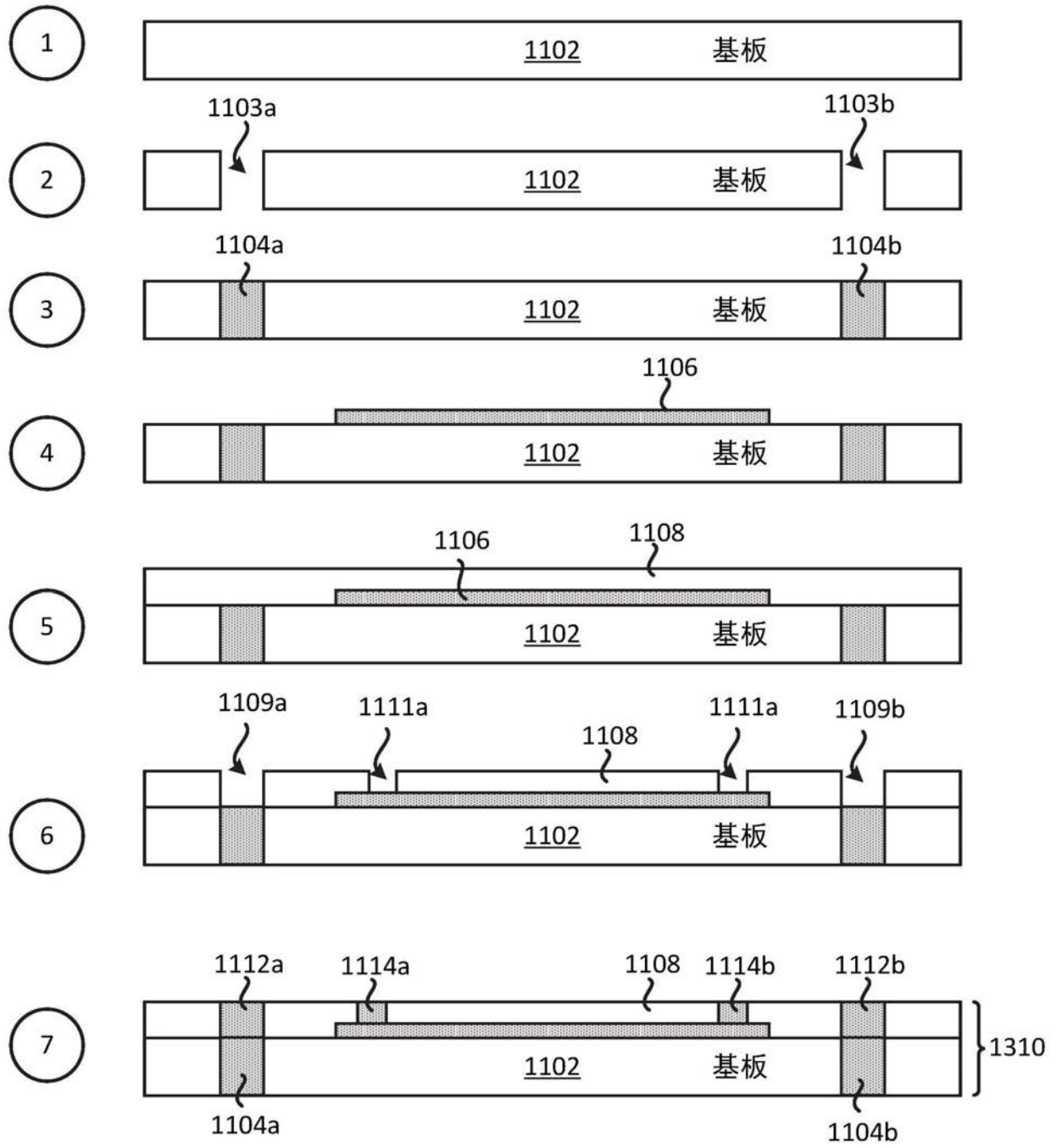


图11



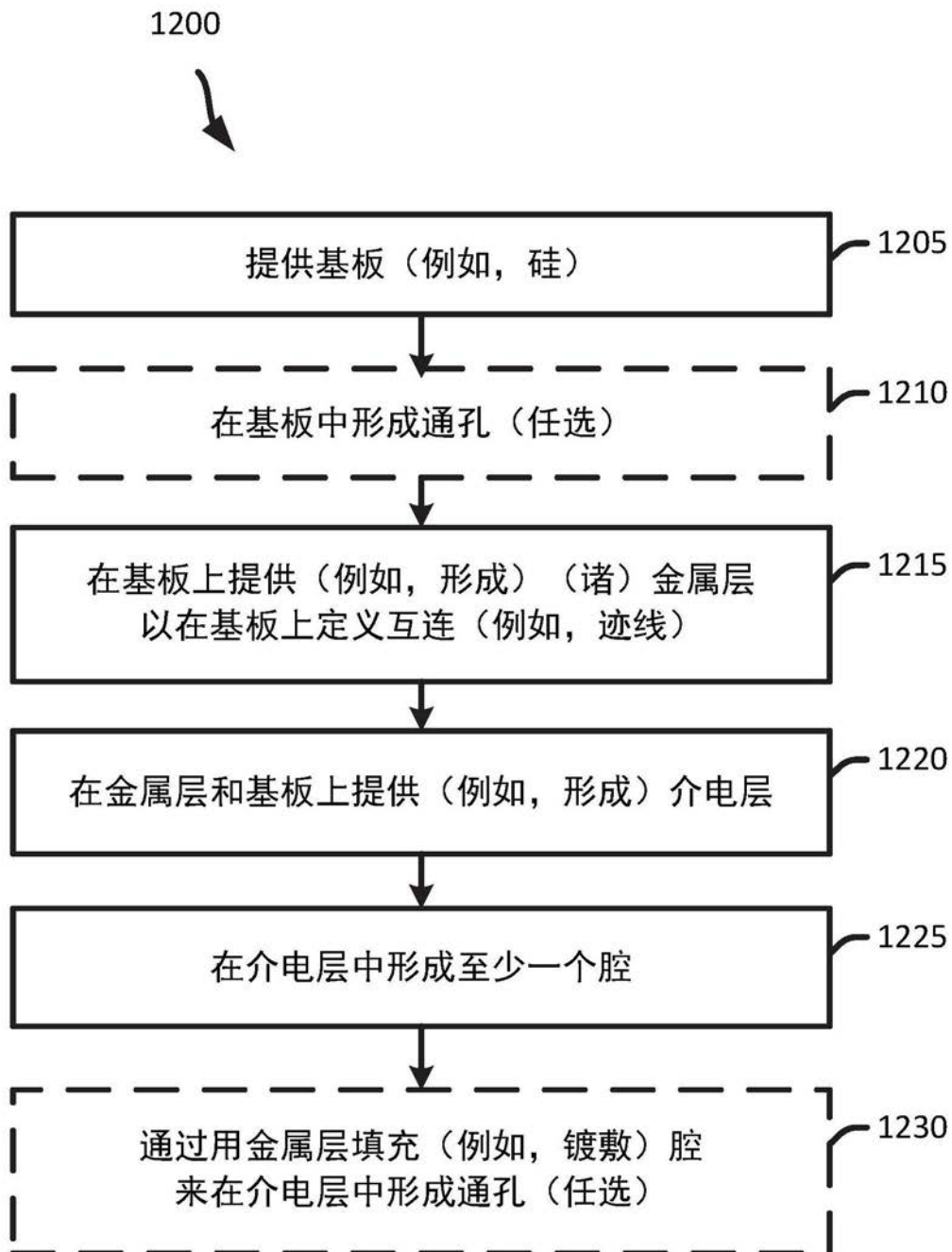


图12

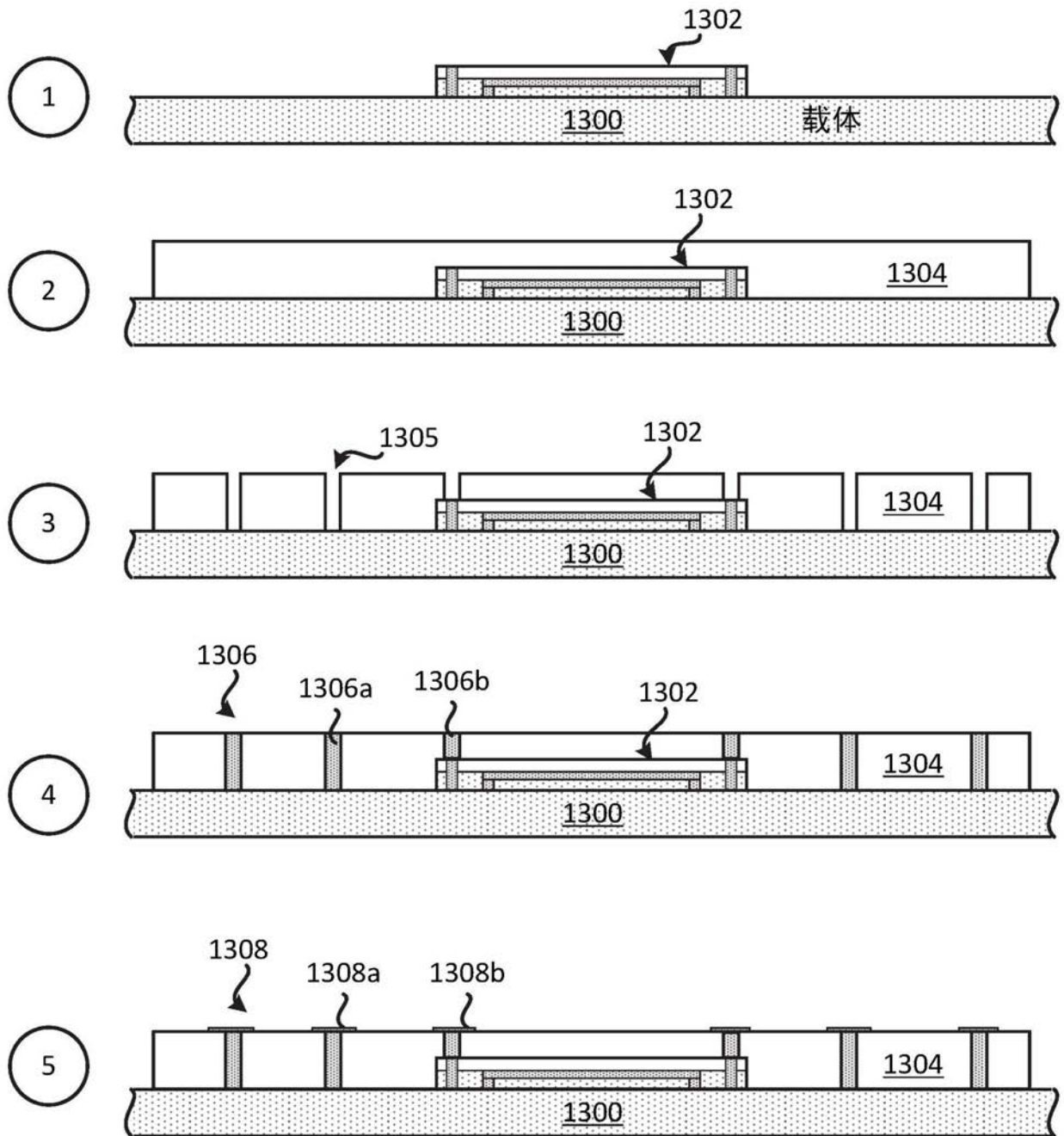


图13A

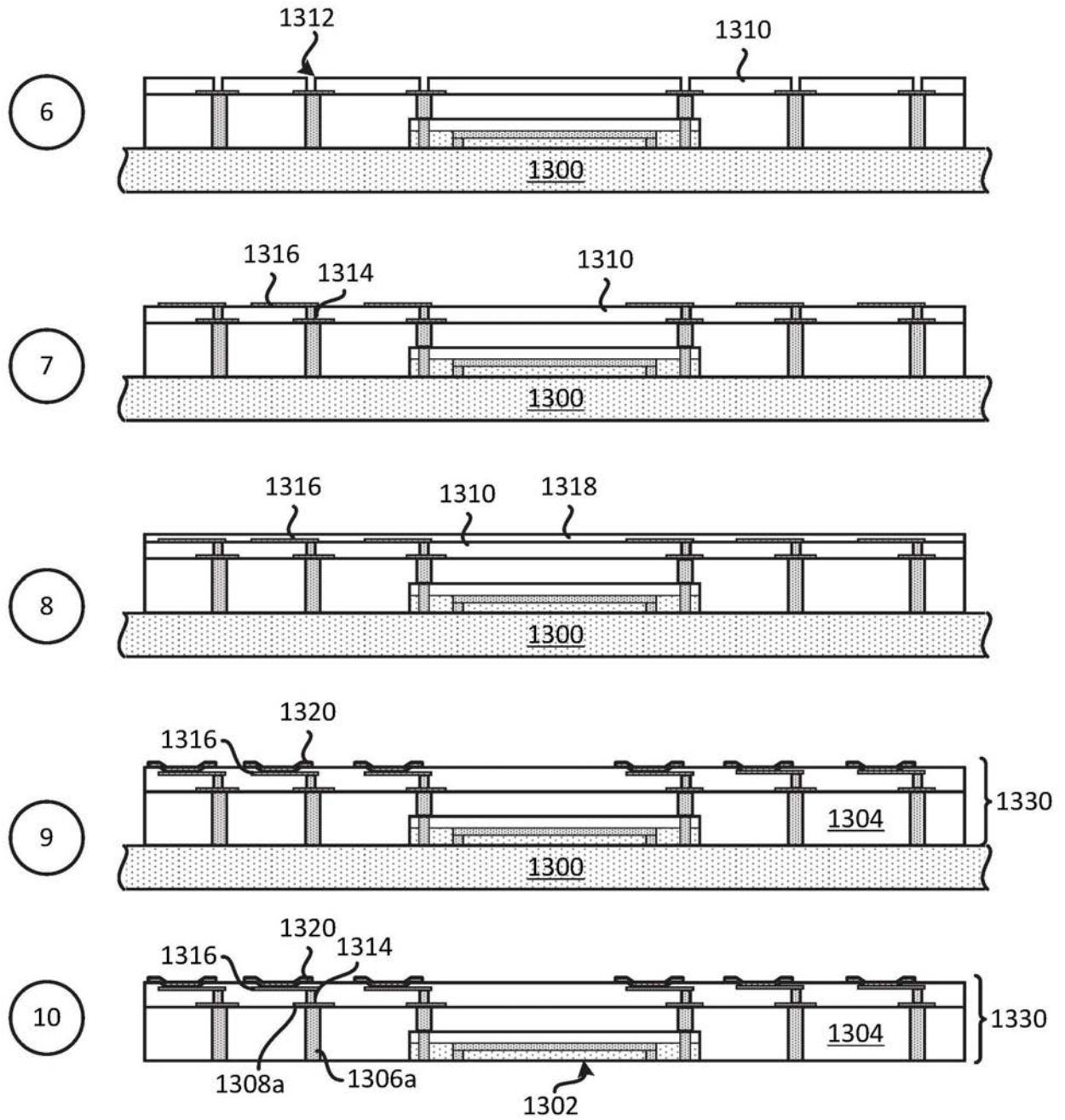


图13B

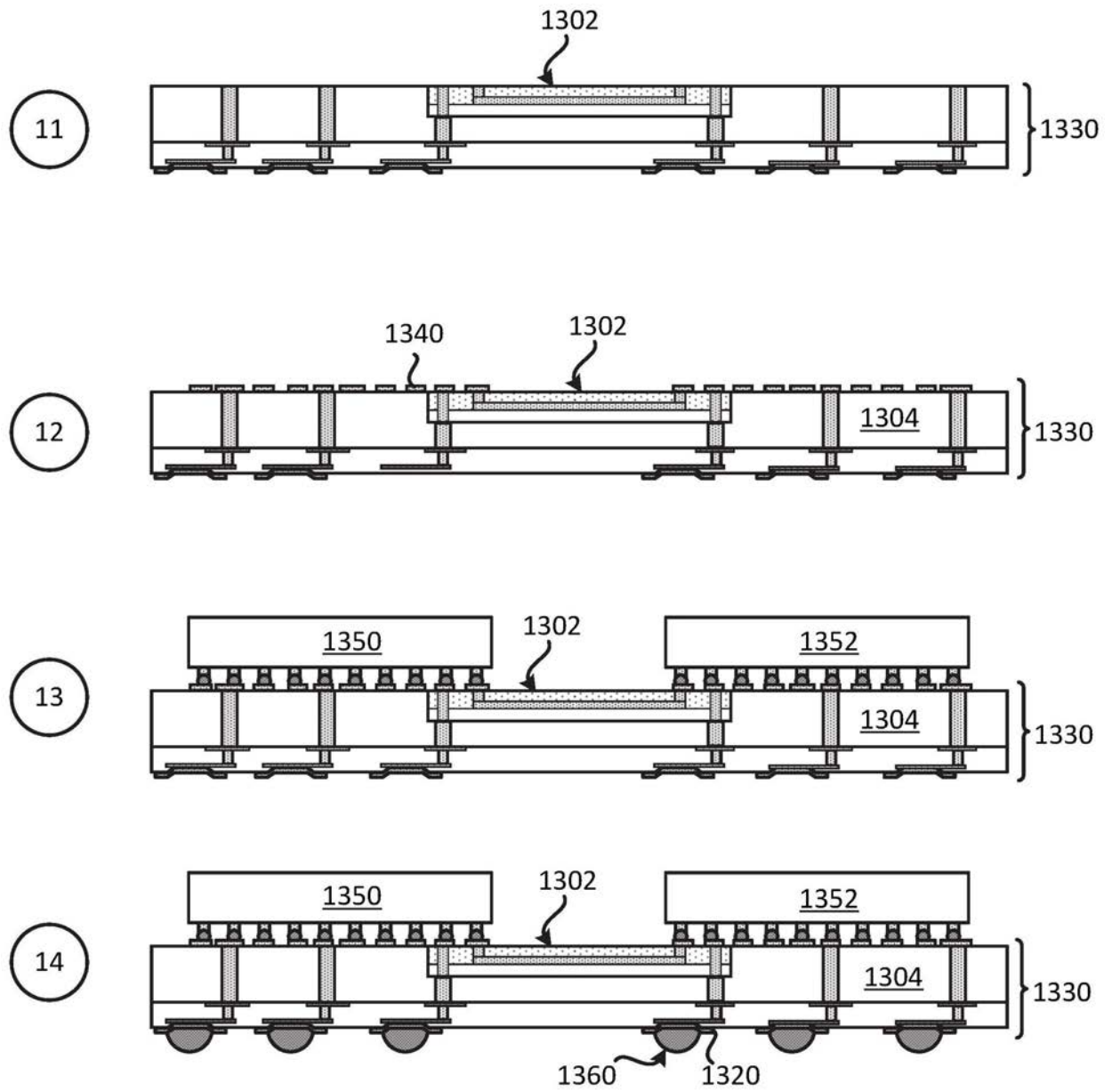


图13C

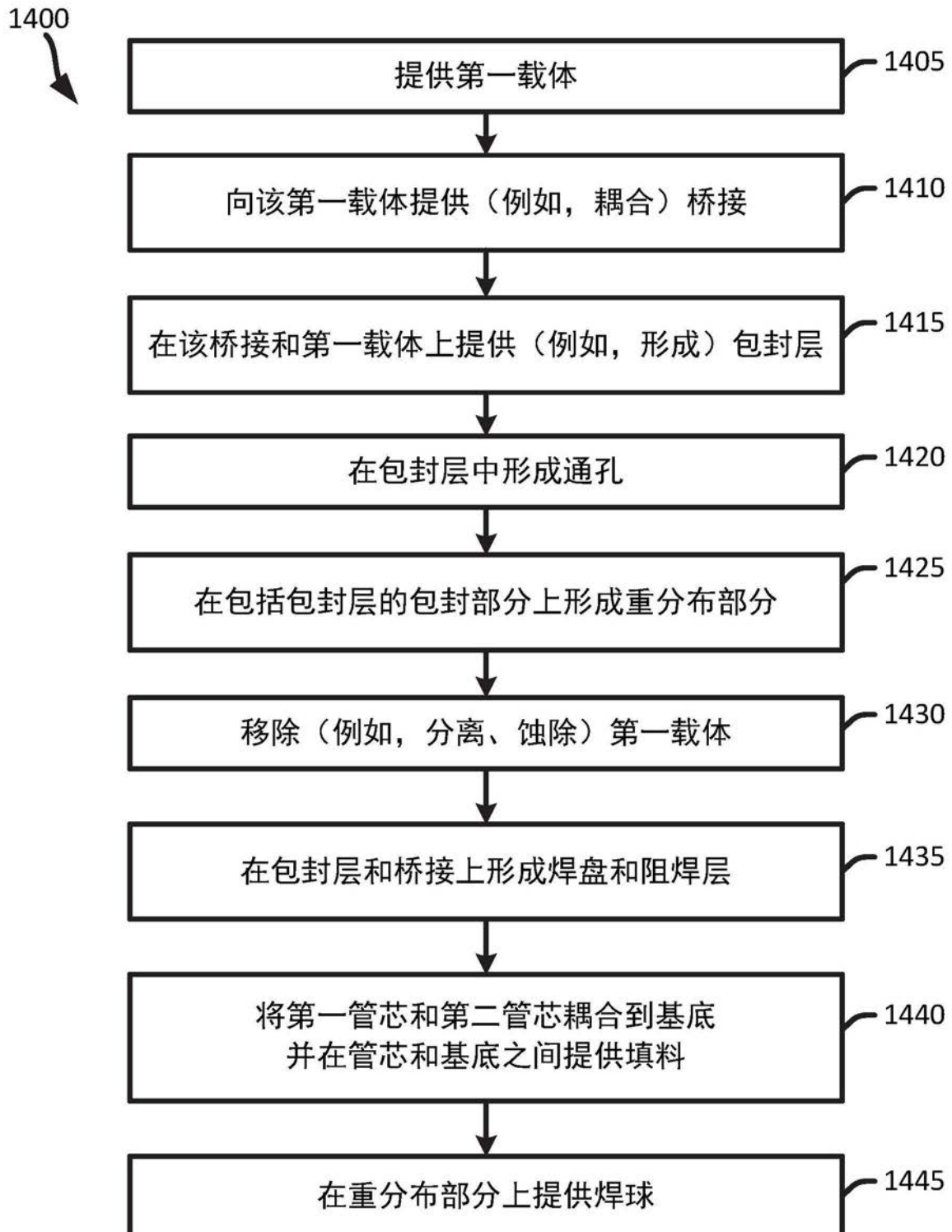


图14

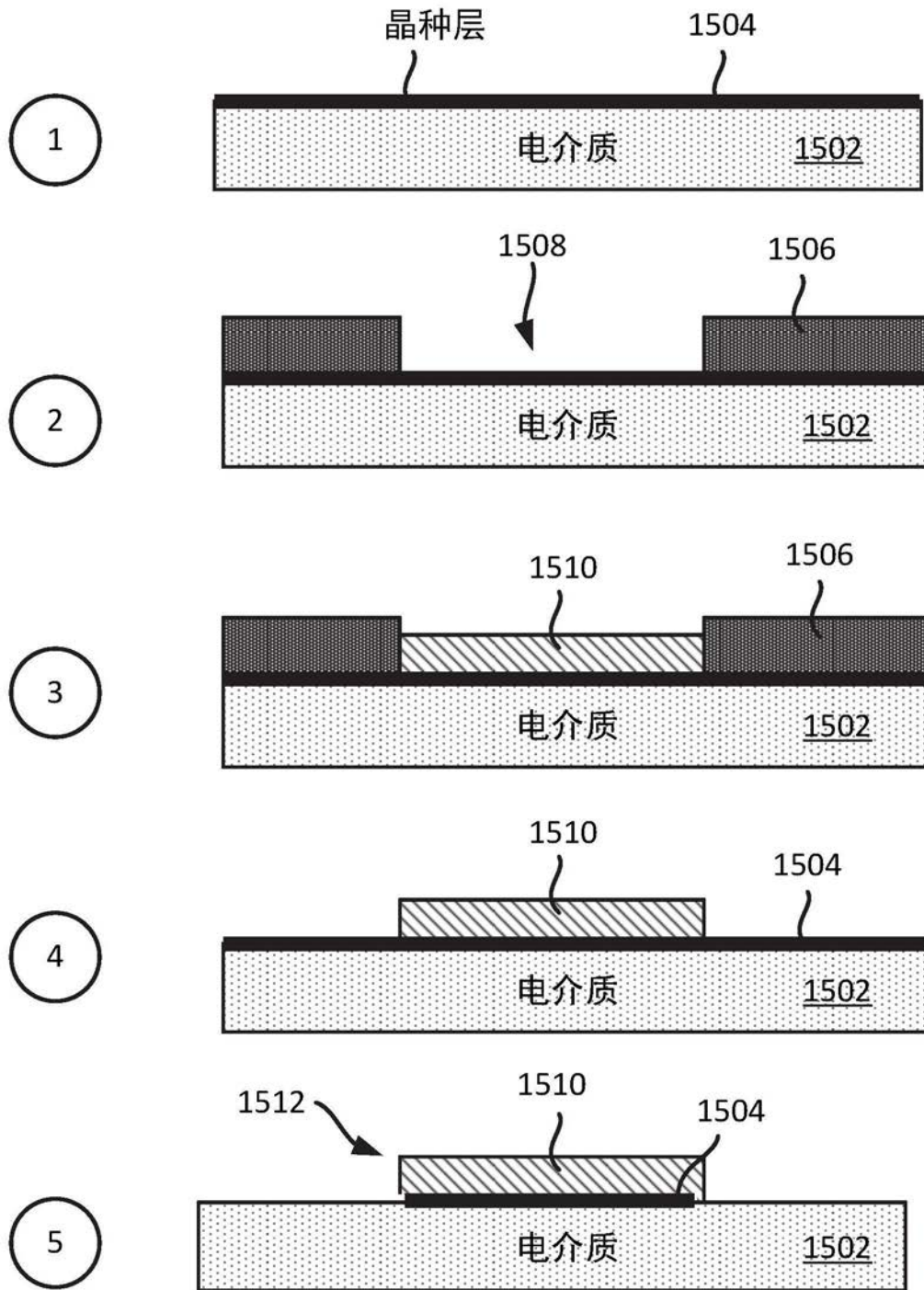


图15



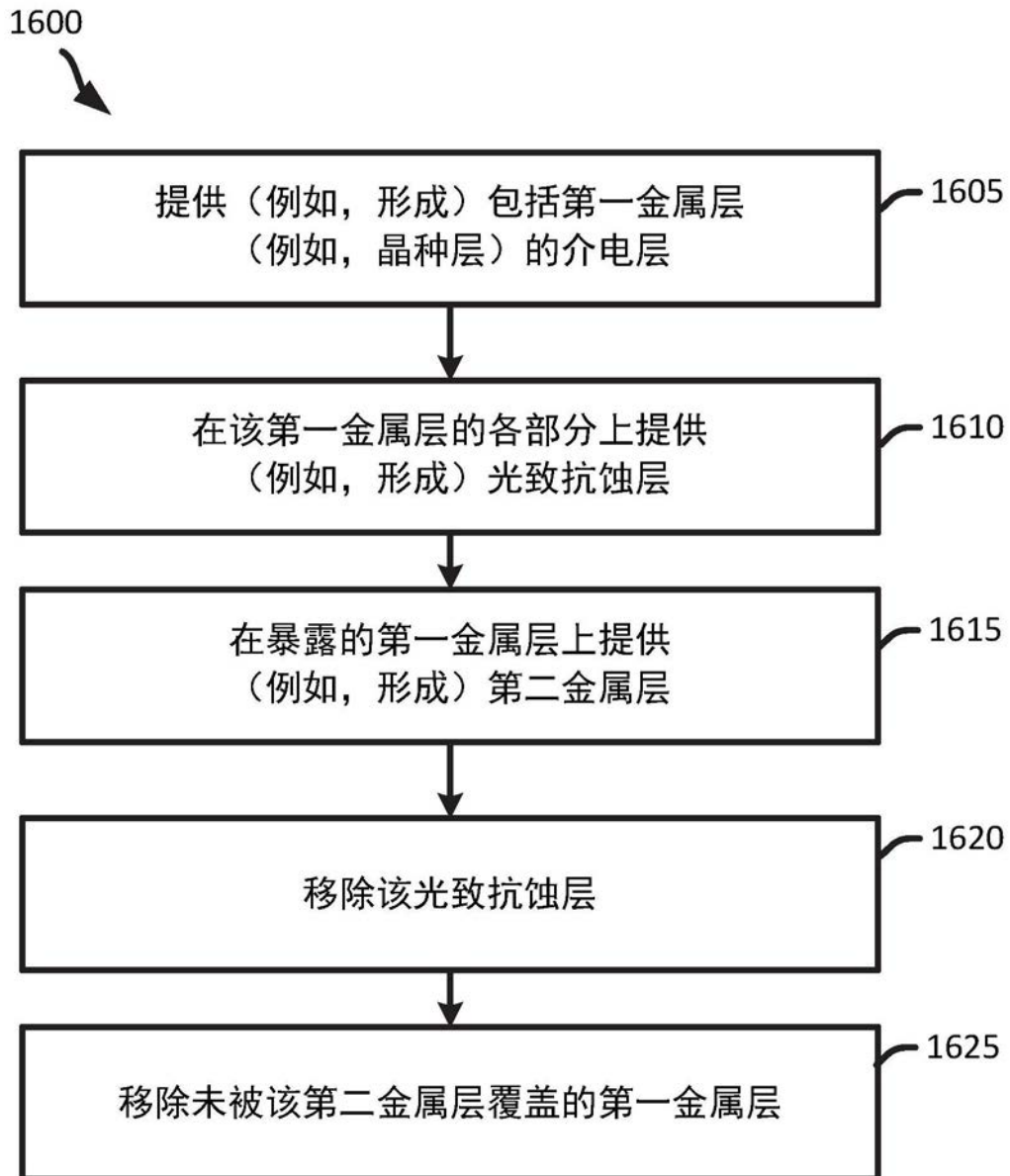


图16

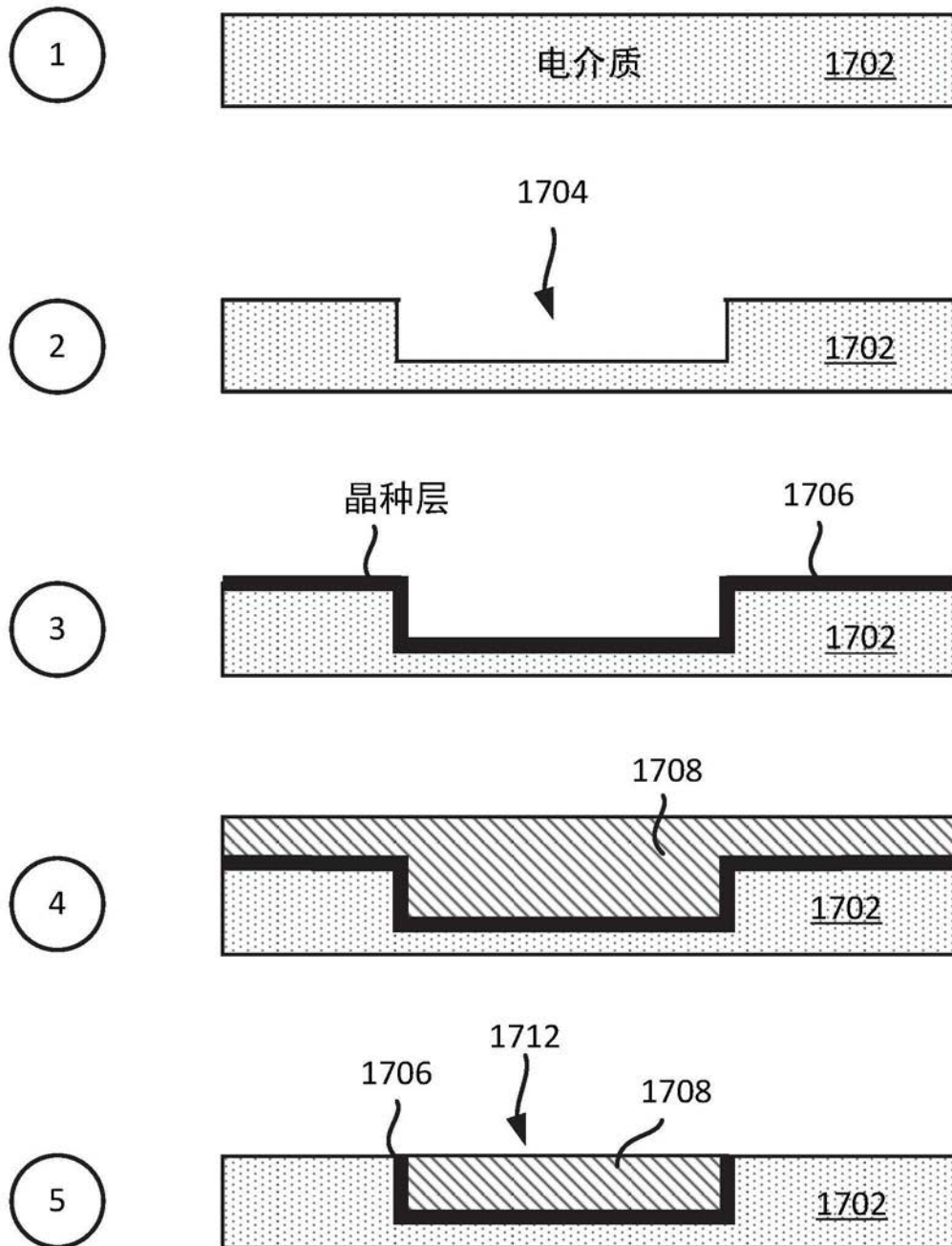


图17



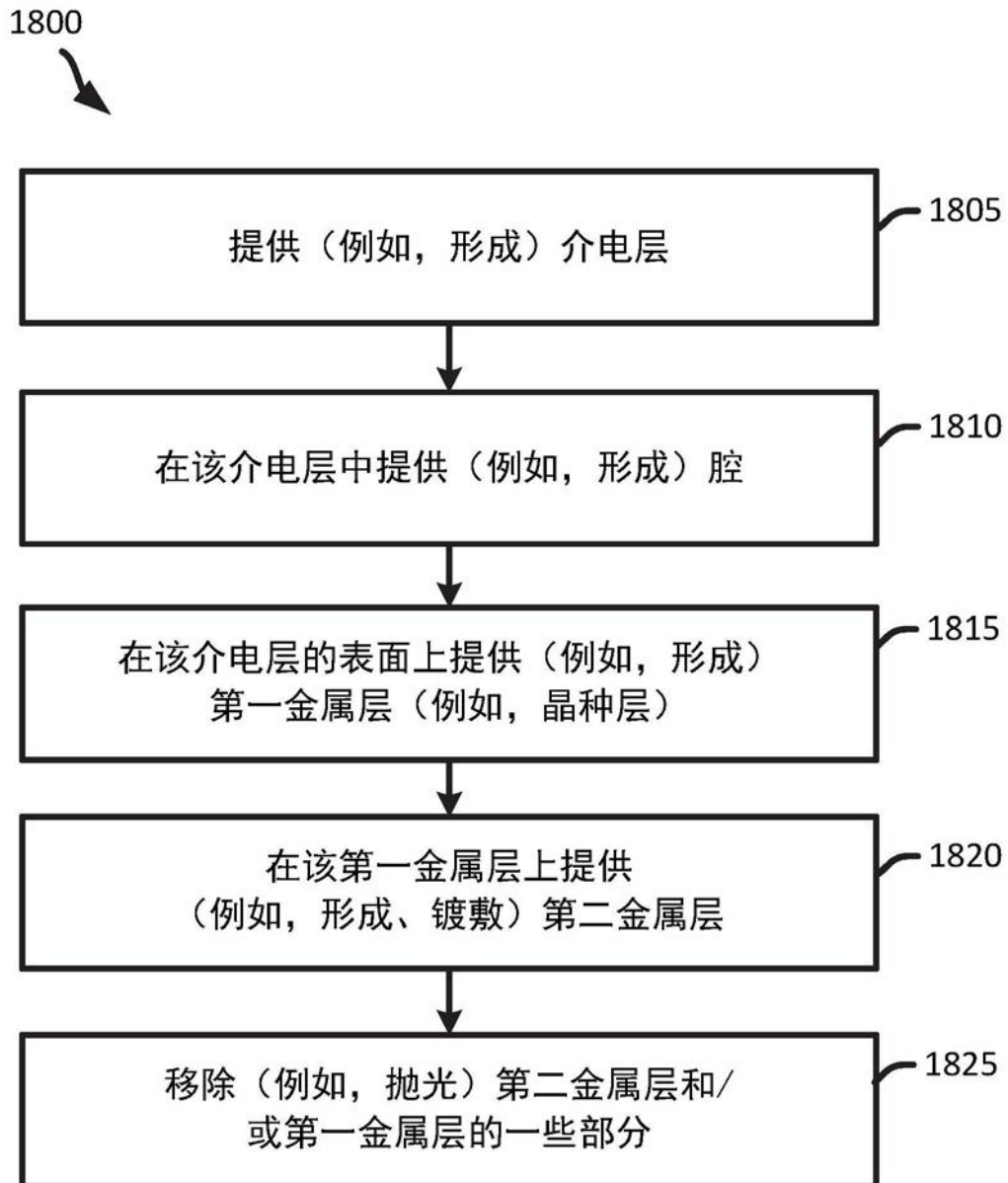


图18

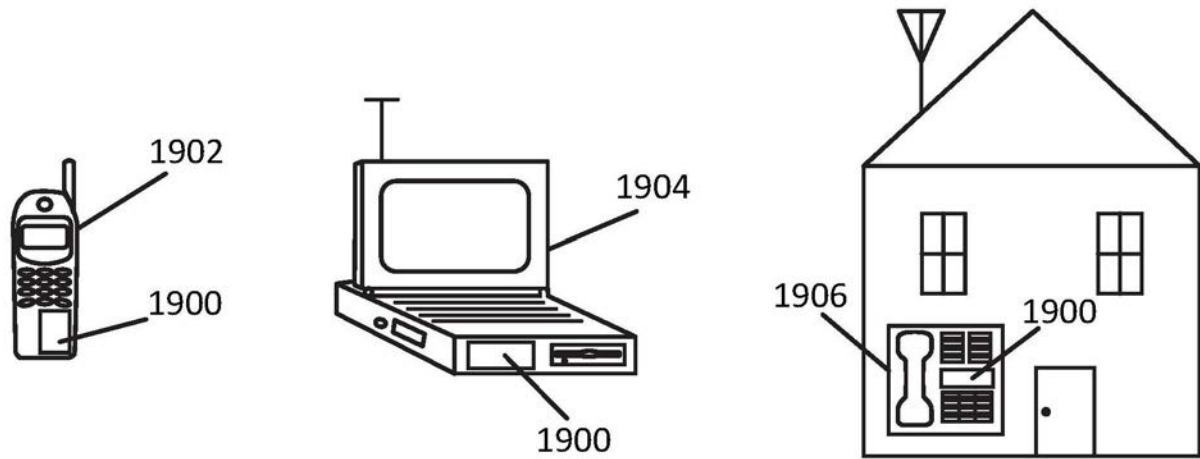


图19