

公告本

申請日期	84 年 12 月 12 日		
案 號	84113247		
類 別	In 射	Cl ⁶	G06F 7/38, 13/38

A4
C4

424192

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中 文	微電腦
	英 文	
二、發明人	姓 名	(1) 大須賀宏 (2) 木内淳 (3) 長谷川博宣
	國 籍	(1) 日本 (2) 日本 (3) 日本 (1) 日本國東京都日野市南平二-一五-三
	住、居所	(2) 日本國東京都国分寺市東恋ヶ窪一-二一七-A-一 (3) 日本國東京都小平市学園東町三-二-四〇
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番地
	代 表 人 姓 名	(1) 金井務

裝

訂

線

424192

申請日期	84 年 12 月 12 日
案 號	84113247
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 新 名稱	中 文	
	英 文	
二、發明 人 創作	姓 名	(4) 馬路徹 (5) 野口孝樹 (6) 赤尾泰
	國 籍	(4) 日本 (5) 日本 (6) 日本
三、申請人	住、居所	(4) 日本國東京都稻城市向陽台四-二、C-六〇八 (5) 日本國東京都世田谷區上北沢三-二三-一八 (6) 日本國東京都国分寺市東恋ヶ窪六-一四-三九
	代 表 人 姓 名	

裝

訂

線

424192 - 4

申請日期	84 年 12 月 12 日
案 號	84113247
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	
	英 文	
二、發明 人	姓 名	(7) 馬場志朗
	國 籍	(7) 日本 (7) 日本國東京都国分寺市戸倉四-九-一七
三、申請人	住、居所	
	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝

訂

線

424192

(由本局填寫)

承辦人代碼：
大 類：
I P C分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ☐有 ☐無主張優先權

日本	1995 年 5 月 2 日	07-132906	☒ 無主張優先權
日本	1995 年 12 月 14 日	07-347441	☒ 無主張優先權

(請先閱讀背面之注意事項再填寫本頁各欄)

有關微生物已寄存於： 寄存日期： 寄存號碼：

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

〔發明之技術領域〕

本發明係與具有中央處理機組及數字信號處理機組之半導體集成電路化之邏輯LSI有關，即與適用於需當速運算處理之微電腦有效之技術有關。

〔先前之技術〕

例如記載於將乘法器與算術邏輯運算器裝置於同一基片之微電腦，有日本特願平4-296778號或美國專利申請第145157號。依上述專利，如微電腦之邏輯LSI基片具有中央處理機組，總線，存儲器，乘法器，尤其具有在自存儲器讀出數據時，自中央處理機組將該讀出數據之乘算命令之指令轉送於乘法器之信號線。結果，由於在中央處理機組自存儲器讀出數據時，自中央處理機組將關於讀出數據之乘算命令之指令轉送於乘法器，故可直接將數據轉送存儲器與乘法器之間。

〔發明欲解決之課題〕

本發明人等曾對將數字信號處理機與中央處理機組一同裝於一雙LSI使數字信號處理高速化之問題加以研討。當時，前述先前之技術雖可自存儲器直接收數據轉送給乘法器以實現乘算處理高速化，惟並未考慮在擬以中央處理機組實行指令之管線處理時，中央處理機組應實行指令之取週期與乘算處理用之存儲存取週期競合之事態。又，亦未考慮以並聯自存儲器讀出加算或乘算用之複數操作數

五、發明說明 (2)

使運算處理高速化之問題。更看出此時若不考慮依中央處理機組之與外部存取關係，則微電腦將有使用不良之情形。又，發現將數字信號處理機組裝於一雙 L S I 時，在欲極力抑制指令譯碼電路等邏輯規模增大上，亦必須考量 C P U 令與 D S P 指令之分配或 D S P 令之格式。

本發明之目的在將數字信號處理機組與中央處理機組一同裝於一雙 L S I 使數字信號處理高速化。本發明之另一目的在將數字信號數字機組與中央處理機組一同裝於一隻 L S I 時，極力抑制其物理規模之增大。

本發明之前述及其他目的及新式特徵，由本說明書之記述及附圖應可了解。

〔 解決問題之方法 〕

茲簡單說明本申請揭示之發明中具代表性之概要如下。

即微電腦，係將：中央處理機組 (2)，及

自前述中央處理機組選擇傳遞地址之第 1 至第 3 地址總線 (I A B，Y A B，X A B) 及

連接於前述第 1 地址總線 (I A B) 及第 2 地址總線 Y A B，由中央處理機組之地址存取之第 1 存儲器 (5，7) 及

連接於前述第 1 地址總線 (I A B) 及第 3 地址總線 (X A B)，由中央處理機組之地址存取之第 2 存儲器 (4，6) 及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (3)

連接於前述第 1 及第 2 存儲器及前述中央處理機組傳遞數據之第 1 數據總線 (I D B) , 及

連接於前述第 1 存儲器傳遞數據之第 2 數據總線 (Y D B) , 及

連接於前述第 2 存儲器傳遞數據之第 3 數據總線 (Y D B) , 及

連接於前述第 1 地址總線及第 1 數據總線之外部接口電路 (1 2) , 及

連接於前述第 1 至第 3 之數據總線, 同於中央處理機組動作之數字信號處理機組 (3) 及

自中央處理機組將控制前述數字信號處理機組之動作之 D S P 控制信號 (2 0) 傳遞於數字信號處理機組之控制信號, 會於 1 基片予以半導體集成電路化而成。

依上述方法, 內藏存儲器係考慮數字信號處理機 (3) 之積和運算 2 面於第 1 存儲器 (5 , 7) 及第 2 存儲器 (4 , 6) , 由第 3 總線 (X A B , X D B) 及第 2 總線 (Y A B , Y D B) 分別可並聯存取。因此, C P U 芯 2 可自內藏存儲器同時將 2 個數據轉送於數字信號處理機組信號。又, 第 3 之總線 (X A B , X D B) 及第 2 總線 (Y A B , Y D B) 與外部接口之第 1 總線 (I A B , I D B) 一同個別化, 故中央處理機組係平行於第 2 存儲器 (4 , 6) 及第 1 存儲器 (5 , 7) 之存取亦可外部存儲器存取。如上述因有分別連接於中央處理機組 (2) 之第 1 至第 3 之三種地址總線 (I A B , X A B , Y A B)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (4)

及數據總線 (I D B , X D B , Y D B) , 故使用該三種內部總線, 即可以同一時間週期實施不同之存儲存取動作。故亦容易對應程序或數據存在於外部存儲器之情形而可實現運算處理之高速化。

爲了提高微電腦之使用性以 R A M 及 R O M 分別構成前述第 1 存儲器及第 2 存儲器即可。

爲了前述中央處理機組之積和運算等之反覆運算用之地址形高速化, 中央處理機組具備模數地址輸出部 (2 0 0) 爲宜。此時, 模數地址輸出部形成之地址以可選擇輸出於前述第 2 或第 3 之地址總線爲佳。

前述數字信號處理機係含與第 1 至第 3 數據總線 (I D B , Y D B , X D B) 個別接口之第 1 至第 3 數據緩衝裝置 (M D B I , M D B Y , M D B X) 及經內部總線可連接於各數據緩衝裝置之複數寄存裝置 (3 0 5 ~ 3 0 8) , 及連接於前述內部總線之乘法器 (3 0 4) 及算術邏輯運算器 (3 0 2) , 及將前述 D S P 控制信號譯碼以控制前述數據緩衝裝置, 乘法器邏輯運算器, 及寄存裝置之動作之譯碼器 (3 4) 而成。

著眼於所謂指令代碼時微電腦, 即將中央處理機組 (2) , 及由前述中央處理機組存取控制之存儲器 (4 ~ 7) , 及在前述存儲器與中央處理機組之間傳遞數據同步於中央處理機組動作之數字信號處理機組 (3) 會於 1 基片予以半導體集成電路化。可由該微電腦實行之指令系統, 含中央處理機組 (2) 應實行之 C P U 指令, 及由中央處

五、發明說明 (5)

理機組負擔取數據用之地址運算等一部份處理，數字信號處理機組 (3) 應實行之 O S P 指令。

前述中央處理機組係含經前述數據總線取出中央處理機組用之 1 6 位固定長之 C P U 指令及數字信號處理機組用之 1 6 位或 3 2 位長之 D S P 指令之指令記錄器 (2 5)，及依據前述指令記錄器取出之指令之一部份之複數位，識別 C P U 指令及 D S P 指令，隨識別結果形成前述數字信號處理機組之動作控制用 D S P 控制信號 (2 0) 及中央處理機組之動作控制用 C P U 控制信號之譯碼器 (2 4) 而成。

例如 C P U 指令係將指令代碼之最上位 4 位分配於 " 0 0 0 0 " ~ " 1 1 1 0 " 之範圍。D S P 指令係將指令代碼之最上位 4 位分配於 " 1 1 1 1 " 之範圍。更將指令代碼之最上位 6 位分配於 " 1 1 1 1 0 0 " 及 " 1 1 1 1 0 1 " 範圍之指令，係亦將 D S P 指令成為 1 6 位長之指令代碼。指令代碼之最上位 6 位為 " 1 1 1 1 1 0 " 之指令，係成為 3 2 位長之指令代碼。在指令代碼之最上位 6 位為 " 1 1 1 1 1 1 " 之範圍並未分配指令，將其範圍做為未使用領域，如上述，由於在對最大 3 2 位之指令之代碼分配設如上述之規則，將各指令代碼之一部份例如最上位側 6 位譯碼，即可以小邏輯規模之譯碼器判定該指令寬為 C P U 指令，1 6 位長之 D S P 指令，或 3 2 位長之 D S P 指令，而無需經常將 3 2 位全部以一次譯碼。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (6)

前述譯碼器係含：將命記錄器之上位 6 位譯碼，形成前述 CPU 譯碼信號 (2 4 3) 及 DSP 譯碼信號 (2 4 4) 之第 1 譯碼電路 (2 4 0)，及在第 1 譯碼電路識別 3 2 位長之 DSP 指令時輸出將指令記錄器之下位 1 6 位編碼之信號。而在識別其以外之指令時，輸出意味輸出無效之代碼之代碼更換電路 (2 4 2)，而將前述 DSP 譯碼信號及代碼變換電路之輸出做為 DSP 控制信號 (2 0)。

著眼於 DSP 指令之指令格式時微電腦係含中央處理機組 (2)，及同步於前述中央處理機組動作之數字信號處理機組 (3) 及共同連接前述中央處理機組及前述數字信號處理機組之內部總線 (IDB)，予以半導體集成電路化而成之微電腦，其中

前述中央處理機組係具備，具有實施對該中央處理機組規定數字信號處理機組間之數字轉送之第 1 代碼領域 (圖 1 8 所示之 1 6 位 DSP 指令之 9 位 ~ 0 位) 之第 1 格式指令，及具有與前述第 1 代碼領域同格式之第 2 代碼領域， (圖 2 0，圖 2 1 例示之 3 2 位 DSP 指令之 A 領域) 並對數字信號處理機組規定使用該第 2 代碼領域規定之送數字之運算處理之第 3 代碼領域 (圖 2 0，圖 2 1 例示之 3 2 位元 DSP 指令之 B 領域) 之第 2 格式指令用之實施控制裝置而成。

因此，實行控制裝置，在實施第 1 及第 2 格式之各指令時可對第 1 之代碼領域及第 2 代碼領域採用具有共同譯

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (7)

碼邏輯之譯碼裝置，有益於微電腦之邏輯規模之縮小。

前述第 1 格式指令及第 2 格式指令，具有表示其為第 1 格式或第 2 格式用之第 4 領域（例如 16 位 DSP 指令之 15 位～10 位 32 位 DSP 指令之 32 位～26 位）。

前述實施控制裝置，係含共用於前述第 1 格式指令及第 2 格式指令之指令寄存器（25），及

將含於前述指令寄存器取出之指令之前述第 1 代碼領域及第 4 代碼領域或第 2 代碼領域及第 4 代碼領域譯碼之譯碼裝置（240），及

依其譯碼結果實地址運算實施前述數據轉送控制之實施裝置而成。

前述指令，寄存器，具有共用保持前述第 1 代碼領域及第 4 代碼領域或第 2 代碼領域及第 4 代碼領域之上位領域（UIR）及利用於保持前述第 3 代碼領域之下位領域（LIR），而前述譯碼裝置係依據前述第 4 領域之譯碼結果，輸出表示前述指令寄存器保持第 2 格式指令之控制信號（248），依據其控制信號，自前述下位領域向前述數字信號處理機組供給第 3 代碼領域之代碼數據之裝置 242，242A，242B。

〔實施例〕

圖 1 表示本發明之一實施例有關之微電腦 1 全部方塊圖。同圖所示之微電腦係以半導體集成電路製造技術形成

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (8)

如單結晶矽之一個半導體基板。微電腦 1 係由中央處理機組之 CPU 芯 2 (CPU Core) 2 , 數字信號處理機組之 DSP 引擎 (DSP Engine) 3 , X - ROM 4 , Y - ROM 5 , X - RAM 6 , Y - RAM 7 , 分配控制器 (Interrupt Controller) 8 , 總線控制器 (Bus state controller) 9 , 內藏周邊電路 (Peripheral circuit) 10 , 11 , 外部存儲接口 (External Memory Interface) 12 , 時鐘脈衝生成器 (CPG) 13 構成。前述 X - ROM 4 , Y - ROM 5 係存儲指令或常數數據等用之讀出專用或可以電換寫之閱讀儲存器, X - RAM 6 , Y - RAM 7 係做為數據之一時存儲或 CPU 芯 2 及 DSP 引擎 3 之作業領域等利用之捷進儲存器。前述 X - ROM 4 及 X - RAM 6 總稱為內部指令 / 數據用之 X 儲存器 (internal Instruction / Data X Mem) 而將 Y - ROM 5 及 Y - RAM 7 總稱為內部指令 / 數據用之 Y 儲存器 (Internal Instruction / Data Y Mem)。

本實施例之微電腦 1 其總線構成具備：結合於外部存儲接口 12 之內部地址總線 IAB 及未結合於內部數據總線 IDB , 外部存儲接口 12 之內部地址總線 XAB 及未結合於內部數據總線 XDB , 外部存儲接口 12 之內部地址總線 YAB 及內部數據總線 YDB , 而內藏周邊電路 10 , 11 用之周邊地址總線 PAB 及周邊數據總線 PDB 。又, 控制總線係省略其圖示係分別對應成對之地

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

址總線及數據總線設置。

C P U 芯 2 連接經過外部存儲接口 1 2 可連接於基片之數據總線 I D B , 自分控制器 8 供給分配信號 8 0 。

C P U 芯 2 將控制 D S P 引擎 3 用之控制信號 2 0 供給 D S P 引擎 3 。 C P U 芯 2 更將地址信號輸出於經外部存儲接口 1 2 可連接於基片外部之地址總線 I A B 及未連接於外部存儲接口 1 2 之地址總線 X A B , Y A B 。 C P U 芯 2 係將時鐘脈衝生成器 (C P G) 1 3 輸出之非重疊雙相之時鐘信號 C l o c k 1 , C l o c k 2 為動作基準時鐘信號動作。關於 C P U 芯 2 容後詳述, 惟圖 1 之 C P U 芯 2 , 圖示代表性之寄存器堆 2 1 , 算術邏輯運算器 (A L U) 2 2 , 地址加算器 (A d d - A L U) 2 3 譯碼器 2 4 , 指令寄存器 (J R) 2 5 。寄存器堆 2 1 係任意利用為地址寄存器或數據寄存器, 又含程序計數器, 以及控制寄存器。譯碼器 2 4 係將指令寄存器 2 5 所取指令譯碼形成內部控制信號 (圖 1 中省略其圖示) 及控制信號 2 0 。指令寄存器 (I R) 2 5 , 分別由 1 6 位之上位側領域 (U I R) 及下位側領域 (L I R) 而成。詳情容後述, 惟下位側領域 (L I R) 之值可選擇移位於上位側領域 (U I R) 。又省略控制中斷等例外發生時之指令實施順序, 或以硬體控制對例外發生之內部狀態之退避復歸用之順序控制電路之圖示。

D S P 引擎 3 係連接於前述數據總線 I D B , X D B , Y D B , 將時鐘信號 C l o c k 1 , C l o c k 2 為動

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

作基準時鐘信號動作。關於 DSP 引擎 3 容後詳述惟圖 1 之 DSP 引擎 3，圖示代表性之數據寄存器堆 31，算術邏輯運算器及移位器 (ALU/shifter) 32，乘算器 (MAC) 33，及譯碼器 34。數據寄存器堆 31 係利用於積和運算等。譯碼器 34 將 CPU 芯 2 供給之控制信號 20 譯碼，形成 DSP 引擎 3 之內部控制信號 (圖 1 中省略其圖示)。

X-RAM 4 及 X-RAM 6 係連接於地址總線 IAB，XAB 與數據總線 IDB，XDB。Y-RAM 5 及 Y-RAM 7 係連接於地址總線 IAB，YAB 與數據總線 IDB，YDB。內藏存儲器係考慮 DSP 引擎 3 之積和運算，2 面化於 X 存儲器 4，6 與 Y 存儲器 5，7，可由內部總線 XAB，XDB 與 YAB，YDB 分別以並聯存取。更因內部總線 XAB，XDB 與 YAB，YDB 與在外部接口之線線 IAB，IDB，均予個別化，故與 X 存儲器 4，6 與 Y 存儲器 5，7 之存取平行亦可外部存儲之存取。X 存儲器 4，6 及 Y 存儲器 5，7 做為 DSP 引擎 3 之積和運算用之數據時記憶領域，常數數據之記憶領域等利用。又，X-RAM，Y-RAM 當亦可做為 CPU 芯 2 之數據時記憶領域或工作領域。

前述中斷控制器 8，輸入內藏周邊電路 10，11 等之中斷要求信號 (Interrupts) 81，依對各種中斷要求之優先順位或對中斷要求之遮蔽用情報調受理中斷要求，將隨受理之中斷要求之中斷向量 (Interrupt Vector)

五、發明說明 (11)

8 2 輸出於地址總線 I A B , 更將中斷信號 8 0 輸出於 C P U 芯 2 。

總線狀態控制器 9 係連接於地址總線 I A B , P A B 與數據總線 I D B , P D B , 控制連接於地址總線 P A B 及數據總線之內藏周邊電路 1 0 , 1 1 與 C P U 芯 2 之接口控制。

外部存儲接口 1 2 係連接於地址總線 I A B 與數據總線 I D B , 連接微電腦 1 之基片之外部之省略圖示之地址總線與數據總線, 實施與外部之接口控制。

圖 2 表示微電腦 1 之地址標誌之一例。本實施例之微電腦 1 係管理以 3 2 位規定之地址空間。前述地址總線 I A B 之位幅為 3 2 位。在其地址空間中, 存在例外處理向量領域, X - R O M 空間 (分配於 X - R O M 4 之地址空間), X - R A M 空間 (分配 X - R A M 7 地址空間) T - R O M 空間 (分配於 Y - R O M 5 之地址空間) Y - R A M 空間 (分配於 Y - R A M 7 之地址空間), 內藏周邊電路分配空間 (內藏周邊電路 1 0 , 1 1 分配之地址空間) 等。圖 2 之例之分配情形各為 X - R O M 4 係 2 4 K B , X - R A M 6 係 4 K B , Y - R O M 5 係 2 4 K B , Y - R A M 7 係 4 K B 。

依圖 2 , 1 6 進數表中在 H ' 0 0 0 0 0 0 0 0 ~ H ' 0 0 0 0 0 3 F F 之空間之 2 5 6 B 領域分配例外處理向量領域。在 H ' 0 0 0 0 0 4 0 0 ~ H ' 0 1 F F F F F F 分配可使用之通常空間。通常空間

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

係做為可連接微電腦 1 外部之存儲領域。在

H' 0 2 0 0 0 0 0 0 ~ H' 0 2 0 0 5 F F F , 分配 X - R O M 空間。在 H' 0 2 0 0 6 0 0 0 ~

H' 0 2 0 0 6 F F F , 分配 X - R A M 空間。

H' 0 2 0 0 7 0 0 0 ~ H' 0 2 0 0 7 F F F 成為 X - R A M - Mirror 空間, 存取此處時實際上即存取

H' 0 2 0 0 6 0 0 0 ~ H' 0 2 0 0 6 F F F 之 X - R A M 空間。H' 0 2 0 0 8 0 0 0 ~

H' 0 2 0 0 F F F F 成為 X - R A M , R A M - Mirror 空間, 存取此處, 實際上即存取

H' 0 2 0 0 0 0 0 0 ~ H' 0 2 0 0 7 F F F F 之 X - R A M - R O M 空間及 X - R A M 空間,

H' 0 2 0 1 0 0 0 0 ~ H' 2 0 1 5 F F F 分配 Y - R O M 空間。在 H' 0 2 0 1 6 0 0 0 ~

H' 0 2 0 1 6 F F F , 分配 Y - R A M 空間。

H' 0 2 0 1 7 0 0 ~ H' 0 2 0 1 7 F F F 係成為 Y - R A M - Mirror 空間, 存取此處, 實際上即存取

H' 0 2 0 1 6 0 0 0 ~ H' 0 2 0 1 6 F F F 之 Y - R A M 空間。H' 0 2 0 1 8 0 0 0 ~

H' 0 2 0 1 F F F F 係成為 Y - R O M , R A M - Mirror 空間, 存取此處, 實際上即存取

H' 0 2 0 1 0 0 0 0 ~ H' 0 2 0 1 7 F F F 之 Y - R O M 空間及 Y - R A M 空間。H' 0 2 0 2 0 0 0 0 ~

H' 0 7 F F F F F F F 分配通常空間。在

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

H' 0 8 0 0 0 0 0 0 ~ H' 1 F F F F F F F F , 分配
約領域。該予約領域, 在用戶基片 (實基片) 時即無法存
取, 評價基片 (利用於仿效等之評價用基片) 時, 分配為
A S E 空間 (仿效用之控制空間) 領域。在
H' 2 0 0 0 0 0 0 0 ~ H' 2 7 F F F F F F F F , 分配
通常空間。在 H' 2 8 0 0 0 0 0 0 ~
H' F F F F F O F F , 分配予約領域。在
H' F F F F F F 0 0 ~ H' F F F F F F F F , 分配分
配內藏周邊電路之寄存器地址值之內藏周邊電路分配領域
。

圖 3 表示詳細表示模數地址輸出部之 C P U 芯 2 之方
塊圖。圖 3 中, 以虛線包圍之部份為模數地址輸出部
2 0 0。模數地址輸出部 2 0 0 係將由模數地址寄存器 (例
如 A O X) 輸出之值終緩衝器 (例如 M A B X) 輸出於
地址總線 (例如 X A B) , 同時以加算裝置 (例如 A L U)
加算由模數地址寄存器 (A O X) 輸出之值實施再存儲
於模數地址寄存器 (A O X) 之地址更新輸出動作等之電
路方塊, 依序更新形成如積和運算反覆運算用之數據存取
地址。記載為隨機邏輯電路 (Random Logic Circuit)
2 0 1 之電路方塊係含圖 1 之譯碼器 2 4 或前述順序控制
電路, 以及控制寄存器或狀態寄存器等之電路方塊。

圖 3 中, C 1 , C 2 , D R , A 1 , B 1 , A 2 ,
B 2 , O W 分別表示 C P U 芯 2 內部之代表性總線。C P
U 芯 2 與數據總線 I D B 之接口係在前述指令寄存器 (I

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

R) 2 5 及數據緩衝器 (Data Buffer) 2 0 3 實施。指令寄存器 (I R) 2 5 所取之指令供給於隨機邏輯電路 (Random Logic Circuit) 2 0 1 之前述譯碼器 2 4 等。C P U 芯 2 與地址總線 I A B 之接口係在程序計數器 (P C) 2 0 4 及地址緩衝器 (Address Buffer) 2 0 5 實施。C P U 芯 2 與地址總線 X A B 之接口係在存儲地址緩衝器 (M A B X) 2 0 6 實施，C P U 芯 2 與地址總線 Y A B 之接口係在存儲地址緩衝器 (M A B Y) 2 0 7 實施。地址情報輸入地址緩衝器 2 0 5 之徑路，可自總數 C 1，A 1，A 2 中選擇，而地址情報輸入存儲地址緩衝器 2 0 6，2 0 7 之徑路，可自總線 C 1，C 2，A 1，A 2 中選擇。算術運算器 (A U) 2 0 8 利用於程序計數器 2 0 4 值之增加。2 0 9 係通用寄存器 (R e g) 2 1 0 係利用地址之加下標修飾之變址寄存器 (I x)，2 1 1 係同樣利用於加下標修飾之變址寄存器 (I y)，2 1 2 係地址運算專用之加算器 (P A U)，2 1 3 係算術邏輯運算器 (A L U)。

控制位 M X Y 係指定對地址總線 X A B 或地址總線 Y A B 之任一地址實施模數運算，以邏輯值 " 1 " 指定地址總線 A B，以邏輯值 " 0 " 指定地址總線 Y A B。控制位 D M 指示實施模數運算否，以邏輯值 " 1 " 指示實施模數運算，以邏輯值 " 0 " 指示不實施模數運算。模數開始地址寄存器 (M S) 2 1 4 存儲模數運算開始地址，模終了地址寄存器 (M E) 2 1 5 存儲模數運算終了地址。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (15)

模數地址寄存器 (A 0 x , A 1 x) 2 1 6 係存儲現在之模數地址之電地址寄存器，2 1 7 係比較模數終了地址寄存器 (M E) 2 1 5 之值與模數地址寄存器 (A 0 x , A 1 x) 2 1 6 之值之比較器 (C M P) 2 1 8 係對比較器 2 1 7) 之輸出控制出 M X Y , D M 之 3 輸入採邏輯值之與門，2 1 9 係選擇總線 C 1 之值與模數開始地址寄存器 (M S) 2 1 4 之值之選擇器，上述各件係利用於關於地址總線 X A B 之模數運算。選擇器 2 1 9 係由與門 2 1 8 之邏輯值 " 1 " 輸出選擇寄存器 (M S) 2 1 4 之值，將選擇之值給予模數地址寄存器 (A 0 x , A 1 x) 2 1 6) 。模數地址寄存器 2 1 6 係選擇利用 A 0 x 或 A 1 x 之任一方。

模數地址寄存器 (A 0 y , A 1 y) 2 2 6 係存儲現在之模數地址之電流地址寄存器，2 2 7 係比較模數終了地址寄存器 (M E) 2 1 5 之值與模數地址寄存器 (A 0 y , A 1 y) 2 1 6 之值之比較器 (C M P) ， 2 2 8 係比較器 2 2 7 之輸出與控制位 M X Y 之反轉位與擴 O M 之 3 輸入採邏輯積之與門，2 2 9 係選擇總線 C 2 之值與模數開始地址寄存器 (M S) 2 1 4 之值之選擇器上述各件係利用於關地址總線 Y A B 之模數運算。選擇器 2 2 9 係由與門 2 2 8 之邏輯值 " 1 " 輸出選擇寄存器 (M S) 2 1 4 之值，將選擇之值給予模數地址寄存器 (A 0 y , A 1 y) 2 2 6 。模數地址寄存器 2 2 6 係選擇利用 A 0 y 或 A 1 y 之任何一方。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

續

五、發明說明 (16)

模數地址寄存器 (A 0 y , A 1 y) 2 2 6 係存儲現在之模數地址之電流地址寄存器 2 2 7 係比較模數終了地址寄存器 (M E) 2 1 5 之值與模數地址寄存器 (A 0 y , A 1 y) 2 1 6 之值之比較器 (C M P) , 2 2 8 係對比較器 2 2 7 之輸出與控制位 M X Y 之反轉位與控制位 O M 之 3 輸入採邏輯積之與門 , 2 2 9 係選擇總線 C 2 之值與模數開始地址寄存器 (M S) 2 1 4 之值選擇器 , 上述各件係利用於關於地址總線 Y A B 之模數運算。選擇器 2 2 9 係由與門 2 2 8 之邏輯值 " 1 " 輸出選擇寄存器 (M S) 2 1 4 之值 , 將選擇之值給予模數地址寄存器 (A 0 y , A 1 y) 2 2 6 。模數地址寄存器 2 2 6 係選擇利用 A 0 y 或 A 1 y 之任一方。

又 , 記載於隨機邏輯電路 2 0 1 之 0 P Code 係意指指令寄存器 2 5 供給之指令代碼 , CONST 意指常數值。

茲說明 C P U 芯 2 之模數運算動作 , 例如使用模數地址寄存器 (A 0 x) 2 1 6 , 在模數運算形成供給地址總線 X A B 之地址情報之動作。

首先分別將模數運算開始地址寫進模數開始地址寄存器 (M S) 2 1 4 , 將模數運算終了地址寫進模數終了地址寄存器 (M E) 2 1 5 。將開始模數運算地址值寫進模數地址寄存器 (A 0 x) 。其次因對地址總線 X A B 之地址實施模數運算 , 故對決定對 X A B , Y A B 之任何一方地址實施模數運算之控制位 M X Y 寫進邏輯值 " 1 " (對地址總線 Y A B 實施模數運算時 , 將邏輯值 " 0 " 寫進控

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (17)

制位 M X Y) 。最後將邏輯值 “ 1 ” 寫進判定實施模數運算否之控制位 D M 。

模數運算指令例如為 MOV S , W @ A x , D x 。該指令記述中 A x 為模數地址寄存器 (A 0 x) 2 1 6 或模數地址寄存器 (A 1 x) 2 1 6 , D x 係對應 DSP 引擎 3 內之寄存器。圖 3 未圖示 D x 。實施上述模數運算指令時，由模數地址寄存器 (A 0 x) 2 1 6 讀出值，輸入存儲地址緩衝器 (M A B X) 2 0 6 及算術邏輯運算器 (A L U) 2 1 3 。輸入存儲地址緩衝器 (M A B X) 2 0 6 之值照舊輸出地址總線 X A B , 指定 X R O M 4 或 X R A M 6 之地址。一方面，輸入算術邏輯運算器 (A L U) 2 1 3 之模數地址寄存器 (A 0 x) 2 1 6 之值係加算變化寄存器 (I x) 2 1 0 之值或常數 (C o n s t) 。實施與變址寄存器 (I x) 2 1 0 之加算時，為實施指令 MOV S , W @ A x , I x) , D x 等時，加算常時係實指令 MOV S , W @ A x , D x 等時，該加算結果係由算術邏輯運算器 (A L U) 2 1 3 輸出。由算術邏輯運算器 (A L U) 2 1 3 輸出之值係進入選擇器 2 1 9 。該選擇器 2 1 9 之另一方之輸出，係存儲於模數開始地址寄存器 (M S) 2 1 4 之模數運算開始地址。

選擇器 2 1 9 之輸出完成為算術邏輯運算器 (A L U) 2 1 3 之輸出，或模數開始地址寄存器 (M S) 2 1 4 之值，決定如下。模數地址寄存器 (A 0 x) 2 1 6 之值與模數終了地址寄存器 (M E) 2 1 5 之值，係經常由比

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (18)

較器 (C M P) 比較，若不一致即輸出邏輯值 " 0 "。自比較器 (C M P) 2 1 7 輸出之值係與控制位 D M，M X Y 一同在與門 2 1 8 採邏輯積 (此例，因 D M，M X Y 均邏輯值 " 1 "，故比較器 2 1 7 之值照舊自與門 2 1 8 輸出。) 輸入選擇器 2 1 9。選擇器 2 1 9 在自與門 2 1 8 輸入之值為邏輯值 " 1 " 時選擇模數開始地址寄存器 (M S) 2 1 4 之值，而在邏輯值 " 0 " 值選擇自算術邏輯運算器 (A L U) 2 1 3 之輸出值。

在自與門 2 1 8 輸入之值為邏輯值 " 0 " 期間，因繼續選擇算術邏輯 (A L U) 2 1 3 之輸出值，故輸出地址總線 X A B 之值依序更新。模數終了地址寄存器 (M E) 2 1 5 之值與模數地址緩衝器 (A 0 x) 2 1 6 之值一致時，自與門 2 1 8 輸入選擇器 2 1 9 之值成邏輯值 " 1 "，選擇模數開始地址寄存器 (M S) 2 1 4 之值。因此，模數地址寄存器 (A 0 x) 2 1 6 係由模數開始地址寄存器 (M S) 2 1 4 之值初期化。

上述模數運算說明了利用模數地址寄存器 (A 0 x) 2 1 6 時之動作，惟亦可將模數指令 M O V S，W @ A x，D x 之 A x 指定於模數地址寄存器 (A 1 x) 2 1 6。又將邏輯值 " 0 " 指定於控制 M X Y 即可對地址總線 Y A B 模數運算。此時，必須將模數運算指令 M O V S，W @ A x，D x 之 A x，變更為指定指數地址寄存器 (A 0 y) 2 2 6 或 (A 1 y) 2 2 6 用之值 A y。又將 0 指定於控制位 D M，亦可禁止模數運算之實施。

五、發明說明 (19)

圖 4 表示 D S P 引擎 3 之一例方塊圖，記載為隨機邏輯電路 (Random Logic Circuit) 3 0 1 之電路方塊圖，係含圖 1 之譯碼器 3 4 及控制電路，以及控制寄存器及狀態寄存器等之電路方塊。其他 D S P 引擎 3 具備，算術邏輯運算器 (A L U) 3 0 2，移位器 (S F T) 3 0 3，乘算器 (M A C) 3 0 4，寄存器 (R e g) 3 0 5，寄存器 (A 0，A 1) 3 0 6，寄存器 (Y 0，Y 1) 3 0 7，寄存器 (X 0，X 1) 3 0 8，存儲數據緩衝器 (M D B I) 3 0 9，存儲數據緩衝器 (M D B X) 3 1 0，存儲數據緩衝器 (M D B Y) 3 1 1。存儲數據緩衝器 (M D B Y) 3 1 1 係連接數據總線 Y D B 與總線 D 2。存儲數據緩衝器 (M D B X) 3 1 0 係連接數據總線 X D B 與總線 D 1。存儲數據緩衝器 (M D B I) 3 0 9 係連接於數據總線 I D B 與總線 C 1，D 1，A 1，B 1。乘算器 (M A C) 3 0 4 係自總線 A 1 及 B 1 輸入數據，將其所對應之乘算結果輸出於總線 C 1 及 D 1。移位器 (S F T) 3 0 3 自總線 A 2 輸入數據，將移位運算結果輸出於總線 C 2。算術邏輯運算器 (A L U) 3 0 2 自總線 A 2 及 B 2 輸入數據，將運算結果輸出於總線 C 2。

圖 5 表示微電腦 1 之指令系統所含指令之格式及指令代碼之一例。微電腦 1 支持 C P U 指令及 D S P 指令之 2 種指令。C P U 指令全部及 D S P 指令之一部分，係 1 6 位長之指令代碼，餘 D S P 指令成為 3 2 位長之指令代碼

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (20)

。C P U 指令，即無須使 D S P 引擎了動作，專由 C P U 芯 2 實施之指令。D S P 指令係將地址運算或操作數存取等一部份處理負擔於 C P U 芯 2，D S P 引擎了實施之指令。

C P U 指令係將指令代碼之最上位 4 位分配於 " 0 0 0 0 " ~ " 1 1 1 0 " 之範圍。D S P 指令係將指令代碼之最上位 4 位分配於 " 1 1 1 1 " 之範圍。更將指令代碼之最上位 6 位分配於 " 1 1 1 1 0 0 " 及 " 1 1 1 1 0 1 " 範圍之指令，係亦將 D S P 指令成為 1 6 位長之指令代碼。指令代碼之最上位 6 位為 " 1 1 1 1 1 0 " 之指令，係成為 3 2 位長之指令代碼。在指令代碼之最上位 6 位為 " 1 1 1 1 1 1 " 之範圍並未分配指令，將其範圍做為未使用領域未定義指令領域，將利用此領域即可更擴張指令代碼。由該指令格式可知，將各指令代碼之最上位側 6 位譯碼，即可以小邏輯規模之譯碼器判定該指令寬為 C P U 指令，1 6 位長之 D S P 指令，或 3 2 位長之 D S P 指令或未定義指令。

圖 5 之 C P U 指令格式中，n n n n 係目的操作數之指定領域 d d d d 係位移之指令領域 i i i i i i i i 係立即值之指定領域。又，A D D 指令等之 n n n n 亦為源操作數之指定領域，將運算結果存儲於 n n n n。又，依圖 3 說明之前述模數運算指令，係對應圖 5 之指令 M O V S，W @ R 2，A O，惟圖 5 之指令記述係操作數指之記述形態與圖 3 說明之內容不同。此種形式上之不同

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (21)

，實際上相同。

圖 6 表示 CPU 芯 2 之譯碼器 2 4 與 DSP 引擎 3 之譯碼器 3 4 之連接構成例。依微電腦之指令取出為 3 2 位單位，於指令寄存器 (IR) 2 5 實施。譯碼器 2 4 具備第 1 譯碼電路 2 4 0，第 2 譯碼電路 2 4 1，及代碼變換電路 2 4 2。第 1 譯碼電路 2 4 0 係將指令寄存器 (IR) 2 5 之上位側 1 6 位之領域 (CIR) 值譯碼，依該指令為 CPU 指令，或 1 6 位之 DSP 指令，或 3 2 位 DSP 指令，形成 CPU 譯碼信號 2 4 3，DSP 譯碼信號 2 4 4，代碼變換控制信號 2 4 5，及移位控制信號 2 4 6。第 2 譯碼電路 2 4 1 係將 CPU 譯碼信號 2 4 3 譯碼，形成實施 CPU 芯 2 內部之運算器或寄存器選擇等之各種內部控制信號 (CPU 控制信號) 2 4 7。代碼變換電路 2 4 2 係在代碼變換控制信號 2 4 5 活性化時，壓縮或仍舊輸出指令寄存器 (IR) 2 5 之下位側 1 6 之領域 (LIR) 保持之情報位數在代碼變換控制信號 2 4 5 非活性化時，輸出表示其輸出無效之情報 (Wonn-Operation Code)。代碼變換電路 2 4 2 係以輸出無效之情報代替信號 2 4 5 為非活性狀態時下位側 1 6 位之領域 (LIR) 值之意思，亦可以選擇器實現。DSP 譯碼信號 2 4 4 及代碼變換電路 2 4 2 之輸出，係做為前述 DSP 控制信號 2 0 供給 DSP 引擎 3 之譯碼器 3 4。前述第 1 譯碼電路 2 4 0，由於將存儲於指令寄存器 (IR) 2 5 之上位側 1 6 位之領域 (UIR) 之最上位側 6 位

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

號

五、發明說明 (22)

譯碼，即可判定該指令代碼為 CPU 指令，或 16 位之 DSP 指令，或 32 位之 DSP 指令。

譯碼之指令為 16 位指令時，代碼變換控制信號 245 成為非活性狀態，因此代碼變換電路 242 輸出表示輸出無效之 Won Operation Code。又，譯碼之指令之 16 位指令時將移位控制信號 246 活性化，接受此之指令寄存器 (IR) 25 係將其下位側 16 位之領域 (LIR) 值移位於上位側 16 位之領域 (LIR)，將移位之指令利用為真次應實施指令之全部或一部份利用。茲就例如在指令寄存器 IR 之上位側 16 位領域 UIR 存儲 16 位 CPU 指令，在下側位領域 LIR 存儲 32 位 DSP 指令之上位 16 位之指令代碼之情形說明。首先，存儲於上位側 16 位領域 UIR 之 16 位 CPU 指令在第 1 譯碼電路 240 譯碼，依其結果 CPU 芯 2 實施其指令，存儲下位側 16 位領域 LIR 之 32 位 DSP 指令之上位 16 位之指令代碼數據，係轉送於上位側 16 位領域 UIR。此時隨機邏輯電路 201，對算術運算器 AU208，實施應存儲於程序計數器 PC 之地址之地址運算。程序計數器 PC，存儲依算術運算器 AU208 運算之地址運算結果之地址。依存儲於程序計數器 PC 之地址上述 32 位 DSP 指令之下位 16 位之指令代碼數據，自將其存儲之指令存儲器轉送於指令寄存器 IR 之下位側 16 位領域 LIR。因此，將 32 位 DSP 指令存儲於指令寄存器 IR。而存儲於該指令 IR 之 32 位 DSP 指令，係經譯

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (23)

碼器 2 4 供給 D S P 指令引擎 3 之譯碼器 3 4 。又，其他方法，雖未圖示，惟將複數指令預取緩衝器設於 C P U 芯 2 內。複數預取緩衝器係自現在實施之指令預取數週期前應實施之指定。沒有此種預取緩衝器係在如上述將 3 2 位 D S P 指令之上位 1 6 位指令代碼數據自下位領域 L I R 轉送於上位側 1 6 位領域 U I R 時，隨機邏輯電路 2 0 1，選擇上述 3 2 位 D S P 指令之下位 1 6 位指令代碼數據預取之指令預取緩衝器。自該選擇之指令預取緩衝器讀出 3 2 位 D S P 指令之下位 1 6 位之指定代碼數據，存儲於指令寄存器 I R 之下側位領域 L L R 。

複譯碼之指令為 1 6 位之 C P U 指令時，D S P 譯碼信號 2 4 4 成為表示 Won-Operation 之代碼。被譯碼之指令為 1 6 位之 D S P 指令時，C P U 控制信號 2 4 7 依據 C P U 譯碼信號 2 4 3 形成第 2 譯碼電路 2 4 1，D S P 引擎 3 內部之控制信號係實質上譯碼器 3 4 解讀形成 D S P 譯碼信號 2 4 4。被譯碼之指令為 3 2 位之 D S P 指令時，C P U 控制信號 2 4 7 依據譯碼信號 2 4 3 形成第 2 譯碼電路 2 4 1，D S P 引擎 3 內部之控制信號係譯碼器 3 4 解讀形成 D S P 譯碼信號 2 4 4 及代碼變換電路 2 4 2 之輸出。

微電腦 1 之指令系統有指令代碼表 1 6 位及 3 2 位，如上述因 1 6 位長指令與 3 2 位長指令之處理不同，故分別詳述其動作。

先說明 1 6 位長指令。第 1 譯碼電路 2 4 0 係將指令

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

紙

五、發明說明 (24)

寄存器 (2 R) 2 5 取出之 3 2 位之指令碼中，上位 1 6 位譯碼，在第 1 譯碼電路 2 4 0，因知指令代碼之最上位 6 位之代碼為 " 1 1 1 1 1 0 "，" 1 1 1 1 1 " 以外時為 1 6 位長指令，故此時與 C P U 指令譯碼信號 2 4 3 及 D S P 指令譯碼信號 2 4 4 之輸出一同。將指令寄存器 (I R) 2 5 之下位 1 6 位領域 L I R 之指令代碼數據移位於上位 1 6 位領域 U 2 R 之移位控制信號 2 4 6 活性化。受活性化之移位控制信號 2 4 6 之指令寄存器 (I R) 2 5 係將存儲於下位 1 6 位領域 L I R 之指令代碼移位於上位 1 6 位領域 U 2 R。移位之指令代碼係接著以第 1 譯碼電路 2 4 0 予以譯碼。由譯碼器 2 4 輸出之 C P U 指令譯碼信號 2 4 3 係輸出於第 2 譯碼電路 2 4 1，將 D S P 譯碼信號 2 4 4，供給 D S P 引擎 3。又，第 1 譯碼電路 2 4 0 知曉為 1 6 位長指令時，使代碼變換控制信 2 4 5 為非活性，因此，代碼變換電路 2 4 2 將表示下位 1 6 位之指令代碼無效之代碼做為 D S P 控制信號之一部份形成。在 D S P 引擎 3 側，將由第 1 譯碼電路 2 4 0 輸出之 D S P 譯碼信號 2 4 4 及由代碼變換電路 2 4 2 輸出之代碼信號做為 D S P 控制信號 2 0 輸入時，譯碼器 3 4 實施該 D S P 控制信號 2 0 之譯碼。1 6 位之 D S P 指令之由代碼變換電路 2 4 2 輸出之 D S P 控制信號因成為表示無效之信號，故譯碼器 3 4 著眼於 D S P 譯碼信 2 4 4，輸出在 D S P 引擎 3 內之乘算器 (M A C) 3 0 4，算術邏輯運算器 (A L U) 3 0 2，及移位器 (S F T) 3 0 3

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (25)

等之控制信。D S P 引擎 3 係依各該控制信實施運算處理。

其次說明 3 2 位長指令。在 C P U 芯 2 內部之第 1 譯碼電路 2 4 0，將 3 2 位之指令代碼存儲於指令寄存器 (L R) 2 5。而將上位 1 6 位以第 1 譯碼電路 2 4 0 譯碼，輸出譯碼信號 2 4 3，2 4 4。在第 1 譯碼電路 2 4 0，因知指令代碼之最上位 6 位之代碼為“1 1 1 1 1 0”時為 3 2 位長指令，故將代碼變換控信號 2 4 5 活性化，因此代碼變換電路 2 4 2，將指令寄存器 (I R) 2 5 之下位 1 6 位之指令代碼做代碼轉換。經代碼轉換之情報係與 D S P 譯碼信號 2 4 4 一同做為 D S P 控制信號 2 0 供給。譯碼器 3 4 係將 D S P 指令控制信號 2 0 譯碼形成 D S P 引擎 3 之控制信號。又，譯碼器 2 4，3 4 可在例如隨機邏輯電路實現。

圖 1 7 表示對應圖 6 之另一實施例。圖 6 之實施例，說明將指令寄存器 2 5 之下位領域 L I R 之指令數據移位於上位領域 U I R。圖 1 7 之實施例，係在前述指令寄存器 2 5 與內部數據總線 I D B 間，具備構成指令預取隊列之串聯 2 段之指令預取緩衝器 2 5 0，2 5 1，以選擇器 2 5 2 選擇指令預取緩衝器 2 5 0，2 5 1 之保持數據供給指令寄存器 2 5。各指令預取緩衝器 2 5 0，2 5 1 及指令寄存器 2 5 係以 3 2 位單位保持數據，其保持動作，係由控制信號 $\psi 1 \sim \psi 3$ (同步於 C L K 1) 控制。雖未特別圖示，各指令預取緩衝器 2 5 0，2 5 1 及指令寄存

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (26)

器 2 5，具有主縱之構造，主段係同步於對應之控制信號之上昇實施輸入之門鎖動作。因此，將預取之前後指令數據存儲於串聯 2 段之指令預取緩衝器 2 5 0，2 5 1。

前述選擇器 2 5 係依選擇控制信號 $\psi 4$ ，選擇供給端口 P a 之 3 2 位之指令數據或供給端口 P b 之 3 2 位指令數據供給指令寄存器 2 5。對前述端口 P a 供給將指令預取緩衝器 2 5 0 之上位 1 6 位領域 C P B 1 為下位側，將指令預取緩衝器 2 5 1 之下位 1 6 位領域 L P B 2 為上位側之 3 2 位指令數據。對端口 P b 供給存儲於指令預取緩衝器 2 5 1 之 3 2 位之原指令數據。

由此，指令預取緩衝器 2 5 1 保持 3 2 位之 D S P 指令時選擇器 2 5 2，選擇端口 P b 之輸出即可將該 3 2 位之 D S P 指令設定於指令寄存器 2 5。指令預取緩衝器 2 5 1 將 1 6 位之 D S P 指令或 1 6 位之 C P U 指令保持於上位領域 U P B 2 時選擇器 2 5 2，選擇端口 P b 之輸出，即可將該 1 6 位指令設定於指令寄存器 2 5 之上位領域 U I R。指令預取緩衝器 2 5 1 將 1 6 位之 D S P 指令或 1 6 位之 C P U 指令保持於下位領域 L P B 2 時，由於選擇器 2 5 2，選擇端口 P a 之輸出，即可將該 1 6 位之指令設定於指令寄存器 2 5 之上位領域 U I R。指令預取緩衝器 2 5 1 將 1 6 位 D S P 指令之上位 1 6 位指令代碼保持於下位領域 L P B 2，而指令預取緩衝器 2 5 0 將該 3 2 位 D S P 指令之下位側 1 6 位指令代碼保持於其上位領域 U P B 1 時，由於選擇器 2 5 2，選擇端口 P a 之輸

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

結

五、發明說明 (27)

出即可將該 32 位 DSP 指令設定於指令寄存器 25。

圖 17 中 253 係形成前述指令預取緩衝器之門鎖控制信號 $\psi 1$ ， $\psi 2$ ，指令寄存器 25 之門鎖控制信號 $\psi 3$ ，及前述選擇控制信號 $\psi 4$ 之控制邏輯。該控制邏輯 253 係依表示 16 位指令或 32 位指令之控制信號 248 及指令預取緩衝器 250，251 之各領域未實施殘留之指令代碼狀態，形成前述控制信號 $\psi 1 \sim \psi 4$ 。該控制邏輯 253 係構成指令取出用之控制邏輯之一部份。又，前述控制信號 248 係第 1 譯碼電路 240 將自指令寄存器 25 之上位領域 UIR 供給之指令代碼數據之上位 6 側位譯碼形成者，其詳細情形容後申述。

依前述控制邏輯 253 將指令代碼數據設定於指令寄存器 25 如下。由外部之指令取出係在 CPU 芯 2 之指令取出時間（例如在後述複數段管線階段之指令取出階段 IF），指令預取緩衝器 250 有重新存儲 32 位之指令代碼數據之餘地時實施。以其時間實施指令取出時，指令預取緩衝器 251 殘留未實施之指令。存儲於指令預取緩衝器 251 之領域 UPB2，LPB2 之指令代碼雙方未實施之第 1 狀態時，指令預取緩衝器 251 之 32 位輸出經端口 Pb 由選擇器 252 選擇設定於指令寄存器 25。一方面僅存儲於指令預取緩衝器 251 之下位領域 LPB2 之指令代碼未實施之第 2 狀態時，將預取指令預取緩衝器 250 之上位領域 UPB1 及指令預取緩衝器 251 之下位領域 LPB2 之指令代碼數據經端口 Pa 設定於指令

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

五、發明說明 (28)

寄存器 2 5。

在前述第 1 狀態下，譯碼電路 2 4 0 將設定於指令寄存器 2 5 之上位領域 U I R 之指令代碼數據譯碼之結果，為構成 3 2 位指令時，在指令預取緩衝器 2 5 0 預取之 3 2 位指令代碼數據乃舊轉送於指令預取緩衝器 2 5 1。一方面，由譯碼結果檢出為 1 6 位指令時，不實施自指令預取緩衝器 2 5 0 至次段緩衝器 2 5 1 之數據移位。

在前述第 2 狀態下，經端口 P a 對指令寄存器 2 5 之數據設定後，指令預取緩衝器 2 5 0 所預取之 3 2 位之指令代碼數據，仍舊移位設定於指令預取緩衝器 2 5 1。該移位後，若指令預取緩衝器 2 5 0 當存在未實施之指令代碼數據時，在指令預取緩衝器 2 5 0 於次一指令預取時間預取指令代碼數據。

由此種控制，指令取出時間後，未處理之指令代碼數據設定於指令寄存器 2 5。此時，應實施之指令，為 1 6 位 C P U 指令 1 6 位 D S P 指令或 3 2 位 D S P 指令，一其上位側 1 6 位必供給第 1 譯碼電路 2 4 0。

圖 6 說明之代碼轉換電路 2 4 2，在圖 1 7 係由選擇器 2 4 2 A 及代碼轉換邏輯 2 4 2 B 構成。又，第 1 譯碼電路 2 4 0，在圖 6 說明，依其譯碼之指令代碼是否為 1 6 位指令形成控制其水平之控制信號 2 4 5，2 4 6，而在圖 1 7 例中，輸出識別其譯碼之指令代碼 1 6 位指令或 3 2 位指令（本實施例中 3 2 位指令為 D S P 指令）用之控制信號 2 4 8。選擇器 2 4 2 A，在控制信號 2 4 8

（請先閱讀背面之注意事項再填寫本頁）

訂

裝

五、發明說明 (29)

表示 1 6 位指令時，選擇 Non Operation Codewop 供給代碼轉換邏輯 2 4 2 B，控制信號 2 4 8 表示 3 2 位 D S P 指令時，將指令寄存器 2 5 之下位領域 L I R 之指令代碼供給代碼轉換邏輯 2 4 2 B。代碼轉換邏輯 2 4 2 B，雖未特別限制，惟將指令寄存器 2 5 之下位領域 L I R 之指令代碼數據之一部份例如寄存器選擇用之代碼情報修正為適於 D S P 引擎 3 之譯碼器 3 4 之形態輸出。

圖 1 7 之實施例中，第 1 譯碼電路 2 4 0 解讀指令寄存器 2 5 之上位領域 U I R 保持之 1 6 位之指令代碼數據，將所得 C P U 譯碼信號 2 4 3 供給第 2 譯碼電路 2 4 3，又將 D S P 譯碼信號 2 4 4 供給譯碼器 3 4。C P U 譯碼信號 2 4 3 在 C P U 指令及 D S P 指令之任一中均成有意，供給第 2 譯碼電路 2 4 1。第 2 譯碼電路 2 4 1，將 C P U 譯碼信號 2 4 3 譯碼，輸出 C P U 芯 2 應實施之地址運算及數據運算用之控制情報，及內部存儲 X - R O M 4，Y - R O M 5，X - R A M，Y - R A M 以及外部存儲存取用之地止總線及數據線線之選擇控制情報等。如前述，對 D S P 指令，其所必需之地址運算及數據總線之選擇，亦由 C P U 芯 2 實施。

前述 D S P 譯碼信號 2 4 4 係如前述，供給第 1 譯碼電路 2 4 0 之指令代碼為 D S P 指令用之代碼數據時成為有意之譯碼信號。有意 D S P 譯碼信號 2 4 4 含例如，在依 C P U 芯 2 實施之地址運算存取之存儲器間交接數據之 D S P 引擎 3 內之寄存器等之指定情報。供給第 1 譯碼電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (30)

路 2 4 0 之指令代碼為 C P U 指令時，D S P 譯碼信號 2 4 4 成為表示無效之代碼。

茲更詳述含於微電腦 1 之指令系統之前述 D S P 指令之代碼。圖 1 8 及圖 1 9 分別表示 1 6 位之 D S P 指令之指令代碼圖 2 0 及圖 2 1 表示 3 2 位之 D S P 指令之指令代碼。如前述，D S P 指令係將指令代碼之最上位側之 4 位分配於「1 1 1 1」，指令代碼之最上位側之 6 位為「1 1 1 1 0 0」及「1 1 1 1 0 1」係 1 6 位之 D S P 指令，指令代碼之最上位側之 6 位為「1 1 1 1 1 0」之指令係成為 3 2 位之 D S P 指令。

圖 1 8 之第 1 欄 (X Side of Data Transfer) 所示 1 6 位 D S P 指令之指令格式係 X 存儲器 (X - R O M 4 , X - R A M 6) 與 D S P 引擎 3 之內藏寄存器間之數據轉送指令。上述指令格式中，A x , A y 係指定含於 C P U 芯 2 所含寄存器陣列 2 0 9 (參照圖 3) 之寄存器，A x = 「0」係指定寄存器 R 4 , A x = 「1」係指定寄存器 R 5 , A y = 「0」係指定寄存器 R 6 , A y = 「1」係指定寄存器 R 7 。 D x , D y , D a 係指定含於 D S P 引擎之寄存器，D x = 「0」指定寄存器 X 0 , D x = 「1」係指定寄存器 X 1 , D y = 「0」係指定寄存器 Y 0 , D y = 「1」係指定寄存器 Y 1 , D a = 「0」係指定寄存器 A 0 , D a = 「1」係指定寄存器 A 1 。 I x , I y 表示立即值。

圖 1 9 所示 1 6 位 D S P 指令之指令格式係連接於微

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (31)

電腦 1 外部之未圖示之存儲器與 DSP 引擎 3 之內藏寄存器間之數據轉送指令。As 指定內藏 CPU 芯 2 之寄存器陣列 209 (參照圖 3) 所含寄存器，Ds 係指定內藏於 DSP 指令引擎之寄存器 X1，X0，Y1，Y0，A1，A0 及寄存器陣列 305 (參照圖 4) 所含寄存器。

32 位 DSP 指令之格式，係大別為表示 32 位 DSP 指令之代碼 " 111110 " 之領域 (位 31 ~ 位 26)，A 信息組 (位 25 - 位 16) 及 B 信息組 (位 15 ~ 位 0)。圖 20 表示著眼於 A 信息組之代碼及其所對應之助記，圖 21 表示著眼 B 信息組時之該信息之代碼及其所對應之助記。

圖 20 所示 A 信息組之代碼，係與圖 18 所示 16 位 DSP 指令之位 9 ~ 位 0 之代碼相同之第 20 之第 1 欄 (X Side of Data Transter) 所示 A 信息組之代碼係規定 X 存儲器 (X - ROM 4，X - RAM 6) 與 DSP 引擎 3 之內藏寄存器間之中數據轉送，第 2 欄 (Y Side of Data Transter) 所示 A 信息組之代碼係規定 Y 存儲器 (y ROM 5，Y - RAM 7) 與 DSP 引擎 3 之內藏寄存器間之數據轉送。該 A 信息組所含之位 Ax，Ay，Dx，Dy，Da 指定之內容與圖 18 完全相同。

圖 21 所示 B 信息組之代碼規定在 DSP 引擎 3 內部實施之算術運算，邏輯運算，移位運算，寄存器間之負載 / 存儲等處理。例如規定 DSP 引擎 3 內部實施之乘算 (PMULS)，減算 (PSUB)，加算 (PADD) 拾

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (32)

入 (P R N D) , 移位 (P S H L) , 邏輯積 (P A N D) , 排他的邏輯和 (X O R) , 邏輯和 (O R) , 加 (P I N C) , 減 (P D E C) , 清除 (C L R) 等之運算 , 或在 D S P 引擎 3 內部實施之負載 (P L D S) 及存儲 (P S T S) 等。圖 2 1 之第 3 欄 (3 0 Operand Optr-
ation with Condition) 係附有條件之代碼 , 其條件 (if cc) 係可選擇 D C (數據完成) 位 (表示數據處理完了之位) 之邏輯值或視。

實際之 3 2 位 D S P 指令 , 記述成 B 信息組代碼與 A 信息組代碼之任意組合。即 , 3 2 位之 D S P 指令 , 取出微電腦 1 之內部或外部之運算對象之操作 , 規定將其在 D S P 引擎內部運算之處理。由上述說明可知 , 操作數取出用地址運算及數據總線之選擇係由 C P U 2 實施。3 2 位 D S P 指令中規定操作數取出之 A 信息組之代碼係與 1 6 位之 D S P 指令相同。1 6 位 D S P 指令係利用於對 D S P 引擎 3 內部之寄存器之初期設定等。

參照圖 1 7 等所示構成示明瞭 3 2 位 D S P 指令之 A 信息組之代碼數據係設定於指令寄存器 2 5 之上位領域 U I R 。又 , 具有與 A 信息組同一格式之 1 6 位 D S P 指令亦設定於上位領域 U I R 。故無論任一項 , C P U 芯 2 , 同樣實施所需之地址運算及數據取出 (或操作數取出) 必要之數據總線之選擇即可。換言之 , 將實施 3 2 位 D S P 指令用之數據取出 (或操作數取出) 及實施 1 6 位 D S P 指令用之數據取出 (或操作數) 所需之譯碼電路

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (33)

2 4 0 , 2 4 1 共用化, 此點, 亦有益於微電腦 1 之邏輯規模之縮小。3 2 位 D S P 指令之 A 信息組指定之 D S P 引擎 3 內部寄存器之指定情報及 1 6 位 D S P 指令指定之 D S P 引擎 3 之內部寄存器之指定情報係做為前述 D S P 譯碼信號 2 4 4 供給 D S P 引擎 3。將 D S P 譯碼信號 2 4 4 為有意與否, 係由前述第 1 譯碼電路 2 4 0 將上位領域 U I R 之最上位側之 4 位予以譯碼決定。

其次, 參照圖 7 至圖 1 6 之指令實施時間表說明本實施例之微電腦之運算控制之內容。本實施例之微電腦 1 係實施 I F , I D , E X , M A , W B / D S P 階段之 5 段管線動作。I F 係指令取出階段, I D 係指令譯碼階段, E X 係運算實施階段, M A 係存儲器存取階段, W B / D S P 係將自存儲器取得之數據取進 C P U 芯 2 之寄存器之階段或 D S P 引擎 3 實施 D S P 指令之階段。各圖中, Instruction/Data Access 表示經內部總線 I A B , I D B 之存儲器存取, 存取對象係內藏存儲器 4 ~ 7 外亦可能為微電腦 1 之外部存儲器。X Y Mem, Access 表示內部總 X A B , X D B 及 Y A B , Y D B 之存儲器存取, 存取對象僅限於內藏存儲器 4 ~ 7。Isnt, Fetch 指指令寄存器 (I R) 2 5 之指令取出時間, Fetch, Reg 表示指令寄存器 (I R) 2 5 , Source Data Ont 指源數據輸出, Destination In 指目的數據之輸入時間, Destination Register 係指目的寄存器。Pointer Reg 意指指文字寄存器, Address Calc , 指地址運算, Data Fetch 指數據取出, Dsp Control

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (34)

Signal Decord Timing意指以譯碼器 3 4 之 D S P 控制信號 2 0 之譯碼時間。

圖 7 表示 C P U 芯 2 內部之 A L U 運算指令之實施時間圖。茲將 A D D R m , R n 爲 A L U 運算指令之一例。

將存儲同步於 I F 階段直前之時鐘信號 Clock 2 之上昇之時間，應實施之指令 (A D D , R m , R n) 之地址輸出於地址總線之 I A B 。在 Instruction Data Mem, Access I F 階段實施存儲器存取動作。具體而言，在時鐘信號 Clock 1 之上昇至時鐘信號 Clock 2 之上昇期間實施地址總線 I A B 指定之地址之譯碼，而在 I F 階段之時鐘信號 Clock 2 之上昇至次一時鐘信號 Clock 1 之上昇期間實施指令存取。因此，自 I F 階段之時鐘信號 Clock 2 之上昇將指令輸出於數據總線。輸出於數據總線 I D B 之指令係同步於 I D 階段之時鐘信號 Clock 1 之上昇時間，取進指令寄存器 (I R) 2 5 。在 I D 階段實施取進指令寄存器 (I R) 2 5 之數據之譯碼。同步於 E x 階段之時鐘信號 Clock 1 之上昇時間，存取存儲源數據之寄存器，將寄存器之值輸出於 C P U 芯 2 之內部總線 A 1 , B 1 。在指令 A D D R m , R n 將指定於 R m 及 R n 之寄存器成爲源寄存器。R m 及 R n 可指令 C P U 芯 2 內部之任意寄存器 (圖 3 中，可指定寄存器 2 0 9 內之任意寄存器 A 0 x , A 1 x , I x , A 0 y , A 1 y , I y , , R m 及 R n) 輸出於 C P U 芯 2 之內部總線 A 1 , B 1 之數據係在算

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

統

五、發明說明 (35)

術邏輯運算器 (A L U) 2 1 3 實施加算運算，其結果係輸出於 C P U 芯 2 之內部總線 C 1。輸出於 C P U 芯 2 之內部總線 C 1 之運算結果係同步於 E x 階段之時鐘信號 Clock 2 之上昇時間，存儲於目的寄存器 (目的寄存器係成爲以 A D D R m 及 R n 指令指定於 R n 之寄存器)。如上述，在 C P U 芯 2 之內部之 A L U 運算指令，以 I F，I D，E X 之 3 段之管線階段完成指令實施動作。

圖 8 表示自存儲器向 C P U 芯 2 之數據讀進動作之時間圖。茲舉 M O V，L @ R m，R n 爲自存儲器向 C P U 芯 2 之數據讀進動作之一例說明其動作。因至指令取出 (I F)，指令譯碼 (I D) 之動作與圖 7 相同，故省略其部份之詳細說明。

同步於 E X 階段之時鐘信號 Clock 1 之上昇時間，做爲地址指示字之寄存器之數據係輸出於 C P U 芯 2 之內部總線 A 1。此例中，成爲地址指示字之寄存器係成爲 R m 指定之寄存器。可指定於 R m 之寄存器爲含於 C P U 芯 2 之任意寄存器 (圖 3 中，可指定含於 R e g 之任意寄存器，A 0 x，A 1 x，I x，A 0 y，A 1 y，I y 做爲 R m)。輸出於 C P U 芯 2 之內部總線 A 1 之數據，係存儲於地址緩衝器 2 0 5，同步於 E x 階段之時鐘信號 Clock 2 之上昇時間輸出於地址總線。一方面輸出於 C P U 芯 2 之內部總線 A 1 之數據係在算術邏輯運算器 (A L U) 2 1 3 實施運算。此時，算術邏輯運算器 (A L U) 2 1 3 實施 0 加算運算。其結果係輸出於

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (36)

C P U 芯 2 之內部總線 C 1。輸出於 C P U 芯 2 之內部總線 C 1 之運算結果，係同步於 E X 階段之時鐘信號 Clock 2 之上昇時間，存儲於指示字寄存器（此時，以 R m 指定之寄存器）。在 Instruction/Data Mem, Access 中，於 M A 階段之時鐘信號 Clock 1 之上昇至時鐘信號 Clock 2 之上昇期間，同步於 E X 階段之時鐘信號 Clock 2 之上昇時間，實施輸出於地址總線 I A B 之地址之譯碼，在 M A 階段之時鐘信號 Clock 2 之上昇至次一時鐘信號 Clock 1 之上昇期間實施數據存取。因此，自 M A 階段之時鐘信號 Clock 2 之上昇將數據輸出於數據總線 I D B。輸出於數據總線 I D B 之數據係同步於 W B / D S P 階段之時鐘信號 Clock 1 之上昇時間取進 C P U 芯 2，將數據輸出於 C P U 芯 2 之內部總線 D W。同步於 W B / D S P 階段之時鐘信號 Clock 2 之上昇時間，將 C P U 芯 2 之內部總線 D W 上之數據存儲於目的寄存器，完成動作。此例中，目的寄存器成為指定於 R n 之寄存器。可指定於 R n 之寄存器係含於 C P U 芯 2 之任意之寄存器（圖 3 中，可指定 R e g 內之任意寄存器，A 0 x，A 1 x，I x，A 0 y，A 1 y，I y 為 R n）。如以上自存儲器向 C P U 芯 2 之數據讀進動作指令，以 I F，I D，E X，M A，W B / D S P 之 5 段之管線階段完成指令實施動作。

圖 9 表示自 C P U 芯 2 向存儲器之數據寫進動作指令之時間圖。茲舉 M O V，L R m，@ R n 為自向 C P U 芯 2 向存儲器之數據讀進動作之一例說明其動作。因至指令

五、發明說明 (37)

取出 (I F) , 指令譯碼 (I D) 之動作與圖 8 相同 , 故省略其部份之詳細說明。

同步於 E X 階段之時鐘信號 Clock 1 之上昇時間 , 做為地址指示字之寄存器之數據係輸出於 C P U 芯 2 之內部總線 A 1 。此例中 , 成為地址指示字之寄存器係成為 R m 指定之寄存器。可指定於 R n 之寄存器為含於 C P U 芯 2 之任意寄存器 (圖 3 中 , 可指定含於 R e g 之任意寄存器 , A 0 x , A 1 x , I x , A 0 y , A 1 y , I y 做為 R n) 。輸出於 C P U 芯 2 之內部總線 A 1 之數據 , 係存儲於地址緩衝器 2 0 5 , 同步於 E x 階段之時鐘信號 Clock 2 之上昇時間輸出於地址總線 I A B 。一方面輸出於 C P U 芯 2 之內部總線 A 1 之數據係在算術邏輯運算器 (A L U) 2 1 3 實施運算。此時 , 算術邏輯運算器 (A L U) 2 1 3 實施 0 加算運算。其運算結果係輸出於 C P U 芯 2 之內部總線 C 1 。輸出於 C P U 芯 2 之內部總線 C 1 之運算結果 , 係同步於 E X 階段之時鐘信號 Clock 2 之上昇時間 , 存儲於指 字譯碼 (此時 , 以 R n 指定之寄存器) , 指令 M O V , L 中 R n , @ R n 時 , 於 E x 階段實施地址運算 , 同時 , 實施將應寫進存儲器之數據輸出於數據總線 I D B 之準備。同步於 E X 階段之時鐘信號 Clock 1 之上昇時間 , 由存儲應寫進存儲器之數據之寄存器將值輸出於 C P U 芯 2 之內部總線 D R 。此例中 , 存儲應寫進存儲器之數據之譯碼 , 係成為 R m 指定之寄存器。可指定於 R m 之寄存器係含於 C P U 芯 2 之任意之譯碼 (

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

五、發明說明 (38)

圖 3 中，可指定 R e g，內於任意寄存器，A 0 x，A 1 x，I x，A 0 y，A 1 y，I y 為 R m)。輸出於 C P U 芯 2 之內部總線 d r 之值，係同步於 M A 階段之時鐘信號 Clock 2 之上昇時間輸出數據總線 I D B。在 Instruction/Data Mem. Access 於 M A 階段之時鐘信號 Clock 1 之上昇至時鐘信號 Clock 2 之上昇期間，同步於 E X 階段之時鐘信號 Clock 2 之上昇時間實施輸出地址總線 I A B 之地址之譯碼，同步於 M A 階段之時鐘信號 Clock 2 之上昇時間寫進輸出於數據總線 I D B 之數據，完成為動作。自存儲器向 C P U 芯 2 之數據寫進動作指令，因 C P U 芯 2 在將數據輸出數據總線 I D B 之時點完成動作，故於 I F，I D，E X，M A 之 4 段管線階段完成動作。

圖 1 0 表示實施 D S P 指令時之時間圖。舉 P A D D C S x，S y，D z N O P X，N O P Y 為 D S P 指令之一例說明其動作。該指令係實施存儲於 D S P 引擎 3 內之寄存器之數據之加算，不實施 D S P 引擎 3 與 X - R O M 4 及 X - R A M 6，及 Y - R O M 5 及 Y - R A M 7 間之數據轉送之指令。

指令取出動作因與圖 7 相同故省略其部份之詳細說明。在 I D 階段，實施於時鐘信號 Clock 1 至時鐘信號 Clock 2 期間 C P U 芯 2 取進之指令代碼之譯碼，將於 I D 階段之時鐘信號 Clock 2 之時間將指令代碼譯碼之結果做為 D S P 控制信號 2 0 輸出於 D S P 引擎 3。在

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (39)

D S P 引擎 3。自 C P U 芯 2 輸入 D S P 控制信號 2 0 時，將至 M A 階段期間輸入之 D S P 控制信號予以譯碼。同步於 W B / D S P 階段之時鐘信號 Clock 1 之上昇時間，存取存儲源數據之寄存器，將寄存器之值輸出於 D S P 引擎 3 之內部總線 A 2，B 2。此例中，存儲源數據之寄存器成為 S x 及 S y 指定之寄存器，可指定於 S x 及 S y 之寄存器係 D S P 引擎 3 內部之任意之寄存器（圖 4 中，R e g，內之任意寄存器可指定為 S x 及 S y）。輸出 D S P 引擎 3 內部總線 A 2，B 2 之數據在算術邏輯運算器（A L U）3 0 2 實施運算，其結果係輸出於 D S P 引擎 3 之內部總線 C 2。輸出 D S P 引擎 3 之內部總線 C 2 之運算結果係同步於 W B / D S P 階段之時鐘信號 Clock 2 之上昇時間存儲於目的寄存器。此例中，目的寄存器成為 D z 指定之寄存器。可指定於 D z 之寄存器係 D S P 引擎 3 內部之任意之寄存器（圖 4 係 R e g 內之任意之寄存器）。如以上之 D S P 指令，係以 I F，I D，E X，M A，W B / D S P 之 5 段管線階段完成動作。

圖 1 1 表示自 X，Y 存儲器 4 - 7 向 D S P 引擎 3 之數據讀進動作指令之時間圖。茲舉 M O V X . W，@ A X，D X，M O V Y . W @ A y，D y 做為自 X，Y 存儲器 4 ~ 7 向 D S P 引擎 3 之數據讀進作指令之一例說明其動作。該指令係將存儲於 A x 及 A y 指定之地址之數據轉送於 D x 及 D y 指定之寄存器之指令。指令取出，指令譯碼器之動作因與圖 1 0 相同故省略該部份之詳細說明。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (40)

實施自 X , Y 存儲器 4 ~ 7 向 D S P 引擎 3 之數據讀進動作指令時，存取之存儲器之地址形成 C P U 芯 2 。因此同步於 E x 階段之時鐘信號 Clock 1 之上昇時間，存取存儲應存取之地址之寄存器，將寄存器之值輸出於 C P U 芯 2 之內部總線 A 1 ~ A 2 。此例中存儲應存取之地址之寄存器係成為 A x , A y 指定之寄存器。可指定於 A x 之寄存器係含有 C P U 芯 2 之寄存器 A 0 x , A 1 x , 而可指定於 A y 之寄存器係含於 C P U 芯 2 之寄存器 A 0 y , A 1 y 。輸出於 C P U 芯 2 之內部總線 A 1 ~ A 2 之數據係存儲於存儲地址緩衝器 (M A B X , M A B Y) 同步於 E x 階段之時鐘信號 Clock 2 之上昇時間輸出於地址總線 X A B , Y A B 。一方面輸出 C P U 芯 2 之內部總線 A 1 ~ A 2 之數據係以 A L U 2 1 3 , P A U 2 1 2 實施地址運算。此時 A L U 2 1 3 及 P A U 2 1 2 實施 0 加算運算。該運算結果係輸出於 C P U 芯 2 之內部總線 C 1 及 C 2 , 輸出於 C P U 芯 2 之內部總線 C 1 及 C 2 之運算結果係同步於 E X 階段之時鐘信號 Clock 2 之上昇間存儲於指示字寄存器 (即以 A x 及 A y 指定之寄存器 P 在 X , Y 存儲器 4 ~ 7 , 於 M A 階段之時鐘信號 Clock 1 之上昇至時鐘信號 Clock 2 之上昇期間，實施以 E X 階段時鐘信號 Clock 2 之上昇時間輸出於地址總線 X A B , Y A B 之地址之譯碼，在 M A 階段之時鐘信號 Clock 2 之上昇至次一時鐘信號 Clock 1 之上昇期間實施數據存取。因此，自 M A 階段之時鐘信號 Clock 2 之上昇將數據輸出數據總線 X D B

(請先閱讀背面之注意事項再填寫本頁)

訂

統

五、發明說明 (41)

， Y D B 。輸出數據總線 X D B ， Y D B 之數據，係同步於 W B / D S P 階段之時鐘信號 Clock 1 之上昇時間取進 D S P 引擎 3 將數據供給 D S P 引擎 3 之內部總線 D 1 ， D 2 。同步於 W B / D S P 階段之時鐘信號 Clock 2 之上昇時間將 D S P 引擎 3 之內部總線 D 1 ， D 2 上之數據存儲於目的寄存器，完成動作。該例中，目的寄存器係成為指定於 D X 及 D Y 之寄存器。可指定於 D X 之寄存器，係含於 D S P 引擎 3 之寄存器 X 0 ， X 1 ，而可指定於 D y 之寄存器係含於 D S P 引擎 3 之寄存器 Y 0 ， Y 1 。如以上，自存儲器向 D S P 引擎 3 之數據讀進動作指令係以 I F ， I D ， E X ， M A ， W B / D S P 之 5 段管線階段完成動作。斯項並聯之數據讀進動作，係因經相互獨立之總線 X A B ， X D B 與 Y A B ， Y D B 使 C P U 芯 2 可存取 X ， Y 存儲器 4 ~ 7 之故。

圖 1 2 表示自 D S P 引擎 3 向 X ， Y 存儲器 6 ， 7 之數據寫進動作之時間圖。茲舉 M O V X . W D a ， @ A x M O V Y ， W D a ， @ A y 為自 D S P 引擎 3 向 X ， Y 存儲器 6 ， 7 之數據寫進動作指令之一例說明其動作。該指令係將存儲於 D a 指定之寄存器之數據轉送於存儲於 A x 及 A y 指定之寄存器之地址之指令。

指令取出，指令代碼之動作因與圖 1 1 相同，故省略其部份之詳細說明，實施自 D S P 引擎 3 向 X ， Y 存儲器 6 ， 7 之數據寫進動作指令時，應存取之存儲地址形成 C P U 芯 2 。因此同步於 E X 階段之時鐘信號 Clock 1 之

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (42)

上昇時間，存取存儲應存取之地址寄存器，將寄存器之值輸出於CPU芯2之內部總線A1～A2。

同步於MA階段之時鐘信號Clock1之上昇時間，存取存儲應轉送之數據之DSP引擎3內部寄存器，將該寄存器之值輸出於DSP引擎3之內部總線D1，D2，將其存儲於存儲數據緩衝器(MDBX，MDBY)。此例中，存儲應轉送之數據之DSP引擎3之內部寄存器係成為Da指定之寄存器。可以Da指定之寄存器係含DSP引擎3之寄存器A0及A1。同步於MA階段之時鐘信號Clock2之上昇時間，存儲於存儲數據緩衝器(MDBX，MDBY)之數據係輸出於數據總線XDB，YDB。

同步於MA階段之時間信號Clock 1之上昇時間，存取存儲應轉送數據之DSP引擎3之內部寄存器，將該寄存器之值輸出於DSP引擎3之內部總線D1，D2，將其存儲於存儲數據緩衝器(MDBX，MDBY)。此例中，存儲應轉送數據之DSP引擎3之內部寄存器成為Da指定之寄存器。可以Da指定之寄存器係含於DSP引擎之寄存器A0及A1。同步於MA階段之時鐘信號Clock 2之上昇時間，存儲於存儲數據緩衝器(MDBX，MDBY)之數據係輸出於數據總線XDB，YDB。在X，Y存儲器6，7於MA階段之時鐘信號Clock1之上昇至時鐘信號Clock2之上昇期間，以EX階段時鐘信號Clock2之上昇時間實施輸出於地址總線XAB，YAB之地址之譯碼，在MA階段之時鐘信號

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (43)

Clock 2 之上昇至次一時鐘信號 Clock 1 之上昇期間實施數據存取。因此，輸出數據總線 X D B，Y D B 之數據自 M A 階段之時鐘信號 Clock 2 之上昇寫進。如以上自 D S P 引擎 3 向 X，Y 存儲器 6，7 之數據寫進動作指令係於 I F，I D，E X，M A 之 4 段管線階段完成動作。斯項並聯之數據寫進動作乃因經相互獨立之總線 X A B，X D B 與 T A B，Y D B，使 C P U 芯 2 可存取 X，Y 存儲器 4，6 之故。

圖 1 3 表示自存儲器向 D S P 引擎 3 之數據讀進動作之時間圖。茲舉 M O V S，L @ A S，D S 為自存儲器向 D S P 引擎 3 之數據讀進動作指示之一例說明其動作。該指令係將存儲於 A S 指定之地址之數據轉送於 D S 指定之寄存器之指令。

基本動作係與圖 1 1 所示自 X，Y 存儲器 4 ~ 7 向 D S P 引擎 3 之數據讀進動作相同。圖 1 1 與圖 1 3 之差異，係圖 1 1 為因對象之存儲器為 X，Y 存儲器 4 ~ 7 故使用 X 總線，Y 總線，而圖 1 3 則因對象之存儲器係微電腦 1 連接於支持空間之存儲器，故使用總線 I A B，

I D B。同步於 E X 階段時鐘信號 Clock 1 之上昇時間，取得有應存取之地址之寄存器，將寄存器之值輸出於 C P U 芯 2 之內部總線 A 1。此例中，存儲應存取之地址之寄存器，係成為 A S 指定之寄存器。可以 A S 指定之寄存器係含於 C P U 芯 2 之 R e g，內之任意寄存器。輸出於 C P U 芯 2 之內部總線 A 1 之數據，係存儲於地址緩衝

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (44)

器 2 0 5，同步於 E X 階段之時鐘信號 Clock 2 之上昇時間，輸出於地址總線 I A B。一方面輸出 C P U 芯 2 之內部總線 A 1 之數據係以算術邏輯運算器 A L U 2 1 3，實施地址運算。此時算術邏輯運算器 A L U 2 1 3 實施 0 加算運算。該運算結果係輸出於 C P U 芯 2 之內部總線 C 1。輸出於 C P U 芯 2 之內部總線 C 1。之運算結果係同步於 E X 階段之時鐘信號 Clock 2 之上昇間存儲於指示字寄存器（即以 A s 指定之寄存器）。在存取對象之存儲器，於 M A 階段之時鐘信號 Clock 1 之上昇至時鐘信號 Clock 2 之上昇期間，實施以 E X 階段時鐘信號 Clock 2 之上昇時間輸出於地址總線 I A B 之地址之譯碼，在 M A 階段之時鐘信號 Clock 2 之上昇至次一時鐘信號 Clock 1 之上昇期間實施數據存取。因此，自 M A 階段之時鐘信號 Clock 2 之上昇將數據輸出數據總線 I D B。輸出數據總線 I D B 之數據，係同步於 W B / D S P 階段之時鐘信號 Clock 1 之上昇時間取進 D S P 引擎 3 將數據供給 D S P 引擎 3 之內部總線 D 1。同步於 W B / D S P 階段之時鐘信號 Clock 2 之上昇時間將 D S P 引擎 3 之內部總線 D 1 上之數據存儲於目的寄存器完成動作。此例中，目的寄存器係成為指定於 D s 之寄存器。可指定於 D s 之寄存器，係 D S P 引擎 3 內之任意之寄存器。如以上自存儲器向 D S P 引擎 3 之數據讀進動作指令，係以 I F，I D，E X，M A，W B / D S P 之 5 段之管線階段完成動作。

圖 1 4 表示自向 D S P 引擎 3 向存儲器之數據讀進動

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (45)

作之時間圖。茲舉 MOV S, LDS @ AS, 為自 DSP 引擎 3 向存儲器之數據寫進動作指示之一例說明其動作。該指令係將存儲於 DS 指定之地址之數據轉送於 AS 指定之寄存器之指令。

基本動作係與圖 1 2 所示自 DSP 引擎 3 向 X, Y 存儲器之數據寫進動作相同。圖 1 2 與圖 1 4 之差異, 係圖 1 2 為因對象之存儲器為 X, Y 存儲器故使用總線 XAB, XDB 總線 YAB, YDB, 而圖 1 4 則因對象之存儲器係微電腦 1 連接於支持空間之存儲器, 故使用總線

IAB, IDB。同步於 EX 階段時鐘信號 Clock1 之上昇時間, 存取得有轉送目標之地址之寄存器, 將寄存器之值輸出於 CPU 芯 2 之內部總線 A1。此例中, 存儲應存取之地址之寄存器, 係成為 AS 指定之寄存器。可以 AS 指定之寄存器係含於 CPU 芯 2 之寄存器 Reg, 內之任意寄存器。輸出於 CPU 芯 2 之內部總線 A1 之數據係存儲於地址緩衝器 205, 同步於 EX 階段之時鐘信號 Clock2 之上昇時間, 輸出於地址總線 IAB。一方面輸出 CPU 芯 2 之內部總線 A1 之數據係以算術邏輯運算器 ALU213, 實施地址運算。此時算術邏輯運算器 ALU213 實施 0 加算運算。該運算結果係輸出於 CPU 芯 2 之內部總線 C1。輸出於 CPU 芯 2 之內部總線 C1 之運算結果係同步於 EX 階段之時鐘信號 Clock2 之上昇間存儲於指示字寄存器 (即以 As 指定之寄存器)。

同步於 MA 階段之時鐘信號 Clock1 之上昇時間,

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (46)

將存儲應轉送數據之 D S P 引擎 3 內部之寄存器之值輸出於 D S P 引擎 3 之內部總線 D 1，存儲於存儲數據緩衝器 (M D B 2)。同步於 M A 階段之時鐘信號 Clock 2 之上昇時間。將存儲於存儲數據緩衝器 (M D B 1) 之數據輸出於數據總線 I D B。此例中，存儲應轉送數據之 D S P 引擎 3 內部之寄存器係成為指定於 D s 之寄存器。可指定於 D s 之寄存器，係 D S P 引擎 3 內之任意寄存器。成為存取對象之存儲器係在 M A 階段之時鐘信號 Clock 1 之上昇至時鐘信號 Clock 2 之上昇期間，以 E X 階段時鐘信號 Clock 2 之上昇時間實施輸出於地址總線 I A B 之地址寄存器，在 M A 階段之時鐘信號 Clock 2 之上昇至次一時鐘信號 Clock 1 之上昇期間實施數據存取。因此，在 M A 階段之時鐘信號 Clock 2 之上昇時間，自 D S P 引擎 3 輸出之數據寫進存儲器。如以上自 D S P 引擎 3 向外部存儲器之數據寫進動指令係以 I F，I D，E X，M A 之 4 段之管線階段完成動作。

其次舉 P A D D S x，S y，D n P M U L S e，S f，D g，M O V X，W @ A X，D x，M O V Y，W @ A y，D y 為 D S P 運算指令之一例，用圖 1 5 說明其動作。該指令係實施自 X - R O M 4 及 X - R A M 6 及 Y - R O M 5 及 Y - R A M 7 向 D S P 引擎 3 之數據轉送之指令，合併圖 1 0 與圖 1 之動作。因指令取出，指令譯碼器之動作係與圖 1 0 相同，故省略其部份之詳細說明。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (47)

實施自 X, Y 存儲器向 D S P 引擎 3 之數據讀進動作指令時應, 存取之存儲器之地址形成 C P U 芯 2。因此同步於 E x 階段之時鐘信號 Clock 1 之上昇時間, 存取保有應存取之地址之寄存器, 將寄存器之值輸出於 C P U 芯 2 之內部總線 A 1 ~ A 2。此例中存儲應存取之地址之寄存器係成為 A x, A y 指定之寄存器。可指定於 A x 之寄存器係含有 C P U 芯 2 之寄存器 A 0 x, A 1 x, 而可指定於 A y 之寄存器係含於 C P U 芯 2 之寄存器 A 0 y, A 1 y。輸出於 C P U 芯 2 之內部總線 A 1 ~ A 2 之數據係存儲於存儲地址緩衝器 (M A B X, M A B Y) 同步於 E x 階段之時鐘信號 Clock 2 之上昇時間輸出於地址總線 X A B, Y A B。一方面輸出 C P U 芯 2 之內部總線 A 1 ~ A 2 之數據係以 A L U 2 1 3, P A U 2 1 2 實施地址運算。(此時 A L U 2 1 3 及 P A U 2 1 2 實施 0 加算運算。該運算結果係輸出於 C P U 芯 2 之內部總線 C 1 及 C 2, 輸出於 C P U 芯 2 之內部總線 C 1 及 C 2 之運算結果係同步於 E X 階段之時鐘信號 Clock 2 之上昇間存儲於指示字寄存器 (即以 A x 及 A y 指定之寄存器 P 在 X, Y 存儲器, 於 M A 階段之時鐘信號 Clock 1 之上昇至時鐘信號 Clock 2 之上昇期間, 實施以 E X 階段時鐘信號 Clock 2 之上昇時間輸出於地址總線 X A B, Y A B 之地址之譯碼, 在 M A 階段之時鐘信號 Clock 2 之上昇至次一時鐘信號 Clock 1 之上昇期間實施數據存取。因此, 自 M A 階段之時鐘信號 Clock 2 之上昇將數據輸出數據總線 X D B,

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

終

五、發明說明 (48)

Y D B。輸出數據總線 X D B，Y D B 之數據，係同步於 W B / D S P 階段之時鐘信號 Clock 1 之上昇時間取進 D S P 引擎 3 將數據供給 D S P 引擎 3 之內部總線 D 1，D 2。同步於 W B / D S P 階段之時鐘信號 Clock 2 之上昇時間將 D S P 引擎 3 之內部總線 D 1，D 2 上之數據存儲於目的寄存器 (Distination Reg) 完成動作。該例中，目的寄存器係成為指定於 D X 及 D Y 之寄存器。可指定於 D X 之寄存器係含於 D S P 引擎 3 之寄存器 X 0，X 1，可指定於 D y 之寄存器係 D S P 引擎 3 內之 Y 0，Y 1。

平行於上述數據轉送，亦同時實施 D S P 運算動作。同步於 W B / D S P 階段之時鐘信號 Clock 1 之上昇時間，存取存儲源數據之寄存器，將寄存器之值輸出 D S P 引擎 3 之內部總線 A 1，A 2，B 1，B 2。此例中，存儲源數據之寄存器，係 A D D (加法) 動作構作為 S x 及 S y 指定之寄存器，而 M U L (乘法) 動作時成為 S e 及 S f 指定之寄存器。可指定於 S x，S y，S e 及 S f 之寄存器，係 D S P 引擎 3 內部之任意之寄存器。輸出 D S P 引擎 3 之內部總線 A 1，B 1 之數據係於 M A C 3 0 4 實施乘法運算，其結果係輸出於 D S P 引擎 3 內部總線 C 2。輸出於 D S P 引擎 3 之內部總線 C 1 及 C 2 之運算結果係同步於 W B / D S P 階段之時鐘信號 Clock 2 之上昇時間，存儲於目的寄存器。此例之目的寄存器，係 A D D 動作時成為以 D n，而 M U L 動作時成為以 D g 指定之寄

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (49)

存器。可指定於 D n 及 D g 之寄存器係 D S P 引擎 3 內部之任意之寄存器。

如以上，實施存儲於 D S P 引擎 3 內之寄存器之數據之加法，乘法，實施自 X - R O M 4 或 X - R A M 6 及 Y - R O M 5 或 Y - R A M 7 向 D S P 引擎 3 之數據轉送之指令係以 I F，I D，E X，M A，W B / D S P 之 5 段之管線階段完成動作。

舉：

```
Inst1 : P A D D  A 0 , M O , A O  P M U L  A 1
        , X 0 , A 1  M O V X , W @ R 4 , X 1 ,
        M O V Y . W  @ R 6 , Y 0
```

```
Inst2 : A D D  R 8 , R 9
```

```
Inst3 : A D D  R 1 0 , R 1 1
```

```
Inst4 : A D D , R 1 2 , R 1 3
```

之 4 連續指令為 D S P 運算指令之第 2 例，用圖 1 6 說明其動作。該 4 指令係同時使用地址總線 I A B，X A B，及 Y A B 以實現同一時鐘週期不同之動作之例。因 Inst1 至 Inst4 之指令動作，與圖 7 及圖 1 5 相同，故省略其部份之詳細說明。

首先，在 Inst1 之 I F 階段，實施 Inst1 之指令取出。因在 Inst1 之 2 D 階段時 Inst2 成為 I F 階段，故實施指令取出。

在 Inst1 之 E X 階段實施向 X，Y 存儲器之存取用之地址運算時，圖 Inst2 為 I R 階段故實施指令譯碼，而因

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (50)

Inst 3 爲 I F 階段故實施指令取出。

在 Inst 1 之 M A 階段，將於 E X 階段運算之地址輸出於地址總線 X A B，及 Y A B（實際輸出地址之時間係自 E X 階段之時鐘信號 Clock 2 之上昇時間起）自數據總線 X D B 及 Y D B 取進數據。此時在 Inst 2 爲 E X 階段實施 R 8 及 R 9 之 A D D 運算完成動作，Inst 3 係爲 I D 階段實施指令譯碼。而 Inst 4 爲了 I F 階段，將存儲 Inst 4 之地址輸出於地址總線。實際向地址總線 I A B 輸出之時間，係自 Inst 4 之 I F 階段之半週期前之時鐘信號 Clock 2 之上昇時間起。此時間係與 Inst 1 中將地址輸出於地址總線 X A B，Y A B 之時間（E X 階段之後半及 M A 階段之前半）相同之時間。即地址總線 X A B 及 Y A B 係爲數據轉送使用，在地址總線 I A B 係爲指令取使用。微電腦 1，因分別有連接於 C P U 芯 2 之內部地址總線 I A B，X A B，Y A B 及內部數據總線 I D B，X D B，Y D B，故可使用該三種內部總線以同一時鐘週期實施不同之存儲存取動作。

此後 Inst 1 在 W B / D S P 階段實施 D S P 運算，完成動作，Inst 2 已完成動作，Inst 3 係爲 E X 階段實施 R 1 0 與 R 1 1 之 A D D 運算完成動作，在 Inst 4 爲了 I D 階段實施指令譯碼。

次一週期僅實施 Inst 4 之 E X 階段，實施 R 1 2 及 R 1 3 之 A D D 運算完成動作。

依本實施例得以下之作用效果。內藏存儲器係考慮

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

終

五、發明說明 (51)

D S P 引擎 3 之積和運算，2 面化於 Y 存儲器 5，7 及 2 面化 X 存儲器 4，6，C P U 芯 2 以內部總線 X A B，X D B 及內部總線 Y A B，Y D B 可分別以並聯存取 Y 存儲器 5，7 及 X 存儲器 4，6。因此，可自內藏存儲器 4 ~ 7 同時將 2 個數據轉送於 D S P 引擎 3。更因內部總線 X A B，X D B 及內部總線 Y A B，Y D B 係將接於外部之內部總線 I A B，I D B 均予個別化，故 C P U 芯 2 平行於 X 存儲器 4，6 及 Y 存儲器 5，7 之存取，亦可外部存儲存取。如上述因有分別連接於 C P U 芯 2 之 3 種地址總線 I A B，X A B，Y A B 及數據總成 I D B，X D B，Y D B，故可使用該三種內部總線以同一時鐘週期實施不同之存儲存取動作。故亦容易對應程序或數據存在於外部存儲器之情形而可實現運算處理之高速化。

由 R A M 及 R O M 構成前述各 X 存儲器 4，6 及 Y 存儲器 5，7 更可進微電腦之使用性。

如上述，由於內藏存儲器係 2 面化於 X 存儲器 4，6 及 Y 存儲器 5，7 二面化之各存儲器具有 R O M 及 R A M，使 R A M 為數據存儲器，R O M 為程序存儲器，故可分離數據存儲器與程式存儲器，將 2 個數據並聯轉送於 D S P 引擎 3，又，可以並聯管線處理有效實施指令取出，數據轉送，及運算。

由於 C P U 芯 2 具備模數地止輸出部 2 0 0，即可使 C P U 芯 2 之積和運算等之重複運算用之地址形成高速化。

五、發明說明 (52)

例如 CPU 指令係將指令代碼之最上位 4 位分配於 `0 0 0 0` ~ `1 1 1 0` 之範圍。DSP 指令係將指令代碼之最上位 4 位分配於 `1 1 1 1` 之範圍。更將指令代碼之最上位 6 位分配於 `1 1 1 1 0 0` 及 `1 1 1 1 0 1` 範圍之指令，係亦將 DSP 指令成為 16 位長之指令代碼。指令代碼之最上位 6 位為 `1 1 1 1 1 0` 之指令，係成為 32 位長之指令代碼。在指令代碼之最上位 6 位為 `1 1 1 1 1 1` 之範圍並未分配指令，將其範圍做為未使用領域，如上述，由於在對最大 32 位之指令之代碼分配設如上述之規則，將各指令代碼之一部份例如最上位側 6 位譯碼，即可以小邏輯規模之譯碼器判定該指令寬為 CPU 指令，16 位長之 DSP 指令，或 32 位長之 DSP 指令，而無需經常將 32 位全部以一次譯碼。

如依圖 17 之說明，在指令取出時間後，將未處理之指令代碼數據設定於指令寄存器 25，此時，應實施之指令無論為 16 位 CPU 指令，16 位 DSP 指令或 32 位 DSP 指令之任一指令，必可將其上位側 16 位供給第 1 譯碼電路 240。

參照圖 17 等所示構成示明瞭 32 位 DSP 指令之 A 信息組之代碼數據係設定於指令寄存器 25 之上位領域 UIR。又，具有與 A 信息組同一格式之 16 位 DSP 指令亦設定於上位領域 UIR。故無論任一項，CPU 芯 2，可同樣實施所需之地址運算及數據取出必要之數據總線

(請先閱讀背面之注意事項再填寫本頁)

訂

裝

五、發明說明 (53)

之選擇。換言之，將可將實施 32 位 D S P 指令用之數據取出及實施 16 位 D S P 指令用之數據取出所需之譯碼電路 240，241 共用化，此點，亦有益於微電腦 1 之邏輯規模之縮小微電腦 1 之邏輯規模。

以上依實施例具體說明本發明人之發明，惟本發明並不受此限制，只要不超出其要旨範圍，當可做各種變更。例如 C P U 指令，16 位 D S P 指令，32 位 D S P 指令之識別並不限於利用指令之最上位 6 位，可隨指令代碼數增減。又，對指令寄存器之下位 16 位移位於上位之機能可置換於別之機能。又，含於 C P U 芯或 D S P 引擎之寄存器支數或運算器之種類不限於上述實施例，而可適宜變更。又，存儲器數不限於 2 個而可增加。又可合併存儲器數增加連接存儲器之地址總線，數據總線之支數。例如，X，Y 存儲器外新設 Z 存儲器。合併在 C P U 與 Z 存儲器間連接地址總線 Z A B，在 D S P 引擎與 Z 存儲器間連接數據總線 Z D B。依此種構成，不僅在積和運算時，自 X，Y 存儲器將數據取進 D S P 引擎，並可將現在實施中之指令前運算完成之數據經 Z 總線同時寫進 Z 存儲電路。因以 1 個指令取進運算數據寫信存儲器，故更可提高微電腦全體之解題能力。本發明最適於適用於移動體通信機器之情報之壓縮伸長處理或過濾處理，伺服控制，印字機之畫像處理等之機器組進控制用微電腦之利用。

[發明之效果]

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (54)

茲將本申請揭示之發明中具代表性所得效果簡單說明如下。

即，內藏存儲器因考慮數字信號處理機之積和運算，2面化於第1存儲器與第2存儲器，由第3總線及第2總線可分別以並聯存取，故中央處理機組可自內藏存儲器將2個數據同時轉送於數字信號處理機組。

更因第3總線及第2總線，與接口於外部之第1總線個別代故中央處理機組，可平行第2存儲器與第1存儲器之存取做外部存儲存取。

如上述，因有分別連接於中央處理機組之第1至第3三種地址總線及數據總線，而可使用該三種內部總線以同一時鐘週期實施不同之存儲存取動作，故即使程序或數據存在於外部存儲器亦容易對應而可實現運算處理之高速化。

更由於內藏存儲器係2面化於第1存儲器及第2存儲器2面化之各存儲器具有ROM及RAM，由於以RAM為數據存儲器，ROM為程序存儲器，可分離數據存儲器與程序存儲器，可將2個數據並聯轉送於數字信號處理機組，又能以並聯管線處理有效實施指令取出，數據轉送及運算。

故，與中央處理機組一同將數字信號處理機組裝置於一個LSI時，可實現數字信號處理之高速化。

由於對CPU指令與DSP指令混合之指令，將指令代碼之一部份譯碼而可識別該指令DSP指令或16位長

(請先閱讀背面之注意事項再填寫本頁)

訂

裝

五、發明說明 (55)

之 D S P 指令，或 3 2 位長之 D S P 指令以分配指令代碼，即可以小邏輯規模之譯碼器判定指令之種別，而無須經常將 3 2 位全部一次譯碼。故與中央處理機組一同將數字信號處理機組裝置於一個 L S I 時，可極力抑制其物理規模之增大。

由於 D S P 指令之指令格式，採用具有在數字信號處理機組之間之數據轉送對該中央處理機組規定之第 1 代碼領域（圖 1 8 所示之 1 6 位 D S P 指令之位 9 ~ 位 0）之第 1 格式指令，及具有與前述第 1 代碼領域同一格式之第 2 代碼領域（圖 2 0，圖 2 1 所示之 3 2 位 D S P 指令之 A 信息組），並將使用在該第 2 代碼領域規定之轉送數據之運算處理對數字信號處理機組規定之第 3 代碼領域圖 2 0，圖 2 1 例示之 3 2 位之 D S P 指令之 R 信息組之第 2 格式指令，實施第 2 及第 2 格式各指令之裝置，可採用對第 1 代碼領域及第 2 代碼領域具有共同譯碼邏輯之譯碼裝置，此點，亦可縮小微電腦之邏輯規模。

圖示之簡單說明：

圖 1：本發明之一實施例有關之微電腦之全部方塊圖。

圖 2：微電腦之一例地址圖。

圖 3：詳細表示模數地址輸出部之 C P U 芯之方塊圖。

圖 4：D S P 引擎之一例方塊圖。

五、發明說明 (56)

圖 5：關於微電腦之指令格式及指令代碼之一例說明圖。

圖 6：表示 CPU 芯之譯碼器與 DSP 引擎之譯碼器之連接構成之方塊圖。

圖 7：CPU 芯內部之 ALU 運算指令之實施時間圖。

圖 8：自存儲器將數據讀進 CPU 芯之指令之實施時間圖。

圖 9：自 CPU 芯將數據寫進存儲器之指令之實施時間圖。

圖 10：實施 DSP 指令時之一例時間圖。

圖 11：自 X, Y 存儲器將數據讀進 DSP 引擎之指令之實施時間圖。

圖 12：自 DSP 引擎將數據寫進 X, Y 存儲器之指令之實施時間圖。

圖 13：自存儲器將數據讀進 DSP 引擎之指令之實施時間圖。

圖 14：自 DSP 引擎將數據寫進存儲器之指令之實施時間圖。

圖 15：DSP 運算指令之一例實施時間圖。

圖 16：連續實施 DSP 運算指令時之一例時間圖。

圖 17：表示對應圖 6 之另一實施例之方塊圖。

圖 18：表示規定微電腦之內藏存儲器與 DSP 引擎 3 之內藏寄存器間之數據轉送之 16 位 DSP 指令代碼之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

紙

五、發明說明 (57)

指令格式圖。

圖 1 9 : 表示規定微電腦之外部存儲器與 D S P 引擎 3 之內藏寄存器間之數據轉送之 1 6 位 D S P 指令之代碼之指令格式圖。

圖 2 0 : 表示著眼於 3 2 位 D S P 指令之 A 信息組時之該信息組之代碼及其對應之助記等之指令格式圖。

圖 2 1 : 表示著眼於 3 2 位 D S P 指令之 B 信息組時之該信息組之代碼及其對應之助記等之指令格式圖。

〔符號說明〕

- 1 …… 微電腦
- 2 …… C P U 芯 (中央處理機組)
- 2 0 …… C P U 控制信號
- 2 4 …… 譯碼器
- 2 4 0 …… 第 1 譯碼電路
- 2 4 1 …… 第 2 譯碼電路
- 2 4 2 …… 代碼轉換電路
- 2 4 3 …… C P U 譯碼電路
- 2 4 4 …… D S P 譯碼電路
- 2 4 5 …… 代碼轉換控制信號
- 2 4 7 …… C P U 控制信號
- 2 5 …… 指令寄存器
- 2 5 0 , 2 5 1 …… 指令領取緩衝器
- 2 0 0 …… 模數地址輸出部

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (58)

- 2 0 6 , 2 0 7 …… 存儲地址緩衝器
- 2 1 2 …… 地址運算器
- 2 1 3 …… 算術邏輯運算器
- 2 1 4 …… 模數始地址寄存器
- 2 1 5 …… 模數終了地址寄存器
- 2 1 6 , 2 2 6 …… 模數地址寄存器
- 3 …… DSP 引擎 (數字信號處理機組)
- 3 4 …… 譯碼器
- 3 0 2 …… 算術邏輯運算器
- 3 0 4 …… 乘算器
- 3 0 9 , 3 1 0 , 3 1 1 …… 存儲數據緩衝器
- 4 …… X - R O M (第 2 存儲器)
- 5 …… Y - R O M (第 1 存儲器)
- 6 …… X - R A M (第 2 存儲器)
- 7 …… Y - R A M (第 1 存儲器)
- 1 2 …… 外部存儲接口。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

綴

四、中文發明摘要(發明之名稱：

微電腦

內藏存儲器係2面化於第1存儲器5，7及第2存儲器4，6，由第3總線XAB，XDB及第2總線YAB，YDB分別可並聯存取。因此，CPU芯2可自內藏存儲器同時將2個數據轉送DSP引擎3。又，第3之總線XAB，XDB及第2總線YAB，YDB，與外部接口之第1總線IAB，IDB及第2總線YAB，YDB，與外部接口之第1總線IAB，IDB一同個別化，CPU芯2係平行於第2存儲器4，6及第1存儲器5，7之存取亦可外部存儲器存取。

英文發明摘要(發明之名稱：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

424192
86年10月4日
修正
補充

A8
B8
C8
D8

六、申請專利範圍

第 84113247 號 專利 申請 案

中文 申請 專利 範圍 修正 本

民國 86 年 10 月 修正

1. 一種微電腦，其特徵為將：中央處理機組，及
自前述中央處理機組選擇傳遞地址之第 1 至第 3 地址
總線，及
連接於前述第 1 地址總線及第 2 地址總線，由中央處
理機組之地址存取之第 1 存儲器，及
連接於前述第 1 地址總線及第 3 地址總線，由中央處
理機組之地址存取之第 2 存儲器，及
連接於前述第 1 及第 2 存儲器及前述中央處理機組傳
遞數據之第 1 數據總線，及
連接於前述第 1 存儲器傳遞數據之第 2 數據總線，及
連接於前述第 2 存儲器傳遞數據之第 3 數據總線，及
連接於前述第 1 地址總線及第 2 數據總線之外部接口
電路，及
連接於前述第 1 至第 3 之數據總線，同步於中央處理
機組動作之數字信號處理機組，及
自中央處理機組將控制前述數字信號處理機組之動作
之 DSP 控制信號傳遞於數字信號處理機組之控制信號線
，含於 1 基尼予以半導體集成電路而成。
2. 如申請專利範圍第 1 項所述之微電腦其中前述第
1 存儲器第 2 存儲器係分別由 RAM 及 ROM 而成。
3. 如申請專利範圍第 2 項之所述之微電腦，其中前

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

有無變更實質內容？是否准予修正？

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

述中央處理機組更具有將地址寄存器之值輸出前述第2或第3之地址總線並重覆更新該地址寄存器值之動作實施開始地址之終了地址形成之模數地址輸出部而成。

4. 如申請專利範圍第1至3任何1項所述之微電腦，其中前述數字信號處理機係含與前述第1至第3數據總線個別接口之第1至第3數據緩衝裝置，及經內部總線可連接於各數據緩衝裝置之複數寄存裝置，及連接於前述內部總線之乘法器及算術邏輯運算器，及將前述DSP控制信號譯碼以控制前述數據緩衝裝置，乘法器算術邏輯運算器，及寄存裝置之動作之一譯碼而成。

5. 一種半導體晶片上之資料處理裝置，係包含，中央處理機組，及連接於中央處理機組之第1至第3地址總線，及連接於前述第1及第2地址總線之第1存儲器，及連接於前述第1及第3地址總線之第2存儲器，及連接於前述第1及第2存儲器及前述中央處理機組之第1數據總線，及連接於前述第1存儲器之第2數據總線，及連接於前述第2存儲器之第3數據總線，及連接於前述第1地址總線及前述第1數據總線之介面電路，及連接於第1至第3數據總線之數字信號處理機組，及將控制前述數字信號處理機組之動作之控制信號自前述中央處理機組傳達至前述數字信號處理機組之控制信號線。

6. 一種單晶片微處理器，係包含CPU核心，及與上述CPU核心同步動作，包含乘算器之DSP，

及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

結合於上述 C P U 核心之第 1 至第 3 位址匯流排，及
結合於上述 C P U 核心及上述 D S P 之第 1 至第 3 資料匯流排，及

結合於上述第 1 及第 2 位址匯流排與上述第 1 及第 2 資料匯流排之第 1 記憶體，及

結合於上述第 1 及第 3 位址匯流排與上述第 1 及第 3 資料匯流排之第 2 記憶體等。

7. 如申請專利範圍第 6 項之單晶片微處理器，其中，上述 C P U 核心，係包含：複數之泛用暫存器，及
算術邏輯運算電路，及

結合於上述第 1 位址匯流排，供容納指令位址用之程式計數器，及

結合於上述第 1 資料匯流排，容納由上述第 1 資料匯流排所供給的指令之指令暫存器，及

將容納於上述指令暫存器之指令解碼，依照解碼結果而產生控制訊號之指令解碼器等。

8. 如申請專利範圍第 7 項之單晶片微處理器，其中，上述 C P U 核心，進而還包含有：供向上述第 2 及上述第 3 位址匯流排產生位址的位址輸出電路。

9. 如申請專利範圍第 8 項之單晶片微處理器，其中，上述位址輸出電路，係包含：

結合於上述第 2 位址匯流排之第 1 位址緩衝器，及

結合於上述第 3 位址匯流排之第 2 位址緩衝器，及

運算應該向上述第 1 至第 2 位址匯流排供給的位址資

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

訊之運算手段等。

10. 如申請專利範圍第6項之單晶片微處理器，其中，上述DSP，具有由上述指令解碼器選擇性地接受被輸出地控制訊號，產生供控制上述乘算器動作用的控制訊號的解碼器電路。

11. 如申請專利範圍第10項之單晶片微處理器，其中，上述DSP，進而還包含有：

分別結合於上述第1至第3資料匯流排之第1至第3資料緩衝電路，及

結合於上述乘算器及上述第1至第3資料緩衝電路的內部匯流排，及

結合於上述內部匯流排之算術邏輯運算電路，及結合於上述內部匯流排之暫存器等。

12. 如申請專利範圍第6項之單晶片微處理器，其中，進而還包含有：結合於上述第1位址匯流排及上述第1資料匯流排之外部介面。

13. 一種半導體基板上之微處理器，係包含：

CPU，及

與CPU同步動作之DSP，

結合於上述CPU之第1至第2位址匯流排，及

結合於上述CPU及上述DSP之第1至第2資料匯流排，及

結合於上述第1位址匯流排與上述第1資料匯流排之第1記憶體，及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

結

六、申請專利範圍

結合於上述第 2 位址匯流排與上述第 2 資料匯流排之第 2 記憶體等。

1 4 . 如申請專利範圍第 1 3 項之微處理器，其中，上述 CPU 係包含：可供分別將並列存取上述第 1 及第 2 記憶體用之第 1 及第 2 位址訊號分別對上述第 1 及第 2 位址匯流排產生之位址產生手段；

上述 DSP 係包含：將上述第 1 及第 2 記憶體所輸出之資料，藉由上述第 1 及第 2 資料匯流排而分別取入用之第 1 至第 2 資料緩衝手段。

1 5 . 如申請專利範圍第 1 3 項之微處理器，其中，上述 CPU，係包含有：

容納指令之指令解碼器，及

將容納於上述指令解碼器之指令解碼，依照解碼結果而產生控制訊號之指令解碼器，及

回應上述控制訊號，分別將上述第 1 及第 2 記憶體並列存取用之第 1 及第 2 位址訊號向分別的上述第 1 及第 2 位址匯流排產生之位址產生手段等；

上述 DSP，係包含有：

將上述第 1 及第 2 記憶體所輸出之第 1 至第 2 資料，藉由上述第 1 及第 2 資料匯流排而分別取入用的第 1 至第 2 資料緩衝手段，及

運算由上述第 1 至第 2 資料緩衝手段所供給的第 1 至第 2 資料之乘算器以及算術邏輯運算電路。

1 6 . 如申請專利範圍第 1 5 項之微處理器，其中，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

上述 DSP，回應由上述指令解碼器所輸出之控制訊號，產生供控制上述乘算器以及上述算術邏輯運算電路用的內部控制訊號之解碼器電路。

17. 一種單晶片處理器，係包含有：

傳達資料之第1及第2資料匯流排，及

傳達位址訊號之第1及第2位址匯流排，及

結合於上述第1位址匯流排與上述第1資料匯流排之第1記憶體，及

結合於上述第2位址匯流排與上述第2資料匯流排之第2記憶體，及

回應一道指令之實行，分別產生對於上述第1及第2位址匯流排之第1及第2位址訊號之CPU，及

回應根據上述第1及第2位址訊號之存取而將由上述第1及第2記憶體所輸出的第1及第2資料，介由上述第1及上述第2資料匯流排，而在1個匯流排循環(bus cycle)內取入之數位訊號處理單元。

18. 如申請專利範圍第17項之單晶片處理器，其中，

上述CPU，係含有容納上述第1及上述第2位址訊號之泛用暫存器。

19. 如申請專利範圍第17項之單晶片處理器，其中，

上述數位訊號處理單元，包含有：內部匯流排，及結合於上述內部匯流排之乘算器與算術邏輯運算電路，及資

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

料暫存器，及結合於上述第 1 資料匯流排與上述內部匯流排之間之第 1 資料緩衝電路，及結合於上述第 2 資料匯流排與上述內部匯流排之間之第 2 資料緩衝電路等。

20．如申請專利範圍第 17 項之單晶片處理器，其中，

上述 CPU 包含將指令解碼而產生控制訊號之指令解碼器；

上述數位訊號處理單元，接受由上述 CPU 內的上述指令解碼器所供給的控制訊號，產生控制上述數位訊號處理單元的內部電路的動作之內部控制訊號的解碼器電路。

21．如申請專利範圍第 20 項之單晶片處理器，其中，

上述數位訊號處理單元，進而還包含：

內部匯流排，及結合於上述內部匯流排之乘算器以及算術邏輯運算電路，及

結合於上述內部匯流排之資料暫存器，及結合於上述第 1 資料匯流排與上述內部匯流排之間之第 1 資料緩衝電路，及結合於上述第 2 資料匯流排與上述內部匯流排之間之第 2 資料緩衝電路等；

上述乘算器以及算術邏輯運算電路、上述資料暫存器、上述第 1 資料緩衝電路以及

上述第 2 資料緩衝電路，係藉由上述內部控制訊號而控制其動作的。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

22. 如申請專利範圍第17項之單晶片處理器，其中，

上述CPU包含有：

容納上述第1及第2位址之複數暫存器，及

算術邏輯運算電路，及

容納上述指令之指令暫存器，及

將容納於上述指令暫存器之指令解碼，而依照解碼結果而產生控制訊號之指令解碼器，及

供對於上述第1及第2位址匯流排產生上述第1及第2位址用之位址輸出電路等；

上述複數的暫存器、上述算術邏輯運算電路以及上述位址輸出電路的動作，係藉由上述控制訊號而控制的。

23. 如申請專利範圍第22項之單晶片處理器，其中，

上述數位訊號處理單元，進而還包含有：

內部匯流排，及結合於上述內部匯流排之乘算器以及算術邏輯運算電路，及

結合於上述內部匯流排之資料暫存器，及結合於上述第1資料匯流排與上述內部匯流排之間之第1資料緩衝電路，及結合於上述第2資料匯流排與上述內部匯流排之間之第2資料緩衝電路等；

上述乘算器以及算術邏輯運算電路、上述資料暫存器、上述第1資料緩衝電路以及上述第2資料緩衝電路，係藉由上述內部控制訊號而控制其動作的。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

六、申請專利範圍

24. 如申請專利範圍第1項之微電腦，其中，上述中央處理機組（CPU）係包含有：

複數之泛用暫存器，及

算術邏輯運算電路，及

結合於上述第1位址匯流排，供容納指令位址用之程式計數器，及

結合於上述第1資料匯流排，容納由上述第1資料匯流排所供給的指令之指令暫存器，及

將容納於上述指令暫存器之指令解碼，依照解碼結果而產生控制訊號之指令解碼器，及

供產生對於上述第2及第3位址匯流排產生位址用的位址輸出電路；

上述複數之泛用暫存器、上述算術邏輯運算電路以及上述位址輸出電路的動作，係藉由上述控制訊號而控制的。

25. 如申請專利範圍第24項之微電腦，其中，

上述數位訊號處理單元包含有：

接受由上述中央處理機組（CPU）內的上述指令解碼器所供給的上述DSP控制訊號，產生內部控制訊號的解碼器電路，及

內部匯流排，及

結合於上述內部匯流排之乘算器與算術邏輯運算電路，及

結合於上述內部匯流排之資料暫存器，及

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

六、申請專利範圍

結合於上述第 1 資料匯流排與上述內部匯流排之間之第 1 資料緩衝電路，及

結合於上述第 2 資料匯流排與上述內部匯流排之間之第 2 資料緩衝電路等；

上述乘算器以及算術邏輯運算電路、上述資料暫存器、上述第 1 資料緩衝電路以及

上述第 2 資料緩衝電路，係藉由上述內部控制訊號而控制其動作的。

26. 如申請專利範圍第 5 項之資料處理裝置，其中，上述中央處理機組（CPU）係包含有：

複數之泛用暫存器，及

算術邏輯運算電路，及

結合於上述第 1 位址匯流排，供容納指令位址用之程式計數器，及

結合於上述第 1 資料匯流排，容納由上述第 1 資料匯流排所供給的指令之指令暫存器，及

將容納於上述指令暫存器之指令解碼，依照解碼結果而產生控制訊號之指令解碼器，及

供產生對於上述第 2 及第 3 位址匯流排產生位址用的位址輸出電路；

上述複數之泛用暫存器、上述算術邏輯運算電路以及上述位址輸出電路的動作，係藉由上述控制訊號而控制的。

27. 如申請專利範圍第 26 項之資料處理裝置，其

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

六、申請專利範圍

中，

上述數位訊號處理單元包含有：

介由上述控制訊號線接受由上述中央處理機組（C P U）內的上述指令解碼器所供給的上述控制訊號，產生內部控制訊號的解碼器電路，及

內部匯流排，及

結合於上述內部匯流排之乘算器與算術邏輯運算電路，及

結合於上述內部匯流排之資料暫存器，及

結合於上述第 1 資料匯流排與上述內部匯流排之間之第 1 資料緩衝電路，及

結合於上述第 2 資料匯流排與上述內部匯流排之間之第 2 資料緩衝電路等；

上述乘算器以及算術邏輯運算電路、上述資料暫存器、上述第 1 資料緩衝電路以及

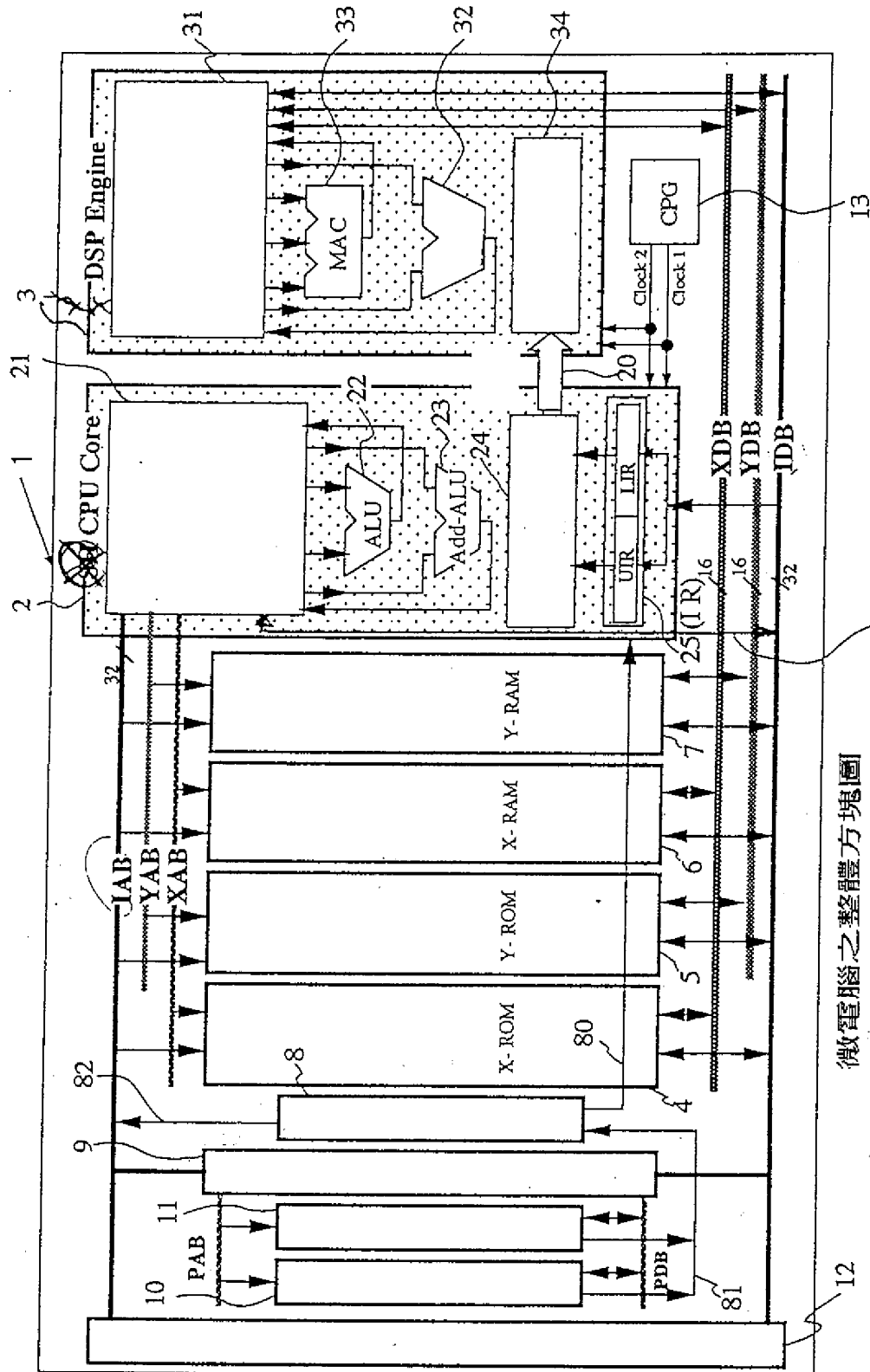
上述第 2 資料緩衝電路，係藉由上述內部控制訊號而控制其動作的。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線



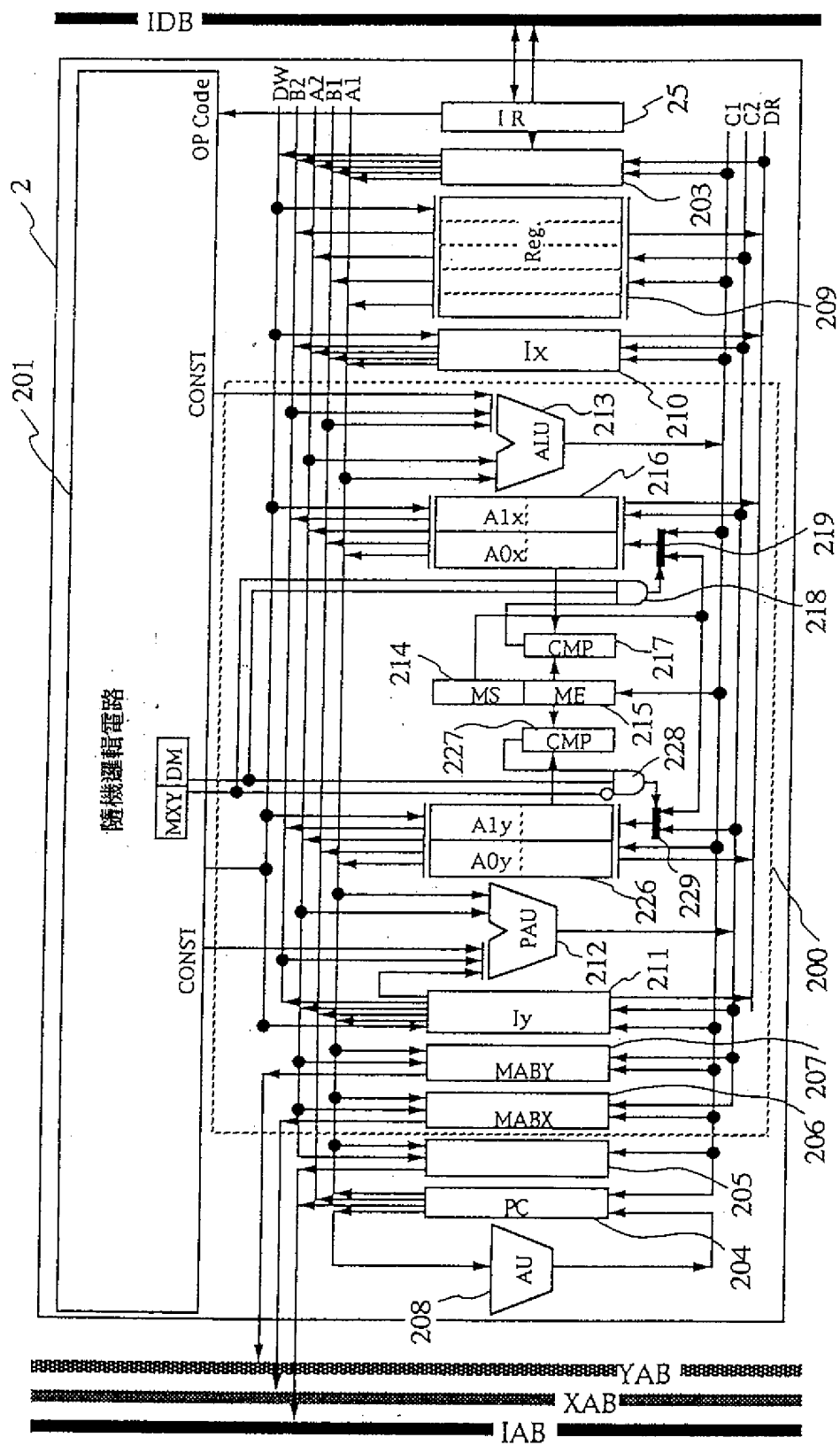
微電腦之整體方塊圖

第1圖

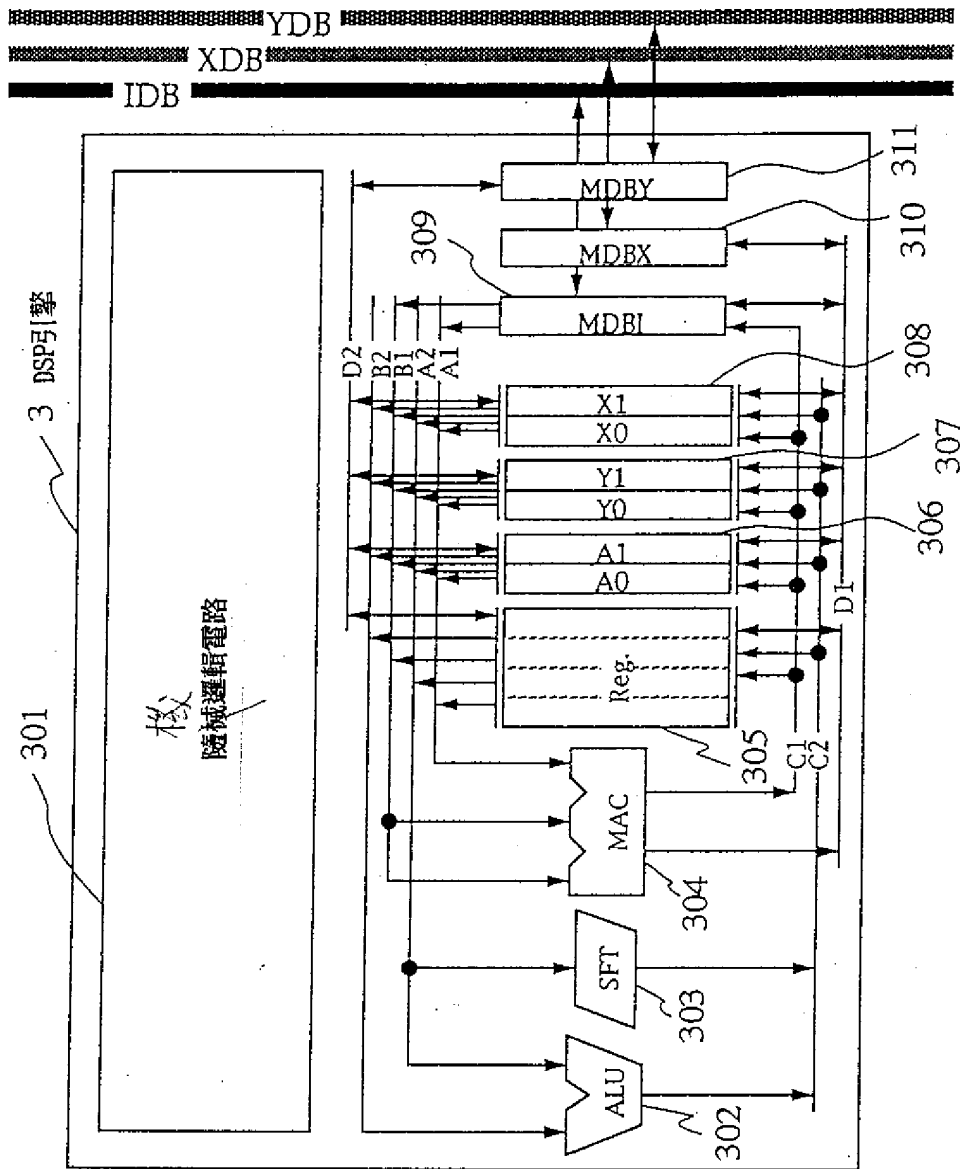
H'00000000	例外處理向量領域 (256B)
H'00000400	通常空間 (約32MB)
H'02000000	(24KB)
H'02006000	(4KB)
H'02007000	(4KB)
H'02008000	(32KB)
H'02010000	(24KB)
H'02016000	(4KB)
H'02017000	(4KB)
H'02018000	(32KB)
H'02020000	通常空間 (約96MB)
H'08000000	預約領域
H'20000000	通常空間 (約128MB)
H'28000000	預約領域
H'FFFFFFE0	內藏周邊電路分配空間 (512B)

微電腦之地址圖之一例

第 2 圖



第 3 圖



第4圖

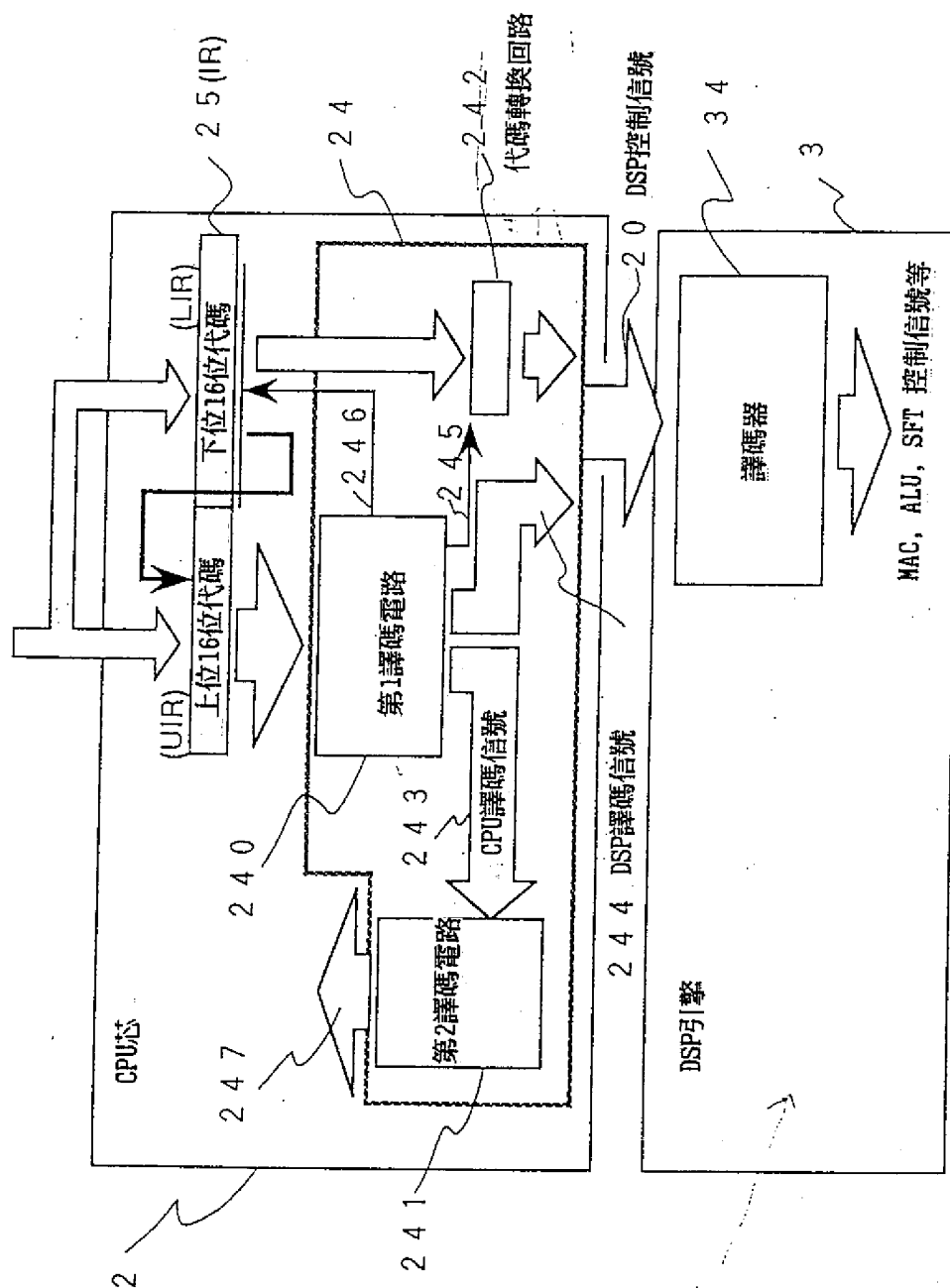
CPU指令之一例

指令記述	指令代碼
MACL @Rs+, @Rn+	0000 nnnnssss1111
MOVL Rs, @(disp, Rn)	0001 nnnnssssdddd
AND Rs, Rn	0010 nnnnssss1001
ADD Rs, Rn	0011 nnnnssss1100
SHLL Rn	0100 nnnn00000000
MOVL @(disp, Rs), Rn	0101 nnnnssssdddd
MOVL @Rs, Rn	0110 nnnnssss0010
ADD #imm, Rn	0111 nnnni1111111
MOVB R0, @(disp, Rn)	1000 0000nnnndddd
MOVW @(disp, PC), Rn	1001 nnnndddddd
ERA Label	1010 dddddd
BSR Label	1011 dddddd
OR #imm, R0	1100 101111111111
MOVL @(disp, PC), Rn	1101 nnnndddddd
MOV #imm, Rn	1110 nnnni1111111

DSP指令之一例

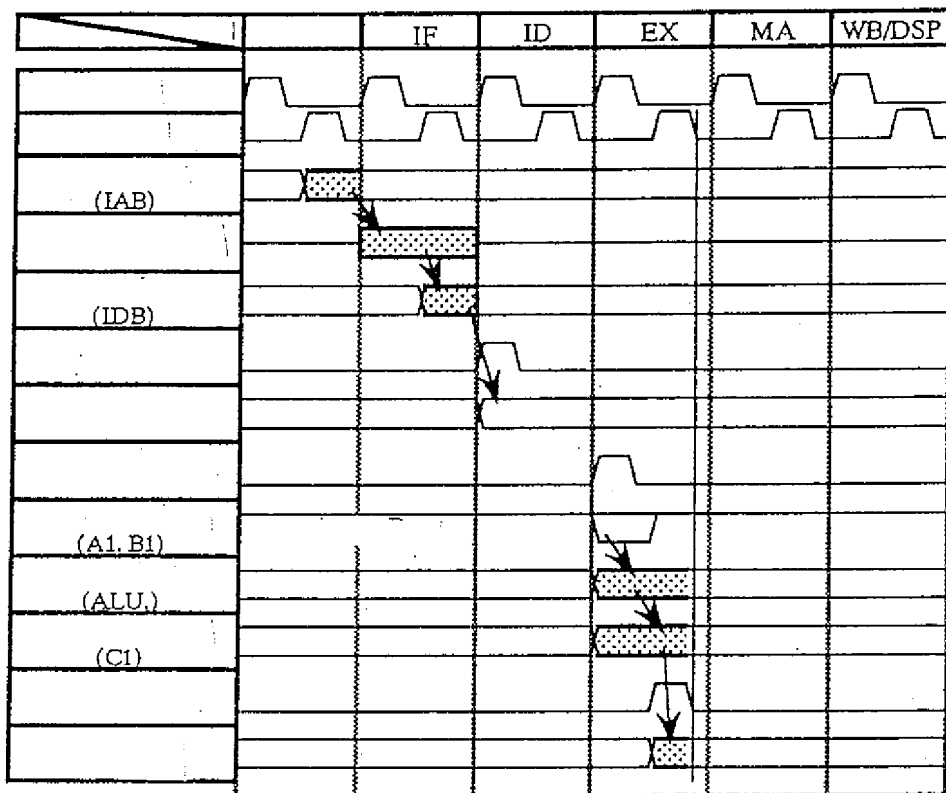
指令記述	C498)	指令代碼	C49B)
MOVX.W @R4, X0 MOVY.W @R6, Y0	1 1 1 1 0 0	0 0 0 1 0 1 0 0 0 0	
MOVS.W @R2, A0	1 1 1 1 0 1	0 0 0 1 0 0 0 0 0 0	
PADD A0, M0, A0 PMULS A1, A1, A0 MOVX.W @R4, X0 MOVY.W @R6, Y0	1 1 1 1 1 0	0 0 0 1 0 1 0 0 0 0 0 1 0 0 0 0 0 0 0 0 0 0 0 0	
	1 1 1 1 1 1	** ** ** ** *	** ** ** ** *

微電腦之指令格式及指令代碼之一例



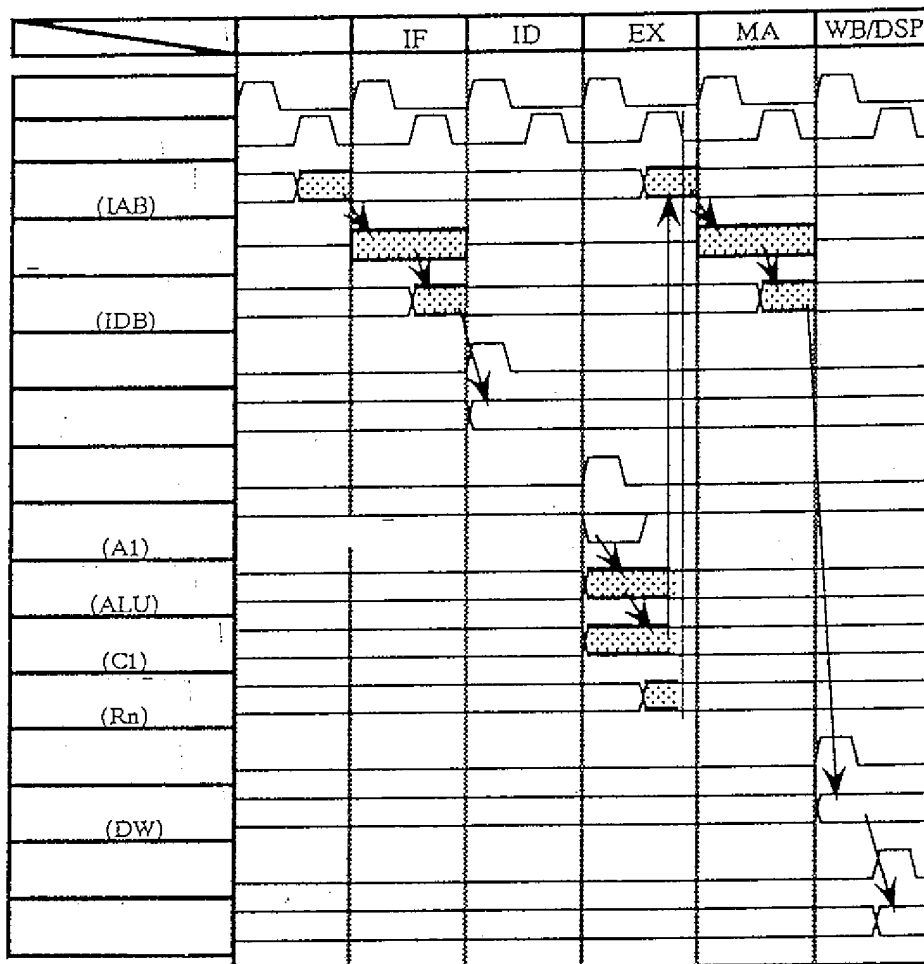
CPU核心內之譯碼電路及DSP引擎內之譯碼電路之構成例

第6圖



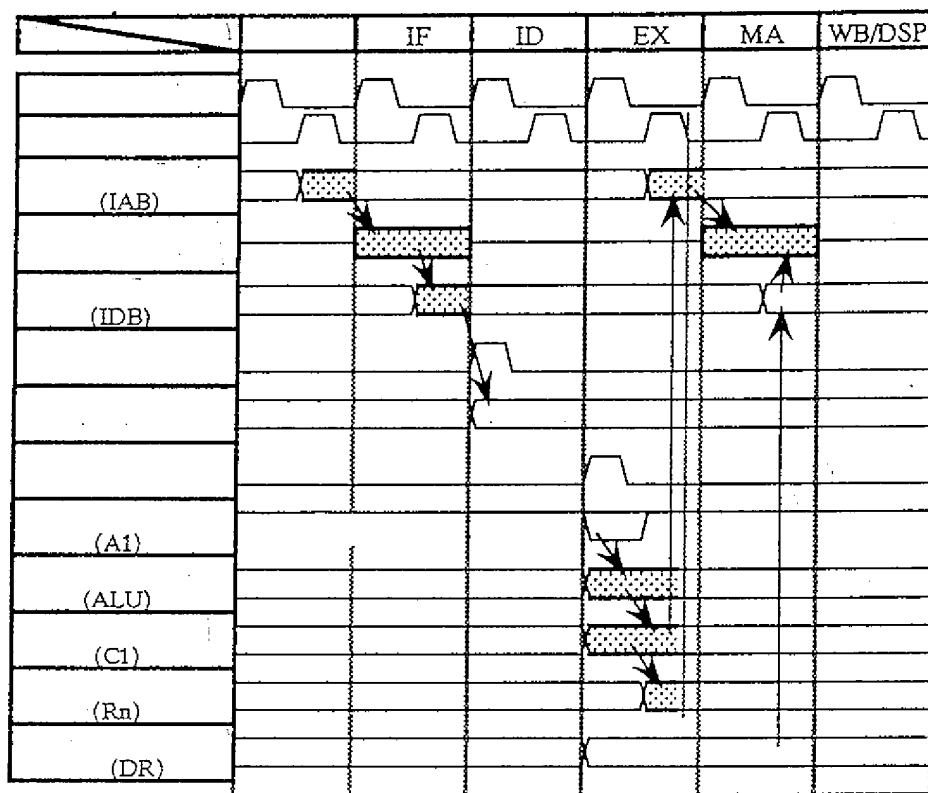
CPU之ALU操作

第 7 圖



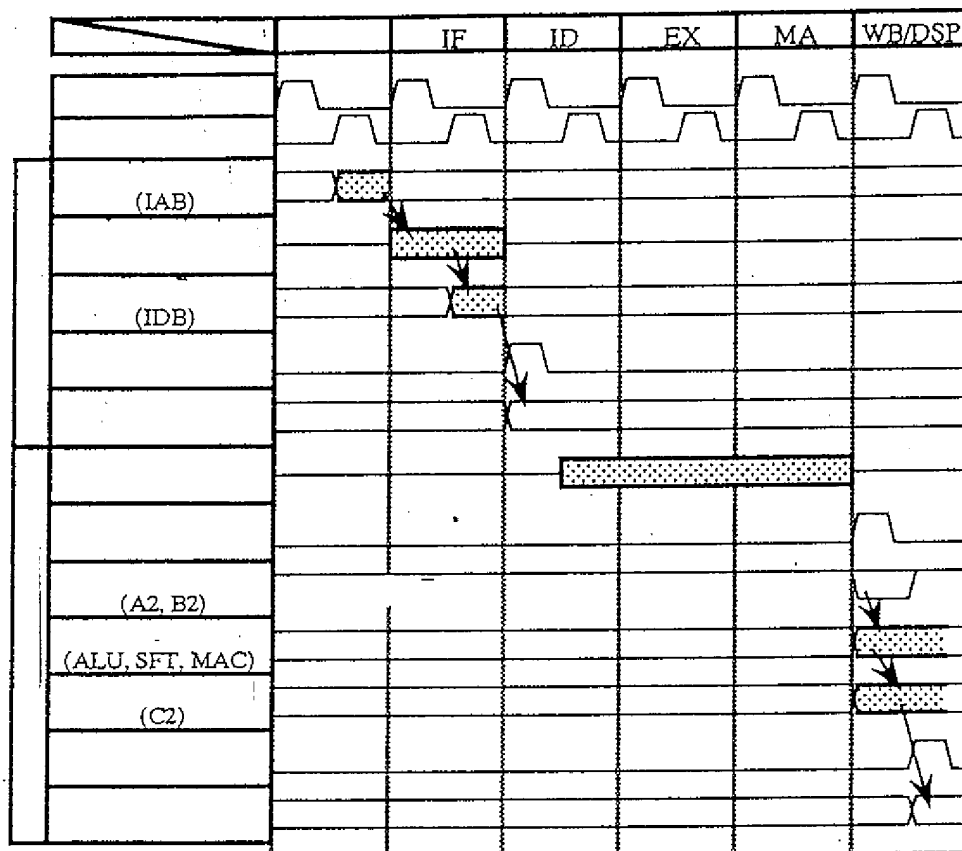
數據移位自存儲器至CPU

第 8 圖



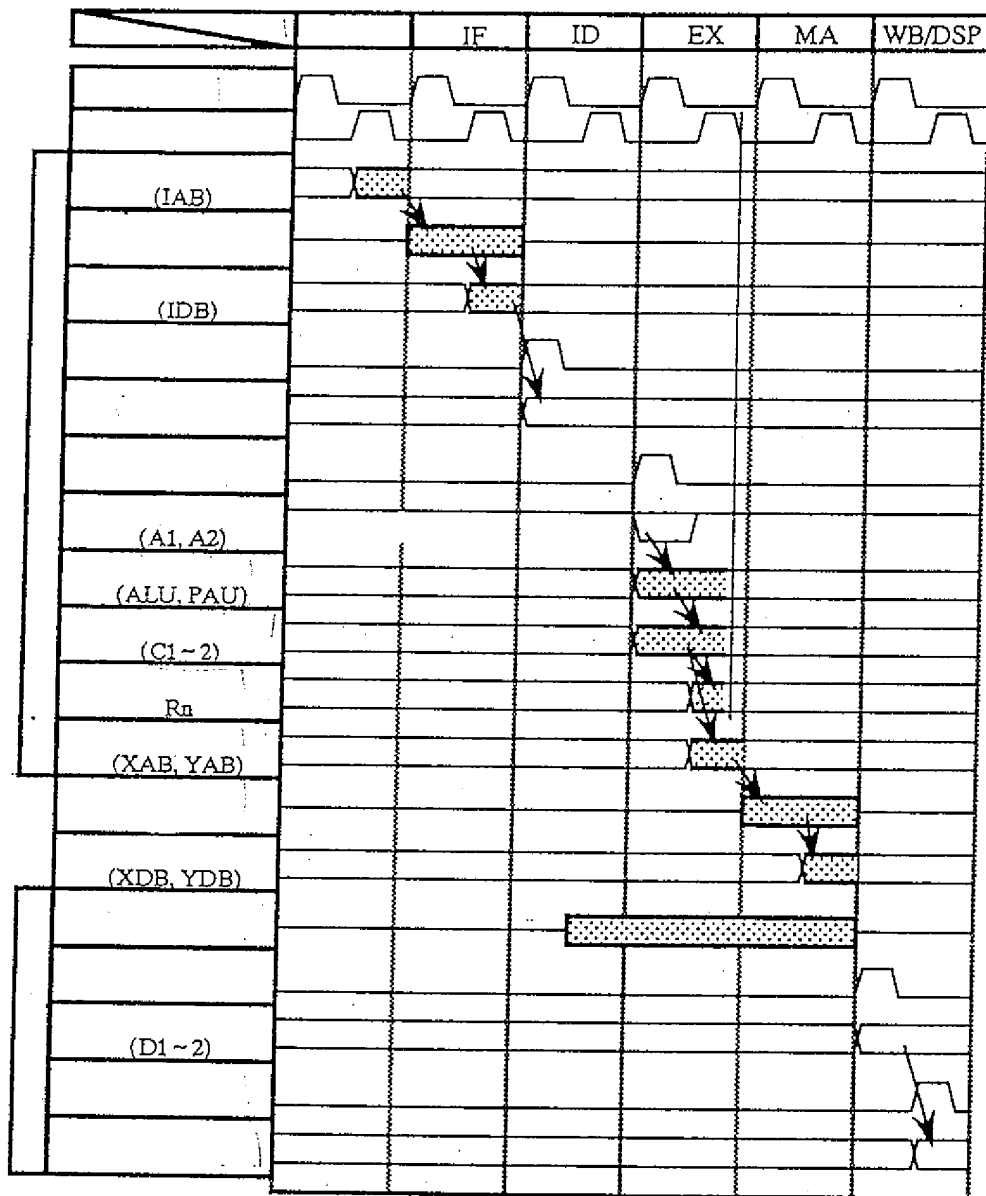
數據移位CPU自至存储器

第 9 圖



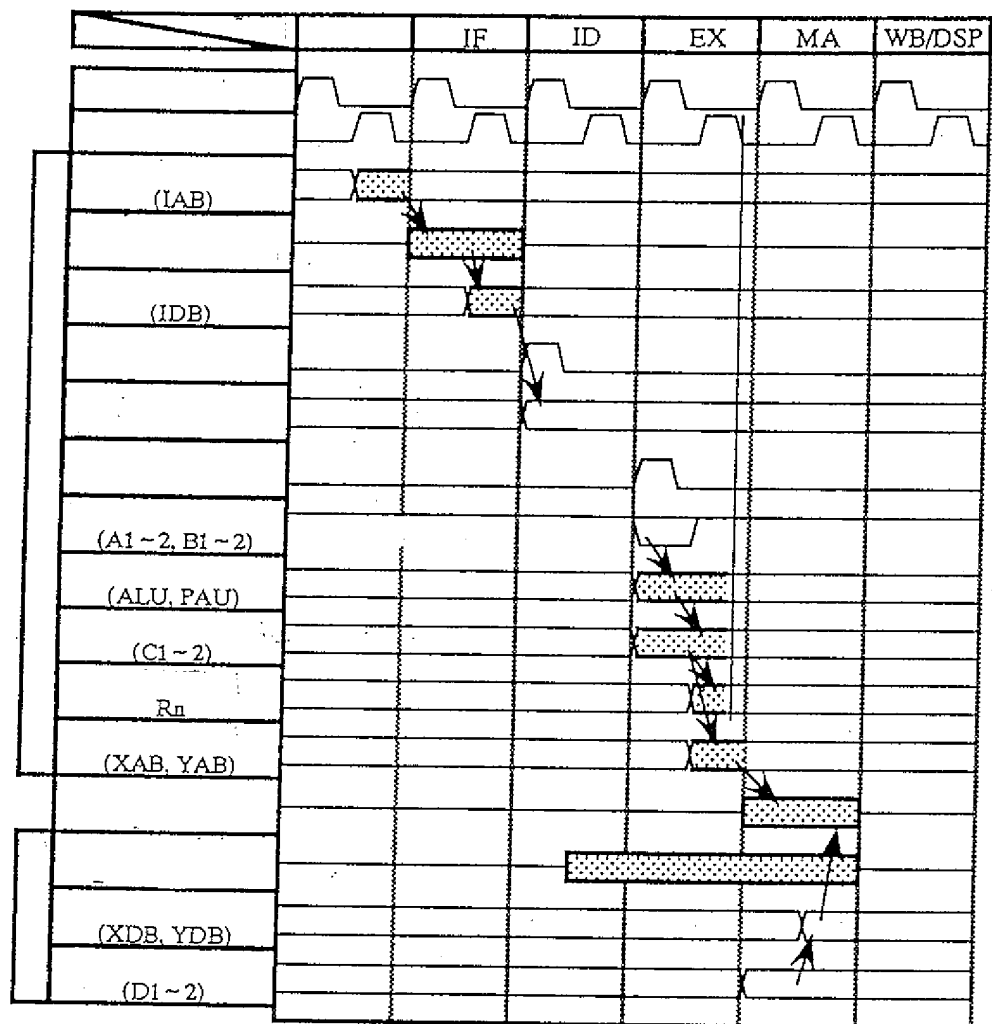
CPU及DSP之DSP數據操作

第10圖



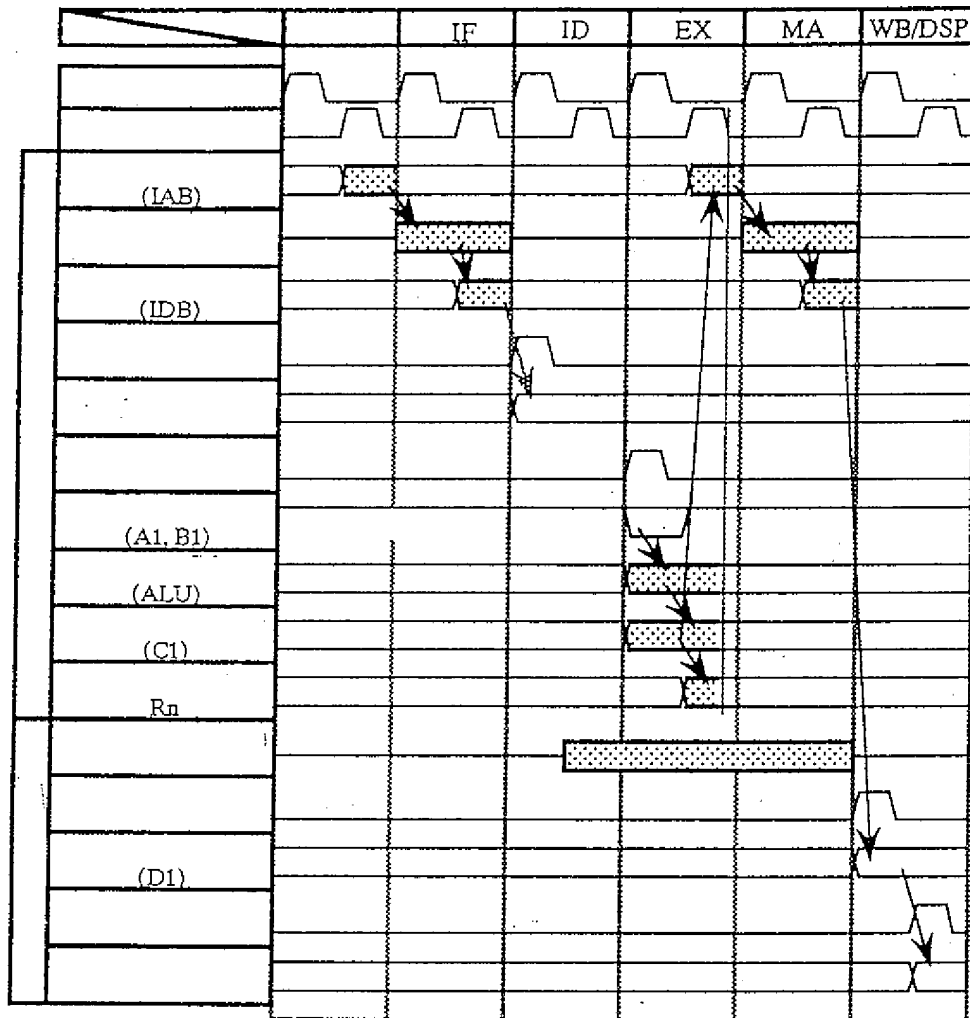
數據移位(MOVX, MOVY)自存儲器至DSP

第11圖



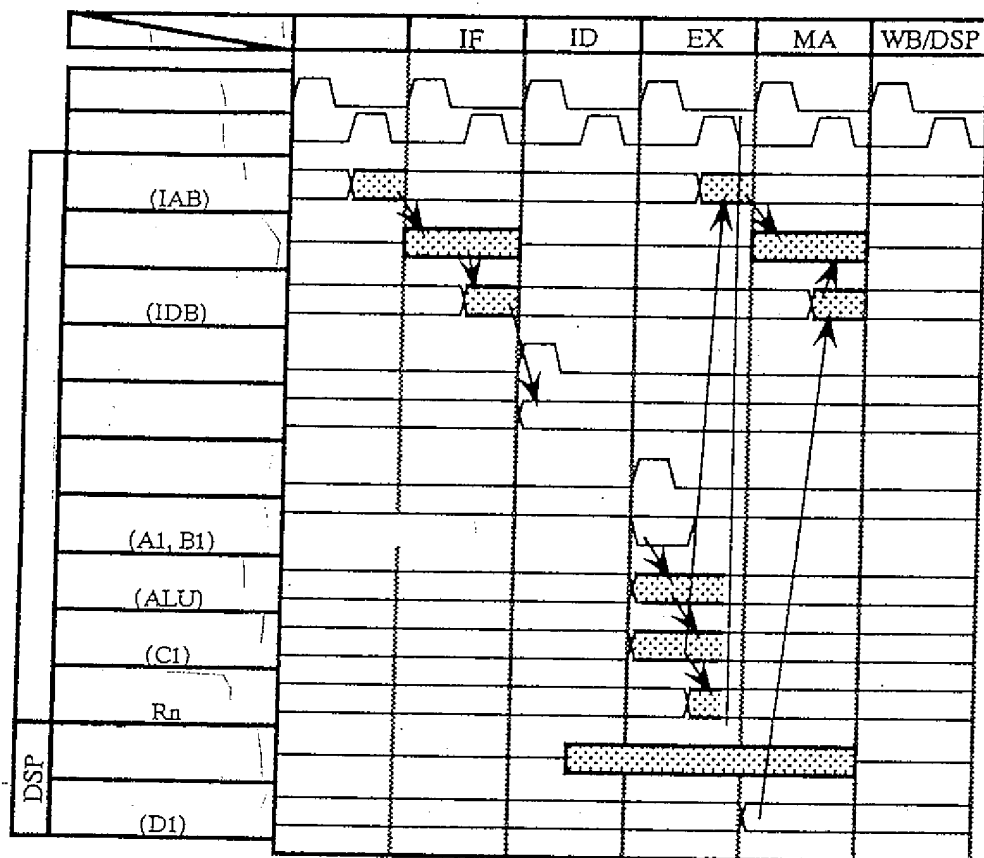
數據移位(MOVX,MOVY)DSP自至存儲器

第12圖

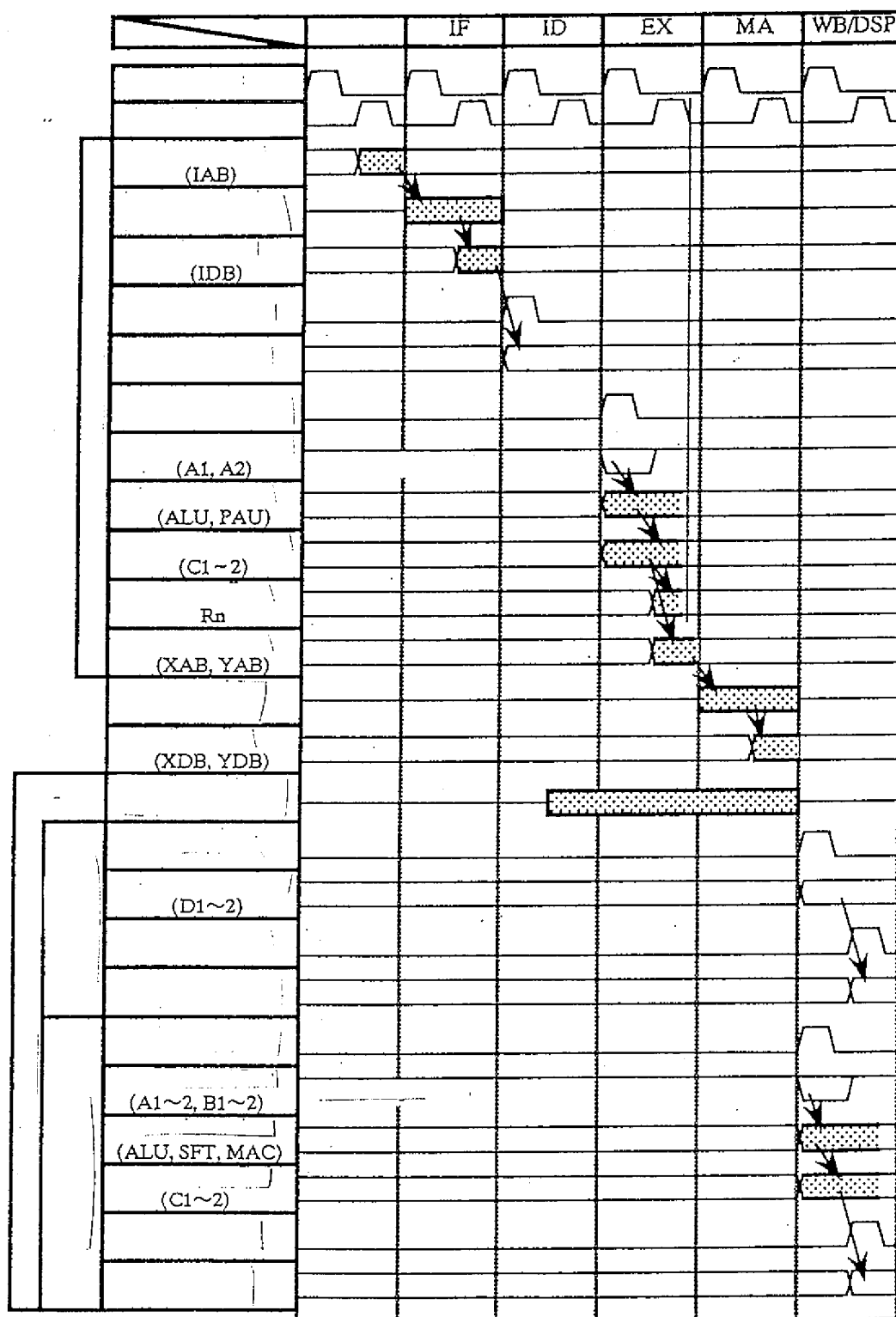


數據移位(MOVSY)自存儲器至DSP

第13圖

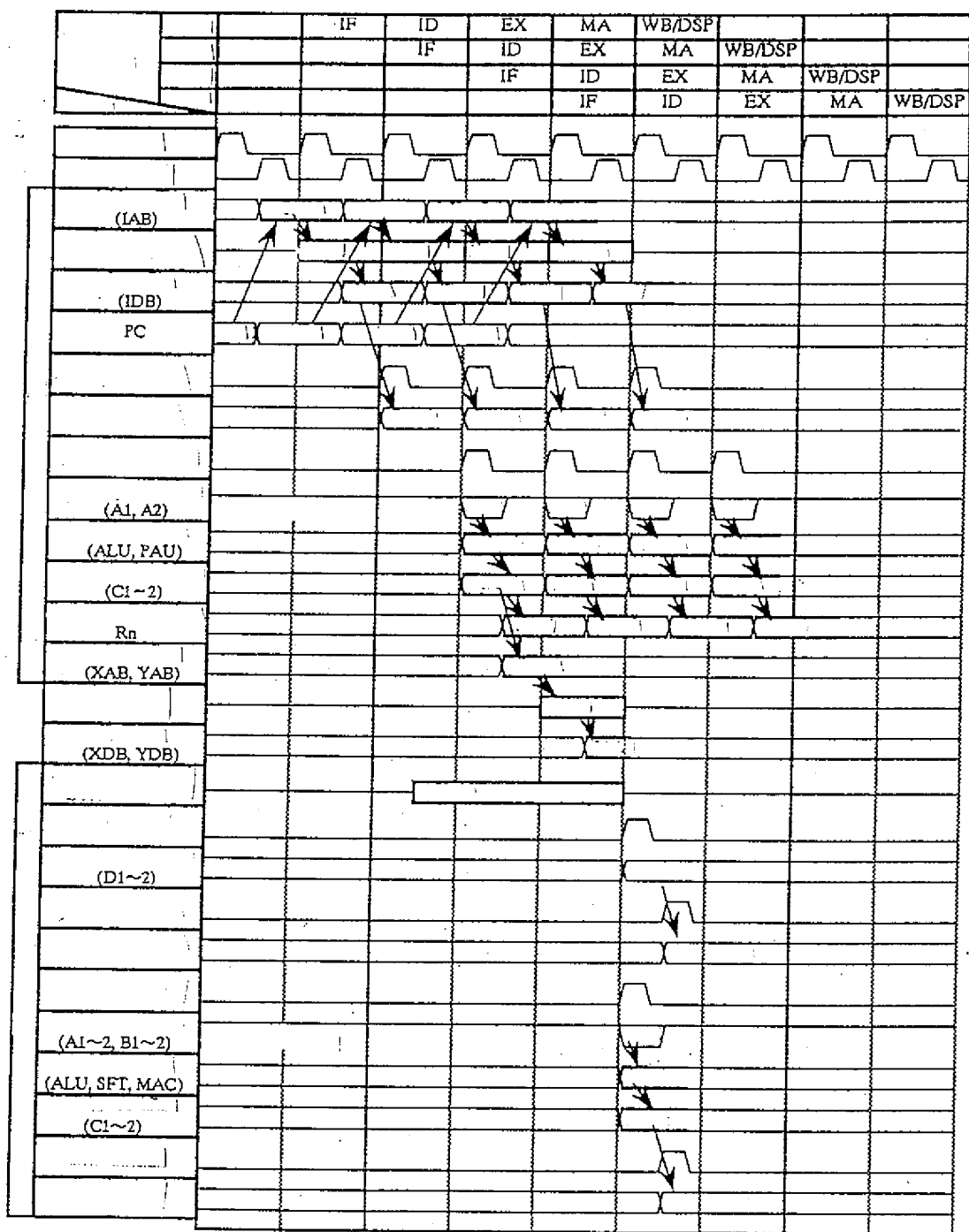


數據移位(MOVSY)自DSP至存儲器



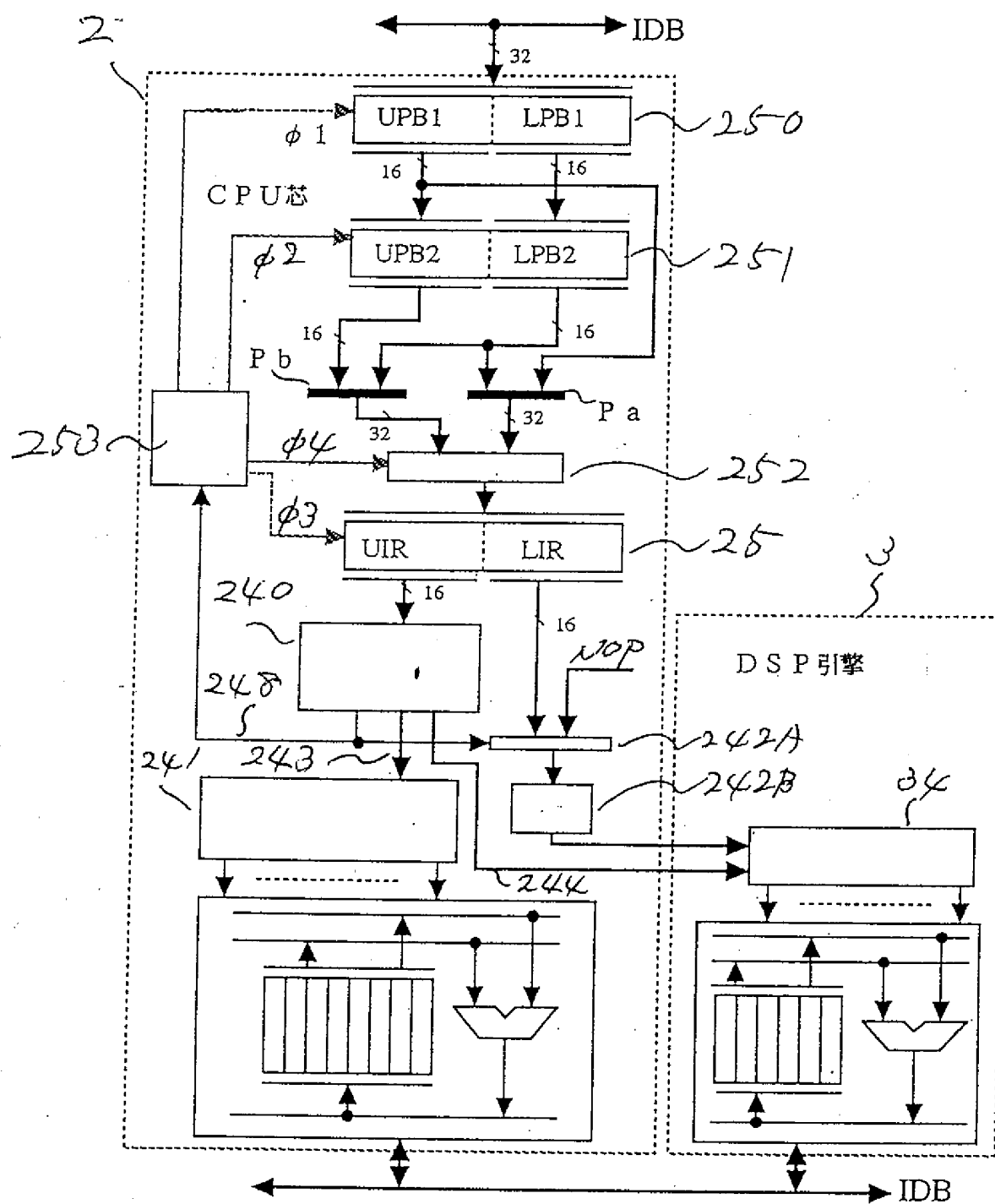
數據移位(MOVX, MOVY)自存儲器至DSP
及
存CPU及DSP之DSP數據操作

第15圖



存取X, YAB及IAB於同週期之例

第16圖



第17圖

DSP16b指令代碼(1)

		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NOPX	1	1	1	1	0	0							0	0		
	MOVX.W @Ax, Dx							Ax		Dx		0		0	1		
	MOVX.W @Ax+, Dx													1	0		
	MOVX.W @Ax+Lx, Dx													1	1		
	MOVX.W D _L , @Ax									Dx		1		0	1		
	MOVX.W D _L , @Ax+													1	0		
	MOVX.W D _L , @Ax+Lx													1	1		
	NOPY	1	1	1	1	0	0									0	0
	MOVY.W @Ay, Dy							Ay		Dy		0				0	1
	MOVY.W @Ay+, Dy															1	0
	MOVY.W @Ay+ly, Dy															1	1
	MOVY.W D _L , @Ay									Dy		1		0	1		
	MOVY.W D _L , @Ay+															1	0
	MOVY.W D _L , @Ay+ly															1	1

第18圖

DSP16b指令代碼(2)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MOVS.W @-As, Ds	1	1	1	1	0	1		As		Ds 0:(#1)	0	0	0	0		
MOVS.W @As, Ds										1:(#1)	0	1				
MOVS.W @As+, Ds								0:R4		2:(#1)	1	0				
MOVS.W @As+Lx, Ds								1:R5		3:(#1)	1	1				
MOVS.W Ds, @-As								2:R2		4:(#1)	0	0			1	
MOVS.W Ds, @As								3:R3		5:A1	0	1				
MOVS.W Ds, @As+										6:(#1)	1	0				
MOVS.W Ds, @As+Lx										7:A0	1	1				
MOVS.L @-As, Ds										8:X0	0	0	1	0		
MOVS.L @As, Ds										9:X1	0	1				
MOVS.L @As+, Ds										A:Y0	1	0				
MOVS.L @As+Lx, Ds										B:Y1	1	1				
MOVS.L Ds, @-As										C:M0	0	0			1	
MOVS.L Ds, @As										D:A1G	0	1				
MOVS.L Ds, @As+										E:M1	1	0				
MOVS.L Ds, @As+Lx										F:A0G	1	1				

第19圖

DSP32b指令代碼(1)

		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NOPX	1	1	1	1	1	0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
	MOVX.W @Ax, Dx																																
	MOVX.W @Ax+, Dx																																
	MOVX.W @Ax+Lx, Dx																																
	MOVX.W Da, @Ax																																
	MOVX.W Da, @Ax+																																
	MOVX.W Da, @Ax+Lx																																
	NOPY																																
	MOVY.W @Ay, Dy																																
	MOVY.W @Ay+, Dy																																
	MOVY.W @Ay+Ly, Dy																																
	MOVY.W Da, @Ay																																
	MOVY.W Da, @Ay+																																
	MOVY.W Da, @Ay+Ly																																

Ax: 0=R4, 1=R5 Ay: 0=R6, 1=R7 Dx: 0=X0, 1=X1 Dy: 0=Y0, 1=Y1 Da: 0=A0, 1=A1

A信息組

第20圖

DSP32b指令代碼(2)

424192
86年10月4日
修正
補充

A8
B8
C8
D8

六、申請專利範圍

第 84113247 號 專利 申請 案

中文 申請 專利 範圍 修正 本

民國 86 年 10 月 修正

1. 一種微電腦，其特徵為將：中央處理機組，及
自前述中央處理機組選擇傳遞地址之第 1 至第 3 地址
總線，及
連接於前述第 1 地址總線及第 2 地址總線，由中央處
理機組之地址存取之第 1 存儲器，及
連接於前述第 1 地址總線及第 3 地址總線，由中央處
理機組之地址存取之第 2 存儲器，及
連接於前述第 1 及第 2 存儲器及前述中央處理機組傳
遞數據之第 1 數據總線，及
連接於前述第 1 存儲器傳遞數據之第 2 數據總線，及
連接於前述第 2 存儲器傳遞數據之第 3 數據總線，及
連接於前述第 1 地址總線及第 2 數據總線之外部接口
電路，及
連接於前述第 1 至第 3 之數據總線，同步於中央處理
機組動作之數字信號處理機組，及
自中央處理機組將控制前述數字信號處理機組之動作
之 DSP 控制信號傳遞於數字信號處理機組之控制信號線
，含於 1 基尼予以半導體集成電路而成。
2. 如申請專利範圍第 1 項所述之微電腦其中前述第
1 存儲器第 2 存儲器係分別由 RAM 及 ROM 而成。
3. 如申請專利範圍第 2 項之所述之微電腦，其中前

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

有無變更實質內容？是否准予修正？

經濟部中央標準局員工消費合作社印製