



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 714395

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 03.05.77 (21) 2483624/18-24

(51) М. Кл.²

G 06 F 7/39

с присоединением заявки № -

(23) Приоритет -

Опубликовано 05.02.80. Бюллетень № 5

(53) УДК 681.325.
.57(088.8)

Дата опубликования описания 08.02.80

(72) Авторы
изобретения

А. К. Горшков, В. А. Лесников, Е. П. Петров
и А. В. Частиков

(71) Заявитель

Кировский политехнический институт

(54) УСТРОЙСТВО ДЛЯ УСКОРЕННОГО УМНОЖЕНИЯ

1

Изобретение относится к области вычислительной техники и может найти применение в арифметических устройствах цифровых вычислительных машин и в цифровых фильтрах.

Известны устройства для умножения, использующие алгоритмы уменьшения "длины", анализа очередных m разрядов, количества единиц и нулей регистра множителя [1], [2], [3].

Наиболее близким по технической сущности аналогом является устройство для ускоренного умножения [4], позволяющее наряду с устранением распространения переносов в каждом цикле умножать одновременно на четыре разряда множителя. Это достигается за счет применения в арифметическом устройстве одно-разрядных сумматоров на семь входов, что позволяет складывать одновременно до семи слагаемых. Устройство содержит сумматор, регистр множимого, регистр множителя, регистры запоминания сумм и поразрядных переносов, причем выход

2

суммы i -го разряда сумматора через схемы совпадения и сборки подключен к ($i-1$)-му и ($i-4$)-му разрядам регистра запоминания поразрядных сумм, выход "перенос-двойка" i -го разряда сумматора через схемы совпадения и сборки подключен к i -му и ($i-3$)-му разрядам регистра запоминания поразрядных переносов-двоек, выход "перенос-четверка" i -го разряда сумматора через схемы совпадения и сборки соединен с ($i+1$)-м и ($i-2$)-м разрядами регистра запоминания поразрядных переносов-четверок, дополнительный выход сумм i -го разряда сумматора через схему совпадения и сборки подключен ко входу i -го разряда регистра запоминания сумм, а дополнительный выход "перенос-двойка" i -го разряда сумматора через схемы совпадения и сборки соединен с ($i+1$)-м разрядом сумматора и ($i+1$)-м разрядом регистра запоминания поразрядных переносов-двоек, первый вход i -го разряда каждого сумматора

соединен с выходом i -го разряда регистра запоминания сумм, второй его вход соединен с выходом i -го разряда регистра запоминания поразрядных переносов-четверок и дополнительным выходом переноса ($i-1$)-го разряда сумматора, третий вход его соединен с выходом ($i+1$)-го разряда регистра запоминания поразрядных переносов-двоек, на четвертый, пятый, шестой и седьмой входы i -го разряда сумматора подключены соответственно выходы i -го, ($i+1$)-го, ($i+2$)-го, ($i+3$)-го разрядов регистра множимого.

Недостатком известного устройства является ограниченное быстродействие, вследствие неэффективного использования в нем одноразрядных сумматоров на семь входов.

Целью предлагаемого изобретения является повышение быстродействия. Для достижения поставленной цели устройство для ускоренного умножения, содержащее сумматор, построенный на основе одноразрядных семивходовых сумматоров, регистры множимого и множителя, регистры запоминания сумм и поразрядных переносов, двоек и четверок, причем выход суммы i -го разряда сумматора подключен к ($i-1$)-му разряду регистра запоминания сумм, выход "перенос-двойка"

i -го разряда сумматора подключен к i -му разряду регистра запоминания поразрядных переносов-двоек, выход "перенос-четверка" i -го разряда сумматора соединен с ($i+1$)-м разрядом регистра запоминания поразрядных переносов-четверок, дополнительный выход суммы i -го разряда сумматора подключен ко входу i -го разряда регистра запоминания сумм, а дополнительный выход перенос-двойка i -го разряда сумматора соединен с ($i+1$)-м разрядом сумматора и ($i+1$)-м разрядом регистра запоминания поразрядных переносов-двоек, первый вход i -го разряда сумматора соединен с выходом i -го разряда регистра запоминания сумм, второй его вход соединен с выходом i -го разряда регистра запоминания поразрядных переносов-четверок и дополнительным выходом переноса ($i-1$)-го разряда сумматора, третий вход его соединен с выходом i -го разряда регистра запоминания поразрядных переносов-двоек, дополнительно содержит преобразователь кода, четыре узла сдвига, элемент задержки, регистр множителя содержит до-

полнительный разряд, причем выходы младших восьми разрядов и дополнительного разряда регистра множителя подключены ко входам преобразователя кода, выход регистра множимого подключен к первым входам узлов сдвига, выходы каждого двух соседних разрядов преобразователя кода, начиная с младшего, подключены ко второму и третьему входам соответствующих узлов сдвига, выход старшего разряда преобразователя кода подключен через элемент задержки ко входу младшего разряда преобразователя кода, выходы i -х разрядов первого, четвертого узлов сдвига подключены соответственно к четвертому, седьмому входам i -го разряда сумматора, выход суммы i -го разряда сумматора подключен ко входу ($i-8$)-го разряда регистра запоминания сумм, выход "перенос-двойка" i -го разряда сумматора подключен ко входу ($i-7$)-го разряда регистра запоминания поразрядных переносов-двоек, выход "перенос-четверка" i -го разряда сумматора соединен со входом ($i-6$)-го разряда регистра запоминания поразрядных переносов-четверок.

На фиг. 1 приведена структурная схема устройства для ускоренного умножения одновременно на восемь разрядов множителя, на фиг. 2 изображен одноразрядный семивходовой сумматор.

Устройство включает в себя регистр запоминания сумм с разрядами 1-9 (соответственно $i+8$, $i+7$, ..., $i+1$, i разряды регистра запоминания сумм); сумматор с разрядами 10-13 (соответственно $i+1$, i , $i-1$, $i-2$ разряды сумматора); регистр запоминания поразрядных переносов-двоек с разрядами 14-23 (соответственно $i+9$, $i+8$, ..., $i+1$, i разряды регистра запоминания поразрядных переносов-двоек), регистр запоминания поразрядных переносов-четверок с разрядами 24-34 (соответственно $i+10$, $i+9$, ..., $i+1$, i разряды регистра запоминания поразрядных переносов-четверок 35-37 - триггеры, элементы 38-41 ИЛИ; элементы 42-51 И; регистр 52 множителя; преобразователь 53 кода; элемент 54 задержки; узлы 55-58 сдвига; регистр 59 множимого; шину 60 передачи множимого на сумматор; трехвходовые сумматоры 61-64; i -ый одноразрядный семивходовой сумматор 65; входные шины 66-72 сумматора 65; выходы 73-82 трехвходовых сумматоров сумматора 65; выходные

шины 83-90 старших восьми разрядов регистра 52; выходную шину 91 регистра 52 (дополнительного разряда регистра 52); дополнительный выход 92 младшего разряда преобразователя 53; выходные шины 93-100 преобразователя 53; выходные шины 101-104 i -ых разрядов узлов 55-58 соответственно; управляющие шины 105-114; входные шины 115-117.

i -ый одноразрядный семивходовый сумматор 65 (см. фиг. 2) состоит из четырех одноразрядных трехвходовых сумматоров 61-64 и имеет семь входных шин 66-72. Выход 73 "перенос" сумматора 61 соединен с одним из трех входов сумматора 63 и имеет также свободный выход 77 - дополнительный выход "перенос" сумматора 65. Выход 74 "сумма" сумматора соединен с одним из трех входов сумматора 64 и имеет свободный выход 80 - дополнительный выход "сумма" сумматора 65. Выход 75 "перенос" сумматора 62 соединен со вторым входом сумматора 63, а выход 76 "сумма" сумматора 62 соединен со вторым входом сумматора 64. Выход 82 "сумма" сумматора 64 является выходом суммы сумматора 65. Выход 81 "перенос" сумматора 64 соединен с третьим входом сумматора 63. Выход 79 "сумма" сумматора 63 является выходом "перенос - двойка" сумматора 65. Выход 78 "перенос" сумматора 63 является выходом "перенос - четверка" сумматора 65.

К триггеру 35 через элемент 38 ИЛИ и элементы 42-44 И подключены соответственно дополнительный выход 80 "сумма" сумматора 65 (i -ый разряд сумматора), выход 82 суммы сумматора 65 и выход 82 суммы ($i-8$)-го разряда сумматора (вход 115). Каждый разряд регистра запоминания сумм имеет структуру i -го разряда регистра 9, поэтому подключение каждого из них аналогично описанному.

К триггеру 36 через элемент 40 ИЛИ и элементы 47-48 И подключены соответственно выход 79 "перенос-двойка" ($i-1$)-го разряда сумматора (выход 79 разряда сумматора 12), дополнительный выход 77 "перенос" ($i-1$)-го разряда сумматора (выход 77 разряда сумматора 12) и выход 79 "перенос-двойка" ($i-9$)-го разряда сумматора (вход 116). Каждый разряд регистра запоминания переносов - двоек имеет структуру разряда 23 регистра запоминания

поразрядных переносов - двоек поэтому подключение каждого из них аналогично описано.

К триггеру 37 через элемент 41 ИЛИ и элементы 50-51 И подключены соответственно выход "перенос-четверка" ($i-2$)-го разряда сумматора (выход 78 разряда сумматора 13) и выход "перенос - четверка" ($i-10$)-го разряда сумматора (вход 117). Каждый разряд регистра запоминания переносов-четверок имеет структуру разряда 34 регистра запоминания поразрядных переносов-четверок поэтому подключение каждого из них аналогично описанному.

Входная шина 66 i -го разряда сумматора (разряд сумматора 11) подключен к выходу триггера 35. Аналогично подключаются входные шины 66 всех разрядов сумматора к выходам триггеров регистра запоминания сумм.

Входная шина 67 i -го разряда сумматора (разряд сумматора 11) через элемент 39 ИЛИ и элементы 45-46 И соединены соответственно с выходом триггера 37 и дополнительным выходом 77 "перенос" сумматора 12 ($i-1$)-ый разряд сумматора). Аналогично подключаются входные шины 67 всех разрядов сумматора.

Входная шина 68 i -го разряда сумматора (разряд сумматора 11) подключена к выходу триггера 36. Аналогично подключаются входные шины 68 всех разрядов сумматора.

К входным шинам 69, 70, 71 и 72 i -го разряда сумматора (разряд сумматора 11) соответственно подключены входы i -ых разрядов узлов 55-58 сдвига. Аналогично подключаются входные шины 69-72 всех разрядов сумматора.

Выходы регистра 52 соединены с соответствующими входами преобразователя 53 кода. Выходы регистра 59 подключены к первым входам узлов 55-58 сдвига. Выходы 93-100 соединены с вторым и третьим входами узлов 55-58 сдвига соответственно. Выход 92 преобразователя 53 кода подключен к входу элемента 54 задержки, выход которого соединен с входом старшего разряда преобразователя 53 кода.

За исходное принимают такое состояние устройства, когда на регистры 59 множимого и 52 множителя приняты соответственно множимое и множитель. Умножение выполняется по алгоритму со

сдвигом регистра множителя и суммы частичных произведений в сторону старших разрядов, причем сдвиг суммы частичных произведений производится посредством определенным образом организованных связей между сумматором, каждый разряд которого построен на основе одноразрядного семивходового сумматора, регистром запоминания сумм и регистрами запоминания поразрядных переносов двоек и четверок. В каждом цикле умножения с регистра 52 множителя на преобразователь 53 кода поступают восемь разрядов множителя. Преобразователь 53 кода представляет собой схему, построенную по следующим правилам.

1. Если данная цифра непреобразованного множителя не совпадает с соседней справа его цифрой, соседняя слева цифра есть 0 и предыдущая цифра преобразованного множителя есть 0, то данный разряд преобразованного множителя должен содержать +1.

2. Если данная цифра непреобразованного множителя не совпадает с соседней справа его цифрой, соседняя слева цифра есть 1 и предыдущая цифра преобразованного множителя есть 0, то данный разряд преобразованного множителя должен содержать 1.

3. Если данная цифра непреобразованного множителя совпадает с соседней справа его цифрой или если предыдущая цифра преобразованного множителя не является нулем, то данный разряд в преобразованном множителе есть 0.

По приведенным правилам можно записать следующие логические уравнения:

$$\left. \begin{aligned} b_n &= (a_n \bar{a}_{n-1} \vee \bar{a}_n a_{n-1}) \bar{a}_{n+1} c_{n+1} \\ \bar{b}_n &= (a_n \bar{a}_{n-1} \vee \bar{a}_n a_{n-1}) a_{n+1} c_{n+1} \\ c_n &= a_n a_{n-1} \vee \bar{c}_{n-1} \end{aligned} \right\} (1)$$

где $n = 0, 1, \dots, 7$; b_n и $\bar{b}_n$ соответственно значения 1 и $\bar{1}$ в данном разряде преобразованного множителя; c_n и c_{n+1} — значения 0 соответственно в данном и предыдущем разрядах преобразованного множителя; a_{n+1} , a_n , a_{n-1} , соответственно значения соседней слева, данной и соседней справа цифр непреобразованного множителя. По уравнениям (1) строится каждый разряд восьмиразрядного преобразователя кода 53, выходными сигналами которого являются значения b_n и $\bar{b}_n$. Младший разряд пре-

образователя кода имеет дополнительный выход, значением которого является $c_0 = a_0 \cdot a_{-1} \vee \bar{c}_1$, где a_{-1} — значение старшего разряда следующей

5 восьмиразрядной группы непреобразованного множителя. Значение c_0 задержанное на один цикл работы устройства элементом 54 задержки, необходимо для формирования старшей цифры преобразованного множителя в очередном цикле работы устройства для ускоренного умножения. При этом в (1) значение c_0 предыдущего цикла является значением $c_{n+1} = c_8$ текущего цикла, а значением $a_{n+1} = a_8$ текущего цикла является младшая из восьми цифр множителя, которые преобразовывались в предыдущем цикле. Для хранения $a_{n+1} = a_8$ введен дополнительный разряд в регистре множителя. Таким образом, путем введения дополнительного разряда в регистр множителя 52 и элемента задержки 54 в преобразователе кода 53 достигается наличие всех необходимых значений, обеспечивающих работу преобразователя кода в каждом цикле умножения.

Пример. Пусть множитель $A = 001101111100110101110011$. В соответствии с приведенными правилами преобразования множителя получаем в первом цикле старшие восемь разрядов преобразованного множителя 01001000. При этом $c_0 = 0$. Аналогично во втором и третьем циклах получаем соответственно 010100 10, $c_0 = 0$ и 10010101, $c_0 = 1 \neq 0$. Таким образом, преобразованный множитель имеет вид 010010000101001010010101.

В результате преобразования множителя в соседних двух разрядах не могут появиться комбинации 11, 11, 11, 11. Поэтому в группе из восьми разрядов не может быть более четырех ненулевых разрядов. Следовательно, сумматор, позволяющий складывать одновременно семь слагаемых, может осуществлять умножение за один такт на восемь разрядов множителя. При этом множимое должно подаваться на сумматор в зависимости от значений преобразованного множителя, сгруппированных по два соседних разряда, со сдвигом в сторону старших разрядов, определяемым весом разрядов преобразованного множителя прямым кодом, если в данном разряде преобразованного множителя 1, или дополнительным кодом, если в данном разряде преобразованного множителя $\bar{1}$.

Все перечисленные функции выполняют узлы 55-58 сдвига, работающие в соответствии со следующим алгоритмом: узел сдвига 55 передает множимое на сумматор без сдвига или со сдвигом на один разряд в сторону старших прямым или дополнительным кодами; узел 56 сдвига передает множимое на сумматор со сдвигом на два или три разряда в сторону старших прямым или дополнительным кодами; узел 57 сдвига передает множимое на сумматор со сдвигом на четыре или пять разрядов в сторону старших прямым или дополнительным кодами; узел 58 сдвига передает множимое на сумматор со сдвигом на шесть или семь разрядов в сторону старших прямым или дополнительными кодами.

За один цикл умножения происходит умножение одновременно на восемь разрядов множителя. Все циклы, за исключением последнего, выполняются одинаково. После выполнения каждого цикла происходит сдвиг числа в регистре множителя на восемь разрядов в сторону старших.

В каждом цикле умножения на каждый разряд устройства поступают разрешающие потенциалы на управляющие шины 105, 108, 110, 113 и шину 60 передачи множимого на сумматор, при этом на 1-ый разряд сумматора 11 подаются поразрядная сумма с разряда 9 регистра запоминания сумм (входная шина 66 сумматора 65), поразрядный перенос - двойка с разряда 23 регистра запоминания поразрядных переносов (входная шина 68 сумматора 65), поразрядный перенос, четверка с разряда 34 регистра запоминания поразрядных переносов-четверок через элемент 45 и элемент 39 ИЛИ (входная шина 67 сумматора 65), а на входные шины 69-72 сумматора 65 подаются значения с i -ых выходов узлов 55-58 сдвига соответственно алгоритму их работы.

После суммирования семи слов: слова, записанного в регистре запоминания сумм; слова, записанного в регистре запоминания поразрядных переносов - двоек; слова, записанного в регистре запоминания поразрядных переносов-четверок; четырех слов, переданных узлами 55-58 сдвига соответственно, получаем трехрядный результат, состоящий из поразрядных сумм, которые записываются со сдвигом на восемь разрядов в сторону старших в регистр запоминания сумм (для i -го разряда сумматора с выхода 82

сумматора 65 в разряд 1 регистра запоминания сумм, поразрядных переносов-двоек, которые записываются со сдвигом на девять разрядов в сторону старших

5 в регистр запоминания поразрядных переносов - двоек (для i -го разряда сумматора с выхода 79 сумматора 65 в разряд 14 регистра запоминания поразрядных переносов-двоек поразрядных переносов-четверок, которые записываются со сдвигом на десять разрядов в сторону старших в регистр запоминания поразрядных переносов-четверок (для i -го разряда сумматора с выхода 78 сумматора 65 в разряд 24 регистра запоминания поразрядных переносов - четверок.

Описанный цикл работы устройства повторяется до последнего цикла умножения.

В последнем цикле умножения разрешающие потенциалы с шин 105, 110 и 113 снимаются (на указанные шины поступают запрещающие потенциалы), а на шины 106, 112, 114 поступают разрешающие потенциалы, при этом поразрядные суммы записываются в тот же разряд регистра запоминания сумм (для i -го разряда сумматора с выхода 82 на вход элемента 43 и разряда 9 регистра запоминания сумм, поразрядные переносы-двойки записываются со сдвигом на один разряд в сторону старших (для i -го разряда сумматора с выхода 79 сумматора 65 в разряд 22 регистра запоминания поразрядных переносов-двоек, поразрядные переносы-четверки записываются со сдвигом на два разряда в сторону старших в регистр запоминания поразрядных переносов-четверок (для i -го разряда сумматора с выхода 78 сумматора 65 в разряд 32 регистра запоминания поразрядных переносов - четверок. В результате выполнения последнего цикла умножения получен трехрядный результат, состоящий из поразрядных сумм, поразрядных переносов-двоек и поразрядных переносов-четверок, поэтому необходимо получить однорядный результат. Это осуществляется в устройстве путем получения вначале двухрядного результата, состоящего из поразрядных сумм и поразрядных переносов-двоек, а затем однорядного, представляющего собой произведение, следующим образом.

С шин 106, 60, 112 и 114 разрешающие потенциалы снимаются и на них поступает запрещающий потенциал, а на шины 111 и 107 подается разрешающий потенциал. В результате регистр запоми-

нения поразрядных переносов-четверок и входные шины 69-72 каждого разряда сумматора от приема информации отключаются, при этом поразрядные суммы записываются в тот же разряд регистра запоминания сумм (для i -го разряда сумматора с выхода 80 сумматора 65, поразрядные переносы - двойки записываются со сдвигом на один разряд в сторону старших в регистр запоминания поразрядных переносов-двоек) для $(i-1)$ -го разряда сумматора с выхода 77 разряда регистра 12 в разряд 23 регистра и трехрядный результат переходит в двухрядный. Далее разрешающие потенциалы с шин 108 и 111 снимаются (на указанные шины поступает запрещающий потенциал), а на шину 109 подается разрешающий потенциал. В результате разрешается распространение переносов по цепи распространения переносов (для i -го разряда сумматора с выхода 77 $(i-1)$ -го разряда сумматора через элемент 46 И и элемент 39 ИЛИ на вход 67 сумматора 65), а в регистр запоминания сумм записываются поразрядные суммы (для i -го разряда сумматора с выхода 80 сумматора 65). Таким образом двухрядный результат перешел в однорядный, представляющий собой произведение, после чего разрешающие потенциалы с шин 107 и 109 снимаются и на этом процесс умножения заканчивается. В регистре запоминания сумм получено произведение.

Этим достигается повышение быстродействия устройства для ускоренного умножения.

Использование восьмиразрядного преобразователя кода, четырех узлов сдвига, элемента задержки и дополнительного разряда и регистра множителя делает возможным создание устройства для ускоренного умножения, позволяющего наряду с устранением распространения переносов в каждом цикле умножать одновременно на восемь разрядов множителя, что повышает быстродействие устройства.

Ф о р м у л а и з о б р е т е н и я

Устройство для ускоренного умножения, содержащее сумматор, построенный на основе одноразрядных семивходовых сумматоров, регистры множимого и множителя; регистры запоминания сумм и поразрядных переносов-двоек и четверок,

причем выход суммы i -го разряда сумматора ($i-1, \dots, N$, где N - разрядность операндов) подключен к $(i-1)$ -му разряду регистра запоминания сумм, выход "перенос - двойка" i -го разряда сумматора подключен к i -му разряду регистра запоминания поразрядных переносов - двоек, выход "перенос - четверка" i -го разряда сумматора соединен с $(i+1)$ -м разрядом регистра запоминания поразрядных переносов-четверок, дополнительный выход суммы i -го разряда сумматора подключен ко входу i -го разряда регистра запоминания сумм, а дополнительный выход "перенос-двойка" i -го разряда сумматора соединен с $(i+1)$ -м разрядом сумматора и $(i+1)$ -м разрядом регистра запоминания поразрядных переносов-двоек, первый вход i -го разряда сумматора соединен с выходом i -го разряда регистра запоминания сумм, второй его вход соединен с выходом i -го разряда регистра запоминания поразрядных переносов - четверок и дополнительным выходом переноса $(i-1)$ -го разряда сумматора, третий вход его соединен с выходом i -го разряда регистра, запоминания поразрядных переносов - двоек, отличающееся тем, что, с целью повышения быстродействия, устройство содержит преобразователь кода, четыре узла сдвига, элемент задержки регистра множителя содержит дополнительный разряд, причем выходы младших восьми разрядов и дополнительного разряда регистра множителя подключены ко входам преобразователя кода, выход регистра множимого подключен к первым входам узлов сдвига, выходы каждого двух соседних разрядов преобразователя кода, начиная с младшего, подключены ко второму и третьему входам соответствующих узлов сдвига, выход старшего разряда преобразователя кода подключен через элемент задержки ко входу младшего разряда преобразователя кода, выходы i -х разрядов первого - четвертого узлов сдвига подключены соответственно к четвертому - седьмому входам i -го разряда сумматора, выход суммы i -го разряда сумматора подключен ко входу $(i-8)$ -го разряда регистра запоминания сумм, выход "перенос-двойка" i -го разряда сумматора подключен ко входу $(i-7)$ -го разряда регистра запоминания поразрядных переносов-двоек, выход "перенос-четверка" i -го разряда сум-

матора соединен со входом ($i-6$)-го разряда регистра запоминания поразрядных переносов-четверок.

Источники информации,

принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 269607, кл. G 06 F 7/52, 1968.

2. Авторское свидетельство СССР № 482740, кл. G 06 F 7/52, 1973.

3. Авторское свидетельство СССР № 255648, кл. G 06 F 7/54, 1967.

4. Авторское свидетельство СССР № 281004, кл. G 06 F 7/39, 1968 (прототип).

