



[12] 发明专利说明书

专利号 ZL 200510081320.5

[45] 授权公告日 2009 年 4 月 22 日

[11] 授权公告号 CN 100481052C

[22] 申请日 2005.6.24

[21] 申请号 200510081320.5

[30] 优先权

[32] 2004.6.25 [33] US [31] 10/877,376

[73] 专利权人 威盛电子股份有限公司

地址 台湾省台北县新店市

[72] 发明人 威廉 V·米勒

[56] 参考文献

US20040103230A1 2004.5.27

US20030229744A1 2003.12.11

US20030043790A1 2003.3.6

US6691193B1 2004.2.10

审查员 郑守志

[74] 专利代理机构 北京市柳沈律师事务所

代理人 钱大勇

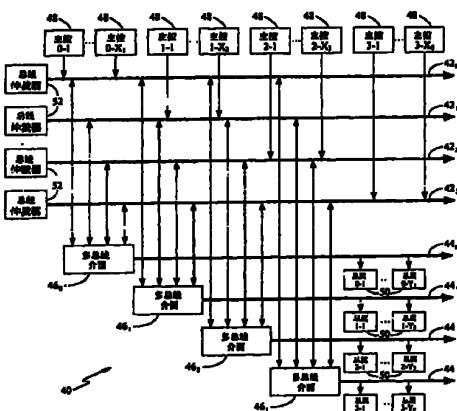
权利要求书 2 页 说明书 17 页 附图 7 页

[54] 发明名称

内部总线系统

[57] 摘要

本发明是揭露一总线系统，例如：设置在一数字装置内的一内部总线系统。此总线系统包含复数个主控总线，每一主控总线是连接到至少一主控。此总线系统亦包含连接到上述的复数个主控总线的一多总线接口与连接到此多总线接口的一从属总线。上述的多总线接口一次致能一主控总线以存取上述的从属总线。并且本发明亦揭露总线结构以及主控总线与从属总线之间接口的方法。



1. 一内部总线系统，其特征在于，该内部总线系统包含：

复数个主控总线；

至少一主控装置，连接到每一主控总线；

复数个从属总线；

至少一从属装置，连接到每一从属总线；以及

复数个多总线接口，每个多总线接口对应到一个个别从属总线，每个多总线接口多任务传输该复数个主控总线到该个别从属总线，其中每个多总线接口包括：

一多总线仲裁器，具有复数个输入，每一输入对应到一个个别主控总线，其中该多总线仲裁器包含：

复数个请求缓冲器，对应到该复数个主控总线，每一请求缓冲器可储存一个个别主控总线的请求；

一请求选择多任务器，具有一第一组输入用以接收直接来自该复数个主控总线的请求，以及具有一第二组输入用以接收储存在该请求总线的请求；以及

一请求阶段仲裁器，用以接收来自该复数个主控总线的请求，提供一选择信号给该请求选择多任务器用以从该第一组输入与该第二组输入之间选取一请求，以及提供一搁置信号；

一桥接器，连接该多总线仲裁器与该个别从属总线；以及

一译码器，该译码器连接到该多总线仲裁器与该桥接器，该译码器用以译码在该从属总线的该从属的地址位置。

2. 根据权利要求 1 所述的内部总线系统，其特征在于，其中在一第一主控总线的一第一主控装置通过一第一多总线接口存取在一第一从属总线的一第一从属装置，并且同时在一第二主控总线的一第二主控装置通过一第二多总线接口存取在一第二从属总线的一第二从属装置。

3. 根据权利要求 1 所述的内部总线系统，其特征在于，其中该多总线仲裁器还包含：

一资料阶段仲裁器，用以接收来自该请求阶段仲裁器的该选择信号，接收来自该从属总线的一等待信号，以及输出一资料选择信号；

一等待信号译码逻辑电路，用以接收来自该请求阶段仲裁器的该搁置信号，接收来自该从属总线的该等待信号，接收来自该资料阶段仲裁器的该资料选择信号，以及输出回授等待信号给该复数个主控总线；

一写入多任务器，用以接收来自该复数个主控总线的写入信号，接收来自该资料阶段仲裁器的该资料选择信号以选取该写入信号其中之一，以及输出一选取的写入信号给该从属总线；以及

一读取解多任务器，用以接收来自该复数个从属总线的一读取信号，接收来自该资料阶段仲裁器的该资料选择信号以选取该复数个主控总线其中之一，该读取信号传送到所选取的主控总线，以及输出一读取信号给该所选取的主控总线；其中该请求阶段仲裁器包含：

一取样请求电路；

一先前所有权电路；以及

一选择组合逻辑电路，用以接收来自该取样请求电路的一取样请求信号与来自该先前所有权电路的一先前所有信号，该选择组合逻辑电路还用以输出该搁置信号以及该选择信号。

4. 根据权利要求3所述的内部总线系统，其特征在于，其中该取样请求电路包含复数个请求输入，该复数个请求输入对应到该复数个主控总线，来自该取样请求电路的该取样请求信号对应每一主控总线，并且其中从该先前所有权电路输出的该先前所有信号包含一编码信号，该编码信号表示该主控总线其中之一，其表示该从属总线的该先前所有。

5. 根据权利要求1所述的内部总线系统，其特征在于，其中该复数个主控总线的数量不等于该复数个从属总线的数量。

内部总线系统

技术领域

本发明是有关于一总线系统，尤其是一种内部总线系统。

背景技术

许多数字装置（例如：那些被归类为系统芯片（system on chip; SoC）的装置）是包含多主控与多从属共享一共同内部总线的一总线结构。此内部总线是可被定义成为主控（master）与从属（slave）之间的一标准接口，并使得主控与从属的发展与实行变得相当简单。此共同内部总线亦提供将被设计的数字系统一弹性平台。

图1是图解说明一系统芯片（SoC）装置的一传统总线结构10，其中一单一内部总线12是连接复数个主控14与复数个从属16。一总线仲裁器18亦连接到内部总线12，而总线仲裁器18是监控内部总线12以及在必要时，将内部总线12的所有权授予（grant）主控14。一主控14一旦获得总线的所有权，是被允许控制一所要求的从属16。由于内部总线12提供了一标准接口，因此任何数量的主控14或是从属16是可连接到内部总线12。

可视为主控14的装置包含：例如：一般用途处理器、数字信号处理器（DSP）、万用总线接口（USB）主控制器、直接内存存取（DMA）控制器、液晶显示（LCD）控制器...等等。而从属者16可能包含的装置，例如：内存控制器、串行外围接口（SPI）装置、实时时脉产生器、看门狗定时器（watchdog timer）、脉波宽度调变器、中断控制器、通用异步收发器（UART）...等等。如同熟习此项技术者所熟知，任何主控14是可由送出一请求给总线仲裁器18以要求内部总线12的所有权。当请求没有冲突时，则总线仲裁器18一般是将所有权授予请求的主控14，然后主控14获得内部总线12的所有权并且是被允许存取一特定从属16。当多主控14在一时间内请求总线所有权时，则总线仲裁器18利用一预先定义的仲裁协议，每一次仅将所有权授予一主控。此仲裁协议是被采用，用以保证每一主控是享有最大

效能服务以及整个系统的稳定。

图 1 的传统总线结构 1 0 是允许多种弹性控制，进而使得任何主控 1 4 可以存取或是控制任何从属 1 6。在一有 5 个主控与 2 0 个从属的范例中，其将可能有 1 0 0 种主从 (master/slave) 的组合。然而，总线结构 1 0 的一不利条件是，当一主控正在存取一从属时，则一第二主控并不能同时存取一第二从属。就此点而言，任何时间仅有一主控 1 4 与一从属 1 6 能动作。当两个主控 1 4 企图取得内部总线 1 2 的所有权时，则一主控 1 4 必须等待第一个完成处置程序 (transaction)，然后第二个才可以开始。由于内部总线 1 2 在每次仅可处理一主从连接，因此传统总线结构 1 0 是受限于内部总线 1 2 的频宽。传统总线结构 1 0 的一不利条件是，当多个请求同时产生时，将导致一瓶颈状态。

一些结合的解决方案已被提出用以克服传统系统的不足之处。一解决方案是增加内部总线的操作频率，然而此方案使得主从接口的设计复杂化，并且一般将要求重新设计主控与从属，以使得其等可操作于较快的速度。另一解决方案是将内部总线的关联数据总线的部分加宽以增加资料频宽，进而允许在每一周期期间可以传输更多的信息。然而，此方法增加逻辑电路需要数量以实现内部总线的每一主从接口。对于那些已存在或是正在设计的主控及/或从属而言，增加内部总线的频率或是资料宽度就有可能要求额外的工作以重新设计这些组件。

消除由传统系统所导致的非预期瓶颈的一新的内部总线结构是被期待。此类的一新系统在依旧维持先前技艺所展现的相同数量的弹性时，亦应允许一次发生多个主从处置程序。对此类的一新系统更有益的是，操作于无须为达成上述目的而增加的一频率或一数据频宽。本发明提供一系统用以减轻已知技术中总线频宽的限制而无需增加内部总线接口的操作频率或是资料宽度。

发明内容

本发明是针对总线系统（例如设置在数字装置内的内部总线结构）以及在由划分一单一总线结构所形成的主控总线与从属总线。

本发明的一内部总线系统，其特征在于，该内部总线系统包含：
复数个主控总线；

至少一主控装置，连接到每一主控总线；

复数个从属总线；

至少一从属装置，连接到每一从属总线；以及

复数个多总线接口，每一多总线接口对应到一个个别从属总线，每一多总线接口多任务传输该复数个主控总线到该个别从属总线，其中每一多总线接口包括：

一多总线仲裁器，具有复数个输入，每一输入对应到一个个别主控总线，其中该多总线仲裁器包含：

复数个请求缓冲器，对应到该复数个主控总线，每一请求缓冲器可储存一个个别主控总线的请求；

一请求选择多任务器，具有一第一组输入用以接收直接来自该复数个主控总线的请求，以及具有一第二组输入用以接收储存在该请求总线的请求；以及

一请求阶段仲裁器，用以接收来自该复数个主控总线的请求，提供一选择信号给该请求选择多任务器用以从该第一组输入与该第二组输入之间选取一请求，以及提供一搁置信号；

一桥接器，连接该多总线仲裁器与该个别从属总线；以及

一译码器，该译码器连接到该多总线仲裁器与该桥接器，该译码器用以译码在该从属总线的该从属的地址位置。

其中在一第一主控总线的一第一主控装置通过一第一多总线接口存取在一第一从属总线的一第一从属装置，并且同时在一第二主控总线的一第二主控装置通过一第二多总线接口存取在一第二从属总线的一第二从属装置。

其中该多总线仲裁器还包含：

一资料阶段仲裁器，用以接收来自该请求阶段仲裁器的该选择信号，接收来自该从属总线的一等待信号，以及输出一资料选择信号；

一等待信号译码逻辑电路，用以接收来自该请求阶段仲裁器的该搁置信号，接收来自该从属总线的该等待信号，接收来自该资料阶段仲裁器的该资料选择信号，以及输出回授等待信号给该复数个主控总线；

一写入多任务器，用以接收来自该复数个主控总线的写入信号，接收来

自该资料阶段仲裁器的该资料选择信号以选取该写入信号其中之一，以及输出一选取的写入信号给该从属总线；以及

一读取解多任务器，用以接收来自该复数个从属总线的一读取信号，接收来自该资料阶段仲裁器的该资料选择信号以选取该复数个主控总线其中之一，该读取信号是传送到所选取的主控总线，以及输出一读取信号给该所选取的主控总线；其中该请求阶段仲裁器包含：

一取样请求电路；

一先前所有权电路；以及

一选择组合逻辑电路，用以接收来自该取样请求电路的一取样请求信号与来自该先前所有权电路的一先前所有信号，该选择组合逻辑电路还用以输出该搁置信号以及该选择信号。

其中该取样请求电路包含复数个请求输入，该复数个请求输入对应到该复数个主控总线，来自该取样请求电路的该取样请求信号对应每一主控总线，并且其中从该先前所有权电路输出的该先前所有信号包含一编码信号，该编码信号表示该主控总线其中之一，其表示该从属总线的该先前所有。

其中该复数个主控总线的数量不等于该复数个从属总线的数量。

附图说明

为进一步说明本发明的具体技术内容，以下结合实施例及附图详细说明如后，其中：

图 1 是一传统总线结构的一概略方块图，其中一单一内部总线连接复数个主控与复数个从属；

图 2 是本发明所教示的一内部总线结构的一第一实施例的一概略方块图；

图 3 是一连接四个主控总线与四个从属总线的一内部总线结构的一第二实施例的一概略方块图；

图 4 是图 3 所示的多总线接口其中之一的一概略方块图；

图 5 是当一次仅有一请求产生时，一请求信号与一资料信号的一时序图；

图 6 是当三个同时请求产生时，请求信号、资料信号以及等待信号的一时序图；

图 7 是图 4 所示的多总线仲裁者的一实施例的一概略方块图；
图 8 是图 7 所示的请求缓冲器其中之一的一实施例的一概略方块图；
图 9 是图 7 所示的请求阶段仲裁的一实施例的一概略方块图；
图 10 是图 7 所示的资料阶段仲裁的一实施例的一概略方块图；以及
图 11 是图 7 所示的等待信号译码逻辑电路的一实施例的一概略方块图。

具体实施方式

本发明在此所探讨的方向为一种内部总线系统。为了能彻底地了解本发明，将在下列的描述中提出详尽的步骤及其组成。显然地，本发明的施行并未限于总线系统的技术者所熟习的特殊细节。另一方面，众所周知的组成或是步骤并未描述于细节中，以避免造成本发明不必要的限制。本发明较佳实施例会详细描述如下，然而除了这些详细描述之外，本发明还可以广泛地施行在其它的实施例中，并且本发明的范围不受限定，其以之后的专利范围为准。

为减少先前技术的内部总线频宽限制且无须增加操作频率或资料宽度，本发明揭露了将内部总线划分成为两个或更多个总线的系统的实施例。一较佳的实施例是将内部总线划分成为至少四个总线，亦即至少两个在此称“主控总线”以及至少两个在此称“从属总线”。除了划分内部总线外，本发明的内部总线结构设计亦包含一个对每一主控总线及装置的总线仲裁器，在此称“多总线接口”，其连接主控总线到个别从属总线。然而值得注意的是，此总线结构是提供主控或是从属不须改变其等本身的设计的优点。在一数字装置（例如：一系统芯片）已存在大量主控与从属的范例中，本发明的概念化方法是提供一有效方式，由允许多主从处置程序（transaction）同时发生，增加内部总线的频宽。本发明的另一优点是，内部总线结构不须要求增加操作频率或是增加资料频宽。

图 2 是图解说明本发明所教示的一内部总线结构 20 的一示范实施例。替换一单一内部总线的是，将内部总线结构 20 划分成为包含两个主控总线 22₀、22₁以及两个从属总线 24₀、24₁。一第一群组（group）主控 26₀是连接到第一主控总线 22₀，且一第二群组主控 26₁是连接到第二主控总线 22₁。相同道理，一第一群组从属 28₀是连接到第一从属总线 24₀，

且一第二群组从属 2 8₁是连接到第二从属总线 2 4₁。任何数量的主控 2 6 是可连接到主控总线 2 2， 并且任何数量的从属 2 8 是可连接到从属总线 2 4。然而，在一极特别情形下，一单一主控或是从属是可能单独配置在自己的总线。

图 2 的内部总线结构 2 0 是还包含一第一以及一第二多总线接口 3 0₀、3 0₁。第一多总线接口 (first multi-bus interface) 3 0₀是连接到第一从属总线 2 4₀， 并且第二多总线接口 (second multi-bus interface) 3 0₁是连接到第二从属总线 2 4₁。任何主控 2 6，无论是安置在第一或是第二主控总线 2 2₀、2 2₁，其均可透过第一或第二多总线接口 3 0₀、3 0₁其中之一存取任一从属 2 8。

依据阅读以及了解本发明而将明白的是，图 2 的内部总线结构 2 0 是允许两个主控 2 6 同时存取两个从属 2 8，所提供的两个主控 2 6 是安置在相对的主控总线 2 2，且两个从属 2 8 是安置在相对的从属总线 2 4。例如：主控 0-1 是可能透过第一多总线接口 3 0₀存取从属 0-2，并在此同时，主控 1-X₂可能透过第二多总线接口 3 0₁存取从属 1-1。在此范例中值得注意的是，并没有冲突或是重叠的连接路径，而所取代的是，主从连接是彼此并联，因此在主从对 (pair) 之间对应的信号是可以同时传送而没有干扰。针对此点而言，图 2 的系统是由允许同时的主从互动，使得内部总线的频宽加倍。并且值得注意的是，因为任何主控 2 6 依然可以存取任何从属 2 8，所以图 2 的系统的弹性并没有因此被妥协。

图 2 还包含分别连接到主控总线 2 2₀、2 2₁的总线仲裁器 3 2₀、3 2₁。总线仲裁器 3 2₀是维持主控总线 2 2₀的控制，由此使得主控总线 2 2₀的所有权在任何时间仅授予一主控 2 6₀。同理，总线仲裁器 3 2₁是维持主控总线 2 2₁的控制，以使得主控总线 2 2₁的所有权一次仅授予一主控 2 6₁。当同时的请求产生时，多总线接口 3 0 是用以与总线仲裁器 3 2 合作以加强任何现存的仲裁。每个多总线接口 3 0 是与许多使用一多任务技术连接两主控总线其中的一到个别从属总线的主从连接沟通。

在图 2 所示的内部总线结构 2 0，其实际上是两阶段的仲裁。首先，一主控 2 6 请求个别主控总线 2 2 的所有权以完成连接。此请求产生到总线仲裁器 3 2，总线仲裁器 3 2 是依据一特殊仲裁协议将主控总线的所有权授予主控 2 6。此仲裁协议是定义优先权的次序是应两个或更多个主控同时请求

所有权。一但主控 2 6 被授予个别主控总线 2 2 的所有权时，则主控 2 6 透过连接到从属总线 2 4 的个别多任务总线接口 3 0 请求所要求从属总线 2 4 的所有权。当主控 2 6 是透过总线仲裁器 3 2 与多总线接口 3 0 两者而被允许存取时，则主控 2 6 是可随意与在从属总线 2 4 的上所要求的从属 2 8 通信。

目前已知有些主控 2 6 是仅存取部分从属，并且极少或从不存取其它从属。在此范例中，主控 2 6 与从属 2 8 是可归类在一技术手段，以使得从主控总线 2 2 到多总线接口 3 0 的连接的不必要从属总线 2 4 是可能被省略。例如：如果在主控总线 2 2₀ 的主控 2 6₀ 是仅存取在从属总线 2 4₀ 的从属 2 8₀，并且从不存取在从属总线 2 4₁ 的从属 2 8₁ 时，则从主控总线 2 2₀ 到多总线接口 3 0₁ 的连接 3 4 是可能被省略。然而，由于预期不同客户可能会有各种的需求，此类限制一群组 (group) 的主控不能存取某些从属的隔离，对于一些也许希望利用原本可能看似无用的主从处置程序的客户而言，将可能产生问题。因此，虽然此类隔离似乎简化了系统电路，然而较佳的处理方式是保留主控总线 2 2 与多总线接口 3 0 之间所有连接完整。因此，加上所有连接完整无缺，所有主控将仍可存取所有从属，由此维持与先前技术系统弹性的相同水准。

考虑个别总线主控与从属的编组，一内部总线结构 2 0 的电路设计者是可能将主控归类在此方式，以使两个可能在相同时间需要所有权的主控可以被安置在不同主控总线。相同的概念亦适用于从属，以使得某些可能被同时存取的从属可以被安置在不同的从属总线。并且可能典型操作在不同时间的主控，由于其等通常并非在同一时间请求相同的主控总线的所有权，因此其等可能被故意安置在相同的主控总线。另外，主控与从属是可归纳在如此方式，即当关联的从属是被归类在相同从属总线时，具有主要存取一群组从属的倾向的主控是将被安置在相同的主控总线，由此允许所有安置在其它总线的其它主控与从属可以进行并列通信。当设计内部总线结构 2 0 以将在特定总线上的主控及/或从属编组以最大化系统的效能的其它标准亦可被列入考虑。

图 3 是展示一内部总线结构 4 0 的另一实施例，其中四个主控总线 4 2₀、4 2₁、4 2₂、4 2₃ 与四个从属总线 4 4₀、4 4₁、4 4₂、4 4₃ 是由四个多总线接口 4 6₀、4 6₁、4 6₂、4 6₃ 所连接。另外，本实施例可能

配置成包含任何数量的主控总线 4 2 与任何数量的从属总线 4 4。一较佳的状况是，内部总线结构 4 0 是包含两个、三个、四个或五个主控总线以及从属总线。并且主控总线的数量并不需要与从属总线的数量相同。例如：如果主控与从属的编组提供较佳结果（例如：整体系统的高效率），则主控总线 4 2 的数量与从属总线 4 4 的数量可以不同。然而在本实施例中，四个主控总线 4 2 与四个从属总线 4 4 是被用以图解说明以简单地描述本发明的概念。

每一主控总线 4 2 是连接到一数量的主控 4 8，且每一从属总线 4 4 是连接到一数量的从属 5 0。并且，任何数量或是组合的主控 4 8 是可连接到每一主控总线 4 2，且任何数量或是组合的从属 5 0 是可连接到每一从属总线 4 4，如上述有关图 2 的解释。

并且类似图 2 的实施例，一多总线接口 4 6 是连接到每一从属总线 4 4，并且允许其从任何主控总线 4 2 对从属总线 4 4 进行存取。在此情况，一设计者可能认定在一特定主控总线 4 2 的一些群组的主控 4 8 是仅存取在一特别从属总线 4 4 的部分从属 5 0，因此可能省略主控总线 4 2 与一个或是多个对应多总线接口 4 6 之间不需要的从属总线 4 4 的一个或是多个连接。再次强调，这些连接宁可保留完整以维持最佳化的弹性。

多总线接口 4 6 不仅可以与被授予所有权的主控总线 4 2 协调，而且亦可包含一仲裁协议，此仲裁协议是协调那些在其它主控的前被授予优先权的主控。因此多总线接口 4 6 可能基于主控总线、基于主控自己本身或是基于主控总线与主控的一组合进行仲裁。从理解本发明应了解到，多总线接口 4 6 所利用的这类型仲裁协议是随意且可被修改成任合适当的仲裁技术而没有偏离本发明的精神或范围。

并且关于仲裁，例如：一配置成为一内存控制器的一从属 5 0，其是可使用一交错仲裁协议以允许多主控总线存取内存中不同的位置。就此点而言，由于在一交错方式中的不同主控总线存取不同的内存位置，内存控制器是可以同时处理两个请求。

图 3 的内部总线结构还包含复数个总线仲裁器 5 2，每一总线仲裁器 5 2 是连接到一个别的主控总线 4 2。总线仲裁器 5 2 提供第一阶段的仲裁以将主控总线所有权授予在那总线上提出请求的主控。总线仲裁器 5 2 监控主控总线，并且依此授予所有权的请求。总线仲裁器 5 2 与提供第二阶段的仲裁的多总线接口 4 6 是连接操作。如果一特定主控总线 4 2 仅包含一主控，

并且因此不须与其它主控共享总线，则此主控总线的总线仲裁器是不需要并且可能被省略。在此范例中，多总线接口 4 6 管理此类一主控的仅有的仲裁。

图 4 是图 3 所示的复数个多总线接口 4 6 其中的一的一实施例方块图。虽然多总线接口 4 6 是图解说明连接到四个主控总线 4 2，但是多总线接口 4 6 是可依系统所使用的主控总线的数量而被替换配置用以连接任何数量的主控总线。虽然下列描述定义一具有四个主控总线与四个从属总线的内部总线结构，然而所应注意的是，因为任何数量的主控总线与任何数量的从属总线是可能被使用，因此本描述是仅就图解说明的目的而并非用以限制本发明。并且下列描述是对应图 3 的实施例，而且亦被用以简化多总线接口 4 6 与其它下列参照图 7~图 11 所描述的相关电路的说明。

依图 4 的实施例的多总线接口 4 6 是包含一多总线仲裁器 6 0、一桥接器 (bridge) 6 2 以及一译码器 6 4。多总线仲裁器 6 0 是包含四个输入连接到四个主控总线 4_{2_0} 、 4_{2_1} 、 4_{2_2} 、 4_{2_3} 用以接收请求以存取一个别的从属总线 4 4。当从属总线的所有权的多请求同时被接收时，多总线仲裁器 6 0 储存这些请求并依一预定的仲裁协议所定义的次序授予存取从属总线 4 4。再者，可能的仲裁协议是被更详细定义于下。根据无论使用什么仲裁协议，多总线仲裁器 6 0 在一请求的主控与其从属 5 0 之间适当建立一适时的连接。

一但多总线仲裁器 6 0 建立此主从 (master/slave) 连接，则主控是允许透过多总线仲裁器 6 0 与桥接器 6 2 和一特定从属 5 0 传输资料。桥接器 6 2 是提供一变换路径 (conversion path) 由主控总线到从属总线，而最简单的变换是，当主控总线与从属总线是属相同类型。例如：主控总线与从属总线两者是可能被配置成为进阶高效能总线 (advanced high-performance bus; AHB)。另外，主控总线与从属总线是可能使用不同协议，例如：主控总线是被配置成为一进阶高效能总线 (AHB)，而从属总线是被配置成为一进阶外围总线 (advanced peripheral bus; APB)。桥接器 6 2 可能亦提供在主控与从属之间允许适当通信所需的任何其它形式的变换。

译码器 6 4 与多总线仲裁器 6 0 及桥接器 6 2 连接工作，以协助判定所请求的一从属 5 0 的本体。译码器 6 4 译码地址信息以正确地确认在从属总线 4 4 的许多从属 5 0。再者，图 4 的多总线接口 4 6 是可配置成没有译码器 6 4，在此其相同译码功能可能由系统内不同位置的其它组件所提供，或

者是否在此系统的其它位置提供一对应译码器。

图 5 是图解说明在没有发生冲突请求时的一主从处置程序的一时序图。在一主控者于第一阶段的仲裁被授予其个别主控总线的所有权之后，主控在第二阶段的仲裁期间传送一请求给多总线接口 4 6 (图 3) 以要求个别从属总线的所有权。在此第二阶段期间，此请求是在一请求阶段被接收。紧接在此请求阶段之后，资料是在一资料阶段被传送。例如：如果主从处置程序是一写出命令，主控传输资料给从属；并且如果处置程序是一读取命令，从属传输资料给主控。

图 6 是图解说明当三个同时请求是从三个不同的主控总线产生到一从属总线的一时序图。在此范例中，是假设主控总线 0、主控总线 1 以及主控总线 2 是同时请求，并且将次序优先权设定为主控总线 0 是具有最高优先权、主控总线 1 是具有第二高优先权以及主控总线 2 是具有最低优先权。所应注意的是，来自三个主控总线的这些请求信号是同时被接收。而这些请求信号是由多总线接口所接收，此多总线接口在必要时是可储存这些请求。并且应注意的是，从属总线是依优先权的次序处理这些请求，一个接另一个，以使得这些同时请求可以被个别处理。

如果主控总线不具有最高优先权时，多总线接口在必要时会送出一等待信号给主控总线。在图 6，由于主控总线 0 具有最高优先权，因此等待信号并没有升高，并且在下一传输周期传送资料（从属总线的资料 0）。同样地，主控总线 1 是被给予一等待信号以等待一个传输周期；以及主控总线 2 是被给予一等待信号以等待两个传输周期。而在主控总线 1 与 2 是延展资料阶段以跨越到等待信号结束下一传输周期。在等待信号动作（逻辑电路高电位）期间，在主控总线上的资料可能包含随意值 (don't-care (X) value) 直到等待信号再次失效 (inactive) (逻辑电路低电位)，而此时数据将是有效的 (valid)。等待时间之后，主控总线 1 上的资料是与从属总线传输，如资料 1；并且主控总线 2 上的资料是与从属总线传输，如资料 2。额外等待时间是可典型地由从属总线本身要求，并且可能对主控总线加长等待信号，而此主控总线将由此延展等待信号以及资料信号以用于额外传输周期。

图 7 是图 4 所示的多总线仲裁 6 0 的一示范实施例。图 7 的多总线仲裁 6 0 是包含一数量的请求缓冲器 $70_0, 70_1, 70_2, 70_3$ ，其等是对应系统内一数量的主控总线，在此范例中的数量是为四。多总线仲裁 6 0 亦包

含一请求阶段仲裁器 (request phase arbiter) 7 2、一资料阶段仲裁器 (data phase arbiter) 7 4、一等待信号译码逻辑电路 (wait signal decode logic) 7 6、两多任务器 7 8、8 0 以及一解多任务器 (demultiplexer) 8 2。请求缓冲器 7 0、请求阶段仲裁器 7 2、资料阶段仲裁器 7 4 以及等待信号译码逻辑电路 7 6 的实施例是分别参照图 8~图 11 更详细的描述。

请参照图 7，每一请求缓冲器 7 0 是可接收来自一个别主控总线 4 2 的请求，并且储存请求直到其可被处理。来自主控总线 4 2 的请求是参照来自已获得个别主控总线 4 2 的控制且在第二仲裁阶段企图获得一特定从属总线 4 4 的控制的主控的请求。如果多请求是产生在同时或某些方式在时间部分重叠，则至少一主控总线可能被要求等待以避免在从属总线 4 4 产生多信号干扰。就此配置结构而言，请求缓冲器 7 0 是可保持 (latch) 主控总线上的请求，由此使得主控总线不须一直驱动请求信号。

多任务器 7 8 是包含：例如：八个输入，其中四个输入接收来自主控总线沿着直接连接 8 4 的请求，并且另外四个输入在他们被储存于请求缓冲器 7 0 时，接收相同的请求。当同时请求被接收时，多任务器 7 8 是被触发 (trigger) 用以允许来自最高优先权的主控总线的请求沿着直接连接 8 4 其中之一通过。如果一主控总线不是最高优先权总线时，则他的请求是被储存于个别的请求缓冲器 7 0 直到较高优先权总线完成处置程序。然后较低优先权请求在适当时间透过多任务器 7 8 提供。决定此优先权的责任是落在请求阶段仲裁器 7 2，如同下述的更详细的解释。

请求阶段仲裁器 7 2 亦接收来自主控总线 4 2 的请求。依照决定请求的次序与时间范围，请求阶段仲裁器 7 2 在线 8 6 提供一选择信号给多任务器 7 8 的一选择输入，以表明已被选择处理的请求。请求阶段仲裁器 7 2 是亦通知多任务器 7 8 是否通过沿着直接连接 8 4 其中的一的直接请求，或是通过一已缓冲的请求。请求阶段仲裁器 7 2 亦送出搁置 (PENDING) 信号给等待信号译码逻辑电路 7 6，此等待信号译码逻辑电路 7 6 指示主控总线的请求已被接收但尚未被选取处理。

资料阶段仲裁器 7 4 接收来自请求阶段仲裁器 7 2 的选择 (SELECT) 信号，此请求阶段仲裁器 7 2 指示从属总线 4 4 的所有权的主控总线被选取。并且，资料阶段仲裁器 7 4 接收来自从属总线本身的一等待信号指示从属总线是否准备以供存取。例如：当被存取的从属是一内存装置或内存控制器时，

则从属总线可能要求等待时间以配置读取或写入的地址位置。当从属总线指示其已备妥可开始数据传输时，资料阶段仲裁器 7 4 依据一写入命令或是一读取命令，适当地输出一选择信号给多任务器 8 0 或是解多任务器 8 2。对一写入命令而言，多任务器 8 0 在四个输入接收信号，并且资料阶段仲裁器 7 4 从被选取的主控总线选择输入路径，而写入资料是从被选取的主控总线传送至从属。另外，对一读取命令而言，解多任务器 8 2 接收资料信号以被由从属读取，并且资料阶段仲裁器 7 4 选择一输出路径给读取资料所欲传送到的被选取的主控总线。

等待信号译码逻辑电路 7 6 是接收来自请求阶段仲裁器的搁置信号，此信号指示等待信号译码逻辑电路 7 6 哪个主控总线需要等待。等待信号译码逻辑电路 7 6 是依次提供回授等待信号给主控总线以通知没被选取的主控总线在获得所有权的前必须等待。当从属总线尚未备妥以供存取时，等待信号译码逻辑电路 7 6 亦接收来自从属总线本身的等待 (WAIT) 信号。回授等待信号是由等待信号译码逻辑电路 7 6 所提供，且亦考虑从属总线需要的等待时间。因此，等待信号译码逻辑电路 7 6 依据两种条件其中的一种的发生而提供一等待信号。第一种条件是，来自一特定的主控总线的请求已被接收，但是因其优先权的次序而尚未依其方式而动作；第二种条件是，请求已被选取处理但是从属总线尚未备妥。

图 8 是图 7 所示的请求缓冲器 7 0 其中的一的一实施例方块图。所应了解的是，熟习该项技术者可设计请求缓冲器的其它实施例以达到本发明所描述的相同功能。根据图 8 的实施例，逻辑电路是图解包含一多任务器 9 0 与一 D 型正反器 (D-type flip-flop) 9 2。在多任务器 9 0 的“0”输入，来自个别主控总线的请求信号是被接收。多任务器 9 0 的选择输入是被连接用以接收由多总线仲裁器 6 0 所产生的等待信号，并回授到与图 6 的时序图有关的个别主控总线。刚开始时，等待信号是失效 (逻辑电路 0)，其指示一“备妥”状态。在此范例中，由输入 0 接收的请求信号是通过多任务器 9 0 到正反器 9 2。而维持此请求信号的正反器 9 2 的 Q 输出是被回授到多任务器 9 0 的输入 1。

根据图 6 的时序图，当请求缓冲器 7 0 接收一请求信号时，多总线仲裁器 6 0 感测一请求已被接收并且因而产生一等待信号 (逻辑电路 1)。此等待信号是提供允许足够的时间以决定是否搁置其它的请求以及如果同时请求被

接收时决定请求的一次序。逻辑电路 1 等待信号是被输入到多任务器 9 0 的选择输入，由此选取在多任务器 9 0 输入 1 的回授信号。此回授信号是对应到原始的请求信号。就此观点而言，请求信号在一回路中一直回授，因此当等待信号是逻辑电路 1 时，请求信号透过请求缓冲器 7 0 而被储存。甚至于当请求信号不再由主控总线传送到多任务器 9 0 的“0”输入时，请求缓冲器 7 0 可储存此请求以使得请求的主控者不须持续驱动此请求信号。

当请求最后在请求缓冲器 7 0 的输出被选取后，多总线仲裁器 6 0 感测请求已被选取处理，并且送出一逻辑电路 0 的等待信号给多任务器 9 0 的选择输入，由此清除原本所储存的请求并致能请求缓冲器 7 0 以接收一新的请求。

图 9 是图 7 所示的请求阶段仲裁器 7 2 的一实施例。根据本实施例的请求阶段仲裁器 7 2 是包含一取样请求电路 (sampled request circuit) 9 4、一先前所有权电路 (previous ownership circuit) 9 6 以及一选择组合逻辑电路 (selection combinational logic circuit) 9 8。取样请求电路 9 4 的逻辑电路组件是包含一与门 (AND gate) 1 0 0、一多任务器 1 0 2 以及一 D 型正反器 1 0 4。此电路是类似图 8 的电路并具有额外的与门 1 0 0，且是操作在一类似先前图 8 所描述用以在一等待时间储存一信号的方式。因此除了与门 1 0 0 之外，为了简洁的理由，此处将不重复此电路的操作。与门 1 0 0 接收来自主控总线的请求信号以及一来自译码器 6 4 的一选择信号以指示是否有适当的从属总线已被指定。当两输入是高电位时，则请求信号是被取样或是被缓冲储存，如先前所描述。

如图解说明的取样请求电路 9 4，是一具有管理来自所有主控总线的所有请求的代表范例电路。多种的取样请求电路 9 4 是需要用以与每一主控总线实现一对一的关系，以使得每一主控总线的请求可以被分开管理。因此如果内部总线系统是配置例如四个主控总线，则四种取样请求电路 9 4 是被建立，每一种取样请求电路 9 4 对应每一主控总线。为了简洁理由，一种取样请求电路 9 4 是被展示，并且取样请求 [3:0] 信号是表示取样请求的四个位 3:0 是来自主控总线 $4_2 0$ 、 $4_2 1$ 、 $4_2 2$ 、 $4_2 3$ 。由于每一主控总线可在任何时间提出请求，因此来自主控总线的任何组合的请求是可以被取样。例如：一取样请求 [3:0] 的二进制值 1 0 1 1 是指示主控总线 0 ($4_2 0$)、主控总线 1 ($4_2 1$) 以及主控总线 3 ($4_2 3$) 是提出请求。

关于先前所有权电路 9 6，先前所有[1:0]信号是一已编码信号，其表示一数量的主控总线其中之一。一单一位可以被编码以表示两个主控总线其中之一，并在此范例中，仅有一先前所有权电路 9 6 是因此被一具有两个主控总线的内部总线系统所要求。在具有三个或是四个主控总线的一内部总线系统是仅要求两位，并且因此将使用两个先前所有权电路 9 6。三个先前所有权电路 9 6 将被要求用在具有五到八个主控总线的一内部总线系统，及诸如此类等等。如图 9 所示，先前所有权电路 9 6 包含一先前所有[1:0]信号，此信号具有两位用以标示四个可能的主控总线其中之一，其可被标示成从属总线的先前所有者。例如：二进制值 0 0 是指示主控总线 0 是先前所有者；0 1 是指示主控总线 1 是先前所有者；1 0 是指示主控总线 2 是先前所有者；及 1 1 是指示主控总线 3 是先前所有者。由于在任何时间仅一主控总线可以是所有者，所以此编码是可能为了简化此电路。

请求阶段仲裁器 7 2 是还包含一选择组合逻辑电路 9 8，此选择组合逻辑电路 9 8 是包含用以处理来自取样请求电路 9 4 的取样请求[3:0]信号与处理来自先前所有权电路 9 6 的先前所有[1:0]信号的逻辑电路组件。选择组合逻辑电路 9 8 处理这些信号以输出一搁置[3:0]信号。所应注意的是，一高搁置信号是指示一请求在某一部分的主控总线是已被接收并储存，但是此请求尚未被完成。当来自某一部分主控总线的一请求已被先前选取时，则此请求是不再被搁置。搁置[3:0]的输出是依据下列的真值表：

先前所有[1:0]	取样请求[0]	搁置[0]
非“00” (例如 01、10、11)	1	1
所有其它情形		0

先前所有[1:0]	取样请求[1]	搁置[1]
非“01” (例如 00、10、11)	1	1
所有其它情形		0

先前所有[1:0]	取样请求[2]	搁置[2]
非“10” (例如 00、01、11)	1	1
所有其它情形		0

先前所有[1:0]	取样请求[3]	搁置[3]
非“11” (例如 00、01、10)	1	1
所有其它情形		0

另外，选择组合逻辑电路 9 8 输出一个三位选择[2:0]信号。此选择信号是包含在一输出的第一位选择[2]以及在另一输出的第二与一第三位选择[1:0]。三位选择信号是沿着线 8 6 (图 7) 传送到多任务器 7 8 的选择输入用以选取八个输入其中之一。选择[2]位指示从直接连接 8 4 选取一请求(当选择[2]是一逻辑电路 0)或是从请求缓冲器 7 0 的一输入选取一请求(当选择[2]是一逻辑电路 1)。而两位选择[1:0]是指示来自四个主控总线中的哪一个请求被选取。

再者，在图 9 的示范实施例，是假设内部总线系统包含四个主控总线与四个从属总线，如同图 3 中所示。就此范例而言，取样请求电路 9 4 将被重复四次且先前所有权电路 9 6 将被重复两次。选择组合逻辑电路 9 8 可被配置成依照任何期望的仲裁协议以输出任何选择[2:0]信号。例如：当有多同时请求时，可使用一“固定”优先权类型的仲裁，以使一特定主控总线总是具有最高优先权。就固定优先权而言，所有其它的主控总线是依最高优先权排列至最低优先权而其等的请求是依此次序处理。另一仲裁的技术是一“循环”优先权技术，此技术的优先权是给予每次产生同时请求的不同主控总线。在一主控总线曾经是先前所有者之后，则此主控总线是下降至最低优先权。另外，另一仲裁协议是可能包含固定优先权与循环优先权的一混合，在此范例中，一个或多个主控总线可被固定成最高优先权总线，而其它主控总线循环优先权。下列的真值表是展示基于先前所有[1:0]与取样请求[3:0]信号输入的选择信号[2:0]可能的一循环优先权机制。

先前所有	取样请求	选择[2]	选择[1:0]
0 0	XX1X	1	0 1
0 0	X10X	1	1 0
0 0	100X	1	1 1
0 0	000X	0	0 0
0 1	X1XX	1	1 0
0 1	10XX	1	1 1
0 1	00X1	1	0 0
0 1	00X0	0	0 1
1 0	1XXX	1	1 1
1 0	0XX1	1	0 0
1 0	0X10	1	0 1
1 0	0X00	0	1 0
1 1	XXX1	1	0 0
1 1	XX10	1	0 1
1 1	X100	1	1 0
1 1	X000	0	1 1

所应注意的是，由先前所有信号所指示的先前总线所有者，在使用此循环优先权机制的下一回合是变成最低优先权总线。然而，如果由仅有的先前所有者产生一新的请求，且在相同时间并没有其它请求时，则选择[2]信号是逻辑电路0，指示来自相同主控总线的请求可以通过而不用缓冲。

图10是图7所示的资料阶段仲裁器74的一实施例方块图。此实施例的逻辑电路是类似图8用以储存一信号的逻辑电路。然而，在图10中，多

任务器 110 接收来自请求阶段仲裁器 72 的一选择 [1:0] 信号，其指示哪一主控总线是被选取用以数据传输。当从属总线送出一逻辑电路 1 的等待信号时，此选择信号是被保留在资料阶段仲裁器 74 内，并且亦输出给多任务器 80 与解多任务器 82（图 7）用以选取被包含在搁置资料传送的主控总线。在此之后，当来自从属总线的等待信号是一逻辑电路 0 时，选择信号将被记录到 D 型正反器 112 中，并且在随后的时脉期间由多任务器 80 或是解多任务器 82 所使用。

图 11 是图 7 所示的等待信号译码逻辑电路 76 的一较佳实施例。等待信号译码逻辑电路 76 是包含一与门（AND gate）114 以及一或门（OR gate）116。与门 114 的输入接收来自资料阶段仲裁器 74 的一译码选择 [1:0] 信号，其指示哪一主控总线是目前所选取；以及接收来自从属总线的等待信号，指示从属总线是否备妥以供存取。与门 114 的输出提供一输入给或门 116，此或门 116 亦接收来自请求阶段仲裁器 72 的适当的搁置信号位。等待信号译码逻辑电路 76 的输出是一主控总线等待信号，而此主控总线等待信号是回授到个别的主控总线，指示在数据传输完成前，主控总线必须等待。

两种情况可能使得等待信号译码逻辑电路 76 送出一动作的（逻辑电路高电位）主控总线等待信号。第一种情况是，当一请求是搁置，或是换句话说，当一请求是已被接收及被储存但尚未被选取时，则或门 116 是提供一逻辑电路高主控总线等待信号。第二种情况是，如果请求已被选取（资料阶段选择是高电位），但从属是尚未备妥（从属总线等待是高电位），则或门 116 亦提供一逻辑电路高主控总线等待信号。此主控总线等待信号是维持在高电位直到从属总线等待信号是低电位时，其指示从属总线是已备妥。

显然地，依照上面实施例中的描述，本发明可能有许多的修正与差异。因此需要在其附加的权利要求项的范围内加以理解，除了上述详细的描述外，本发明还可以广泛地在其它的实施例中施行。上述仅为本发明的较佳实施例而已，并非用以限定本发明的申请专利范围；凡其它未脱离本发明所揭示的精神下所完成的等效改变或修饰，均应包含在下述申请专利范围内。

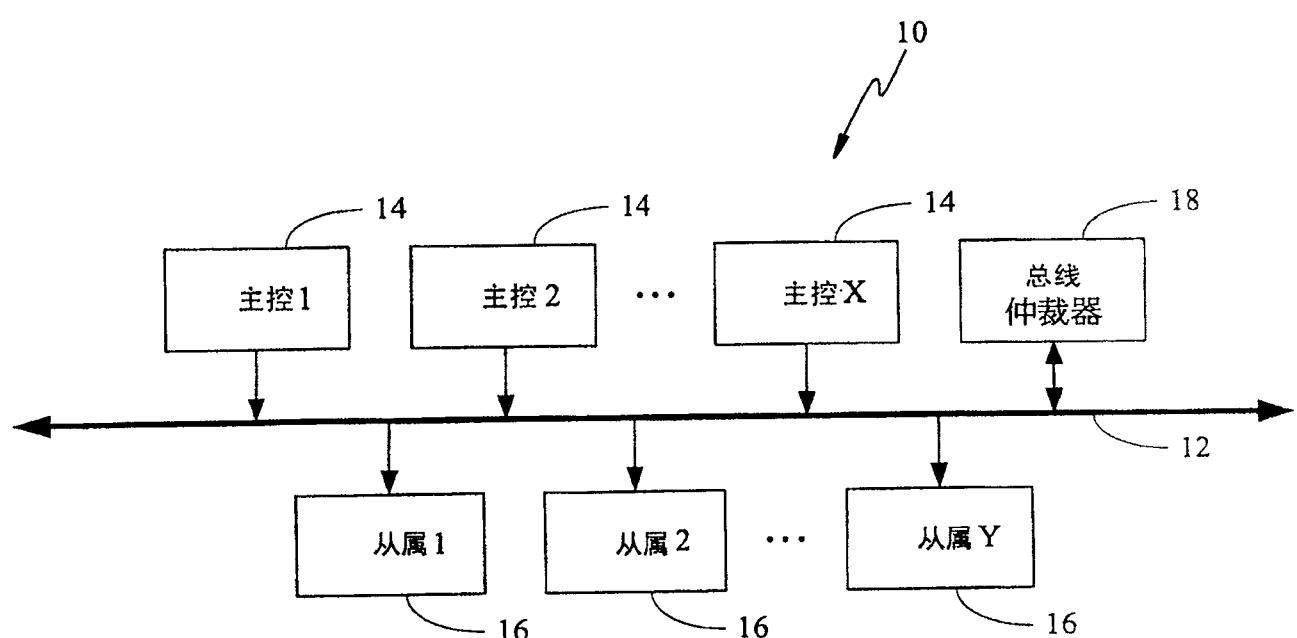


图 1

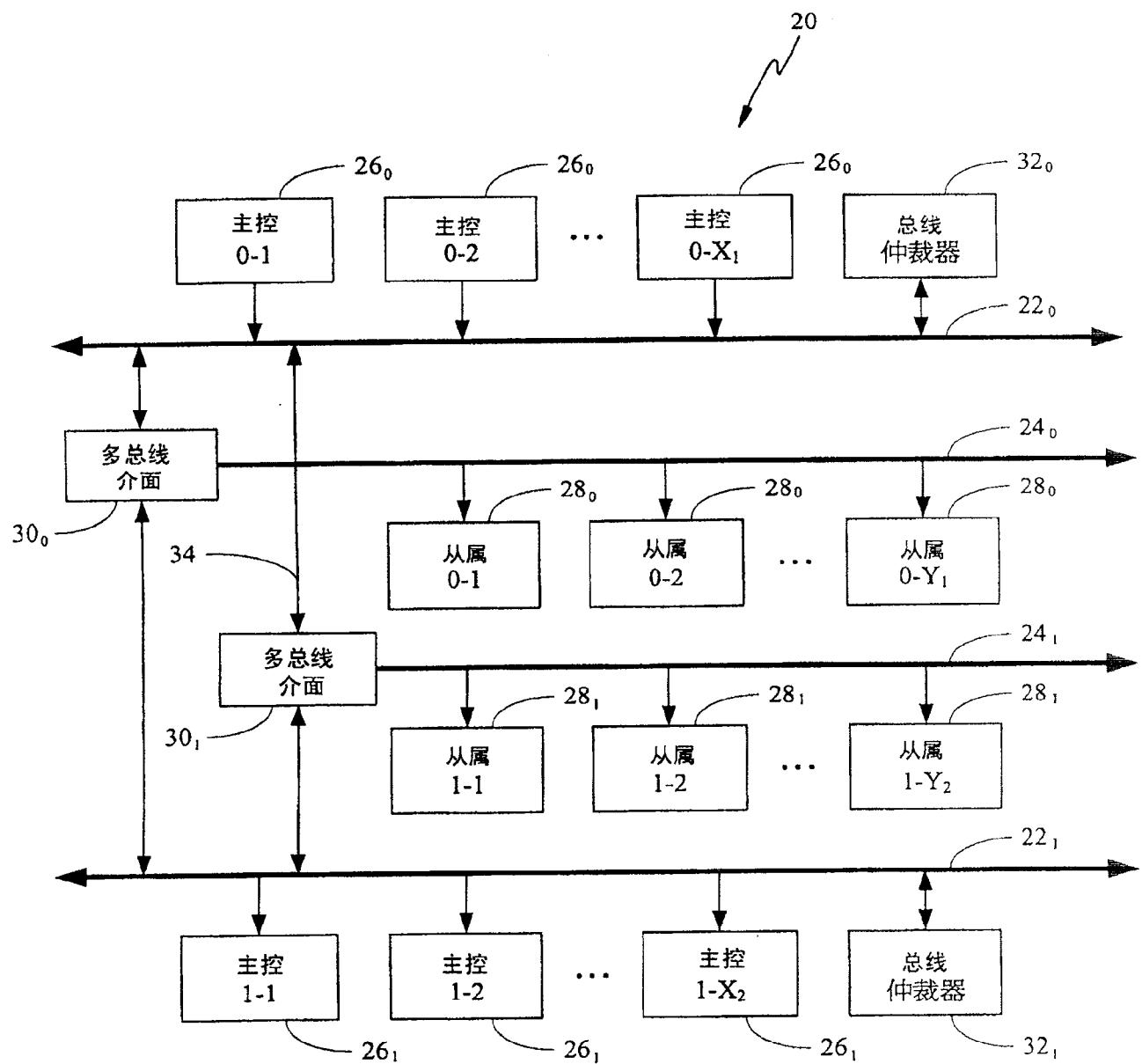


图 2

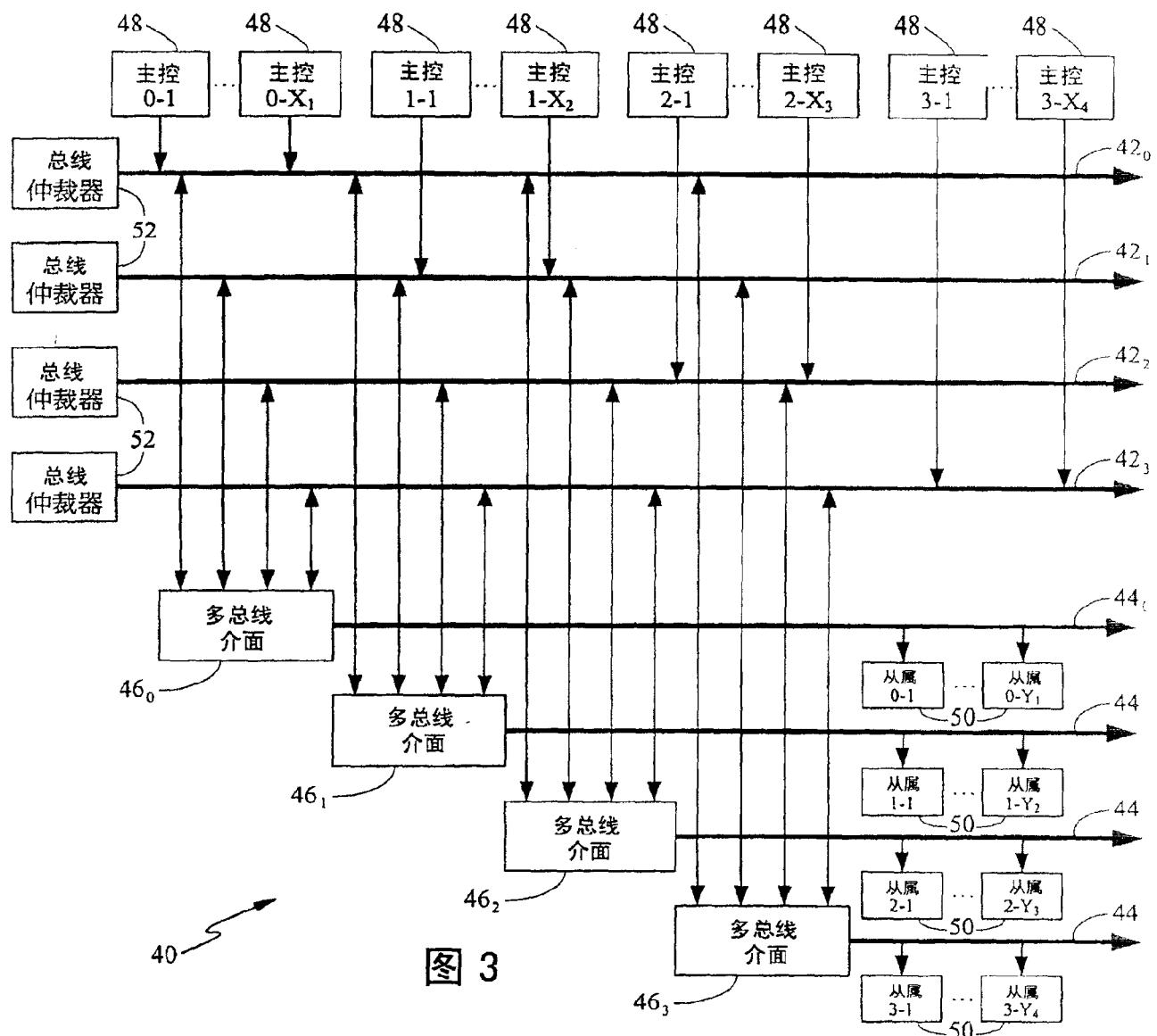


图 3

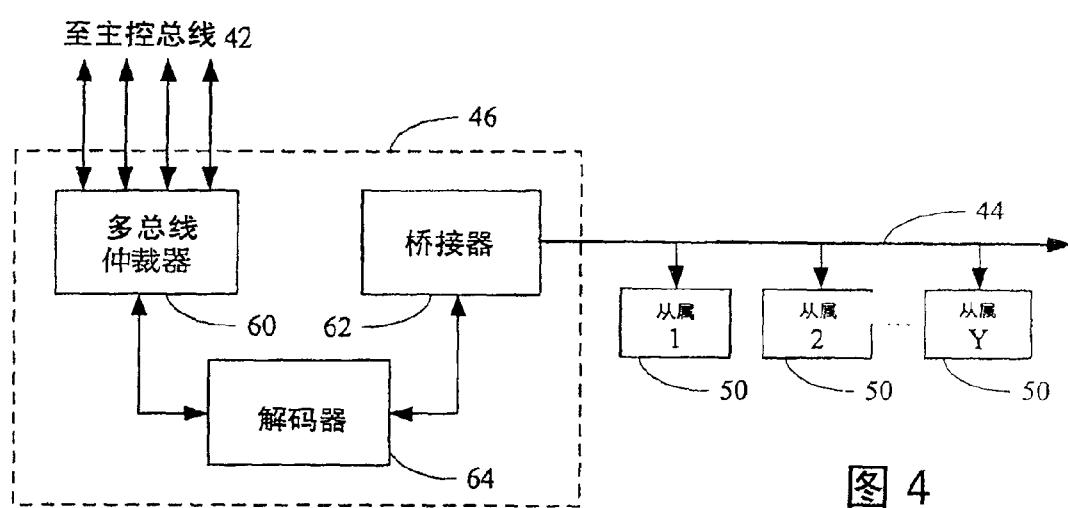


图 4

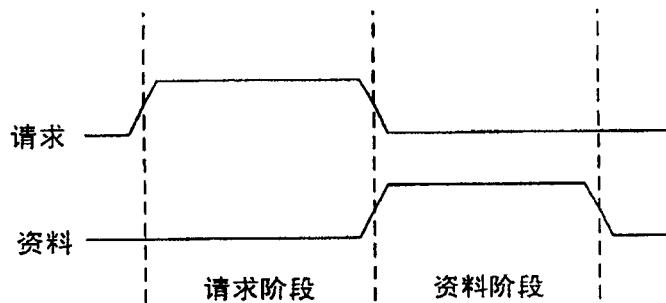


图 5

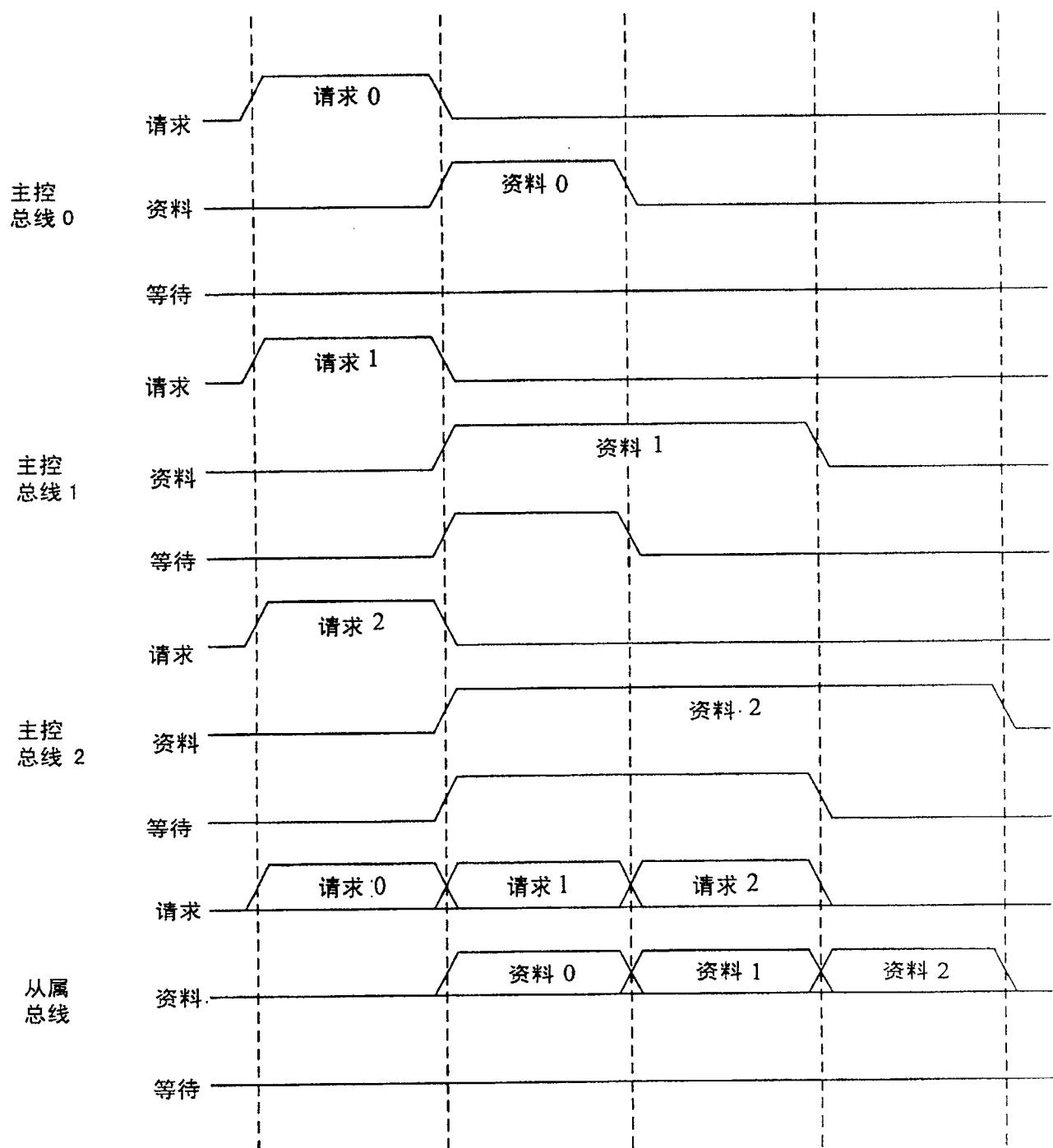


图 6

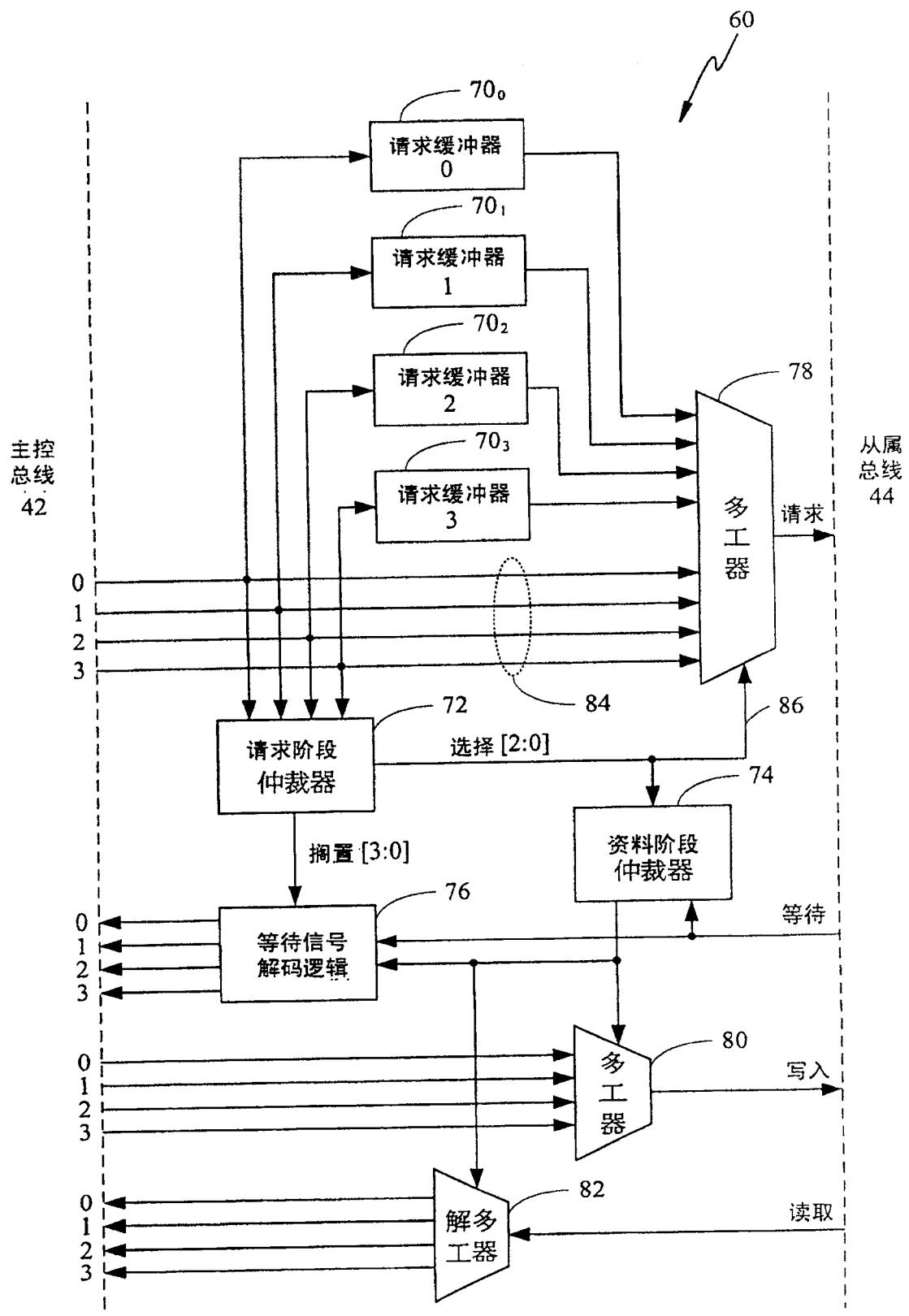


图 7

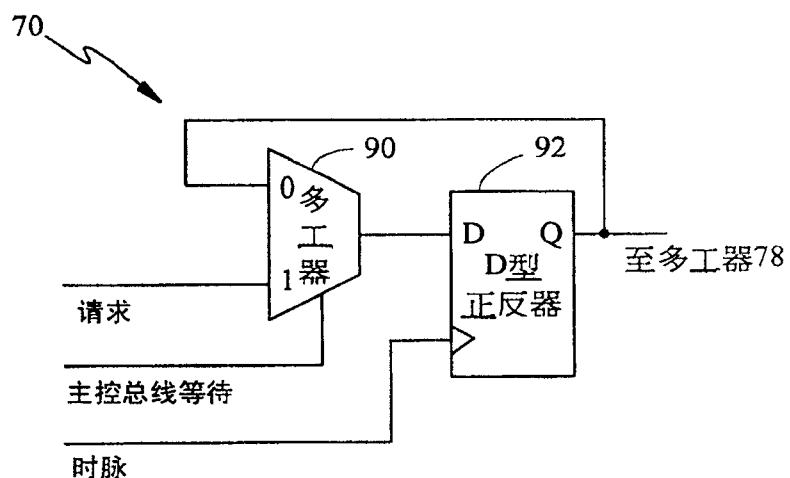


图 8

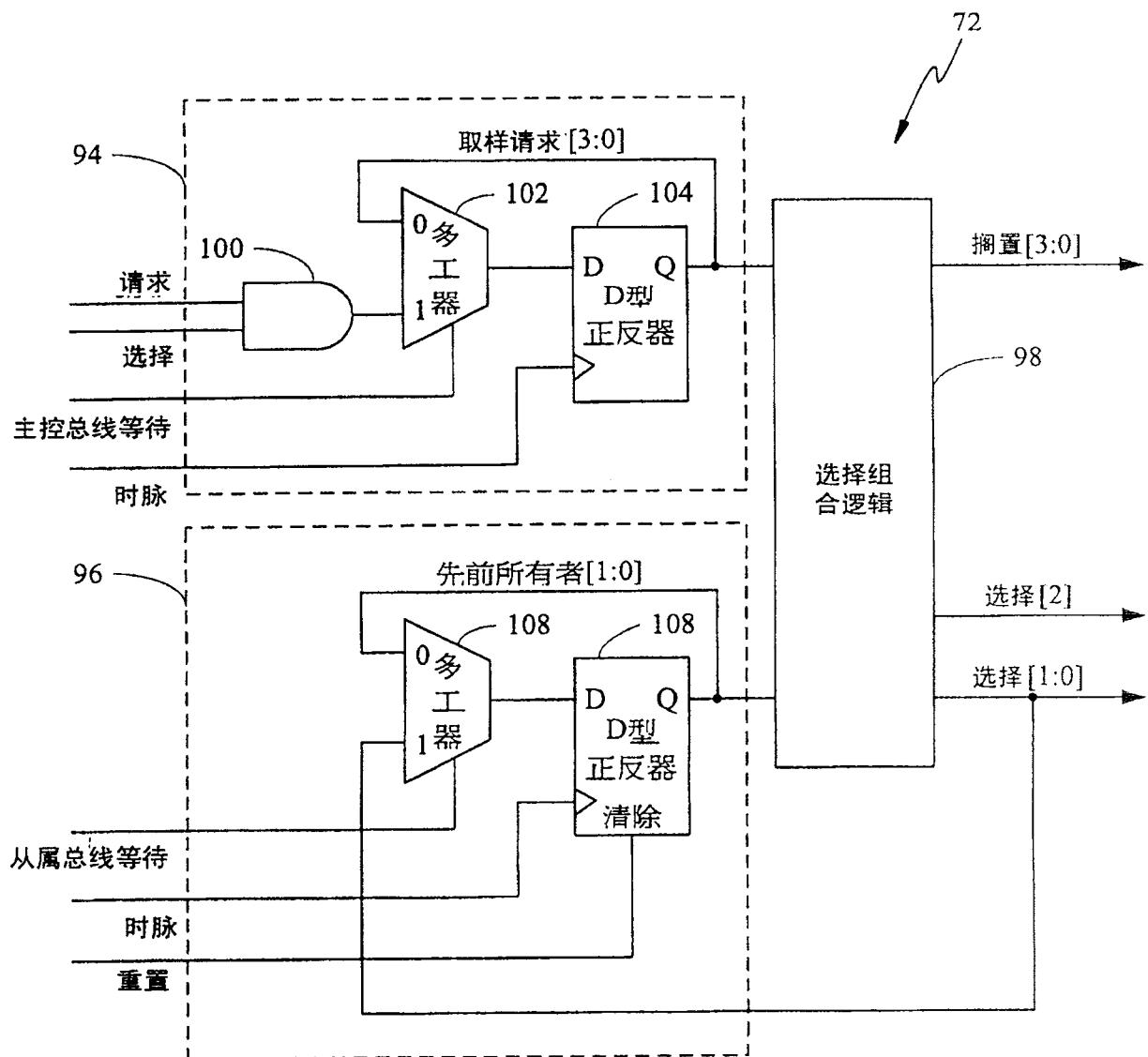


图 9

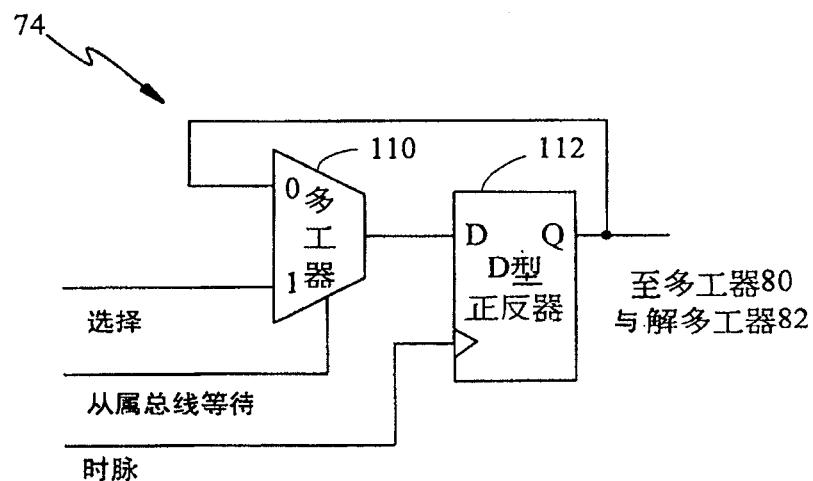


图 10

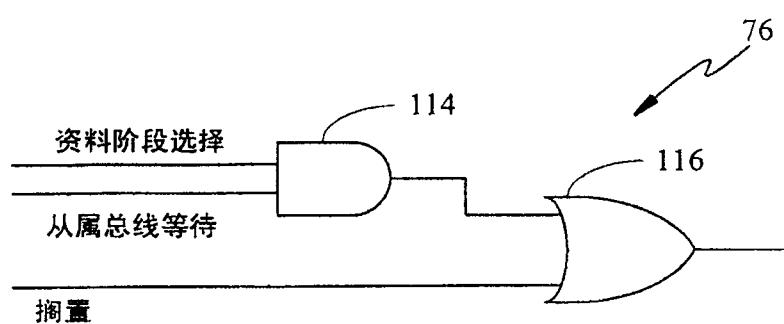


图 11