



(57) 요약

반도체 웨이퍼를 제조하는 방법이 개시되는 바, 반도체 기판 위에 층간 유전층이 형성되고, 이 층간 유전층 위에 금속층이 형성되고, 이 금속층의 표면에 하드마스크 물질층이 형성되며, 상기 반도체 기판의 위 및 그 내에는 능동 소자가 형성된다. 하드마스크 물질층의 표면에 포토레지스트층이 형성되고, 패터닝되고, 현상되어, 하드마스크 물질 아래의 층의 부분을 노출시킨다. 반도체 웨이퍼는 식각 장치 내에 배치되고, 하드마스크 물질층은 불소와 염소 화학 물질의 결합을 이용하는 제 1 공정으로 식각되고, 금속층은 불소와 염소 화학 물질의 결합을 이용하는 제 2 공정으로 식각된다.

대표도

도 4

특허청구의 범위

청구항 1.

반도체 웨이퍼를 제조하는 방법으로서,

상기 반도체 웨이퍼의 기판 내에 그리고 위에 능동 소자들을 형성하는 단계와;

상기 기판의 표면에 층간 유전층(202)을 형성하는 단계와;

상기 층간 유전층(202)의 표면에 금속층(204, 206)을 형성하는 단계와;

상기 금속층(204, 206) 표면에 반사 방지 코팅(ARC)층(208)을 형성하는 단계와;

상기 ARC층(208) 위에 하드마스크 물질층(210)을 형성하는 단계와, 여기서 상기 하드마스크 물질은 TEOS 또는 실리콘 옥시나이트라이드를 포함하며;

상기 하드마스크 물질층(210) 위에 포토레지스트층(212)을 형성하는 단계와;

상기 포토레지스트층(212)을 패터닝하고 현상하여, 상기 포토레지스트층(212) 아래에 있는 상기 하드마스크 물질층(210)의 부분을 노출시키는 단계와;

상기 반도체 웨이퍼를 식각 장치에 배치하는 단계와;

상기 하드마스크 물질층(210) 및 상기 ARC(208)의 노출된 부분들을 식각하여, 하드마스크 물질층(210) 아래에 있는 상기 금속층(204, 206)의 부분을 노출시키는 단계와; 그리고

상기 반도체 웨이퍼를 상기 식각 장치로부터 이동시키지 않으면서, 상기 금속층(204, 206)의 노출된 부분을 식각하는 단계를 포함하는 것을 특징으로 하는 반도체 웨이퍼를 제조하는 방법.

청구항 2.

제 1 항에 있어서,

상기 하드마스크 물질층(210)의 노출된 부분들을 식각하는 단계는 불소 화학 물질과 염소 화학 물질의 결합을 이용하는 식각 공정을 의해 이루어지는 것을 특징으로 하는 반도체 웨이퍼를 제조하는 방법.

### 청구항 3.

제 2 항에 있어서,

상기 금속층(204, 206)의 노출된 부분을 식각하는 단계는 불소 화학 물질과 염소 화학 물질의 결합을 이용하는 식각 공정 에 의해 이루어지는 것을 특징으로 하는 반도체 웨이퍼를 제조하는 방법.

### 청구항 4.

제 3 항에 있어서,

상기 식각된 금속층이 마지막 금속층인지의 여부를 결정하는 단계를 더 포함하는 것을 특징으로 하는 반도체 웨이퍼를 제조하는 방법.

### 청구항 5.

제 4 항에 있어서,

상기 금속층이 마지막 금속층이 아니면, 상기 웨이퍼를 한층 더 처리하는 단계를 더 포함하는 것을 특징으로 하는 반도체 웨이퍼를 제조하는 방법.

### 청구항 6.

제 4 항에 있어서,

상기 금속층이 마지막 금속층이면, 상기 웨이퍼의 처리를 완료하는 단계를 더 포함하는 것을 특징으로 하는 반도체 웨이퍼를 제조하는 방법.

## 명세서

### 기술분야

본 발명은 일반적으로 DUV(deep-UV) 레지스트 풋팅(resist footing)을 방지하기 위해 하드마스크(hardmask)가 금속 층 상에 형성되어 있는 고밀도, 고성능 반도체 디바이스를 제조하는 방법에 관한 것이다. 보다 구체적으로, 본 발명은 하드 마스크 및 금속 층들을 식각하기 위해 단일 식각 장치를 이용하여 고밀도, 고성능 반도체 디바이스를 제조하는 방법에 관한 것이다.

### 배경기술

US-A-5 772 906은 반도체 기판 상에 금속 배선을 제조하기 위한 방법을 개시한다. 이 방법은 기판 상의 산화물층, 산화물층 위에 있는 장벽층, 장벽층 위의 금속층 및 반사 방지 코팅층을 포함하는, 기판 상의 층들의 스택을 이용한다. 이후, 포토레지스트층이 ARC 위에 형성되고, 스택은 2개의 서로 다른 식각 화학 물질을 이용하여 식각된다. 1개의 화학 물질은 역식각 속도 부하 유도 화학 물질(reverse etch rate loading inducing chemistry)을 포함하고, 다른 1개는 자연 식각 속도 부하 유도 화학 물질(natural etch rte loading inducing chemistry)을 이용한다. 이러한 2개의 식각 공정 화학 물질을 이용함으로써, 동일한 식각 장치 내에서 균일한 식각을 실행하는 것이 가능해진다.

고성능 반도체 디바이스에 대한 증가된 요구는 금속화 라인들의 밀도의 증가를 요구한다. 고성능 반도체의 최종 사용자의 주된 요구의 하나는 실 처리 속도(raw processing speed)의 증가이다. 마이크로프로세서와 같은 동일한 반도체 칩 위에 더욱 많은 트랜지스터가 실장됨에 따라, 반도체 칩의 속도 및 기능성은 현저하게 증가할 가능성을 갖는다. 하지만, 트랜지스터들의 수의 증가에 의해, 보다 많은 실리콘 면적이 요구되며, 전자들이 하나의 트랜지스터로부터 다른 트랜지스터로 금속 라인들을 경유하여 이동해야 하는 거리를 줄이기 위해서는 트랜지스터들이 서로 근접할 필요가 있다. 하지만, 금속 라

인들이 서로 보다 가깝게 배치되기 때문에, 금속 와이어들 간의 리액턴스에 의해 야기되는 문제가 증가하게 된다. 하나의 리액턴스 문제는 배선들 간의 유도 효과에 의해 야기되는 크로스토크(crosstalk)이다. 다른 리액턴스 문제는 시스템의 동작 주파수에 비례하는 RC 지연에 관련된다. 반도체 디바이스의 구조적인 구성요소들의 치수 제어의 임계성(criticality) 때문에, 임의의 치수를 증가 또는 감소시키는 임의의 팩터가 반도체 디바이스의 성능을 설계 사양 보다 낮게 할 수 있다. 제어의 임계성은 더욱 더 중요해지고 있으며, 치수들이 서브-0.25 $\mu\text{m}$  영역으로 감소함에 따라 더욱 더 중요해질 것이다.

반도체 제조를 위한 서브-0.5 $\mu\text{m}$  영역에서의 임계 치수들의 가속된 제어는 기관의 반사율을 최소로 줄이고 DUV 레지스트 풋팅을 방지하는 반사 방지 코팅에 대한 반도체 업계의 흥미를 증가시켰다. IITC 1998 회보 (proc. IITC 1998) IITC 98-84 내지 98-86에서, 웨이 더블유. 리(Wei W. Lee), 퀴지 헤(Qizhi He), 규광 싱(Guoqiang Xing), 압하 싱(Abha Singh), 에덴 제이린스키(Eden Zielinski), 켄 브레난(Ken Brennan), 기리쉬 디시트(Girish Dixit), 켈리 테일러(Kelly Taylor), 치엔-성 리안(Chien-sung Iian), 제이디 루트머(JD Luttmmer) 및 밥 해브만(Bob Havemann)에 의해 발표되었으며, 그 명칭이 "0.18 $\mu\text{m}$  및 서브-0.19 $\mu\text{m}$ 의 멀티레벨 금속 배선을 위한 무기 ARC(Inorganic ARC for 0.18 $\mu\text{m}$  and Sub-0.19 $\mu\text{m}$  Multilevel Metal Interconnects)"인 논문은 반사 방지 코팅으로서의 그리고 하드마스크층으로서도 기능하는  $\text{Si}_x\text{O}_y\text{N}_z$ 의 이용을 개시하고 있다. 이 논문은  $\text{Si}_x\text{O}_y\text{N}_z$ 가 기관의 반사율을 최소로 줄이고 DVU 레지스트 풋팅을 줄인다고 보고하고 있다.

하지만,  $\text{Si}_x\text{O}_y\text{N}_z$  등의 하드마스크 물질층의 이용은 웨이퍼가 2개의 개별적인 식각 공정, 즉 하드마스크 물질을 식각하기 위한 하나의 식각 공정 및 금속 스택을 식각하기 위한 다른 하나의 식각 공정을 받을 것을 필요로 한다. 개별적인 식각 공정 각각은 서로 다른 식각 장치를 필요로 한다. 개별적인 식각 장치들 및 개별적인 식각 공정의 이용은 쓰루풋을 감소시키고 공정 코스트를 부가한다.

도 1A 내지 1D는  $\text{Si}_x\text{O}_y\text{N}_z$ 층을 이용하지 않는 반도체 디바이스를 제조하는 방법을 나타낸다. 도 1A는 반도체 디바이스의 부분적으로 완성된 부분(100)을 나타낸다. 반도체 디바이스의 부분적으로 완성된 부분(100)은 층간 유전체층이 될 수 있는 산화물층(102)을 나타낸다. 산화물층(102) 위에 장벽층(104)이 형성된다. 장벽층은 Ti/TiN의 층이 될 수 있다. 장벽층(104) 위에 금속화층(106)이 형성된다. 금속화층(106)은 알루미늄 등의 전도성 물질로 형성된다. 금속화층(106) 위에 반사 방지 코팅 물질층(108)이 형성된다. 반사 방지 코팅 물질층(108)은 Ti/TiN 등의 물질로부터 형성된다.

도 1B는 도 1A에 나타난 부분적으로 완성된 종래 기술의 반도체 디바이스(100)를 나타내는 바, 포토레지스트층(110)이 반사 방지 코팅 물질층(108) 상에 형성되어 있다.

도 1C는 도 1B에 나타난 부분적으로 완성된 종래 기술의 반도체 디바이스(100)를 나타내는 바, 포토레지스트층(110)이 반사 방지 코팅 물질층(108)까지 패터닝되어 식각된다. 112로 나타낸 바와 같이, 포토레지스트층(110)과 반사 방지 코팅 물질층(108) 사이의 인터페이스에 레지스트 풋팅으로서 알려진 구조들이 형성된다. 포토레지스트층(110)과 반응하는 반사 방지 코팅 물질층(108) 내의 질소가 레지스트 풋팅(112)의 형성을 야기하는 것으로 이론화되어 있다.

도 1D는 도 1C에 나타난 부분적으로 완성된 종래 기술의 반도체 디바이스(100)를 나타내는 바, 반사 방지 코팅 물질층(108), 금속화층(106) 및 장벽층(104)을 산화물층(102)까지 식각하는 일련의 식각 공정 이후를 나타낸다. 주목할 사항으로서, 식각 공정이 완료되면, 이러한 레지스트 풋팅(112)은 식각된 부분에 수직 프로파일이 형성되는 것을 방해한다. 치수(114)는 원하는 치수를 나타내고, 치수(116)는 결과적으로 생기는 치수를 나타내며, 레지스트 풋팅이 결과적으로 원하는 치수(114)로부터 비교적 큰 감소를 야기함을 나타낸다. 전형적인 공정에 대해 설계된 금속 선폭이 약 0.35 $\mu\text{m}$ 이고 금속 라인들 간의 간격이 0.30 $\mu\text{m}$  미만인 되도록 설계된다는 사실로부터, 치수 감소의 임계성을 인식할 수 있다. 다른 공정들은 유사한 치수들을 가지며, 추가의 공정들은 보다 작은 치수들을 가질 것이다.

도 3은 웨이퍼를 제조하는 종래 기술의 방법을 나타내는 흐름도이다. 제조 공정은 300에서 시작된다. 제조 공정은 웨이퍼 내의 기관에 능동 소자를 형성하는 일련의 공정(302)을 포함한다. 능동 소자가 기관 위 및 기관 내에 형성된 후, 최초의 층간 유전층이 기관의 표면에 형성되고, 304로 나타낸 바와 같이, 하드마스크층을 포함하는 금속층(스택)이 층간 유전층 위에 형성된다. 306으로 나타낸 바와 같이, 하드마스크층 위에 포토레지스트층이 형성되고, 패터닝되고, 현상되어, 하드마스크층의 부분을 노출시키고, 308로 나타낸 바와 같이, 웨이퍼는 제 1 식각 장치 내에 배치되어 하드마스크층을 식각한다. 하드마스크층이 식각된 후, 310으로 나타낸 바와 같이, 웨이퍼는 제 2 식각 장치 내에 배치되어 금속층을 식각한다. 제 2 식각 장치 내에서의 공정이 종료된 후, 312로 나타낸 바와 같이, 방금 식각된 금속층이 마지막 금속층인지의 여부를 결정한다. 마지막 금속층이 아니면, 314로 나타낸 바와 같이, 웨이퍼는 더 처리되고, 304로 나타낸 바와 같이, 다음 금속층이 형

성된다. 이러한 공정은, 312에서, 방금 완료된 금속층이 마지막 층임을 결정할 때 까지 계속된다. 마지막 층이 완료되면, 316으로 나타낸 바와 같이, 웨이퍼의 공정이 완료된다. 2개의 식각 장치를 이용하는 요건은 쓰루풋을 줄이고 공정 코스트를 증가시킨다.

따라서, 식각된 구조 내에 비수직 프로파일을 야기하는 레지스트 풋팅을 형성하지 않고, 1개의 식각 장치를 이용하여 하드 마스크층과 금속층 모두를 식각하는 방법을 제공하는 반도체 디바이스 제조 방법이 필요하다.

### 발명의 상세한 설명

본 발명에 따르면, 상기 및 다른 목적 및 장점은 레지스트 풋팅의 형성을 막는 반도체 디바이스를 제조하는 방법에 따라 달성된다.

본 발명의 일 양상에 따르면, 반도체 기판 위에 층간 유전층이 형성되고, 이 층간 유전층 위에 금속층이 형성되고, 이 금속층의 표면에 하드마스크 물질층이 형성되며, 상기 반도체 기판의 위 및 그 내에는 능동 소자가 형성된다. 하드마스크 물질층의 표면에 포토레지스트층이 형성되고, 패터닝되고, 현상되어, 하드마스크 물질 아래의 층의 부분을 노출시킨다. 반도체 웨이퍼는 식각 장치 내에 배치되고, 하드마스크 물질층은 제 1 공정으로 식각되고, 금속층은 제 2 공정으로 식각된다.

본 발명의 다른 양상에 따르면, 하드마스크 물질층 및 금속층은 불소(fluorine) 및 염소(chlorine) 화학 물질의 결합을 이용한 공정을 이용하여 식각된다.

개시되는 방법은 레지스트 풋팅의 감소를 야기하는 반도체 웨이퍼의 제조 방법 및 식각 장치를 바꾸지 않으면서 하드마스크 물질과 금속층의 식각을 가능하게 하는 방법을 제공한다.

본 발명은 첨부 도면과 관련하여 하기의 상세한 설명을 고찰함으로써 더욱 잘 이해된다. 이하의 설명으로부터 당업자에게 쉽게 명백해지는 바와 같이, 본 발명의 실시에는 단지 본 발명을 실시하는 최상의 모드의 도시의 목적으로 제시되어 설명되는 것이다. 이해되는 바와 같이, 본 발명의 범위를 벗어나지 않으면서, 본 발명은 다른 실시예가 가능하고, 그 몇몇의 상세 사항은 다양한 명백한 양상에 있어서 변경이 가능하다. 따라서, 도면 및 상세한 설명은 본질적으로 제한적인 것이 아닌 예시적인 것으로서 간주되어야 한다.

### 실시예

이제, 본 발명자에 의해 현재 고려되고 있는 본 발명을 수행하기 위한 최상의 모드를 예시하는 본 발명의 특정 실시예에 대해 상세히 설명한다.

도 2A 내지 2D는 레지스트 풋팅의 형성을 막는 본 발명에 따른 반도체 디바이스 제조 방법을 나타낸다. 도 2A는 반도체 디바이스(200)의 부분적으로 완성된 부분을 나타낸다. 이 반도체 디바이스의 부분적으로 완성된 부분(200)은 층간 유전층이 될 수 있는 산화물층(202)을 나타낸다. 산화물층은 전형적으로 실리콘 이산화물(SiO<sub>2</sub>)로부터 형성된다. 산화물층(202) 위에 장벽층(204)이 형성된다. 장벽층은 Ti/TiN 등의 물질로부터 형성된다. 장벽층(204) 위에 금속화층(206)이 형성된다. 금속화층(206)은 알루미늄 등의 전도성 물질로부터 형성된다. 금속화층을 형성할 수 있는 그 외의 물질은 텅스텐 또는 도핑된 폴리실리콘이 될 수 있다. 금속화층(206) 위에 반사 방지 코팅 물질층(208)이 형성된다. 반사 방지 코팅 물질층(208)은 Ti/TiN 등의 물질로부터 형성된다. 반사 방지 코팅 물질층(208) 위에 하드마스크층(210)이 형성된다. 하드마스크층(210)은 TEOS(테트라-에틸-오쏘-실리케이트) 또는 처리된 실리콘 옥시나이트라이드(Si<sub>x</sub>O<sub>y</sub>N<sub>z</sub>) 등의 물질로부터 형성된다.

도 2B는 도 2A에서와 같은 부분적으로 완성된 반도체 디바이스(200)를 나타내는 바, 하드마스크층(210) 위에 포토레지스트층이 형성되어 있다.

도 2C는 도 2B에서와 같은 부분적으로 완성된 반도체 디바이스(200)를 나타내는 바, 포토레지스트층(212)이 하드마스크층(210)까지 패터닝되고 현상된다. 214로 나타낸 바와 같이, 포토레지스트층(212)과 하드마스크층(210) 사이의 인터페이스에는 어떠한 구조(레지스트 풋팅)도 형성되지 않는다.

도 2D는 도 2C에서와 같은 부분적으로 완성된 반도체 디바이스(200)를 나타내는 바, 일련의 식각 공정에 의해 하드마스크층(210), 반사 방지 코팅 물질층(208), 금속화층(206) 및 장벽층(204)을 산화물층(202)까지 아래로 식각한 이후이다. 주

목할 사항으로서, 식각 공정이 완료되었을 때, 216으로 나타낸 식각된 부분의 원하는 폭이 감소되지 않는다. 하드마스크층(210)과 금속화층(206)을 유사한 화학 물질을 이용하여 동일한 식각 장치에서 식각함으로써, 공정 단계 및 공정 시간을 절약한다. 하드마스크층(210) 및 알루미늄과 같은 전도성 물질을 포함하는 금속화층(206)은 불소 및 염소 식각 화학 물질의 결합을 이용하여 식각된다.

도 4는 본 발명에 따른 웨이퍼 제조 방법을 나타내는 흐름도이다. 제조 공정은 400에서 시작된다. 이러한 제조 공정은, 402에 나타낸 바와 같이, 웨이퍼 내의 기판에 능동 소자를 형성하는 일련의 공정을 포함한다. 기판 위 및 기판 내에 능동 소자가 형성된 후, 기판의 표면에 최초의 층간 유전층이 형성되고, 404로 나타낸 바와 같이, 층간 유전층 위에 하드마스크층을 포함하는 금속층(스택)이 형성된다. 406으로 나타낸 바와 같이, 하드마스크층 위에 포토레지스트층이 형성되고, 패터닝 되고, 현상되어, 하드마스크층의 부분을 노출시키고, 408로 나타낸 바와 같이, 웨이퍼를 식각 장치 내에 배치함으로써 하드마스크층 및 금속층을 식각한다. 하드마스크층 및 금속층은 불소 및 염소의 식각 화학 물질의 결합을 이용하여 식각된다.

요약하면, 본 발명의 방법의 결과 및 장점이 더욱 완전하게 이해될 수 있다. 상기 설명한 방법은 종래 기술의 반도체 디바이스에 있어서 이후의 식각 공정들 동안 임계 치수들을 원치않게 감소시키는 DVU 레지스트 풋팅의 형성을 막는 반도체 디바이스 제조 방법을 제공한다. 또한, 상기 설명한 방법은 단일 식각 장치에 의해 하드마스크층 및 금속층을 식각할 수 있는 반도체 디바이스 제조 방법을 제공한다.

본 발명의 실시예에 대한 설명은 예시 및 설명의 목적으로 제시된 것이다. 이는 본 발명을 속속들이 규명하거나 또는 본 발명을 개시된 정확한 형태로 제한하는 것으로 의도되지 않는다. 상기 교시에 비추어 명백한 변경 또는 수정이 가능하다. 본 발명의 원리의 최상의 예시 및 그 실용적인 응용을 제공하여, 당업자가 본 발명을 다양한 실시예들에서 그리고 고려되는 특정 이용에 적절한 다양한 변경과 함께 이용할 수 있도록, 실시예를 선택하여 설명하였다. 이러한 모든 변경 및 수정은 공정하고, 합법적이고 공평하게 권리가 부여되는 폭(breadth)에 따라 해석될 때 첨부된 청구항에 의해 결정되는 본 발명의 범위 내에 있다.

### 도면의 간단한 설명

본 발명의 특징으로서 여겨지는 새로운 특징들은 첨부된 청구항에서 기술된다. 하지만, 본 발명 그 자체, 바람직한 사용 모드, 추가의 목적 및 장점은 첨부 도면들과 관련하여 읽혀질 때, 예시적인 실시예들에 대한 하기의 상세한 설명을 참조함으로써 가장 잘 이해될 것이다.

도 1A-1D는 레지스트 풋팅을 형성하는 반도체 디바이스를 제조하는 종래 기술의 방법을 나타낸다.

도 1A는 종래 기술에 따라 제조되는 반도체 디바이스의 부분적으로 완성된 부분을 나타낸다.

도 1B는 도 1A에 나타낸 반도체 디바이스의 부분적으로 완성된 부분을 내는 바, 반도체 디바이스의 표면에 포토레지스트층이 형성되어 있다.

도 1C는 도 1B에 나타낸 반도체 디바이스의 부분적으로 완성된 부분을 나타내는 바, 포토레지스트층이 패터닝 및 현상되어 레지스트 풋팅이 형성됨을 나타낸다.

도 1D는 도 1C에 나타낸 반도체 디바이스의 부분적으로 완성된 부분을 나타내는 바, 일련의 식각 공정 이후, 레지스트 풋팅에 의해 야기되는 비수직 식각 프로파일 및 감소된 직경을 나타낸다.

도 2A 내지 2D는 레지스트 풋팅의 형성을 막는 본 발명에 따른 반도체 디바이스 제조 방법을 나타낸다.

도 2A는 본 발명에 따라 제조되는 반도체 디바이스의 부분적으로 완성된 부분을 나타낸다.

삭제

도 2B는 도 2A에 나타낸 반도체 디바이스의 부분적으로 완성된 부분을 나타내는 바, 반도체 디바이스의 표면에 포토레지스트층이 형성되어 있다.

도 2C는 도 2B에 나타난 반도체 디바이스의 부분적으로 완성된 부분을 나타내는 바, 포토레지스트층이 패터닝 및 현상되고, 레지스트 풋팅이 형성되지 않음을 보여준다.

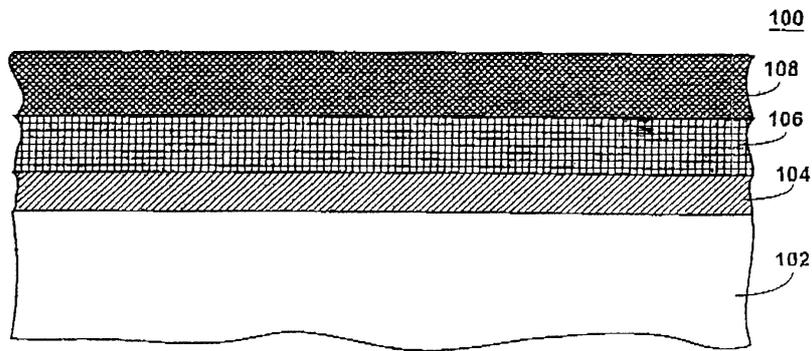
도 2D는 도 2C에 나타난 반도체 디바이스의 부분적으로 완성된 부분을 나타내는 바, 일련의 식각 공정 이후 본 발명에 의해 제공되는 수직 식각 프로파일을 나타낸다.

도 3은 종래 기술에 따라 웨이퍼를 제조하는 방법을 나타내는 흐름도이다.

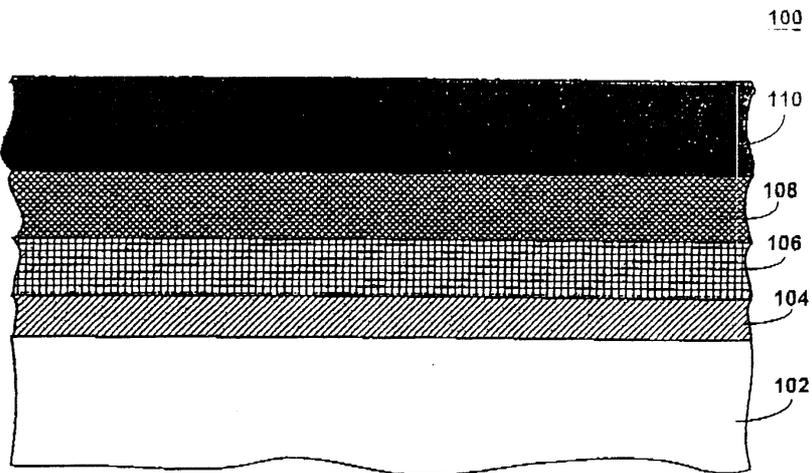
도 4는 본 발명에 따라 웨이퍼를 제조하는 방법을 나타내는 흐름도이다.

도면

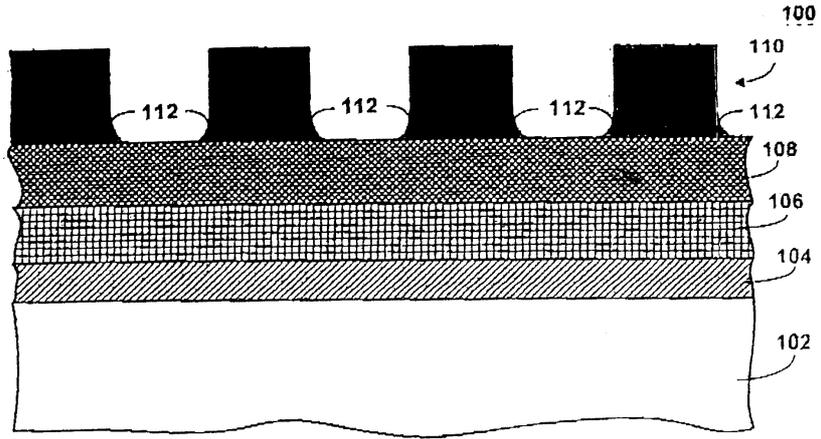
도면1a



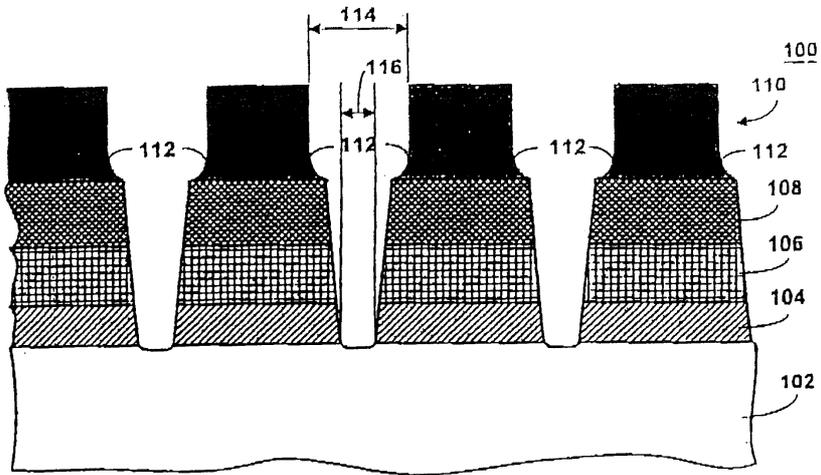
도면1b



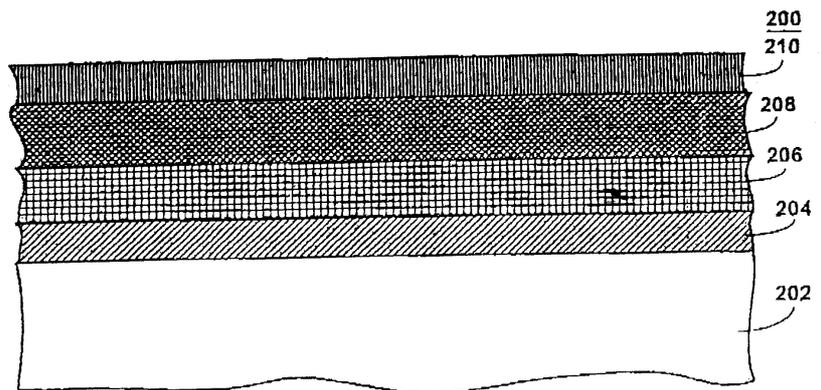
도면1c



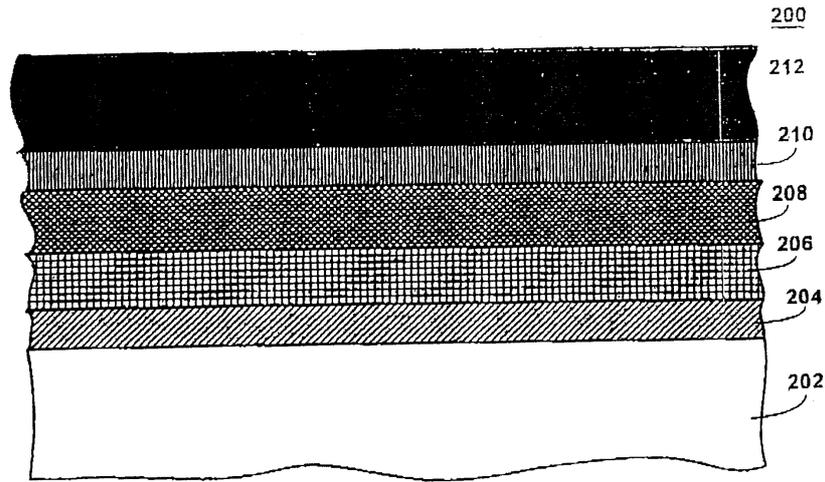
도면1d



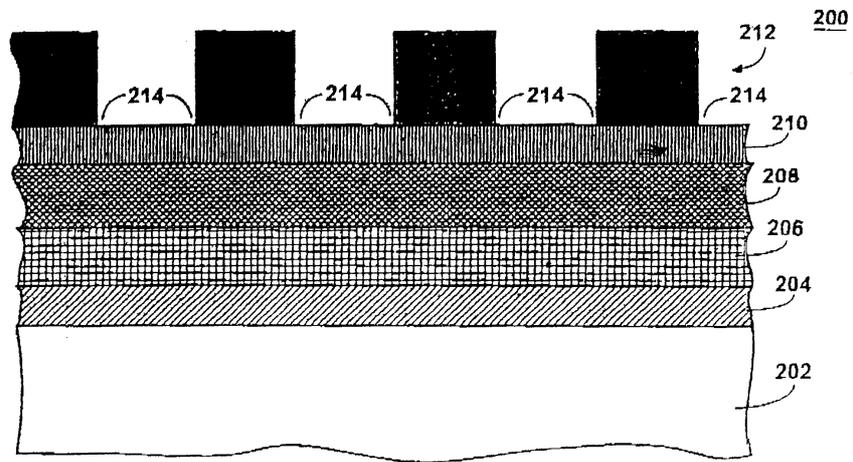
도면2a



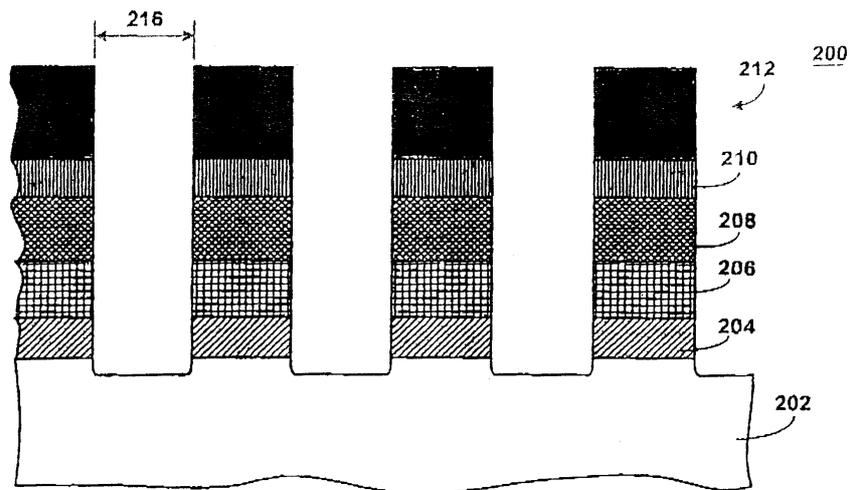
도면2b



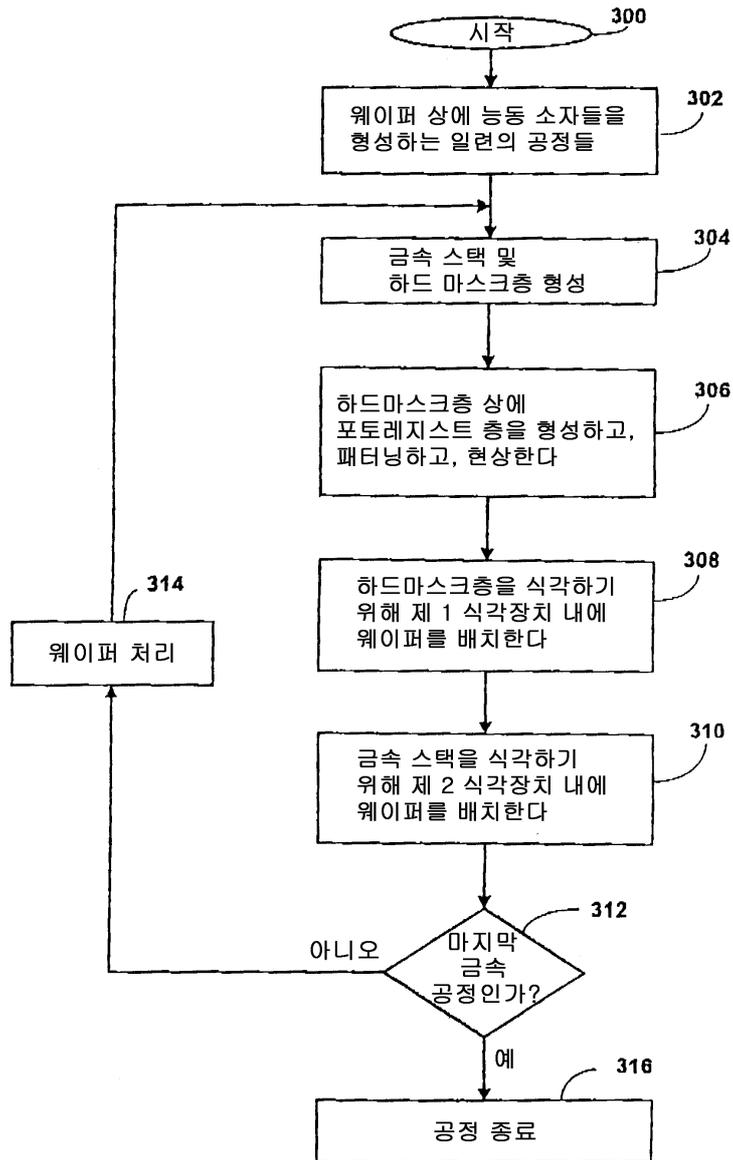
도면2c



도면2d



도면3



도면4

