

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H01L 21/76	(45) 공고일자 1999년04월 15일	(11) 등록번호 특0183860
(21) 출원번호 특1996-017207	(24) 등록일자 1998년12월 16일	(65) 공개번호 특1997-077488
(22) 출원일자 1996년05월21일	(43) 공개일자 1997년12월 12일	

(73) 특허권자	삼성전자주식회사 김광호
(72) 발명자	경기도 수원시 팔달구 매탄동 416번지 박태서 경기도 과천시 부림동 주공 9단지아파트 916동 402호 박문한 경기도 안양시 동안구 관양동 1587-5 공작 성일아파트 202동 908호 신유균 서울특별시 강남구 도곡동 진달래아파트 7동 1005호 이한신 경기도 의왕시 오전동 849번지 동백타운 화성아파트 105동 901호
(74) 대리인	이영필, 권석흥, 노민식

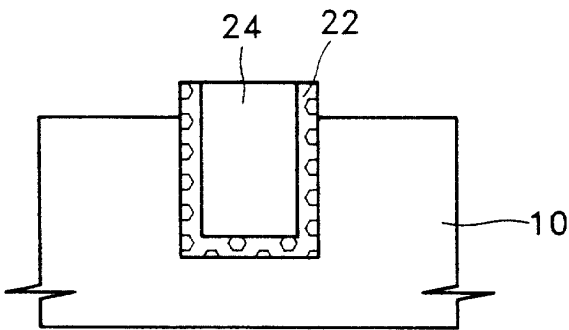
심사관 : 김용정

(54) 반도체 장치의 트렌치 소자 분리 방법

요약

본 발명은 반도체 장치의 트렌치 소자 분리 방법에 관한 것으로, 본 발명에서는 반도체 장치의 소자 분리 공정에 있어서 트렌치를 매립하기 위한 절연 물질을 1000~1400℃의 온도에서 30분~8시간 동안 어닐링하여 치밀화한다. 본 발명에 의하면, 트렌치 매립 물질의 치밀화 효율이 향상되어 험프 현상이나 역 험프 효과를 방지할 수 있다.

대표도



명세서

[발명의 명칭]

반도체 장치의 트렌치 소자 분리 방법

[도면의 간단한 설명]

제1도는 종래의 트렌치 소자 분리 방법에서 나타나는 문제점을 설명하기 위한 단면도이다.

제2도 내지 제8도는 본 발명이 바람직한 실시예에 따른 반도체 장치의 트렌치 소자 분리 방법을 설명하기 위한 단면도들이다.

제9도는 트렌치 매립 물질을 여러 조건에 따라 치밀화한 경우에 대하여 각 식각율을 나타낸 그래프이다.

제10도는 트렌치 매립 물질을 여러 조건에 따라 치밀화한 경우에 대하여 각 트랜지스터의 I_d-V_g 특성을 나타낸 그래프이다.

* 도면의 주요부분에 대한 부호의 설명

10 : 반도체 기판

12 : 패드층

14 : 마스크층
16 : 버퍼층
18 : 소자 분리 영역
20 : 트렌치
22 : 산화막
24 : 절연 물질

[발명의 상세한 설명]

본 발명은 반도체 장치의 트렌치(trench) 소자 분리 방법에 관한 것으로, 특히 트렌치 매립 물질의 치밀화 공정을 개선한 반도체 장치의 트렌치 소자 분리 방법에 관한 것이다.

STI(Shallow Trench Isolation) 방법은 반도체 소자의 제조에 통상적으로 사용되어 온 선택적 산화에 의한 소자 분리 방법(LOCOS; Local Oxidation of Silicon)을 개선하기 위하여 제안된 방법의 하나로서, 반도체 기판을 에칭하여 트렌치를 형성하고, 여기에 절연 물질을 매립하여 소자 분리층을 형성하는 방법이다. 소자 분리막 형성 공정에 있어서 LOCOS는 열산화 공정을 이용하는 데 반하여, STI 방법은 열산화 공정에 의하지 않으므로, 열산화 공정으로 인해 유발되는 LOCOS를 이용한 공정에서의 문제점, 예를 들면 미세 선폭 구현이 곤란한 점, 소자 분리 영역과 활성 영역의 경계 부분에서 버즈빅(bird's beak) 현상이 발생하는 점, 필드 산화막을 더욱 박막화할 필요가 있는 점 등의 문제점을 어느 정도 감소시킬 수 있다.

종래 기술에 의해 STI를 구현하는 데 있어서, 트렌치를 매립하는 절연 물질의 식각 저항력을 높여주기 위한 치밀화(densification) 공정은 STI의 프로파일(profile)을 결정하는 데 있어서 중요한 요소로 작용한다.

제1도는 트렌치를 매립하는 절연 물질에 대하여 치밀화 공정을 생략한 경우에 나타나는 문제점을 설명하기 위한 단면도이다.

제1도에 있어서, 참조 부호 100은 활성 영역을, 200은 필드 영역인 STI 영역에 매립된 매립 물질, 즉 매몰 산화막을 각각 나타낸다. 또한, 참조 부호 A는 습식 식각 전의 상기 매립 물질(200)의 프로파일을 나타내며, 점선인 B는 습식 식각 후의 상기 매립 물질(200)의 프로파일을 나타낸다.

상기한 바와 같이, 트렌치 매립 물질의 치밀화 공정을 생략하면 매립 물질의 식각율이 커지게 된다. 따라서, 트렌치 형성을 위한 식각 공정시 마스크 역할을 했던 패드 산화막과 마스크층을 후속 공정에서 제거하기 위하여 습식 식각 공정을 진행할 때, 트렌치 매립 물질도 트렌치 측벽의 중간 부분까지 식각되어 활성 영역이 노출됨으로써, 트렌치의 에지 부분에 턱이 형성된다(제1도의 C). 따라서, 후속 공정에서 형성되는 게이트가 상기 노출된 활성 영역 부분, 즉 활성 영역의 측면으로 걸쳐서 지나가도록 형성한다. 이와 같이 되는 경우에는, 게이트의 전압이 증가하면 게이트 전계가 중간 부분보다 에지 부분에서 더 크게 되어 트랜지스터가 두 번 턴온(turn on)되는 험프(hump) 현상이 발생하게 되고, 또한 게이트의 폭이 감소함에 따라 트랜지스터의 문턱 전압(threshold voltage)이 작아지는 역 험폭 효과(inverse narrow width effect)가 발생한다.

따라서, 고집적 반도체 장치에서 STI(Shallow Trench Isolation)를 이용하는 경우에는, 트렌치의 에지 부분이 어떤 프로파일을 갖고 있는가에 따라 소자의 전기적 특성이 좌우된다. 즉, 트렌치 매립 물질의 치밀화 조건에 따라서 매립 물질의 식각 정도가 달라지고, 이에 따라 STI의 프로파일이 변하여 소자의 전기적 특성이 민감하게 변화한다. 따라서, 트렌치 공정을 이용한 소자 분리 공정에서 매립 물질을 치밀화하기 위한 공정 조건을 최적화할 필요가 있다.

트렌치 공정을 이용한 소자 분리 공정에서 매립 물질을 치밀화하기 위한 종래 기술의 하나로서, 트렌치 매립 물질에 대하여 습식 식각에 대한 저항력을 높여주기 위한 방법으로서는 트렌치 매립 물질을 1000℃에서 어닐링(annealing)하는 방법이 제안된 바 있다(Asanga H. Perea 외, IEDM Tech. Digest, p679, 1995). 그러나, 상기 방법에 의하여도 매립 물질의 치밀화 공정을 생략한 경우와 마찬가지로 트렌치의 에지 부분에서 턱이 형성되는 것을 피할 수 없다.

따라서, 본 발명의 목적은 단순한 공정 개선을 통하여 험프현상이나 역 험폭 효과를 방지할 수 있는 반도체 장치의 트렌치 소자 분리 방법을 제공하는 것이다.

상기 목적을 달성하기 위하여 본 발명은, 반도체 기판 상에 패드층, 마스크층 및 버퍼층을 차례로 형성하는 단계와, 상기 버퍼층, 마스크층 및 패드층을 패터닝하여 활성 영역을 정의하는 버퍼층 패턴, 마스크층 패턴 및 패드층 패턴을 형성하는 단계와, 상기 버퍼층 패턴을 제거하는 단계와, 상기 마스크층 패턴을 마스크로 하여 상기 반도체 기판을 소정의 깊이로 식각하여 트렌치를 형성하는 단계와, 상기 트렌치의 내벽에 산화막을 형성하는 단계와, 상기 트렌치를 매립하기 위한 절연 물질을 증착하는 단계와, 상기 절연 물질을 1000~1400℃의 온도에서 30분~8시간 동안 어닐링하여 치밀화하는 단계와, 상기 마스크층 패턴이 노출될 때까지 상기 절연 물질 및 산화막을 CMP(Chemical Mechanical Polishing) 공정을 이용하여 평탄화하는 단계와, 상기 마스크층 패턴 및 패드층 패턴을 차례로 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 트렌치 소자 분리 방법을 제공한다.

바람직하게는, 상기 절연 물질은 CVD(Chemical Vapor Deposition)에 의해 증착된 산화막으로 형성한다. 또한, 상기 절연 물질을 어닐링하는 단계는 불활성 가스 분위기에서 행하는 것이 바람직하다.

본 발명에 의하면, 트렌치 매립 물질의 치밀화 효율이 향상되어 험프 현상이나 역 험폭 효과를 방지할 수 있다.

다음에, 본 발명의 바람직한 실시예에 대하여 첨부 도면을 참조하여 상세히 설명한다.

제2도 내지 제8도는 본 발명의 바람직한 실시예에 의한 반도체 장치의 트렌치 소자 분리 방법을 공정 순서에 따라 설명하기 위한 단면도이다.

제2도를 참조하면, 반도체 기판(10), 예컨대 실리콘 기판상에 패드층(12), 마스크층(14), 버퍼층(16)을 차례로 형성한다. 상기 패드층(12)은 상기 반도체 기판(10)에 대하여 스트레스 버퍼(stress buffer) 및 보호 역할을 하도록 약 200Å의 두께로 형성된 열산화막(thermal oxide)으로 이루어지고, 상기 마스크층

(14)은 상기 반도체 기판(10)에서 활성 영역과 소자 분리 영역을 한정하기 위하여 상기 패드층(12)에 연속되어 형성되는 질화막으로 이루어지고, 상기 버퍼층(16)은 후속의 실리콘 식각시에 상기 마스크층(14)이 식각되는 것을 방지할 수 있도록 버퍼 역할을 하는 것으로서 마스크층(14)에 연속하여 형성되는 산화막으로 이루어진다.

제3도를 참조하면, 포토레지스트 패턴(도시 생략)을 사용하여 소자의 활성 영역을 정의한 후, 상기 버퍼층(16), 마스크층(14) 및 패드층(12)을 차례로 이방성 식각하여 버퍼층 패턴(도시 생략), 마스크층 패턴(14A) 및 패드층 패턴(12A)을 형성함으로써 반도체 기판(10)의 소자 분리 영역(18)을 노출시킨다. 그 후, 상기 버퍼층 패턴을 제거한다.

제4도를 참조하면, 상기 마스크층 패턴(14A)을 마스크로 하여 상기 반도체 기판(10)을 소정의 깊이로 이방성 식각하여 트렌치(20)를 형성한다.

제5도를 참조하면, 상기 트렌치(20)의 내벽에 산화막(22)을 형성한다. 상기 산화막(22)은 불순물이 도핑되지 않은 산화막, 고온 산화막 또는 CVD에 의해 증착된 산화막으로 형성할 수 있다.

제6도를 참조하면, 상기 트렌치(20)가 충분히 매립될 수 있을 정도의 두께로 절연 물질(24)을 증착한다. 상기 절연 물질(24)은 CVD에 의해 증착된 산화막으로 형성할 수 있다.

그 후, 상기 절연 물질(24)을 치밀화하기 위하여 상기 절연 물질(24)에 대하여 1000~1400℃의 온도에서 30분~8시간 동안 어닐링한다. 실제로, 1400℃ 이상의 높은 어닐링 온도는 반도체 제조 공정에 적용하는 것이 곤란하다. 상기 절연 물질(24)의 어닐링은 불활성 가스, 예를 들면 N₂ 또는 Ar 가스 분위기에서 행하는 것이 바람직하다.

제7도를 참조하면, 상기 절연 물질(24) 및 산화막(22)에 대하여 CMP 공정을 적용하여 상기 마스크층 패턴(14A)이 노출될 때까지 평탄화한다. 필요에 따라서, 상기 평탄화를 위하여 에치백 공정을 적용할 수도 있다.

제8도를 참조하면, 상기 마스크층 패턴(14A) 및 패드층 패턴(12A)을 습식 식각에 의해 차례로 제거한다. 제8도로부터, 상기 마스크층 패턴(14A) 및 패드층 패턴(12A)을 제거하기 위한 습식 식각 공정 후에도 상기 절연 물질(24)이 상기 습식 식각에 의해 손상되지 않은 것을 알 수 있다.

제9도는 본 발명에 따른 소자 분리 방법의 효과를 평가하기 위한 한가지 방법으로서, 트렌치 매립 물질로 사용된 절연 물질을 치밀화하기 위하여 상기 절연 물질에 대하여 H₂O 분위기 하에서 850℃의 온도에서 30분 동안 어닐링한 경우(S1)와, 상기 절연 물질에 대하여 N₂ 분위기 하에서 1000℃의 온도에서 1시간 동안 어닐링한 경우(S2)와, 상기 절연 물질에 대하여 N₂ 분위기 하에서 1150℃의 온도에서 1시간 동안 어닐링한 경우(S3)에 대하여, 각각 BOE(Buffered Oxide Etchant)를 사용하여 식각한 결과를 식각 시간에 따른 절연 물질(여기서는 산화막)의 두께 변화로서 나타낸 그래프이다.

제9도로부터 알 수 있는 바와 같이, 1150℃의 온도에서 1시간 동안 어닐링한 경우(S3)(식각율=1400 Å/min)는 1000℃의 온도에서 1시간 동안 어닐링한 경우(S2)(식각율=1800 Å/min)보다 식각율이 약 400 Å/min만큼 더 작게 식각되는 효과를 나타내고, 또한 습식 산화에 의해 치밀화한 경우(S1)(식각율= 1550 Å/min)보다도 식각율이 약 150 Å/min만큼 더 작게 식각되는 효과를 나타낸다.

제10도는 트렌치 매립 물질로 사용된 절연 물질을 치밀화하기 위하여 상기 절연 물질에 대하여 H₂O 분위기 하에서 850℃의 온도에서 30분 동안 어닐링한 경우(P1)와, 상기 절연 물질에 대하여 N₂ 분위기하에서 1000℃의 온도에서 1시간 동안 어닐링한 경우(P2)와, 상기 절연 물질에 대하여 N₂ 분위기 하에서 1150℃의 온도에서 1시간 동안 어닐링한 경우(P3)에 대하여, 트랜지스터의 드레인 누설 전류(I_d)-게이트 전압(V_g)특성을 나타낸 그래프이다.

제10도로부터 알 수 있는 바와 같이, 절연 물질에 대하여 N₂ 분위기 하에서 1150℃의 온도에서 1시간 동안 어닐링한 경우(P3)에는 N₂ 분위기하에서 1000℃의 온도에서 1시간 동안 어닐링한 경우(P2)와 달리 험프 현상이 나타나지 않는다. H₂O 분위기 하에서 850℃의 온도에서 30분 동안 어닐링한 경우(P1)에는 험프 현상은 나타나지 않았으나, 실제로 트랜지스터에 적용하는 경우에는 트렌치의 측벽에 형성한 산화막의 부피 팽창을 야기하고, 이와 같은 부피 팽창에 의해 실리콘 기판 측벽에서의 스트레스가 커져서 결함(defect)이 형성되므로 트랜지스터 제조에 적용할 수 없다.

상술한 바와 같이 본 발명에 의하면, 트렌치 매립 물질의 치밀화를 위한 어닐링 온도를 종래 기술에서보다 더 높게 함으로써 매립 물질의 치밀화 효율이 향상된다. 따라서, 트렌치 매립 물질의 습식 식각에 대한 저항력이 커지게 되어 반도체 장치의 험프 현상 및 역 협폭 효과를 방지할 수 있다.

이상, 본 발명을 구체적인 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명이 기술적 사상의 범위내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능하다.

(57) 청구의 범위

청구항 1

반도체 기판 상에 패드층, 마스크층 및 버퍼층을 차례로 형성하는 단계와, 상기 버퍼층, 마스크층 및 패드층을 패터닝하여 활성 영역을 정의하는 버퍼층 패턴, 마스크층 패턴 및 패드층 패턴을 형성하는 단계와, 상기 버퍼층 패턴을 제거하는 단계와, 상기 마스크층 패턴을 마스크로 하여 상기 반도체 기판을 소정의 깊이로 식각하여 트렌치를 형성하는 단계와, 상기 트렌치의 내벽에 산화막을 형성하는 단계와, 상기 트렌치를 매립하기 위한 절연 물질을 증착하는 단계와, 상기 절연 물질을 1000~1400℃의 온도에서 30

분~8시간 동안 어닐링하여 치밀화하는 단계와, 상기 마스크층 패턴이 노출될 때까지 상기 절연 물질 및 산화막을 CMP(Chemical Mechanical Polishing) 공정을 이용하여 평탄화하는 단계와, 상기 마스크층 패턴 및 패턴층 패턴을 차례로 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 트렌치 소자 분리 방법.

청구항 2

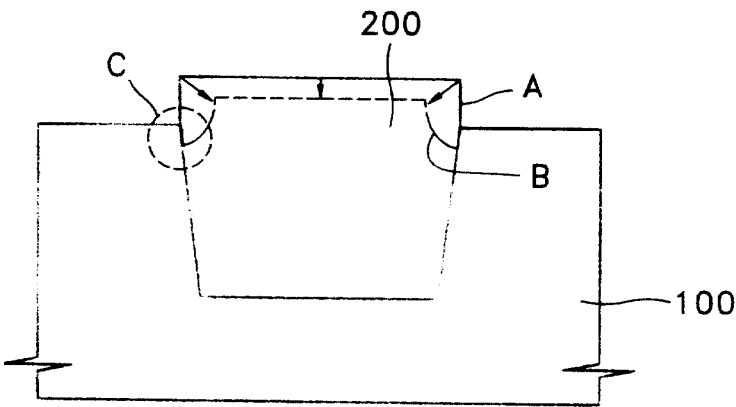
제1항에 있어서, 상기 절연 물질은 CVD(Chemical Vapor Deposition)에 의해 증착된 산화막으로 형성하는 것을 특징으로 하는 반도체 장치의 트렌치 소자 분리 방법.

청구항 3

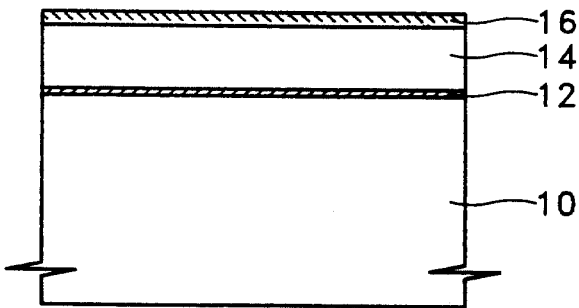
제1항에 있어서, 상기 절연 물질을 어닐링하는 단계는 불활성 가스 분위기에서 행하는 것을 특징으로 하는 반도체 장치의 트렌치 소자 분리 방법.

도면

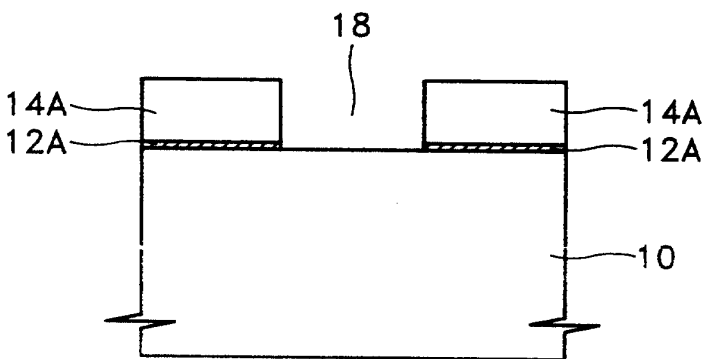
도면1



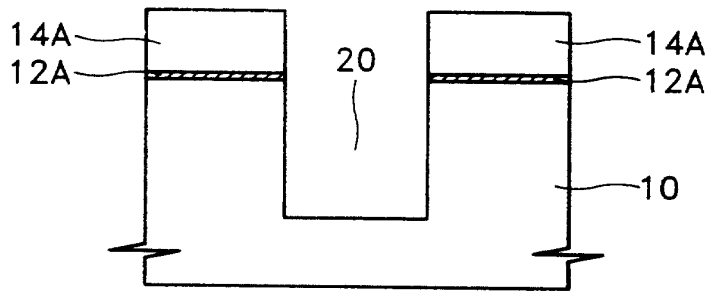
도면2



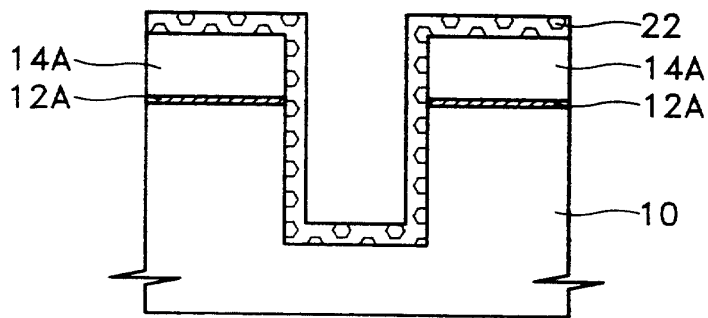
도면3



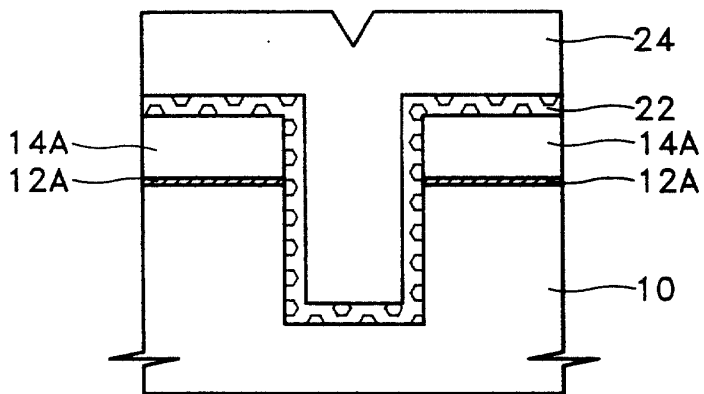
도면4



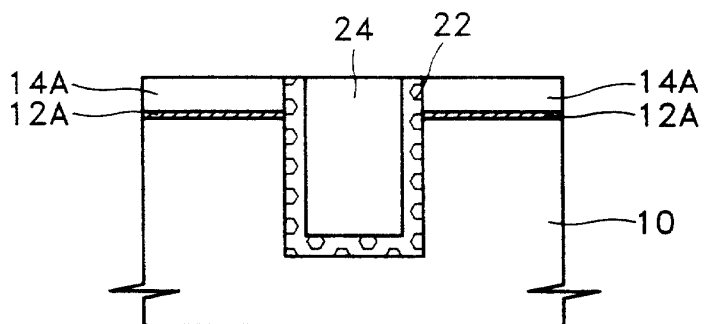
도면5



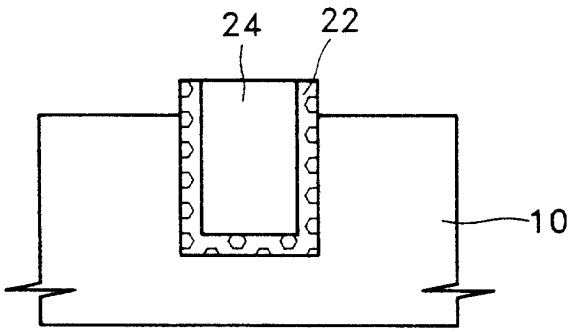
도면6



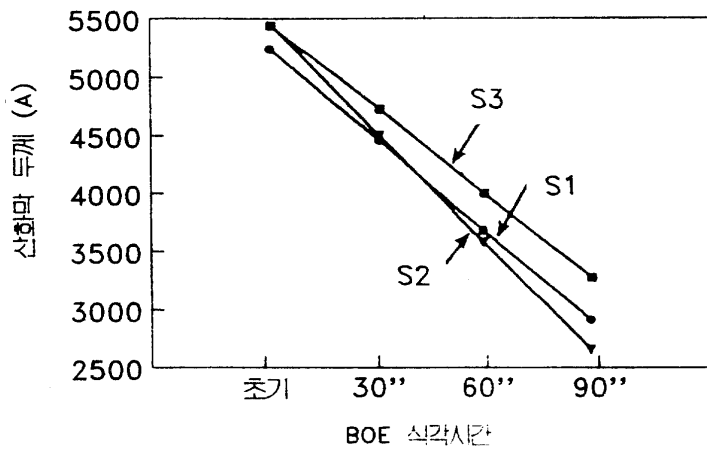
도면7



도면8



도면9



도면10

