



(12) 发明专利申请

(10) 申请公布号 CN 103189982 A

(43) 申请公布日 2013. 07. 03

(21) 申请号 201180052790. 2

(51) Int. Cl.

(22) 申请日 2011. 08. 31

H01L 27/02 (2006. 01)

(30) 优先权数据

H01L 27/108 (2006. 01)

12/917, 843 2010. 11. 02 US

H01L 21/8242 (2006. 01)

(85) PCT申请进入国家阶段日

2013. 05. 02

(86) PCT申请的申请数据

PCT/US2011/049927 2011. 08. 31

(87) PCT申请的公布数据

W02012/060927 EN 2012. 05. 10

(71) 申请人 美国国家半导体公司

地址 美国加利福尼亚州

(72) 发明人 P·J·霍波 W·弗兰茨

(74) 专利代理机构 北京纪凯知识产权代理有限公司

公司 11245

代理人 赵蓉民

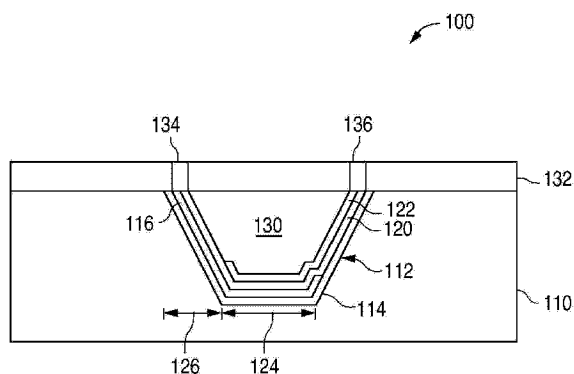
权利要求书2页 说明书10页 附图11页

(54) 发明名称

半导体电容器

(57) 摘要

一种具有大面积的极板和小占用面积的半导体电容器(100, 150), 其中通过在晶片(310)中形成开口(320), 通过位于从晶片(310)分离的第一掩模板(214A)沉积第一金属原子(326), 以便在开口(320)中形成第一金属层(330), 第一金属层(330)上形成介电层(334), 和通过位于从晶片(310)分离的第二掩模板(214B)沉积第二金属原子(340), 以便在介电层(334)上形成第二金属层(342)。



1. 一种电容器,其包括:

半导体晶片中的开口;

位于所述开口内和接触所述半导体晶片的第一绝缘层,所述第一绝缘层具有基本均匀的厚度;

位于所述开口内和接触所述第一绝缘层的第一导电结构,所述第一导电结构具有基本均匀的厚度;

位于所述开口内和接触所述第一绝缘层和所述第一导电结构的第二绝缘层,所述第二绝缘层具有基本均匀的厚度;和

位于所述开口内和接触所述第二绝缘层的第二导电结构,所述第二导电结构具有基本均匀的厚度;

2. 根据权利要求1所述的电容器,其中:

所述第一导电结构的第一部分垂直地位于所述第二导电结构的下面,所述第一部分位于所述开口内;和

所述第一导电结构的第二部分垂直地位于非所述第二导电结构的部分的下面,所述第二部分位于所述开口内。

3. 根据权利要求1所述的电容器,其中所述第一导电结构,所述第二绝缘层,和所述第二导电结构完全地位于所述开口内。

4. 根据权利要求1所述的电容器进一步包括接触所述第一导电结构、所述第二绝缘层和所述第二导电结构的第三绝缘层。

5. 根据权利要求4所述的电容器,进一步包括:通过所述第三绝缘层延伸的第一金属接触,从而使得电连接到所述第一导电结构上;和

通过所述第三绝缘层延伸的第二金属接触,从而使得电连接到所述第二导电结构上。

6. 根据权利要求5所述的电容器,其中所述第一金属接触与所述第二导电结构分离,并且所述第二金属接触与所述第一导电结构分离。

7. 根据权利要求5所述的电容器,其中所述第一导电结构接触所述第一金属接触的底面,和所述第二导电结构接触所述第二金属接触的底面。

8. 一种形成电容器的方法,其包括:

在半导体晶片中形成第一开口;

在所述第一开口中形成接触所述半导体晶片的第一绝缘层,所述第一绝缘层具有基本均匀的厚度和形成第二开口;

在所述第一绝缘层上沉积多个第一原子,从而在接触所述第一绝缘层的所述第二开口中形成第一金属结构,

所述第一原子经过第一掩模板,从所述第一绝缘层的顶面分离所述第一掩模板,所述第一金属结构具有基本均匀的厚度和形成第三开口;

在所述第三开口中形成接触所述第一绝缘层和所述第一金属结构的第二绝缘层,所述第二绝缘层具有基本均匀的厚度和形成第四开口;和

在所述第二绝缘层上沉积多个第二原子,以便在所述第四开口中形成接触所述第二绝缘层的第二金属结构,所述第二原子经过第二掩模板,从所述第二绝缘层的顶面分离所述第二掩模板,所述第二金属结构具有基本均匀的厚度。

9. 根据权利要求 8 所述的方法,进一步包括平面化所述半导体晶片,从而暴露所述第一绝缘层、所述第二金属结构、所述第二绝缘层,并在平面化所述半导体晶片之后暴露所述第一金属结构。

10. 根据权利要求 9 所述的方法进一步包括形成第三绝缘层,从而接触所述第二金属结构、所述第二绝缘层、所述第一金属结构和所述第一绝缘层。

11. 根据权利要求 10 所述的方法进一步包括:

同时地在所述第三绝缘层中形成所述第一开口,以便暴露所述第一金属结构,和在所述第三绝缘层中形成所述第二开口,以便暴露所述第二金属结构;和

在所述第一开口中形成第一金属接触,从而使得电连接到所述第一金属结构上,和在所述第二开口中形成第二金属接触,从而使得电连接到所述第二金属结构上。

12. 根据权利要求 11 所述的方法,其中从所述第二金属结构分离所述第一金属接触,和从所述第一金属结构分离所述第二金属接触。

13. 根据权利要求 8 所述的方法进一步包括在沉积所述多个第二原子从而形成所述第二金属结构之前,蚀刻所述第二绝缘层的顶面。

14. 根据权利要求 9 所述的方法,其中在平面化半导体晶片之后,所述第一金属结构的第一部分垂直地位于所述第二金属结构的下面,和所述第一金属结构的第二部分垂直地位于非所述第二金属结构的部分的下面。

15. 根据权利要求 10 所述的方法进一步包括:

在形成所述第一金属结构之后和在形成所述第二绝缘层之前,使原子经过第一定义的掩膜板从而蚀刻所述第一金属结构,从所述第一金属结构的顶面分离所述第一定义的掩膜板;和

在形成所述第二金属结构之后和在形成所述第三绝缘层之前,使原子经过第二定义的掩膜板从而蚀刻所述第二金属结构,从所述第二金属结构的顶面分离所述第二定义的掩膜板。

16. 根据权利要求 11 所述的方法,其中所述第二绝缘层包含多个材料层。

17. 根据权利要求 16 所述的方法,其中多个材料层中的两个是不同的。

18. 根据权利要求 11 所述的方法,其中在第一沉积室中形成所述第二绝缘层,在第二沉积室中沉积所述第一原子,和在第三沉积室中沉积所述第二原子。

19. 根据权利要求 18 所述的方法,其中当形成所述第二绝缘层时,所述第一室具有小于大气压的内部压力,和当沉积所述第一原子时,所述第二室具有内部压力,和当沉积所述第二原子时,所述第三室具有所述内部压力。

20. 根据权利要求 19 所述的方法,其中当在所述第一室、所述第二室、和所述第三室之间移动所述晶片时,连续地使所述晶片暴露于所述内部压力。

半导体电容器

技术领域

[0001] 本发明涉及半导体电容器和,更具体地,涉及具有大面积的极板和小占用面积 (footprint) 的半导体电容器,其中利用掩膜板和仅仅只有两个光刻步骤形成所述半导体电容器。

背景技术

[0002] 半导体电容器是已知的一般包含两个金属板的结构,其中通过介电层垂直地将两个金属板分开。通常作为金属互联结构的部分形成半导体电容器,其允许不需要任何额外的光刻步骤形成电容器。

[0003] 例如,可形成下游电容器板,同时蚀刻第一金属层,从而形成金属示踪的第一层,在可形成上游电容器板期间,同时蚀刻第二金属层,从而形成金属示踪的第二层。在这个情形中,电地将金属示踪的第一层从金属示踪的第二层隔离的夹层介电质担任电容器电介质的作用。

[0004] 尽管作为金属互连结构的部分形成的电容器不需要任何附加的光刻步骤,因而是免费的,通过可用面积和金属互连结构的需要限制电容器的电容。换句话说,通过金属互联结构的需要,而不是通过电容器的需要定义可由电容器占据的面积,金属示踪的第一和第二层之间的垂直间距,和用作夹层电介质的材料。

[0005] 当不通过金属互连结构的需要定义时,可通过利用不同的电介质材料,如高 K 的材料增加由电容器提供的电容。另外,可通过增加极板的面积增加电容。形成具有大面积极板和小占用面积的一个常见方法是形成等角地排列开口的极板,其中在基板中各向异性地干法蚀刻所述开口。

[0006] 形成具有大积极板和小占用面积的另一个常见方法是利用许多小面积交叉的极板,其中将每一个奇数的极板连接在一起,从而形成第一电容器板,和将每一个偶数的极板连接在一起,从而形成第二电容器板。因而,即使每一个极板的面积很小的,第一和第二电容器板的有效面积也非常大。进一步的方法是开口中形成许多交叉的极板,其中在基板中各向异性地干法蚀刻所述开口。

[0007] 然而,这些增加由电容器提供的电容的方法一般需要大量的光刻步骤。反过来,光刻是半导体制作工艺中最昂贵的步骤之一。另外,当形成等角地排列开口的电容器板时,其中在基板中各向异性地干法蚀刻所述开口,形成电容器沉积的材料倾向于具有不均匀的厚度,和在开口的底部拐角上可能是非常薄的,其中满足开口的底表面和洞口侧面。结果,这些电容器倾向于具有更高的缺陷率。

[0008] 因而,需要利用有限数目的光刻步骤形成的具有大积极板和小占用面积的电容器。

发明内容

[0009] 本发明的电容器提供大积极板和小占用面积。本发明的电容器包含半导体晶

片中的开口,和位于开口内和接触半导体晶片的第一绝缘层。第一绝缘层具有基本均匀的厚度。电容器也包含位于开口内和接触第一绝缘层的第一导电结构。第一导电结构具有基本均匀的厚度。另外,电容器具有位于开口内和接触第一绝缘层和第一导电结构的第二绝缘层。第二绝缘层具有基本均匀的厚度。进一步地,电容器具有位于开口内和接触第二绝缘层的第一导电结构。第二导电结构具有基本均匀的厚度。

[0010] 在本发明中,形成电容器的方法包含在半导体晶片中形成第一开口,和在第一开口中形成第一绝缘层,以便接触半导体晶片。第一绝缘层具有基本均匀的厚度和形成第二开口。方法也包含在第一绝缘层上沉积多个第一原子,从而在接触第一绝缘层的第二开口中形成第一金属结构。第一原子经过第一掩模板。从第一绝缘层的顶面分离第一掩模板。第一绝缘层具有基本均匀的厚度和形成第三开口。另外,方法包含在第三开口中形成第二绝缘层,从而接触第一绝缘层和第一金属结构。第一绝缘层具有基本均匀的厚度和形成第四开口。方法进一步包含在第二绝缘层上沉积多个第二原子,从而在接触第二绝缘层的第四开口中形成第二金属结构。第二原子经过第二掩模板。从第二绝缘层的顶面分离第二掩模板。第二金属结构具有基本均匀的厚度。

附图说明

[0011] 图 1A 和 1B 是图示依照本发明的电容器的实例的附图。图 1A 是图示依照本发明的第一实施例的电容器 100 的实例的横截面图。图 1B 是图示依照本发明的第二实施例的电容器 150 的实例的横截面图。

[0012] 图 2A-2C 是图示依照本发明的半导体加工系统的实例的附图。图 2A 是图示依照本发明的金属沉积室 200 的实例的横截面图。图 2B 和 2C 是图示依照本发明的掩模板 214 的实例的平面图。图 2B 是图示依照本发明的掩模板 214 的第一实例的掩模板 214A,而图 2C 是图示依照本发明的掩模板 214 的第二实例的掩模板 214B。

[0013] 图 3A-3B 是图示形成依照本发明的电容器的方法的第一步骤的实例的附图。图 3A 是平面图,而图 3B 是沿着图 3A 的 3A-3B 线的横截面图。

[0014] 图 4A-4C 是图示形成依照本发明的电容器的方法的第二步骤的实例的附图。图 4A 是平面图,而图 4B 是沿着图 4A 的 4A-4B 线的横截面图。图 4C 是图示可替换的实施例的横截面图。

[0015] 图 5 是图示形成依照本发明的电容器的方法的第三步骤的结果的实例的横截面图。

[0016] 图 6 是图示形成依照本发明的电容器的方法的第四步骤的实例的横截面图。

[0017] 图 7 是图示形成依照本发明的电容器的方法的第五步骤的结果的实例的横截面图。

[0018] 图 8 是图示形成依照本发明的电容器的方法的第六步骤的实例的横截面图。

[0019] 图 9 是图示形成依照本发明的电容器的方法的第七步骤的结果的实例的横截面图。

[0020] 图 10 是图示形成依照本发明的电容器的方法的 n 附加循环的第二循环的实例的横截面图。

[0021] 图 11 是图示在形成依照本发明的电容器的方法中,跟随 n 附加循环和第七步骤完

成的下一个步骤的实例的横截面图。

[0022] 图 12 是图示在形成依照本发明的电容器的方法中,跟随平面化的下一个步骤的实例的横截面图。

[0023] 图 13 是图示在形成依照本发明的电容器的方法中,跟随有图案的光刻胶层 362 的清除的下一个步骤的实例的横截面图。

[0024] 图 14 是图示依照本发明的第二实施例的等离子体蚀刻室 1400 的实例的横截面图。

[0025] 图 15A 和 15B 是图示依照本发明的定义的掩模板的实例的平面图。图 15A 显示第一定义的掩模板 1510,而图 15B 显示第二定义的掩模板 1520。

[0026] 图 16 是图示依照本发明的第三实施例的等离子体蚀刻室 1600 的实例的横截面图。

[0027] 图 17 是图示依照本发明的定义的掩模板 1510 和 1520 的支持区域 1514 和 1524 的实例的横截面图。

具体实施方式

[0028] 图 1A 和 1B 显示说明依照本发明的电容器的实例的附图。如下面更详细地描述的,本发明是具有大积极板和小的小的占用面积的电容器,其中利用掩模板和只利用两个光刻步骤形成所述电容器。

[0029] 图 1A 显示说明依照本发明的第一实施例的电容器 100 的实例的横截面图。如图 1A 实例显示的,电容器 100 包含半导体基板 110,和半导体基板 110 中的开口 112。

[0030] 如图 1A 实例进一步显示的,电容器 100 包含位于开口 112 内和接触半导体基板 110 的绝缘层 114。绝缘层 114 具有基本均匀的厚度。电容器 100 也包含完全地位于开口 112 内和接触绝缘层 114 的导电结构 116。正如绝缘层 114,导电结构 116 也具有基本均匀的厚度。

[0031] 另外,电容器 100 包含完全地位于开口 112 内和接触绝缘层 114 和导电结构 116 的绝缘层 120。进一步地,电容器 100 也包含完全地位于开口 112 内和接触绝缘层 120 的导电结构 122。如上,绝缘层 120 和导电结构 122 每一个都具有基本均匀的厚度。

[0032] 如图 1A 实例另外显示的,将导电结构 116 和 122 安排在开口 112 内,从而,导电结构 116 的第一部分 124 垂直地位于导电结构 122 下面,同时导电结构 116 的第二部分 126 垂直地位于非导电结构 122 的部分的下面。

[0033] 另外,电容器 100 包含完全地位于开口 112 内和接触绝缘层 120 和导电结构 122 的绝缘区域 130。进一步地,电容器 100 包含接触半导体基板 110、绝缘层 114、导电结构 116、绝缘层 120、导电结构 122、和绝缘区域 130 的绝缘层 132。

[0034] 电容器 100 也包含金属触点 134 和金属触点 136。金属触点 134 通过绝缘层 132 延伸,从而,使得金属触点 134 的底面与导电结构 116 电连接。同样地,金属触点 136 通过绝缘层 130 延伸,从而,使得金属触点 136 的底面与导电结构 122 电连接。

[0035] 从半导体基板 110 电地隔离金属触点 134 和金属触点 136。另外,从导电结构 122 分离和电地隔离金属触点 134,同时从导电结构 116 分离和电地隔离金属触点 136。

[0036] 图 1B 显示说明依照本发明的第二实施例的电容器 150 的实例的横截面图。电容

器 150 类似于电容器 100, 和结果, 利用相同的参考数字指示两个电容器常见的元件。

[0037] 如图 1B 实例显示的, 电容器 150 不同于电容器 100, 因为电容器 150 进一步包含完全地位于开口 112 内和接触绝缘层 120 和导电结构 122 的绝缘层 152。

[0038] 电容器 150 也包含完全地位于开口 112 内和接触绝缘层 152 的导电结构 154。

[0039] 另外, 电容器 100 包含完全地位于开口 112 内和接触绝缘层 152 和导电结构 154 的绝缘层 156。进一步地, 电容器 100 包含完全地位于开口 112 内和接触绝缘区域 130 和绝缘层 156 的导电结构 158。如上, 绝缘层 152、导电结构 154、绝缘层 156、和导电结构 158 每一个都具有基本均匀的厚度。

[0040] 将导电结构 154 和 158 安排在开口 112 内, 从而, 实际上, 所有的导电结构 154 垂直地位于导电结构 116 上, 和实际上, 所有的导电结构 158 垂直地位于导电结构 122 上。进一步地, 绝缘层 132 也接触绝缘层 152、导电结构 154、绝缘层 156、和导电结构 158。

[0041] 另外, 使得金属触点 134 的底面与导电结构 154 电连接, 同时从导电结构 158 分离和电隔离金属触点 134。同样地, 使得金属触点 136 的底面与导电结构 158 电连接, 同时从导电结构 154 分离和电隔离金属触点 136。

[0042] 结果, 电容器 150 包含含有导电结构 116 和 154 的第一电容器极板, 和含有导电结构 122 和 158 的第二电容器极板。因而, 与电容器 100 利用的两个结构 116 和 122 比较, 电容器 150 说明, 四个或更多交叉的结构可交替地用于增加电容器极板的有效面积, 和因此增加电容。因此, 由于在开口 112 中形成电容器 100 和 150, 电容器 100 和 150 每一个具有大积极板和小的小的占用面积。

[0043] 本发明的方法利用多室半导体处理系统。多室半导体处理系统是接收晶片, 将系统内的空气压力减少到低于大气压力的水平, 和然后以指定的顺序而不破坏空间的方式将晶片从室移动到室的系统。在每一个室期间, 使晶片经受特殊的加工步骤。

[0044] 例如, 可利用聚集工具或程序装置实现多室半导体处理系统。聚集工具提供随机存取, 从而, 指定的序列可从任何室到任何其他室。另一个方面, 程序装置提供固定的室顺序。

[0045] 在本发明的第一实施例中, 多室半导体处理系统包含三个室: 用于沉积电介质的第一室, 用于沉积金属的第二室, 和用于沉积金属的第三室。可利用任何传统的电介质沉积室实施第一室, 如化学气相沉积 (CVD) 室。例如, 可利用等离子体气相沉积 (PVD) 室实施第二和第三室。

[0046] 依照本发明, 各自修饰多室半导体处理系统的第二和第三室, 从而包含位于晶片的要处理的表面上和从其上分离的掩模板。掩模板是金属板, 如铝板, 已经将其加工, 从而包含完全地通过金属板延伸的模式。

[0047] 图 2A-2C 显示说明依照本发明的半导体加工系统的实例的附图。图 2A 显示说明依照本发明的金属沉积室 200 的实例的横截面图。如图 2A 中显示的, 在操作期间密封的金属沉积室 200, 包含晶片支持 210, 如卡盘, 位于晶片支持 210 上和从其分隔开的目标 212, 和位于晶片支持 210 和目标 (target) 212 之间的掩模板 (shadow mask) 214。

[0048] 另外, 金属沉积室 200 包含连接到晶片支持 210, 目标 212 和掩模板 214 上的框架结构 216, 从而支持晶片支持 210, 目标 212 和掩模板 214。可牢牢地将掩模板 214 连接到框架结构 216 上, 从而, 固定晶片支持 210 和掩模板 214 之间的距离。

[0049] 可选地,可改变晶片支持 210 和掩模板 214 之间的距离。例如,框架结构 216 可包含垂直地移动掩模板 214 的垂直的致动器 218。可替换地,可修饰可能是垂直地可移动的,以便啮合已经插入到室 200 的晶片的晶片支持 210,从而包含更大的垂直延伸,其允许改变晶片支持 210 和掩模板 214 之间的距离。

[0050] 进一步地,关于添加的柔韧性,金属沉积室 200 可包含掩模板移动结构,如机械臂,将其连接到框架结构 216 上,从而将掩模板 214 移动到适当的位置,和然后移动掩模板 214。掩模板移动结构允许在不需要打开室 200 的情况下,与掩模板 214 一起或没有掩模板 214 使用金属沉积室 200。

[0051] 图 2B 和 2C 显示说明依照本发明的掩模板 214 的实例的平面图。图 2B 显示说明依照本发明的掩模板 214 的第一实例的掩模板 214A,而图 2C 显示说明依照本发明的掩模板 214 的第二实例的掩模板 214B。

[0052] 如图 2B 中显示的,掩模板 214A 包含金属板 220,如铝板,和通过金属板 220 延伸的开口 222。同样地,如图 2C 中显示的,掩模板 214B 包含金属板 230,如铝板,和通过金属板 230 延伸的开口 232。

[0053] 依照本发明,利用金属沉积室 200 实施多室半导体处理系统的第二室,其中利用掩模板 214A 实施掩模板 214,同时利用金属沉积室 200 实施多室半导体处理系统的第三室,其中利用掩模板 214B 实施掩模板 214。

[0054] 图 3A-3B 显示说明形成依照本发明的电容器的方法的第一步骤的实例的附图。图 3A 是平面图,而图 3B 显示沿着图 3A 的 3B-3B 线的横截面图。如图 3A-3B 显示的,本发明的方法利用传统地形成的半导体晶片 310。在本实例中,尽管也可利用其他晶片,利用<100>硅晶片。

[0055] 如图 3A-3B 进一步显示的,以传统的方法,通过在晶片 310 的顶面上沉积掩蔽层 312 开始本发明的方法。例如,可利用氮化硅实现掩蔽层 312。跟随这个,在掩蔽层 312 的顶面上形成有图案的光刻胶层 314。

[0056] 以传统的方法形成有图案的光刻胶层 314,其包含沉积光刻胶层,通过称为掩蔽的有图案的黑色/透明玻璃板投射光,从而柔化通过光暴露的光刻胶区域,和然后清除柔化的光刻胶区域。

[0057] 在已经形成有图案的光刻胶层 314 之后,以传统的方式蚀刻掩蔽层 312 的暴露的区域,从而形成暴露晶片 310 的顶面的开口 316。一旦暴露了晶片 310 的顶面,以传统的方法清除有图案的光刻胶层 314。

[0058] 图 4A-4C 显示说明形成依照本发明的电容器的方法的第二步骤的实例的附图。图 4A 是平面图,而图 4B 显示沿着图 4A 的 4B-4B 线的横截面图。图 4C 显示说明可替换的实施例的横截面图。

[0059] 如图 4A-4B 显示的,跟随有图案的光刻胶层 314 的清除,利用传统的蚀刻剂,如四甲基氢氧化铵(TMAH)或氢氧化钾(KOH),以传统的方法非均质地湿蚀刻晶片 310,从而在晶片 310 中形成开口 320。如图 4A-4B 中进一步显示的,沿着晶体学平面蚀刻,<100>。硅晶片的非均质的湿蚀刻,从而形成具有平坦的底面的开口 320,和具有等于 54.7° 的角的平坦的非垂直的侧面。

[0060] 可替换地,关于任何类型的晶片,可使用对晶体学平面不敏感的湿蚀刻剂,如氢氟

硝酸(HNA),从而形成开口 320。如图 4C 说明的,在所有的方向中同样地蚀刻对晶体学平面不敏感的蚀刻剂,和,因此,形成具有平坦的底面和圆形的侧壁的开口 320。在如图 4B 或 4C 显示的,形成了开口 320 之后,以传统的方式清除掩蔽层 312。

[0061] 图 5 显示说明形成依照本发明的电容器的方法的第三步骤的结果的实例的横截面图。如图 5 显示的,在已经形成开口 320 和清除掩蔽层 312 之后,通过将晶片 310 插入到多室半导体处理系统的第一室继续本发明的方法。

[0062] 一旦插入到第一室,就以传统的方式,在晶片 310 的顶面沉积本质上具有均匀厚度的介电层 322。介电层 322 的沉积形成开口 324。在介电层 322 的形成之后,从第一室清除晶片 310。如图 5 显示的,等角地形成介电层 322,从而排列开口 320。

[0063] 图 6 显示说明形成依照本发明的电容器的方法的第四步骤的实例的横截面图。

[0064] 如图 6 中显示的,在从第一室清除晶片 310 之后,将晶片 310 插入到多室半导体处理系统的第二室中,从而位于晶片支持 210 上。

[0065] 一旦插入到第二室中,以传统的方式,从目标 212 强行去除许多第一金属原子 326。电地将强行去除的第一金属原子 326 吸引到接地的晶片 310 上,经过掩模板 214/214A,从而在介电层 322 的顶面形成第一金属结构 330。第一金属原子 326 的沉积形成开口 332。

[0066] 如图 6 中显示的,由于掩模板 214/214A,第一金属结构 330 从介电层 322 的顶部水平表面,向下延伸到开口 324 的一个侧面,穿过底面,和只部分地在开口 324 的对立面上。结果,第一金属结构 330 接触开口 324 的一个侧面上的介电层 322 的顶部水平表面,但是不接触开口的相反的面上的介电层 322 的顶部水平表面。在第一金属结构 330 的形成之后,从第二室清除晶片 310。

[0067] 在传统的 PVD 工艺中,强力去除的原子 326 是高度地非均质的。结果,除了由于不是基本地非均质的强力去除的原子 326 倾向于倾斜的外周之后,第一金属结构 330 具有基本地均匀的厚度。另外,为了在特征定义上进一步改进,尽可能接近介电层 322 的顶面而不接触介电层 322 放置掩模板 214/214A,因此限制经过掩模板 214/214A 的非均质的原子 326 的影响。

[0068] 图 7 显示说明形成依照本发明的电容器的方法的第五步骤的结果的实例的横截面图。在从第二室清除晶片 310 之后,再次将晶片 310 插入到多室半导体处理系统的第一室中。

[0069] 一旦插入到第一室,就以传统的方式,在介电层 322 和第一金属结构 330 的顶面上沉积具有基本地均匀的厚度的介电层 334。介电层 334 的沉积形成开口 336。在介电层 334 的形成之后,从第一室清除晶片 310。如图 7 显示的,在介电层 322 和第一金属结构 330 上等角地形成介电层 334。

[0070] 图 8 显示说明形成依照本发明的电容器的方法的第六步骤的实例的横截面图。如图 8 中显示的,在从第一室清除晶片 310 之后,将晶片 310 插入到多室半导体处理系统的第三室中,从而位于晶片支持 210 上。

[0071] 一旦插入到第三室,就以传统的形式,从目标 212 强力地去除许多第二金属原子 340。电地将强行去除的第一金属原子 340 吸引到接地的晶片 310 上,经过掩模板 214/214B,从而在介电层 334 的顶面形成第二金属结构 342。第二金属原子 340 的沉积形成开口 344。

[0072] 如图 8 中显示的,由于掩模板 214/214B,第二金属结构 342 从介电层 334 的顶部水

平表面向下延伸到开口 336 的一个侧面,穿过底面,和只部分地在开口 336 的对立面上。结果,第二金属结构 342 接触开口 336 的一个侧面上的介电层 336 的顶部水平表面,但是不接触开口的相反的面上的介电层 334 的顶部水平表面。在第二金属结构 342 的形成之后,从第三室清除晶片 310。

[0073] 如上,强力去除的原子 340 是高度地非均质的。结果,除了由于不是基本地非均质的强力去除的原子 340 倾向于倾斜的外周之外,第一金属结构 342 具有基本地均匀的厚度。另外,为了在特征定义上进一步改进,尽可能接近介电层 334 的顶面而不接触介电层 334 放置掩模板 214/214B,因此限制经过掩模板 214/214B 的非均质的原子 340 的影响。

[0074] 图 9 显示说明形成依照本发明的电容器的方法的第七步骤的结果的实例的横截面图。在从第三室清除晶片 310 之后,再次将晶片 310 插入到多室半导体处理系统的第一室中。一旦插入到第一室,就以传统的方式,在介电层 334 和第二金属结构 342 的顶面沉积厚的介电层 346。在介电层 346 的形成之后,从第一室清除晶片 310。

[0075] 可跟随第二金属结构 342 的形成,结束金属结构的形成,或,可替换地,可在形成介电层 346 之前,继续 n 附加循环的金属结构的形成。图 10 显示说明形成依照本发明的电容器的方法的 n 附加循环的第二循环的实例的横截面图。

[0076] 如图 10 中显示的,可通过将晶片 310 移动到第一室执行 n 附加循环的第二循环,其中在介电层 334 和第二金属结构 342 上形成具有基本地均匀的厚度的介电层 348。接下来,从第一室清除晶片 310,和插入到第二室,其中在介电层 348 上形成第三金属结构 350。这个之后,将晶片 310 从第二室向后移动到第一室,其中在介电层 348 和第三金属结构 350 上形成介电层 352。

[0077] 在这之后,将晶片 310 从第一室移动到第三室,其中在介电层 352 上形成第四金属结构 354。在这之后,将晶片 310 从第三室向后移动到第一室,其中在介电层 352 和第四金属结构 354 上形成厚介电层 346。

[0078] 与通过开口 320 的尺寸(例如,浅的开口 320 不能容纳大量的金属结构)和上限限制的一样,通过要获得的电容值定义要执行的 n 附加的循环的数目。统计上,可通过缺陷率和允许的误失率确定上限。例如,如果每一千个循环中的一个具有引起电容器失败的缺陷,和允许的误失率是每五十个电容器中的一个,则每一个电容器可包含 20 个循环的上限。

[0079] 失败的一个主要原因是介电层中针孔的形成,其中所述介电层分离临近的金属结构。结果,可从多层材料形成介电层 322、334、346、348、和 352 中的每一个。进一步地,多层材料可包含两个或更多不同类型的材料。多层介电材料充分地减少介电层中可引起电容器失败的针孔的可能性。(随着将晶片 310 从室移动到室,维持的真空也显著地减少形成针孔的可能性)。

[0080] 可利用任何传统的介电材料,如氧化物、氮氧化物、或氮化物实现介电层 322、334、346、348、352。进一步地,需要烧结的其他材料,如钛酸锶钡(BST)、三氧化钛(TiO_x)、和钛酸钡(BT)也可用于实现介电层。由于烧结需要,利用可使用的金属或合金的类型测定这些其他材料。

[0081] 用于在第二和第三室中形成目标 212 的材料可能是相同的或不同的,和可能是在多室系统中通过掩模板等角地沉积的金属或合金,和可经受剩余的制作要求,如加工温度和蚀刻化学。具有低的薄层电阻的铬是可沉积以便在第二和第三室中形成金属结构的材料

的实例。铝也是可使用的材料的实例。

[0082] 图 11 显示说明在形成依照本发明的电容器的方法中, n 附加循环和第七步骤的完成之后, 下一个步骤的实例的横截面图。如图 11 中显示的, 在形成最后的金属结构 342 或 354 之后, 从多室半导体处理系统清除晶片 310, 和然后以传统的方法平面化, 如利用化学-机械抛光。

[0083] 如图 11 中进一步显示的, 平面化形成绝缘区域 358, 和从位于晶片 310 的顶部水平面移动金属结构 330、介电层 334、金属结构 342、和介电层 346 (和当出现时, 移动介电层 348、金属结构 350、介电层 352、和金属结构 354)。

[0084] 结果, 金属结构 330、介电层 334、金属结构 342、和介电层 346 (和当出现时, 介电层 348、金属结构 350、介电层 352、和金属结构 354) 完全地位于开口 320 内。如图 11 显示的, 在从晶片 310 的顶部水平面清除介电层 322 之后, 或可替换地, 在从介电层 322 的顶部水平面清除金属结构 330 之后, 终止平面化。

[0085] 图 12 显示说明在形成依照本发明的电容器的方法中, 在平面化之后, 下一个步骤的实例的横截面图。如图 12 显示的, 在完成平面化之后, 按照惯例, 在晶片 310 的顶面上沉积绝缘层 360, 之后是传统的有图案的光刻胶层 362 的形成。例如, 可利用氧化物实现绝缘层 360。

[0086] 在形成有图案的光刻胶层 362 之后, 以传统的方式蚀刻绝缘层 360 的暴露的区域, 从而形成暴露第一金属结构 330 (和第三金属结构 350 和出现的任何附加的奇数结构) 的第一开口 364, 和暴露第二金属结构 342 (和第四金属结构 354 和出现的任何附加的偶数结构) 的第二开口 366。一旦暴露了晶片 310 的顶面, 就以传统的方法清除有图案的光刻胶层 362。

[0087] 图 13 显示说明在形成依照本发明的电容器的方法中, 在有图案的光刻胶层 362 的清除之后, 下一个步骤的实例的横截面图。如图 13 中显示的, 在清除有图案的光刻胶层 362 之后, 在绝缘层 360 的顶面上沉积金属材料, 如接触 / 孔道材料, 从而填补开口 364 和 366, 和然后以传统的方式平面化, 从而在第一开口 364 中形成第一金属接触 370 和在第二开口 366 中形成第二金属接触 372。

[0088] 第一金属接触 370 接触第一金属结构 330 (和第三金属结构 350 和出现的任何附加的奇数结构), 第二金属接触 372 接触第二金属结构 342 (和第四金属结构 354 和出现的任何附加的奇数结构)。在这之后, 利用传统的后面的末端处理步骤继续方法。

[0089] 因而, 描述了利用掩模板, 用于形成具有大积极板和小的占用面积的半导体电容器的方法。

[0090] 本发明的一个优势是通过利用非均质的湿蚀刻或各向同性湿蚀刻在晶片中形成开口, 形成电容器沉积的每一个材料给具有均匀的厚度的开口安衬里 (除了金属层的边缘之外), 因此排除薄弱点和传统的方法关联的非均匀的覆盖问题。

[0091] 本发明的另一个优势是本发明只利用两个光刻步骤形成电容器: 即, 需要在掩蔽层 312 中形成开口 316 的步骤, 和需要在绝缘层 360 中形成开口 364 和 366 的步骤。进一步地, 因为本发明的方法考虑要形成大量的极板, 例如, 20 奇数和 20 偶数极板, 本发明的电容器可具有非常大的电容值, 例如, 微法范围。

[0092] 图 14 显示说明依照本发明的第二实施例的等离子体蚀刻室 1400 的实例的横截面

图。如图 14 显示的,在操作期间封闭的等离子体蚀刻室 1400 包含晶片支持 1410,如卡盘,和位于和从晶片支持 1410 分离的 RF 等离子体发生器 1412。另外,等离子体蚀刻室 1400 也包含连接到晶片支持 1410 和 RF 等离子体发生器 1412 上的框架结构 1414,从而支持晶片支持 1410 和 RF 等离子体发生器 1412。

[0093] 依照本发明的第二实施例,多室半导体处理系统可包含利用等离子体蚀刻室 1400 实现的全体的等离子体蚀刻室。在本发明的第二实施例中,在每一个介电层的沉积之后和在形成下一个金属结构之前,可执行全体的等离子体蚀刻,以便清除介电层的表面层,从而清除可在介电层的顶面出现的任何污染物。图 14 说明介电层 334 的全体的等离子体蚀刻。

[0094] 图 15A 和 15B 显示说明依照本发明的定义的掩模板的实例的平面图。图 15A 显示第一定义的掩模板 1510,而图 15B 显示第二定义的掩模板 1520。如图 15A 显示的,可利用铝实现的定义的掩模板 1510 包含通常是掩模板 (shadow mask) 214A 中的开口的倒转的金属板区域 1512,和连接金属板区域 1512 与临近结构的许多支持区域 1514。

[0095] 同样地,如图 15B 显示的,可利用铝实现的定义的掩模板 1520 包含通常是掩模板 (shadow mask) 214B 中的开口的倒转的金属板区域 1522,和连接金属板区域 1524 与临近结构的许多支持区域 1524。

[0096] 图 16 显示说明依照本发明的第三实施例的等离子体蚀刻室 1600 的实例的横截面图。如图 16 中显示的,等离子体蚀刻室 1600 类似于等离子体蚀刻室 1400 和,结果,利用相同的参考数字指示两个常见的结构。

[0097] 如图 16 中显示的,等离子体蚀刻室 1600 不同于等离子体蚀刻室 1400,因为等离子体蚀刻室 1600 包含连接到框架结构 1414 上的定义的掩模板 1610,从而位于晶片支持 1410 和 RF 等离子体发生器 1412 之间。

[0098] 依照本发明的第三实施例,多室半导体处理系统可包含利用等离子体蚀刻室 1600 实现的第一定义的等离子体蚀刻室,其中利用如图 16 中说明的定义的掩模板 1510 实现定义的掩模板 1610,利用等离子体蚀刻室 1600 实现的第二定义的等离子体蚀刻室,其中利用定义的掩模板 1520 实现定义的掩模板 1610。

[0099] 在本发明的第三实施例中,在每一个奇数金属结构的沉积之后,例如,第一金属结构 330 和第三金属结构 350,和在形成下一个介电层之前,通过定义的掩模板 1610/1510 等离子体蚀刻晶片 310,从而清除不期望的远离金属结构 330 和 350 延伸的任何金属层。

[0100] 例如,金属薄层可不期望地在开口 324 的右侧延伸,以便由于经过掩模板 214A 的非各向异性的原子,金属层位于开口 324 的两个侧面上的介电层 322 的顶部水平面上。定义的等离子体蚀刻移动金属的这个薄层,从而确保,每一个金属板只位于开口的一个侧面。

[0101] 同样地,在每一个偶数金属结构的沉积之后,例如,第二金属结构 342 和第四金属结构 354,和在形成下一个介电层之前,通过定义的掩模板 1610/1520 等离子体蚀刻晶片 310,从而清除不期望的远离金属结构 342 和 354 延伸的任何金属层。

[0102] 图 17 显示说明依照本发明的定义的掩模板 1510 和 1520 的支持区域 1514 和 1524 的实例的横截面图。如图 17 中显示的,当金属薄层 1710 不期望地远离金属结构延伸时,支持区域 1514 或支持区域 1524 (取决于是否蚀刻奇数或偶数金属层) 阻挡等离子体蚀刻清除直接地位于支持区域 1514 和 1524 下面的金属薄层 1710。

[0103] 然而,如图 17 进一步显示的,获取支持区域 1514 和 1524 的侧壁,以便,反射由每

一个支持区域 1514 和 1524 封锁的等离子体蚀刻颗粒,从而清除直接地位于临近的支持区域 1514 和 1524 下面的第一金属 1710 的薄层。

[0104] 应该理解,上述描述是本发明的实例,和应该理解,可在实践本发明中利用此处描述的本发明的多种替换选项。因此,意图是,下列权利要求定义本发明的范畴,和因此包含这些权利要求的范畴和它们的对等物内的结构和方法。

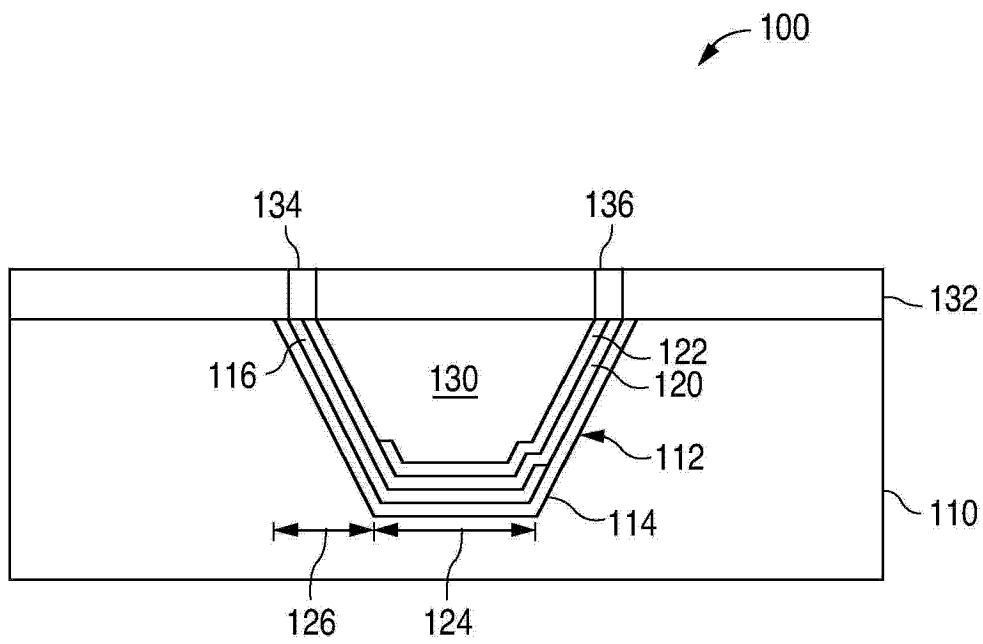


图 1A

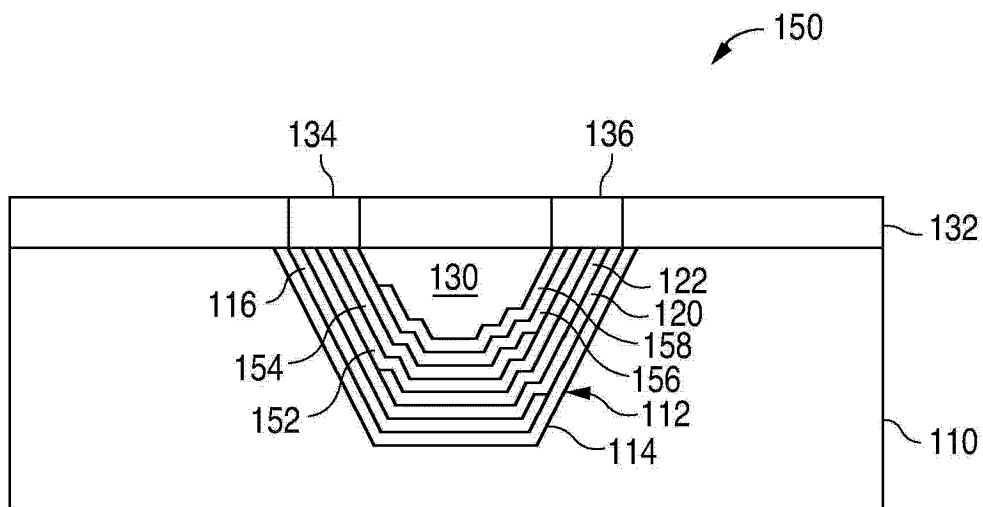


图 1B

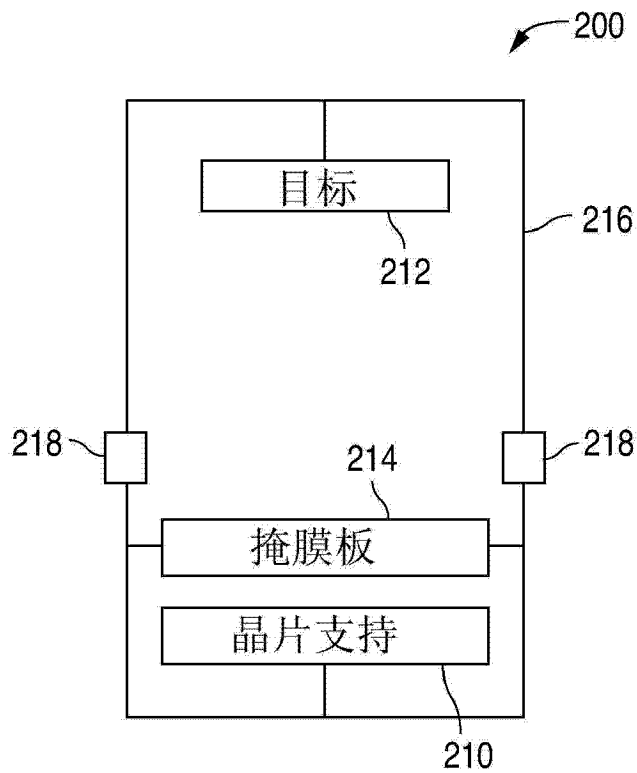


图 2A

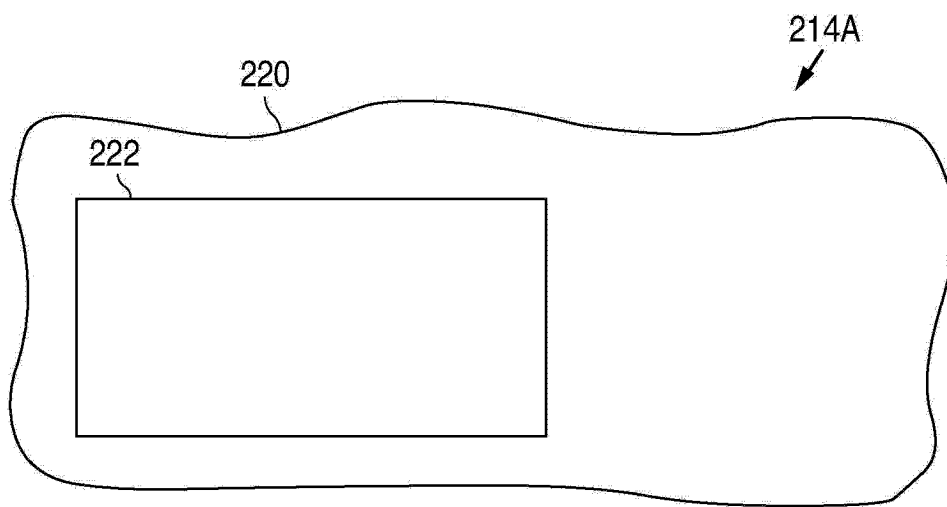


图 2B

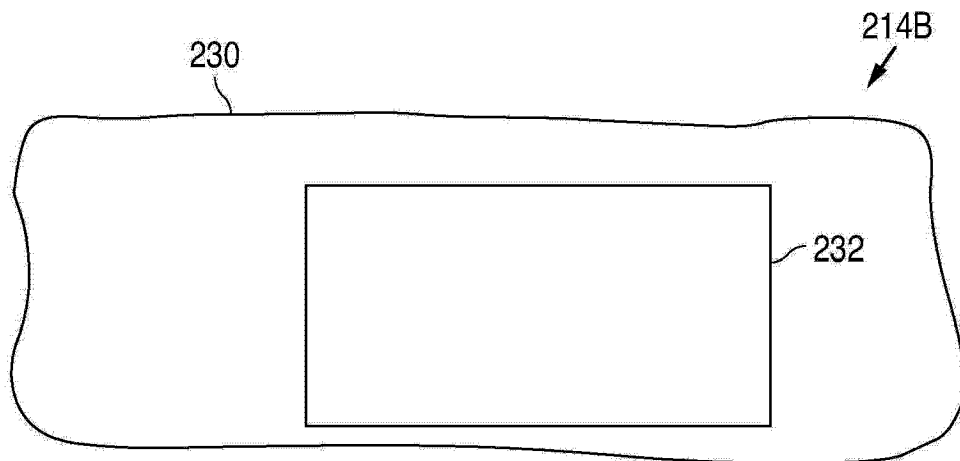


图 2C

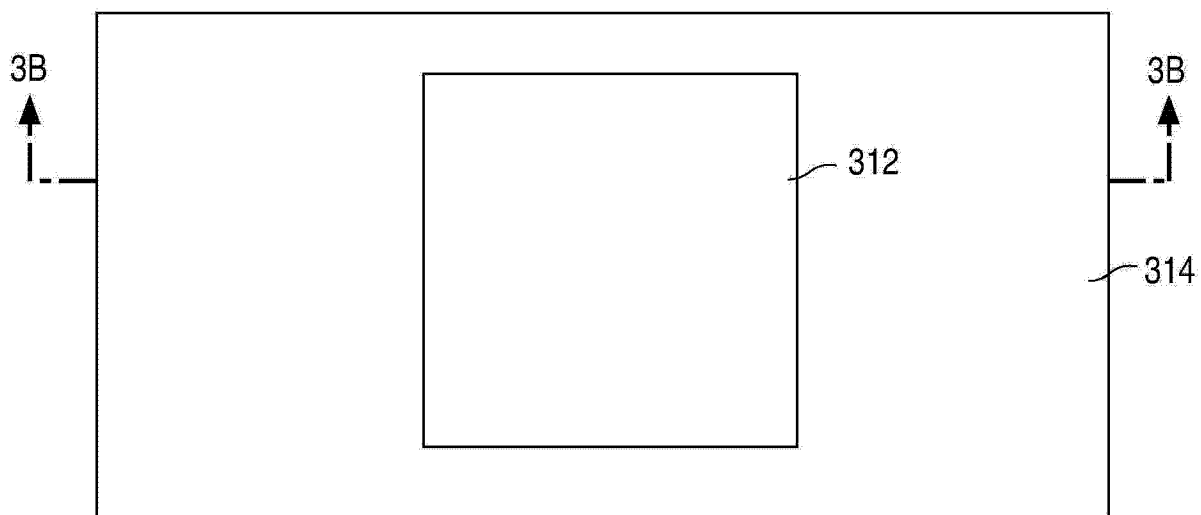


图 3A

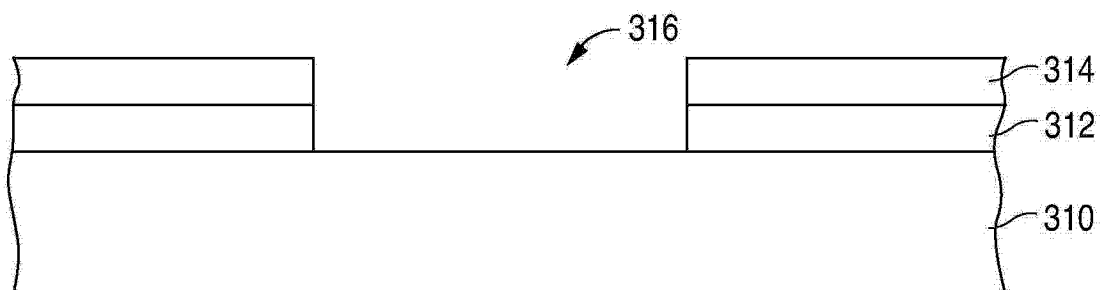


图 3B

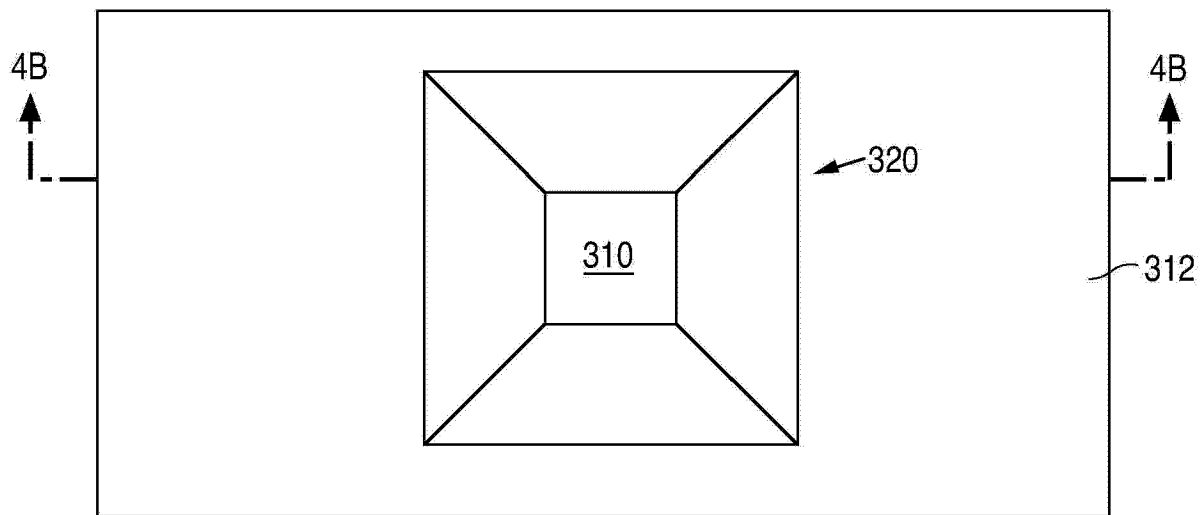


图 4A

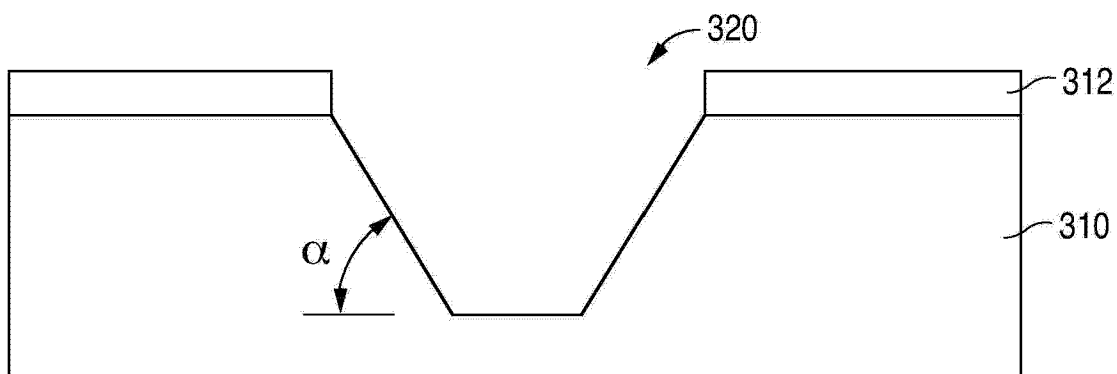


图 4B

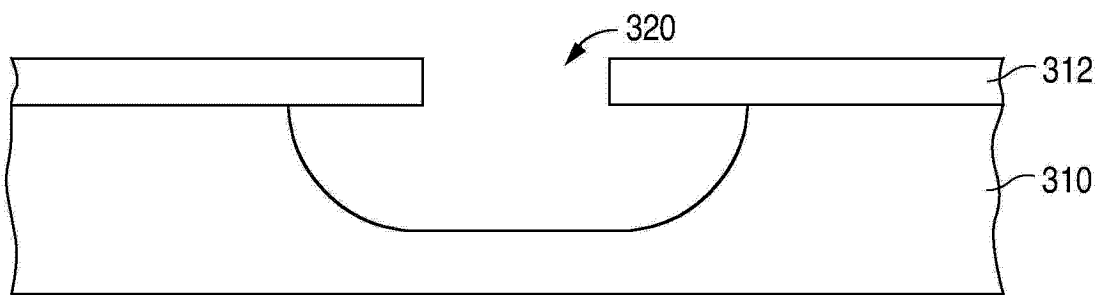


图 4C

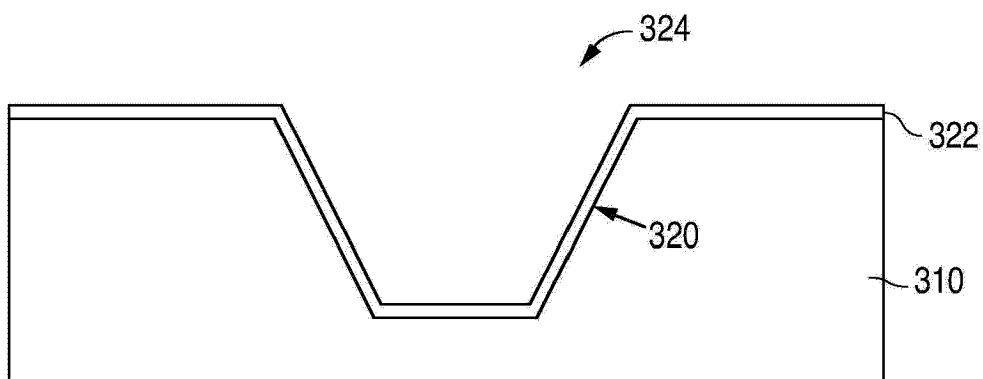


图 5

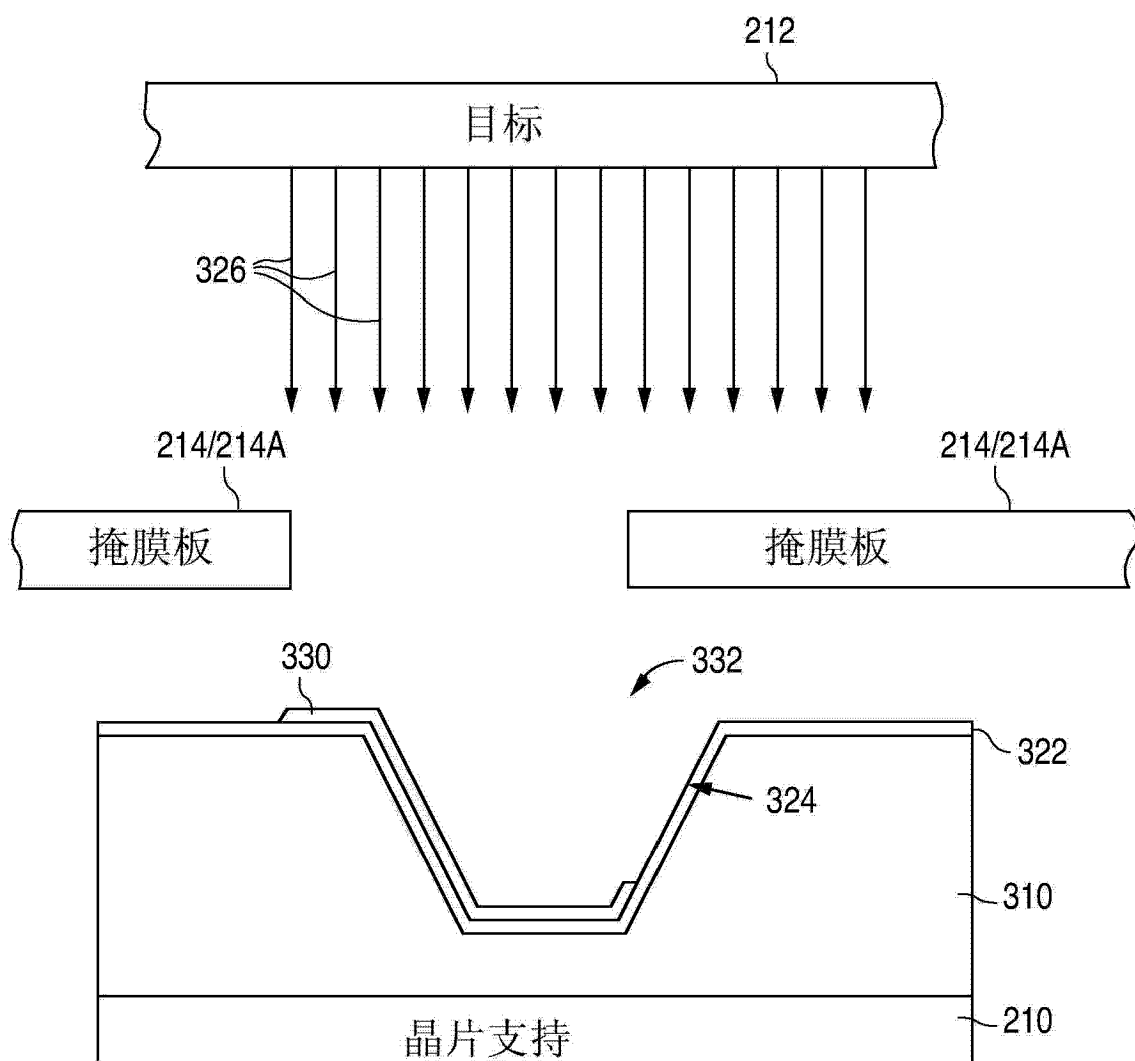


图 6

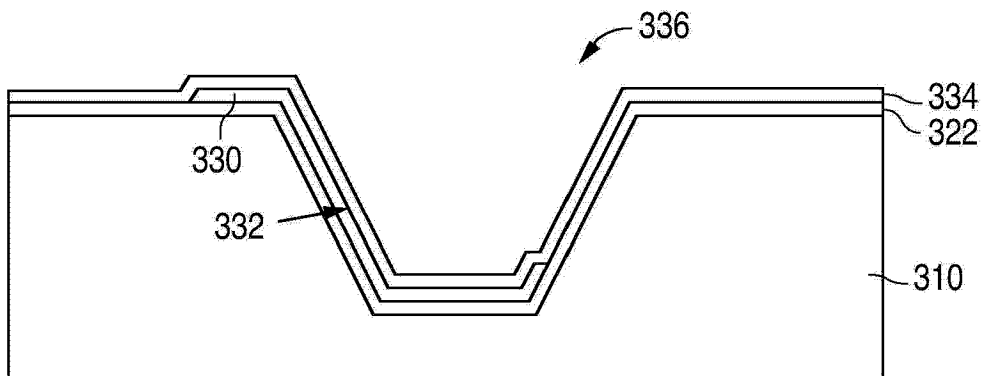


图 7

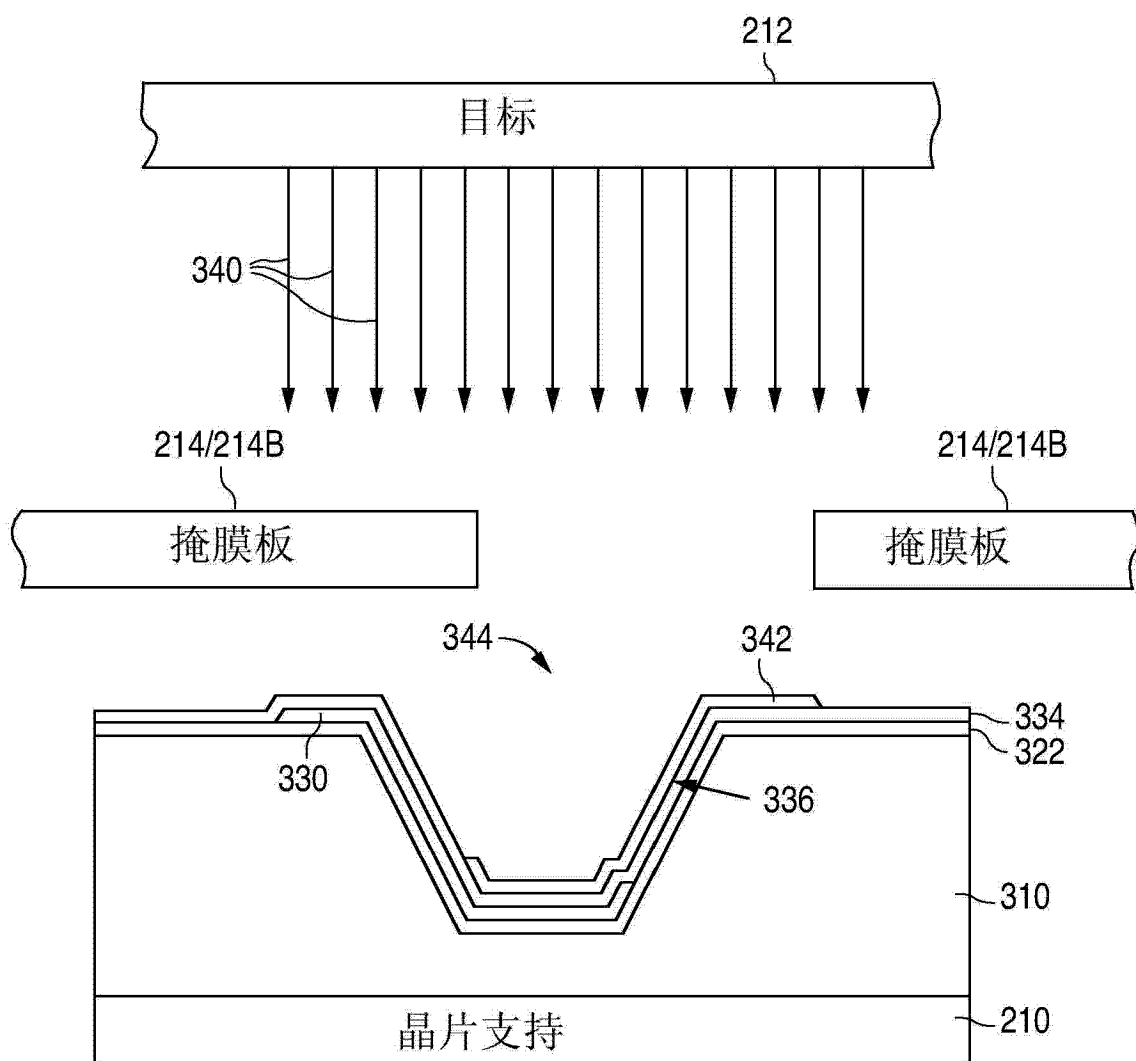


图 8

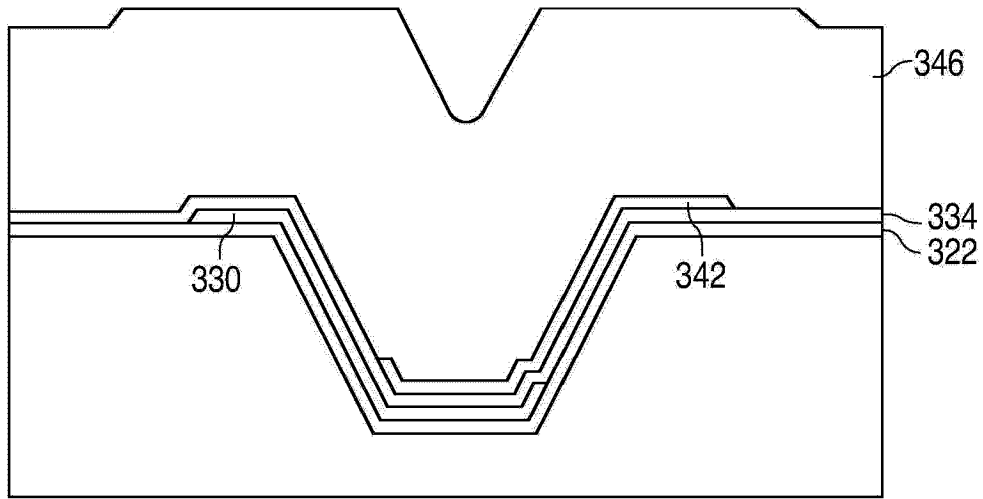


图 9

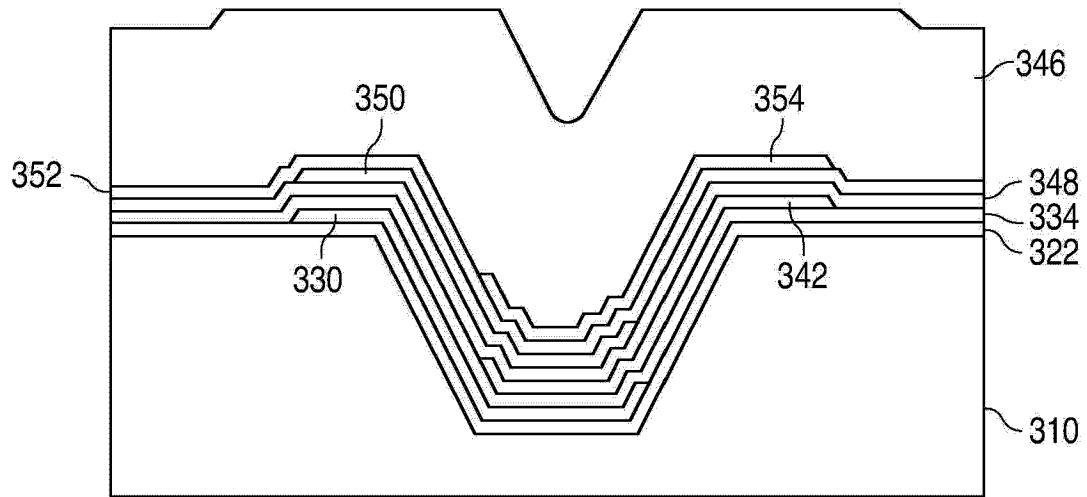


图 10

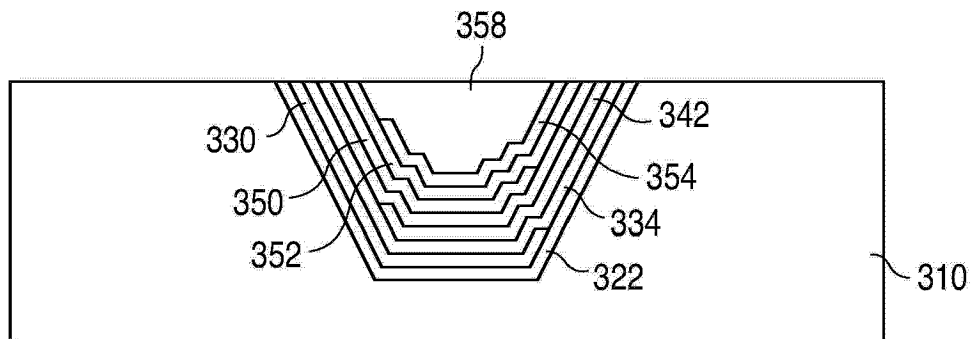


图 11

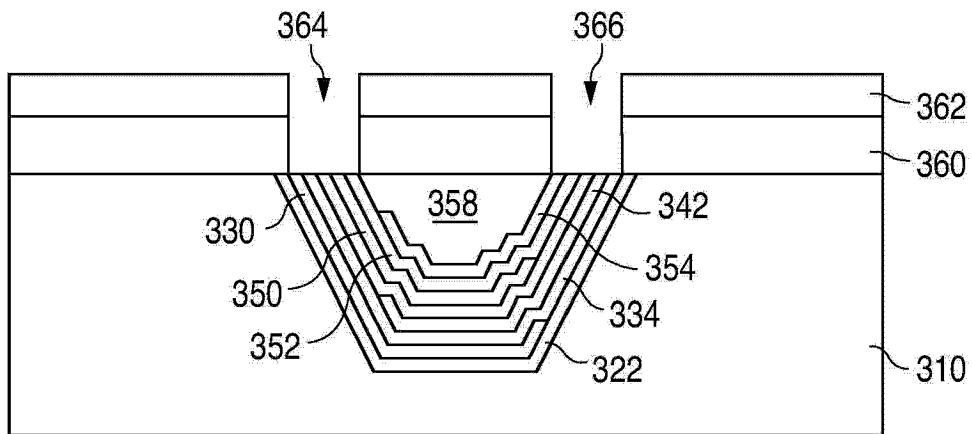


图 12

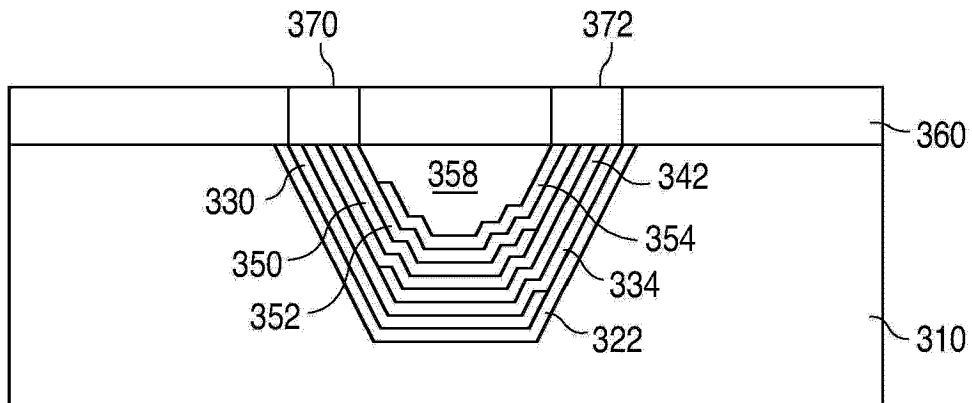


图 13

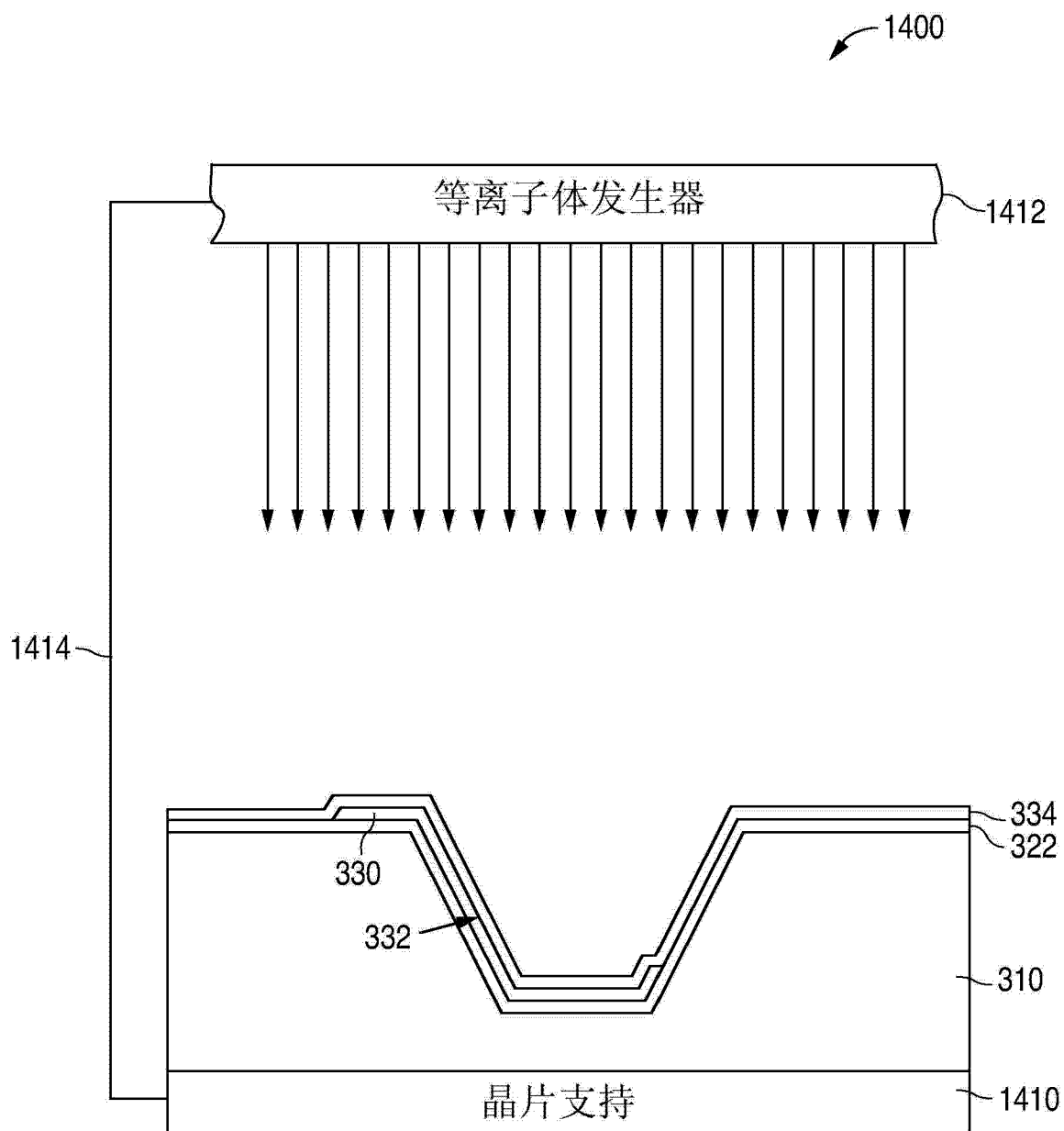


图 14

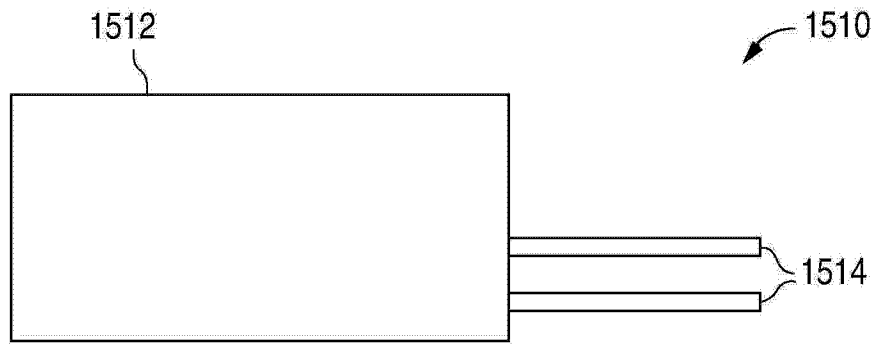


图 15A

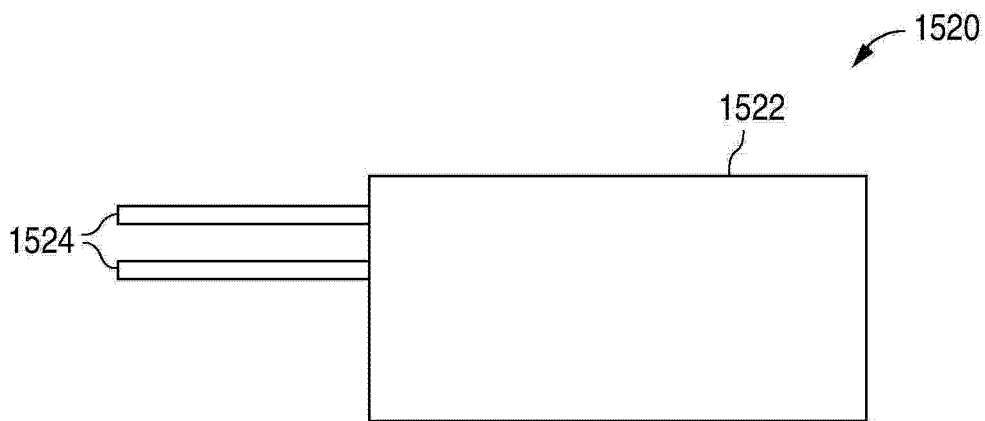


图 15B

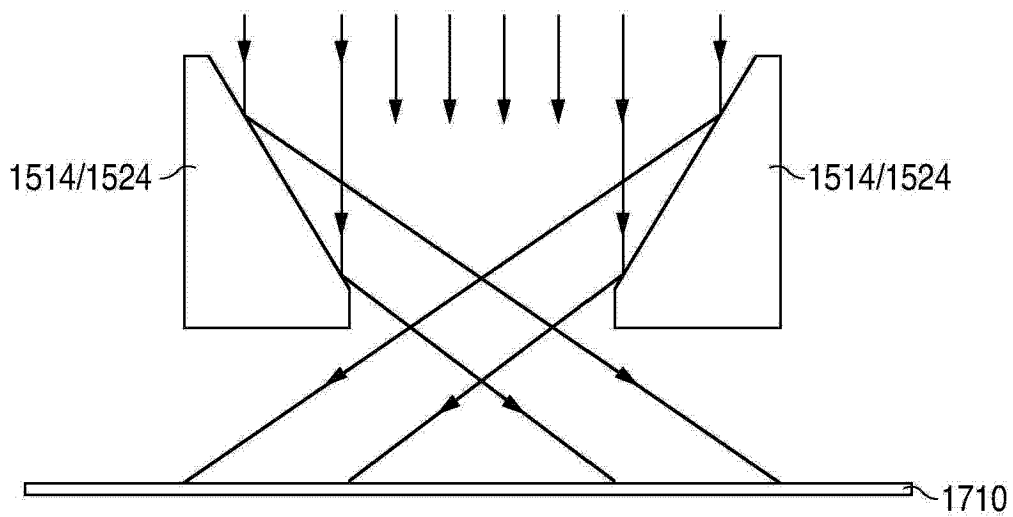


图 17

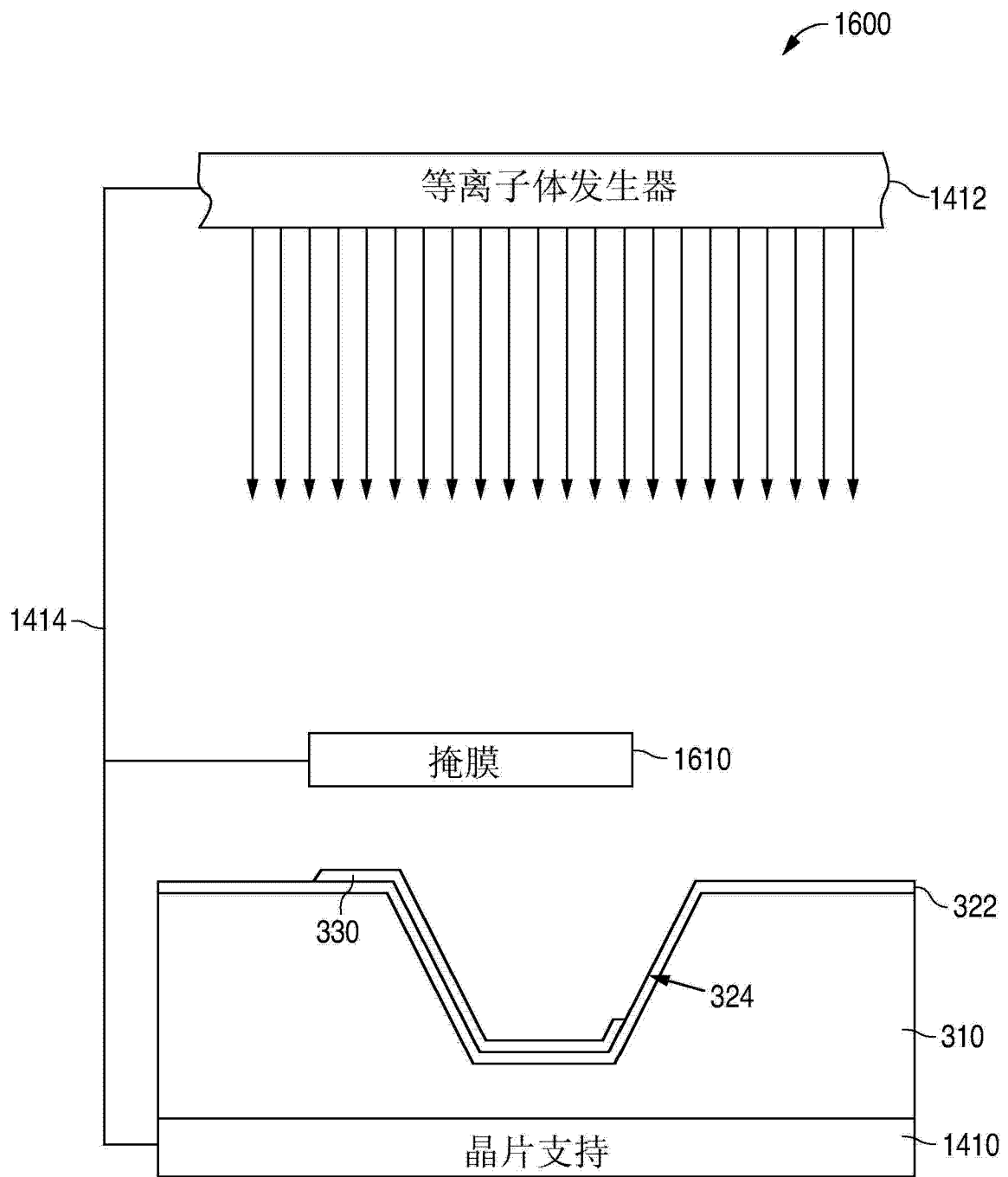


图 16