(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2009-111333
(P2009-111333A)
(43)公開日　平成21年5月21日(2009.5.21)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 21/3205	(2006.01)	H01L	21/88	T	5F033
H01L 23/52	(2006.01)	H01L	21/88	S	
H01L 23/12	(2006.01)	H01L	23/12	501P	
H01L 21/60	(2006.01)	H01L	21/92	602H	

審査請求 未請求　請求項の数 17　ＯＬ　（全 15 頁）

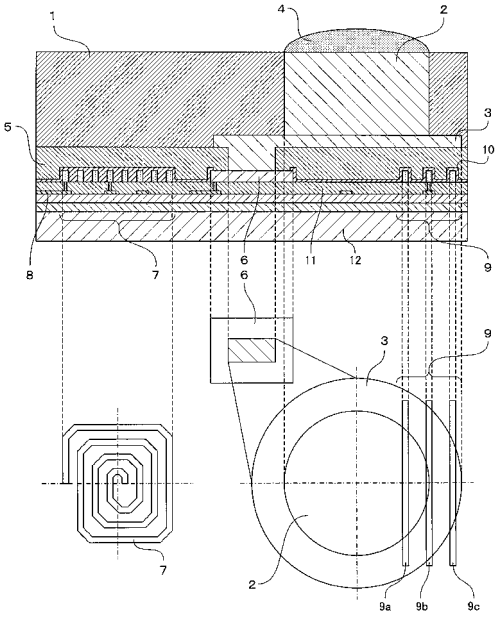
(21)出願番号　特願2008-133712 (P2008-133712)
(22)出願日　平成20年5月22日 (2008.5.22)
(31)優先権主張番号　特願2007-265973 (P2007-265973)
(32)優先日　平成19年10月12日 (2007.10.12)
(33)優先権主張国　日本国(JP)

(71)出願人　000005821
パナソニック株式会社
大阪府門真市大字門真１００６番地
(74)代理人　100100000
弁理士　原田　洋平
(74)代理人　100068087
弁理士　森本　義弘
(74)代理人　100096437
弁理士　笹原　敏司
(72)発明者　手谷　道成
大阪府門真市大字門真１００６番地　松下電器産業株式会社内
(72)発明者　藤作　実
大阪府門真市大字門真１００６番地　松下電器産業株式会社内

最終頁に続く

(54)【発明の名称】半導体装置

(57)【要約】
【課題】外形の変更や新たな工程や費用を発生させることなく、クラックの発生を抑制することを目的とする。
【解決手段】ウェハレベルＣＳＰパッケージにおいて、パッケージ外周部分に配置される外部出力端子近傍の信号配線配置禁止領域１６に配置される信号配線９ｂに対して、その周囲にダミー配線９ａを配置、あるいは信号配線９自体の幅を大きくすることにより、信号配線９に発生する応力を分散することができるため、容易に、表面保護膜のクラックの発生を抑制することができる。
【選択図】図２



【特許請求の範囲】
【請求項１】
外部端子を備えるウェハレベルチップスケールパッケージ構造の半導体装置であって、
基板平面と平行な平面で、隣接する前記外部端子の重心を結ぶ線上と前記半導体装置のパッケージ端との間の領域を信号配線禁止領域と想定し、
前記信号配線禁止領域に配置される信号配線と、
前記信号配線の周囲の同一配線層に配置されるダミー配線とを有することを特徴とする半導体装置。
【請求項２】
外部端子を備えるウェハレベルチップスケールパッケージ構造の半導体装置であって、
前記半導体装置のパッケージ端から基板平面と平行な平面で前記外部端子の重心に垂線を引き、前記垂線を中心に前記重心から１４０°の扇角を持った範囲と、前記重心を中心に前記外部端子端までの最短の長さの５分の４を半径とした円弧と前記重心を中心に前記外部端子端までの最長の長さの５分の６を半径とした円弧とで囲まれた範囲とが重なる領域を信号配線禁止領域と想定し、
前記信号配線禁止領域に配置される信号配線と、
前記信号配線と同一配線層の周囲に配置されるダミー配線とを有することを特徴とする半導体装置。
【請求項３】
基板主面と平行な平面が円形形状のバンプにより形成される外部端子を備えるウェハレベルチップスケールパッケージ構造の半導体装置であって、
隣接する前記外バンプの基板平面と平行な平面での中心を結ぶ線上と前記半導体装置のパッケージ端との間の領域を信号配線禁止領域と想定し、
前記信号配線禁止領域に配置される信号配線と、
前記信号配線の周囲の同一配線層に配置されるダミー配線とを有することを特徴とする半導体装置。
【請求項４】
基板主面と平行な平面が円形形状のバンプにより形成される外部端子を備えるウェハレベルチップスケールパッケージ構造の半導体装置であって、
前記半導体装置のパッケージ端から前記外部端子の平面円の中心に垂線を引き、前記垂線を中心に前記平面円の中心から１４０°の扇角を持った範囲と、前記平面円の中心を中心に前記外部端子半径の５分の４の円弧と前記平面円の中心を中心に前記外部端子半径の５分の６の円弧とで囲まれた範囲とが重なる領域を信号配線禁止領域と想定し、
前記信号配線禁止領域に配置される信号配線と、
前記信号配線と同一配線層の周囲に配置されるダミー配線とを有することを特徴とする半導体装置。
【請求項５】
前記バンプの下層にポストを備えることを特徴とする請求項３または請求項４のいずれかに記載の半導体装置。
【請求項６】
前記バンプの下層にアンダーバンプメタル膜を備えることを特徴とする請求項３または請求項４のいずれかに記載の半導体装置。
【請求項７】
前記ダミー配線が、前記信号配線と２μｍ以上の隙間を開け、前記信号配線の周囲を連続的に囲っている事を特徴とする請求項１～請求項６のいずれかに記載の半導体装置。
【請求項８】
前記ダミー配線が、前記信号配線の幅寸法以上の隙間を開け、前記信号配線に平行して１または複数本配置される事を特徴とする請求項１～請求項６のいずれかに記載の半導体装置。
【請求項９】

前記ダミー配線が、前記信号配線と２μｍ以上の隙間を開け、前記信号配線に平行して１または複数本配置される事を特徴とする請求項１～請求項６のいずれかに記載の半導体装置。

【請求項１０】

外部端子を備えるウェハレベルチップスケールパッケージ構造の半導体装置であって、

基板平面と平行な平面で隣接する前記外部端子の重心を結ぶ線上と前記半導体装置のパッケージ端との間の領域を信号配線禁止領域と想定し、

前記信号配線禁止領域に配置される信号配線の線幅を前記信号配線の厚みの５倍以上の幅にすることを特徴とする半導体装置。

【請求項１１】

外部端子を備えるウェハレベルチップスケールパッケージ構造の半導体装置であって、

前記半導体装置のパッケージ端から基板平面と平行な平面で前記外部端子の重心に垂線を引き、前記垂線を中心に前記重心から１４０°の扇角を持った範囲と、前記重心を中心に前記外部端子端までの最短の長さの５分の４を半径とした円弧と前記重心を中心に前記外部端子端までの最長の長さの５分の６を半径とした円弧とで囲まれた範囲とが重なる領域を信号配線禁止領域と想定し、

前記信号配線禁止領域に配置される信号配線の線幅を前記信号配線の厚みの５倍以上の幅にすることを特徴とする半導体装置。

【請求項１２】

基板主面と平行な平面が円形形状のバンプにより形成される外部端子を備えるウェハレベルチップスケールパッケージ構造の半導体装置であって、

隣接する前記外バンプの基板平面と平行な平面での中心を結ぶ線上と前記半導体装置のパッケージ端との間の領域を信号配線禁止領域と想定し、

前記信号配線禁止領域に配置される信号配線の線幅を前記信号配線の厚みの５倍以上の幅にすることを特徴とする半導体装置。

【請求項１３】

基板主面と平行な平面が円形形状のバンプにより形成される外部端子を備えるウェハレベルチップスケールパッケージ構造の半導体装置であって、

前記半導体装置のパッケージ端から前記外部端子の平面円の中心に垂線を引き、前記垂線を中心に前記平面円の中心から１４０°の扇角を持った範囲と、前記平面円の中心を中心に前記外部端子半径の５分の４の円弧と前記平面円の中心を中心に前記外部端子半径の５分の６の円弧とで囲まれた範囲とが重なる領域を信号配線禁止領域と想定し、

前記信号配線禁止領域に配置される信号配線の線幅を前記信号配線の厚みの５倍以上の幅にすることを特徴とする半導体装置。

【請求項１４】

前記バンプの下層にポストを備えることを特徴とする請求項１２または請求項１３のいずれかに記載の半導体装置。

【請求項１５】

前記バンプの下層にアンダーバンプメタル膜を備えることを特徴とする請求項１２または請求項１３のいずれかに記載の半導体装置。

【請求項１６】

前記信号配線禁止領域に配置される信号配線の線幅を１０μｍ以上にすることを特徴とする請求項１０～請求項１５のいずれかに記載の半導体装置。

【請求項１７】

前記複数の配線は、Ａｌを含んだ材料であり、厚さは１．５μｍ以上であることを特徴とする請求項１～請求項１６のいずれかに記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、半導体チップ状態で樹脂封止された、ウェハレベルチップスケールパッケー

ジ構造の半導体装置に関する。

【背景技術】

【０００２】

近年、パッケージングされて形成される半導体装置は、電子機器の小型化及び高機能化に伴って、パッケージ自体の小型化及び高密度化により多端子化を要求され、小型で且つ多端子を有するパッケージとして種々のチップスケールパッケージ（ＣＳＰ）が開発されている。

【０００３】

特に、複数の集積回路が形成された半導体ウェハの全面に、絶縁性樹脂膜を形成しておき、形成した絶縁性樹脂膜の上にコンタクトホールを介して集積回路のパッド電極とバンプ等の外部端子とを電気的に接続する配線を形成し、さらに、最終工程において、半導体ウェハをチップ状に分割して形成するウェハレベルＣＳＰ（ＷＬＣＳＰ）は、ベアチップと同等の究極の小型パッケージを実現可能とする技術として近年注目されている。

【０００４】

加えて、従来は半導体チップとは別体で、いわゆる外付け部品であったインダクター素子を、ＷＬＣＳＰ型の半導体装置における絶縁性樹脂膜の上に外部端子との配線材を利用して形成する半導体パッケージが発表されている。このインダクター素子を有するＷＬＣＳＰ型の半導体装置は、携帯機器又は無線ＬＡＮ装置等の数百ＭＨｚから数ＧＨｚのアプリケーションに適用できる超小型の半導体パッケージとしても期待されている。

【０００５】

ここで、従来の半導体装置について図１０、図１１、図１２、図１３を用いて詳細に説明する。

図１０は従来の半導体装置の構成を示す要部断面図とそれに対応した配線配置図、図１１は従来のＷＬＣＳＰの実装状態を示す図、図１２は従来のＷＬＣＳＰの実装状態を示す要部拡大図、図１３は従来のＷＬＣＳＰの実装時の半導体配線付近に印加される荷重と応力集中箇所を示す図である。

【０００６】

また、図１２は図１１中のＡ部の拡大図、図１３は、図１２中のＢ部の拡大図である。

図１０、図１１、図１２、図１３において、１は封止樹脂、２はポスト、３は再配線、４は半田バンプ、５は絶縁膜、６はＡｌ配線パッド、７はＡｌ配線インダクター、８は第１の信号配線、９は第２の信号配線、１０は表面保護膜、１１は層間絶縁膜、１２は半導体基板、１３は実装基板、１４は実装基板端子、１７はクラック、１８はＷＬＣＳＰ、１９は応力集中箇所である。

【０００７】

まず、従来の半導体装置の構成について図１０を用いて説明する。図１０に示すように半導体装置は、半導体基板１２上に、例えば、ＭＯＳ型トランジスタのような半導体素子や、ＰＮ接合にて形成されているダイオード、バイポーラ型トランジスタなどの半導体素子が形成されている。半導体基板１２上を層間膜絶縁膜１１で覆い半導体素子を保護している。また、半導体素子から信号を導通するための第１の信号配線８や、多層配線技術を用いて第１の信号配線８上に層間絶縁膜１１にて電気的に絶縁された第２の信号配線９や、Ａｌ配線インダクター７、外部へ信号を取り出す為のＡｌ配線パッド６が配置されている。これらのものは、表面保護膜１０により、電気的、又は、外界からの雰囲気的に絶縁され保護される。

【０００８】

次に、Ａｌ配線パッド６から実際に外部へ信号を取り出すために、再配線３を用い、半田バンプ４下まで配線が配置されている。半田バンプ４と再配線３は、実装信頼性向上の為、ポスト２を介して接続されている。ポスト２及び再配線３は外部的衝撃や雰囲気から守るため、封止樹脂１にて保護されている。また、実装基板へ接続する接点となる半田バンプ４がポスト２上に形成されている。ここで、第２の信号配線９、Ａｌ配線パッド６、Ａｌ配線インダクター７は、インダクター特性値を考慮し、約２μｍ程度の厚い膜厚の配

線を使用する。相対的に、第２の信号配線９に対して表面保護膜１０は薄く形成される。
【０００９】
また、第２の信号配線９は、図１１におけるＡ部の様なＷＬＣＳＰ１８の再外周の端子で、図１２におけるＢ部の様なポスト２の外周部直下に配置されている。
図１１において、ＷＬＣＳＰ１８は、半田バンプ４の面を下側にして実装基板１３上に形成され、実装基板端子１３に載置される。その後、熱処理工程（２２０～２６０℃）を実施し、半田バンプ４が溶融し、実装基板端子１４と接合される（例えば、特許文献１参照）。
【００１０】
図１３は、ＷＬＣＳＰ１８は半田バンプ４を配置しているＷＬＣＳＰ１８の再外周部分に配置されている半田バンプ４及びポスト２下に配置された第２の信号配線９及び表面保護膜１０について、熱処理工程時に発生する周辺の部材の荷重の印加状態と、応力集中箇所１９の位置を示したものである。
【特許文献１】特開平７－２７３２９２号公報
【発明の開示】
【発明が解決しようとする課題】
【００１１】
しかしながら、従来のＷＬＣＳＰにおいて、図１０及び図１３に示す第２の信号配線９がポスト２の外周部直下に配置された場合において、そのポスト２が、ＷＬＣＳＰ１８の出力端子が並んでいるパッケージの外周部に配置された時、ＷＬＣＳＰ１８を実装基板１３に実装し、熱処理後、ＷＬＣＳＰの場合は、パッケージに使用するパッケージ内配線を第２の信号線９と表面保護膜１０上に直接形成することを特徴とするパッケージの為、第２の信号配線９や表面保護膜１０に表面保護膜１０を破壊する様な大きさの応力が発生し、表面保護膜１０にクラック１７が発生するという問題点があった。
【００１２】
本発明の半導体装置は、前記従来技術の問題を解決することに指向するものであり、外形の変更や新たな工程や費用を発生させることなく、クラックの発生を抑制することを目的とする。
【課題を解決するための手段】
【００１３】
前記の目的を達成するために、本発明に係る請求項１に記載された半導体装置は、外部端子を備えるウェハレベルチップスケールパッケージ構造の半導体装置であって、基板平面と平行な平面で、隣接する前記外部端子の重心を結ぶ線上と前記半導体装置のパッケージ端との間の領域を信号配線禁止領域と想定し、前記信号配線禁止領域に配置される信号配線と、前記信号配線の周囲の同一配線層に配置されるダミー配線とを有することを特徴とする。
【００１４】
請求項２に記載された半導体装置は、外部端子を備えるウェハレベルチップスケールパッケージ構造の半導体装置であって、前記半導体装置のパッケージ端から基板平面と平行な平面で前記外部端子の重心に垂線を引き、前記垂線を中心に前記重心から１４０°の扇角を持った範囲と、前記重心を中心に前記外部端子端までの最短の長さの５分の４を半径とした円弧と前記重心を中心に前記外部端子端までの最長の長さの５分の６を半径とした円弧とで囲まれた範囲とが重なる領域を信号配線禁止領域と想定し、前記信号配線禁止領域に配置される信号配線と、前記信号配線と同一配線層の周囲に配置されるダミー配線とを有することを特徴とする。
【００１５】
請求項３に記載された半導体装置は、基板主面と平行な平面が円形形状のバンプにより形成される外部端子を備えるウェハレベルチップスケールパッケージ構造の半導体装置であって、隣接する前記外バンプの基板平面と平行な平面での中心を結ぶ線上と前記半導体装置のパッケージ端との間の領域を信号配線禁止領域と想定し、前記信号配線禁止領域に

配置される信号配線と、前記信号配線の周囲の同一配線層に配置されるダミー配線とを有することを特徴とする。

【００１６】

請求項４に記載された半導体装置は、基板主面と平行な平面が円形形状のバンプにより形成される外部端子を備えるウェハレベルチップスケールパッケージ構造の半導体装置であって、前記半導体装置のパッケージ端から前記外部端子の平面円の中心に垂線を引き、前記垂線を中心に前記平面円の中心から１４０°の扇角を持った範囲と、前記平面円の中心を中心に前記外部端子半径の５分の４の円弧と前記平面円の中心を中心に前記外部端子半径の５分の６の円弧とで囲まれた範囲とが重なる領域を信号配線禁止領域と想定し、前記信号配線禁止領域に配置される信号配線と、前記信号配線と同一配線層の周囲に配置されるダミー配線とを有することを特徴とする。

【００１７】

請求項５に記載された半導体装置は、請求項３または請求項４のいずれかに記載の半導体装置において、前記バンプの下層にポストを備えることを特徴とする。

請求項６に記載された半導体装置は、請求項３または請求項４のいずれかに記載の半導体装置において、前記バンプの下層にアンダーバンプメタル膜を備えることを特徴とする。

【００１８】

請求項７に記載された半導体装置は、請求項１～請求項６のいずれかに記載の半導体装置において、前記ダミー配線が、前記信号配線と２μｍ以上の隙間を開け、前記信号配線の周囲を連続的に囲っている事を特徴とする。

【００１９】

請求項８に記載された半導体装置は、請求項１～請求項６のいずれかに記載の半導体装置において、前記ダミー配線が、前記信号配線の幅寸法以上の隙間を開け、前記信号配線に平行して１または複数本配置される事を特徴とする。

【００２０】

請求項９に記載された半導体装置は、請求項１～請求項６のいずれかに記載の半導体装置において、前記ダミー配線が、前記信号配線と２μｍ以上の隙間を開け、前記信号配線に平行して１または複数本配置される事を特徴とする。

【００２１】

請求項１０に記載された半導体装置は、外部端子を備えるウェハレベルチップスケールパッケージ構造の半導体装置であって、基板平面と平行な平面で隣接する前記外部端子の重心を結ぶ線上と前記半導体装置のパッケージ端との間の領域を信号配線禁止領域と想定し、前記信号配線禁止領域に配置される信号配線の線幅を前記信号配線の厚みの５倍以上の幅にすることを特徴とする。

【００２２】

請求項１１に記載された半導体装置は、外部端子を備えるウェハレベルチップスケールパッケージ構造の半導体装置であって、前記半導体装置のパッケージ端から基板平面と平行な平面で前記外部端子の重心に垂線を引き、前記垂線を中心に前記重心から１４０°の扇角を持った範囲と、前記重心を中心に前記外部端子端までの最短の長さの５分の４を半径とした円弧と前記重心を中心に前記外部端子端までの最長の長さの５分の６を半径とした円弧とで囲まれた範囲とが重なる領域を信号配線禁止領域と想定し、前記信号配線禁止領域に配置される信号配線の線幅を前記信号配線の厚みの５倍以上の幅にすることを特徴とする。

【００２３】

請求項１２に記載された半導体装置は、基板主面と平行な平面が円形形状のバンプにより形成される外部端子を備えるウェハレベルチップスケールパッケージ構造の半導体装置であって、隣接する前記外バンプの基板平面と平行な平面での中心を結ぶ線上と前記半導体装置のパッケージ端との間の領域を信号配線禁止領域と想定し、前記信号配線禁止領域に配置される信号配線の線幅を前記信号配線の厚みの５倍以上の幅にすることを特徴とす

る。

【００２４】

請求項１３に記載された半導体装置は、基板主面と平行な平面が円形形状のバンプにより形成される外部端子を備えるウェハレベルチップスケールパッケージ構造の半導体装置であって、前記半導体装置のパッケージ端から前記外部端子の平面円の中心に垂線を引き、前記垂線を中心に前記平面円の中心から１４０°の扇角を持った範囲と、前記平面円の中心を中心に前記外部端子半径の５分の４の円弧と前記平面円の中心を中心に前記外部端子半径の５分の６の円弧とで囲まれた範囲とが重なる領域を信号配線禁止領域と想定し、前記信号配線禁止領域に配置される信号配線の線幅を前記信号配線の厚みの５倍以上の幅にすることを特徴とする。

【００２５】

請求項１４に記載された半導体装置は、請求項１２または請求項１３のいずれかに記載の半導体装置において、前記バンプの下層にポストを備えることを特徴とする。

請求項１５に記載された半導体装置は、請求項１２または請求項１３のいずれかに記載の半導体装置において、前記バンプの下層にアンダーバンプメタル膜を備えることを特徴とする。

【００２６】

請求項１６に記載された半導体装置は、請求項１０～請求項１５のいずれかに記載の半導体装置において、前記信号配線禁止領域に配置される信号配線の線幅を１０μｍ以上にすることを特徴とする。

【００２７】

請求項１７に記載された半導体装置は、請求項１～請求項１６のいずれかに記載の半導体装置において、前記複数の配線は、Ａｌを含んだ材料であり、厚さは１．５μｍ以上であることを特徴とする。

【００２８】

以上により、外形の変更や新たな工程や費用を発生させることなく、クラックの発生を抑制することができる。

【発明の効果】

【００２９】

本発明によれば、ウェハレベルＣＳＰパッケージにおいて、パッケージ外周部分に配置される外部出力端子近傍の配線禁止領域に配置される信号配線に対して、その周囲にダミー配線を配置、あるいは信号配線自体の幅を大きくすることにより、信号配線に発生する応力を分散することができるため、容易に、表面保護膜のクラックの発生を抑制することができる。

【発明を実施するための最良の形態】

【００３０】

以下、図面を参照して本発明における実施の形態を詳細に説明する。

図１は本発明の半導体装置の構成を示す要部断面図である。また、図２は半導体装置の構成を示す要部断面図とそれに対応した配線配置平面図である。図３は本発明の半導体装置における信号配線配置禁止領域をＷＬＣＳＰ内で説明する図、図４は本発明の半導体装置における信号配線配置禁止領域におけるＷＬＣＳＰの端面の近さを説明する図、図５は本発明の半導体装置における信号配線配置禁止領域を説明する図である。図６は第一の実施の形態における信号配線配置禁止領域の信号配線の構成を示す図である。図７は第二の実施の形態における信号配線配置禁止領域の信号配線の構成を示す図である。図８は第三の実施の形態における信号配線配置禁止領域の信号配線の構成を示す図である。図９は第四の実施の形態における半導体装置の構成を示す要部断面図である。

【００３１】

ここで、前記背景技術を示す図１０において説明した構成部材に対応し、同等の機能を有するものには同一の符号を付して示す。

図１、図２、図３、図４、図５、図６、図７、図８、図９において、１は封止樹脂、２

はポスト、３は再配線、４は平面形状が円形の半田バンプ、５は絶縁膜、６はＡｌ配線パッド、７はＡｌ配線インダクター、８は第１の信号配線、９は第２の信号配線、１０は表面保護膜、１１は層間絶縁膜、１２は半導体基板、１５は表面に半田バンプ４が形成されたＷＬＣＳＰの半田バンプ４形成領域近傍のＷＬＣＳＰ側面、１６は信号配線配置禁止領域、２０はＵＢＭ（アンダーバンプメタル膜）である。なお、第２の信号配線９のなかで、電気信号を流す実配線を配線９ｂ、電気信号を流さないダミー配線を配線９ａ、配線９ｃとする。

【００３２】

図１及び図２に示すように、本発明における半導体装置は、半導体基板１２上に、例えば、ＭＯＳ型トランジスタのような半導体素子や、ＰＮ接合にて形成されているダイオード、バイポーラ型トランジスタなどの半導体素子が形成されている。半導体基板１２上を層間膜絶縁膜１１で覆い半導体素子を保護している。また、半導体素子から信号を導通するための第１の信号配線８や、多層配線技術を用いて、第１の信号配線８上に、層間絶縁膜１１にて電気的に絶縁された、第２の信号配線９や、Ａｌ配線インダクター７、外部へ信号を取り出す為のＡｌ配線パッド６が配置されている。これらのものは、表面保護膜１０により、電気的、又は、外界からの雰囲気的に絶縁され保護される。ここで、第２の信号配線９の配線材料はＡｌを含んだ材料であることが望ましく、第２の信号配線９、Ａｌ配線パッド６、Ａｌ配線インダクター７は、インダクター特性値を考慮し、約１．５μｍ以上の厚い膜厚の配線を使用する。そして、第２の信号配線９に対して、相対的に、表面保護膜１０は薄く形成される。

【００３３】

また、Ａｌ配線パッド６から、実際に外部へ信号を取り出すために、再配線３を用い配線を半田バンプ４下まで配置している。半田バンプ４と再配線３は、実装信頼性向上の為、ポスト２を介して接続されている。ポスト２及び再配線３は外部的衝撃や雰囲気から守るため、封止樹脂１にて保護されている。実装基板へ接続する接点となる半田バンプ４がポスト２上に形成されている。

【００３４】

ここで、第２の信号配線９は、ポスト２の外周部直下に配置されており、信号配線９ｂは実際に信号を伝える為の配線である。また、信号配線９ａ、９ｃはダミー配線であり、信号の伝達には用いない配線である。

【００３５】

図３は信号配線領域１６をＷＬＣＳＰのどの部分に当たるかを説明する為の図である。図３（ａ）はＷＬＣＳＰ全体を半田バンプ形成面から見た斜視図、図３（ｂ）はＷＬＣＳＰ側面部１５と周辺の端子の中心を表す図面、図３（ｃ）はＷＬＣＳＰ側面部１５と周辺の端子の中心からなる信号配線配置禁止領域１６を表す図面、図４は信号配線配置禁止領域１６について、図３の拡大として、ＷＬＣＳＰの端に近い側のポスト２の半分側を説明する図である。

【００３６】

図３に示すように、ＷＬＣＳＰにおける最外周の端子の中心を結ぶ線とＷＬＣＳＰ側面１５の間をＷＬＣＳＰ内での信号配線配置禁止領域１６と設定する。

言い換えると、図４に示すように、信号配線配置禁止領域１６は、ＷＬＣＳＰ側面１５からポスト２の中心までに位置される事を示す。

【００３７】

図５は、信号配線配置禁止領域１６について、さらに範囲を限定する場合を説明するものであり、その為、ポスト２を抜き出したものである。ＷＬＣＳＰ側面１５、つまり、パッケージの側面に近い半田バンプ４（図１参照）及びポスト２から形成されるＷＬＣＳＰの外部端子において、ＷＬＣＳＰ側面１５から、半田バンプ４つまりポスト２の半導体基板と平行な平面における平面円形の中心点（以下平面円の中心と称す）に垂線を引きだす。半田バンプ４の平面円の中心を中心点として垂線から左右７０°開いた扇形状領域と、平面中心からの半径が半田バンプ４の半径の５分の４～５分の６の領域との重なった部分

を信号配線配置禁止領域１６とする。

【００３８】

このように図３～図５に示す信号配線禁止領域１６に、配線９ｂを単独で配置した場合が従来の半導体装置であるが、配線９ｂを単独とせず、配線９ａ、９ｃを同時に配置する事により、配線９ｂに直接応力が発生することなく、配線９ａ、配線９ｃに応力が分散するため、配線９ｂ周りの保護膜１０の破壊を防ぐ事が可能となる。

【００３９】

本発明は、熱処理により応力が集中して発生する信号配線配置禁止領域１６に第２の信号配線９を配置する際に、実動作に用いられる配線９ｂとその周囲にダミー配線９ａ等を設けることにより、熱処理時の応力を分散することができるため、外形の変更や新たな工程や費用を発生させることなく、実動作に用いられる表面保護膜にクラックが発生することを抑制することができる。

【００４０】

ここで、実配線とダミー配線との間隔を配線幅以上、例えば配線幅が２．０μｍの場合には２．０μｍ以上とすることが望ましい。配線幅以上間隔を開けることにより、配線９ｂに直接応力が発生することなく、配線９ａ、配線９ｃに応力が分散されるため、配線９ｂ周りの保護膜１０の破壊を防ぐ事が可能となる。

【００４１】

以下、信号配線配置禁止領域１６における第２の信号配線９の構成についての具体的な実施の形態について詳細に説明する。

（第一の実施の形態）

図６は、第一の実施の形態を示すものである。第２の信号配線９がポスト２のＷＬＣＳＰ側面１５付近の信号配線配置禁止領域１６に配置されている。第２の信号配線９のなかで、電気信号を流す実配線を配線９ｂ、電気信号を流さないダミー配線を配線９ａ、９ｃとする。電気信号を流す第２の信号配線９ｂの両側に、電気信号を流さない配線９ａ及び９ｃが配置される事によって、ＷＬＣＳＰ実装時の熱処理工程により発生する応力が、第２の信号配線９ｂのみならず第２の信号配線９ａ、第２の信号配線９ｃに分散されて第２の信号配線９ｂ単体に発生する応力が減少する。このことより、第２の信号配線９全体に均一に応力が発生し、表面保護膜１０にクラックが発生することを抑制し、信頼性に優れた半導体装置を提供する事が可能となる。

【００４２】

ここでは、実配線をはさんで平行にダミー配線を２本配置する例を説明したが、実配線に平行に配置されるダミー配線は１本でも良く、２本以上配置しても良い。

（第二の実施の形態）

図７は、第二の実施の形態を示すものである。第２の信号配線９がポスト２のＷＬＣＳＰ側面１５付近の信号配線配置禁止領域１６に配置されている。第２の信号配線９のなかで、電気信号を流す実配線を配線９ｂ、電気信号を流さないダミー配線を配線９ａとする。電気信号を流す第２の信号配線９ｂの周囲を連続的に囲むように、電気信号を流さない配線９ａが配置される事によって、ＷＬＣＳＰ実装時の熱処理工程により発生する応力が第２の信号配線９ｂ単体のみならず第２の信号配線９ａに分散されて第２の信号配線９ｂ単体に発生する応力が減少する。このことより、第２の信号配線９全体に均一に応力が発生し、表面保護膜１０にクラックが発生することを抑制し、信頼性に優れた半導体装置を提供する事が可能となる。

【００４３】

（第三の実施の形態）

図８は、第三の実施の形態を示すものである。第２の信号配線９がポスト２のＷＬＣＳＰ側面１５付近の信号配線配置禁止領域１６に配置されている。電気信号を流して実動作に用いる第２の信号配線９は、配線幅を１０μｍ以上確保する。配線幅が１０μｍ以上あることにより、ＷＬＣＳＰ実装時の熱処理工程により発生する応力が、第２の信号配線９が一般的な２μｍ幅の場合より、第２の信号配線９の幅が１０μｍ分に分散される。この

ことより、第２の信号配線９全体に均一に応力が発生し、表面保護膜１０にクラックが発生することを抑制し、信頼性に優れた半導体装置を提供する事が可能となる。

【００４４】

また、配線幅として、信号配線の厚みの５倍にすることにより、信号配線の横方向に発生する応力が小さくなるため、同様の効果を得ることができる。

（第四の実施の形態）

図９は、第四の実施の形態を示すものである。なお、図１と同じ構成部材については同じ符号を付し、説明を省略する。

【００４５】

第四の実施の形態におけるＷＬＣＳＰは、ポスト２を有しない形態であり、上述のＷＬＣＳＰに対して、再配線３の上に、直接半田バンプ４をポスト２の代わりにＵＢＭ２０上に形成されている。

【００４６】

このような形態のＷＬＣＳＰにおいても、信号配線配置禁止領域１６に、第一の実施の形態～第三の実施の形態におけるような、ダミー配線９ａあるいはダミー配線９ｂを設けたり、電気信号を流して実動作に用いる第２の信号配線９の配線幅を１０μｍ以上確保したりすることにより、ＷＬＣＳＰ実装時の熱処理工程により発生する応力が分散される。このことより、第一の実施の形態～第三の実施の形態と同様に表面保護膜１０にクラックが発生することを抑制し、信頼性に優れた半導体装置を提供する事が可能となる。

【００４７】

同様に、平面中心からの半径が半田パンプの半径の５分の４～５分の６の領域との重なった部分を、重心を中心に外部端子端までの最短の長さの５分の４を半径とした円弧と重心を中心に外部端子端までの最長の長さの５分の６を半径とした円弧とで囲まれた範囲とすることができる。

【産業上の利用可能性】

【００４８】

本発明は、クラックの発生を抑制することができ、半導体チップ状態で樹脂封止された、ウェハレベルチップスケールパッケージ構造の半導体装置等に有用である。

【図面の簡単な説明】

【００４９】

【図１】本発明の半導体装置の構成を示す要部断面図

【図２】半導体装置の構成を示す要部断面図とそれに対応した配線配置平面図

【図３】本発明の半導体装置における信号配線配置禁止領域をＷＬＣＳＰ内で説明する図

【図４】本発明の半導体装置における信号配線配置禁止領域におけるＷＬＣＳＰの端面の近さを説明する図

【図５】本発明の半導体装置における信号配線配置禁止領域の詳細を説明する図

【図６】第一の実施の形態における信号配線配置禁止領域の信号配線の構成を示す図

【図７】第二の実施の形態における信号配線配置禁止領域の信号配線の構成を示す図

【図８】第三の実施の形態における信号配線配置禁止領域の信号配線の構成を示す図

【図９】第四の実施の形態における信号配線配置禁止領域の信号配線の構成を示す図

【図１０】従来の半導体装置の構成を示す要部断面図とそれに対応した配線配置図

【図１１】従来のＷＬＣＳＰの実装状態を示す図

【図１２】従来のＷＬＣＳＰの実装状態を示す要部拡大図

【図１３】従来のＷＬＣＳＰの実装時の半導体配線付近に印加される荷重と応力集中箇所を示す図

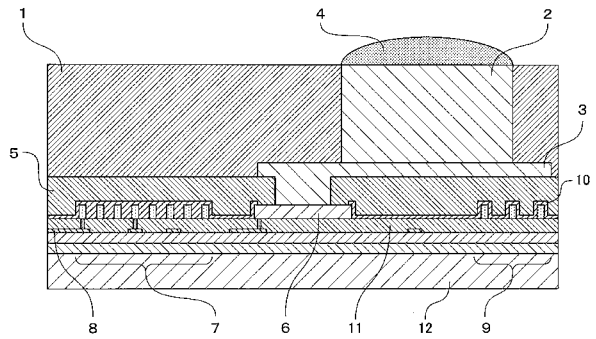
【符号の説明】

【００５０】

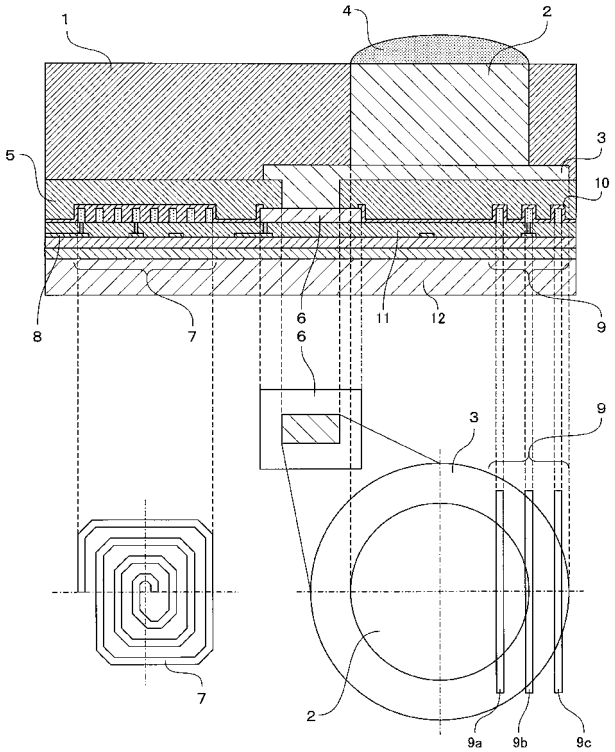
１　封止樹脂
２　ポスト
３　再配線

４　半田バンプ
５　絶縁膜
６　Ａｌ配線パッド
７　Ａｌ配線インダクター
８　第１の信号配線
９　第２の信号配線
９ａ　配線
９ｂ　配線
９ｃ　配線
１０　表面保護膜
１１　層間絶縁膜
１２　半導体基板
１３　実装基板
１４　実装基板端子
１５　ＷＬＣＳＰ側面
１６　信号配線配置禁止領域
１７　クラック
１８　ＷＬＣＳＰ
１９　応力集中箇所
２０　ＵＢＭ

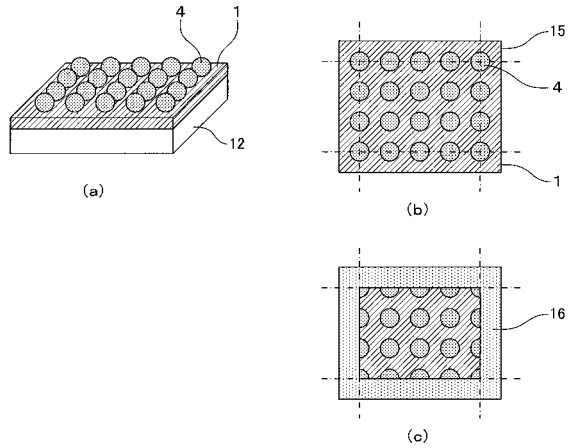
【図１】



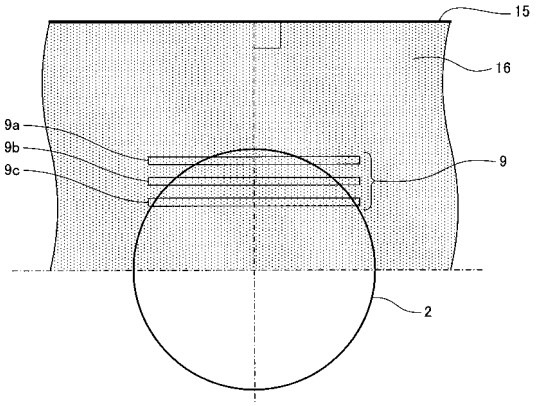
【図２】



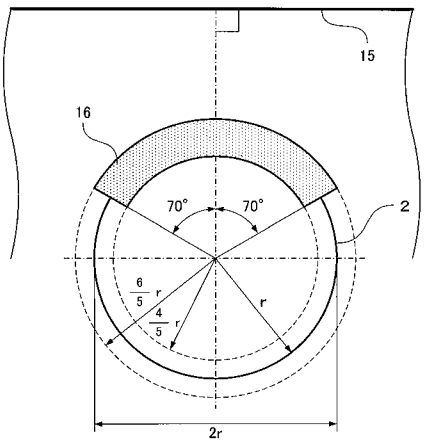
【図３】


4
1
12
(a)
15
4
1
(b)
16
(c)

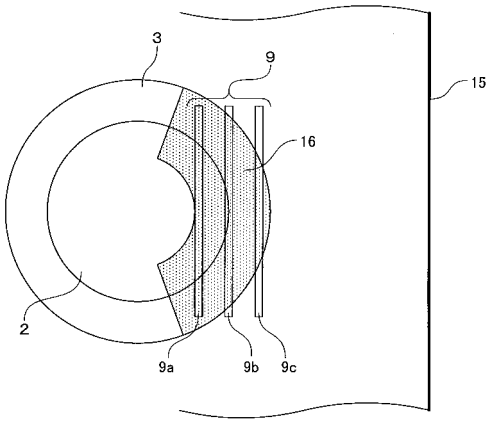
【図４】


15
16
9a
9b
9c
9
2

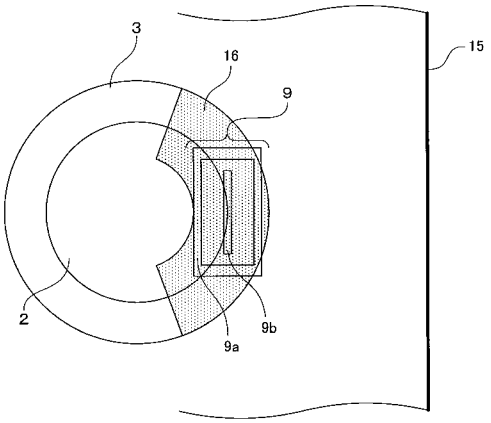
【図５】


15
16
70°
70°
2
6/5 r
4/5 r
r
2r

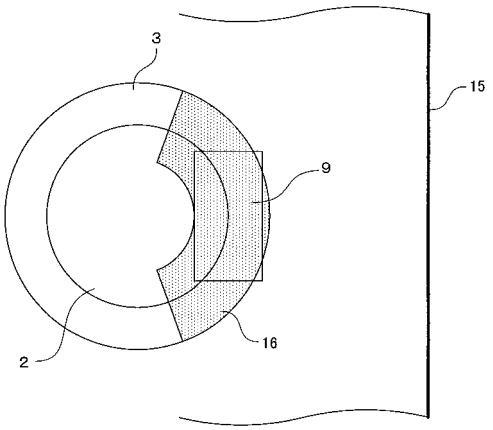
【図６】


3
9
15
16
2
9a
9b
9c

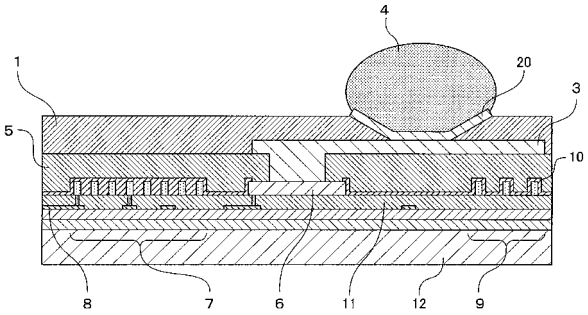
【図７】



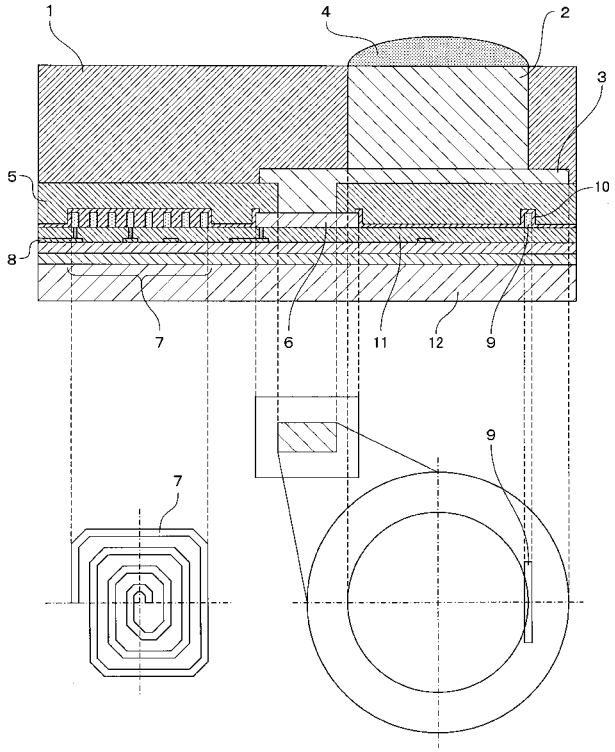
【図８】



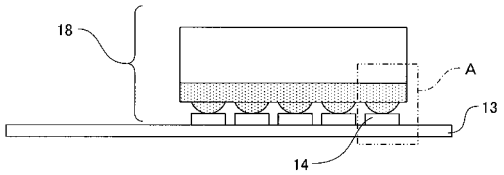
【図９】



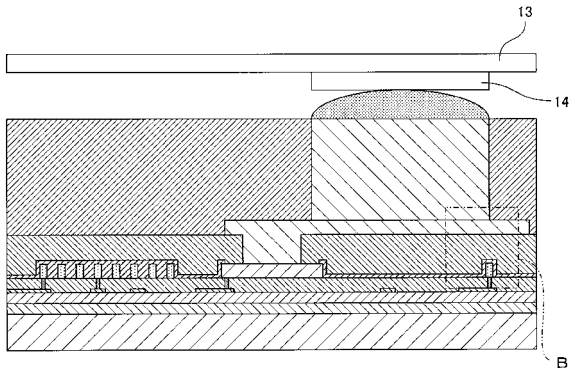
【図１０】



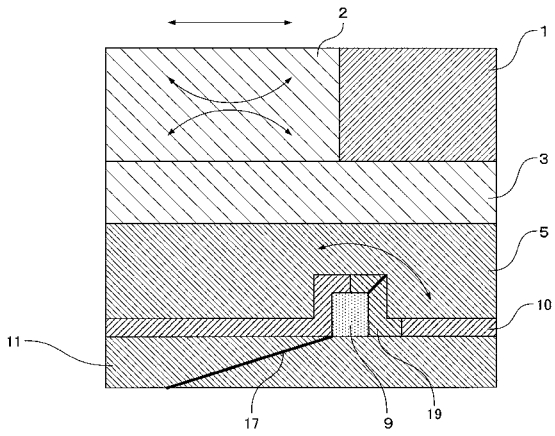
【図１１】



【図１２】



【図１３】



フロントページの続き

Ｆターム(参考) 5F033 HH08 MM21 MM29 UU04 VV01 VV07 XX17 XX19