



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I815229 B

(45)公告日：中華民國 112 (2023) 年 09 月 11 日

(21)申請案號：110144617 (22)申請日：中華民國 110 (2021) 年 11 月 30 日

(51)Int. Cl.： H01L27/11563 (2017.01) H01L21/8239 (2006.01)

(30)優先權：2020/12/07 世界智慧財產權組織 PCT/JP2020/045497

(71)申請人：新加坡商新加坡優尼山帝斯電子私人有限公司 (新加坡) UNISANTIS ELECTRONICS SINGAPORE PTE. LTD. (SG)

新加坡

(72)發明人：原田望 HARADA, NOZOMU (JP)

(74)代理人：洪武雄；陳昭誠

(56)參考文獻：

TW 202040698A

JP 2007-317742A

WO 2020/202554A1

審查人員：劉漢胤

申請專利範圍項數：7 項 圖式數：5 共 65 頁

(54)名稱

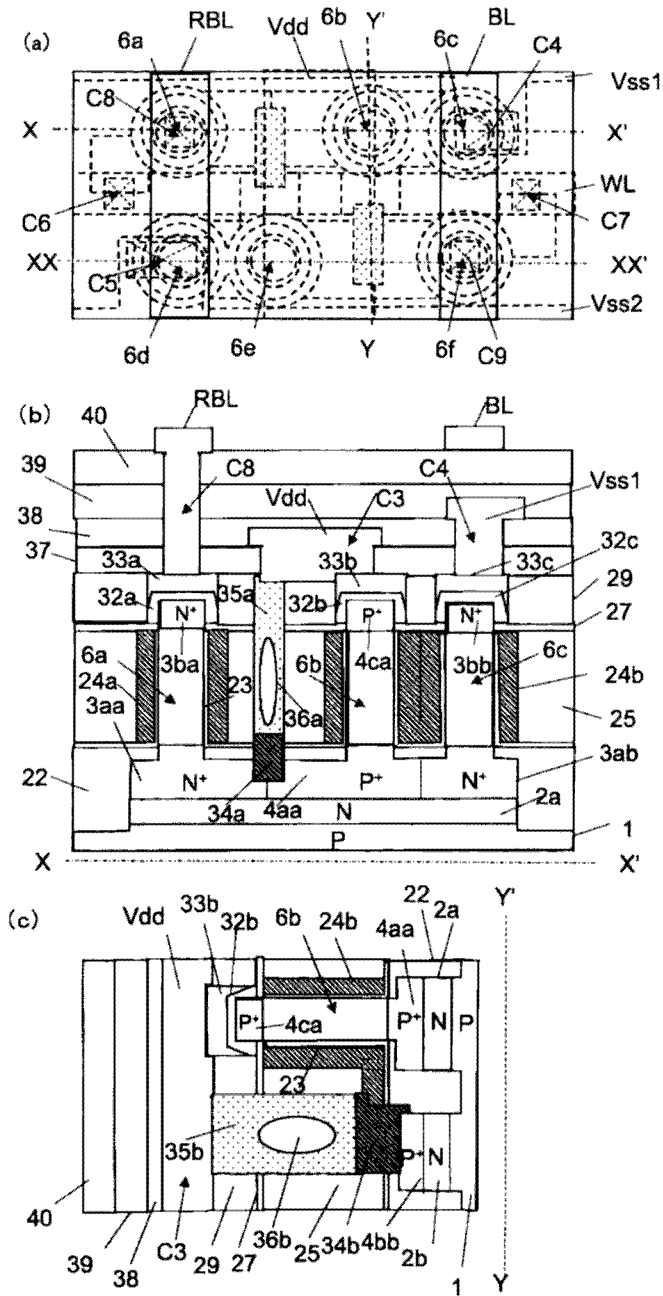
柱狀半導體記憶裝置及其製造方法

(57)摘要

在和形成 SRAM 單元中位於 X-X' 上之選擇電晶體 SGT 之 Si 柱 6a 之底部相連的 N⁺層 3aa、與和形成負載電晶體 SGT 之 Si 柱 6b 之底部相連的 P⁺層 4aa 之交界區域、以及包圍形成位於 XX-XX' 線上之負載電晶體 SGT 之 Si 柱 6e 之閘極 TiN 層 24c 的上方形成接觸孔 C1。在此接觸孔 C1 的底部形成 W 層 34a。再者，在 W 層 34a 上的接觸孔內，形成含有空孔 36a 的 SiO₂ 層 34a。

A contact hole C1 is formed on a junction area between a N⁺ layer 3aa connected to the bottom of a Si pillar 6a forming a selection transistor SGT located on X-X' in a SRAM cell and a P⁺ layer 4aa connected to the bottom of a Si pillar 6b forming a load transistor SGT, and a gate TiN layer 24c surrounding a Si pillar 6e forming a load transistor SGT located on a XX-XX' line. A conductor W layer 34a is formed at the bottom of the contact hole C1. Furthermore, a SiO₂ layer 34a containing a void 36a is formed within the contact hole on the W layer 34a.

指定代表圖：



【圖1U】

符號簡單說明：

1:P層基板

2a,2b:N層

3aa,3ab,3ba,3bb,32a,

32c:N⁺層

4aa,4bb,4ca,32b:P⁺層

27:SiN層

6a,6b,6c,6d,6e,6f:Si柱

22,25,35a,35b,

37,38,39,40:SiO₂層

23:HfO₂層

24a,24b:TiN層

33a,33b,33c,34a,

34b:W層

36a,36b:空孔

29:AlO層

C3,C4,C5,C6,C7,C8,C

9:接觸孔

BL:位元輸出配線金屬層

RBL:反轉位元輸出配線金屬層

Vss1,Vss2:接地配線金屬層

Vdd:電源配線金屬層

WL:字元配線金屬層

I815229

【發明摘要】

【中文發明名稱】 柱狀半導體記憶裝置及其製造方法

【英文發明名稱】 PILLAR-SHAPED SEMICONDUCTOR MEMORY
DEVICE AND MANUFACTURING METHOD THEREOF

【中文】

在和形成SRAM單元中位於X-X'上之選擇電晶體SGT之Si柱6a之底部相連的N⁺層3aa、與和形成負載電晶體SGT之Si柱6b之底部相連的P⁺層4aa之交界區域、以及包圍形成位於XX-XX'線上之負載電晶體SGT之Si柱6e之間極TiN層24c的上方形成接觸孔C1。在此接觸孔C1的底部形成W層34a。再者，在W層34a上的接觸孔內，形成含有空孔36a的SiO₂層34a。

【英文】

A contact hole C1 is formed on a junction area between a N⁺ layer 3aa connected to the bottom of a Si pillar 6a forming a selection transistor SGT located on X-X' in a SRAM cell and a P⁺ layer 4aa connected to the bottom of a Si pillar 6b forming a load transistor SGT, and a gate TiN layer 24c surrounding a Si pillar 6e forming a load transistor SGT located on a XX-XX' line. A conductor W layer 34a is formed at the bottom of the contact hole C1. Furthermore, a SiO₂ layer 34a containing a void 36a is formed within the contact hole on the W layer 34a.

【指定代表圖】 圖1U

【代表圖之符號簡單說明】

1:P層基板

2a,2b:N層

3aa,3ab,3ba,3bb,32a,32c:N⁺層

4aa,4bb,4ca,32b:P⁺層

27:SiN層

6a,6b,6c,6d,6e,6f:Si柱

22,25,35a,35b,37,38,39,40:SiO₂層

23:HfO₂層

24a,24b:TiN層

33a,33b,33c,34a,34b:W層

36a,36b:空孔

29:AlO層

C3,C4,C5,C6,C7,C8,C9:接觸孔

BL:位元輸出配線金屬層

RBL:反轉位元輸出配線金屬層

Vss1,Vss2:接地配線金屬層

Vdd:電源配線金屬層

WL:字元配線金屬層

【特徵化學式】 無

【發明說明書】

【中文發明名稱】 柱狀半導體記憶裝置及其製造方法

【英文發明名稱】 PILLAR-SHAPED SEMICONDUCTOR MEMORY
DEVICE AND MANUFACTURING METHOD THEREOF

【技術領域】

【0001】 本發明係關於一種柱狀半導體記憶裝置及其製造方法。

【先前技術】

【0002】 近年來，已於LSI(Large Scale Integration，大型積體電路)中使用三維構造電晶體。其中，屬於柱狀半導體元件的SGT(Surrounding Gate Transistor，環繞閘極電晶體)，係作為提供高集積度之半導體裝置的半導體元件而受到矚目。此外，具有SGT之半導體裝置之更進一步的高集積化、高性能化亦受到要求。

【0003】 在通常的平面型MOS(Metal Oxide semiconductor，金屬氧化物半導體)電晶體中，其通道(channel)係朝沿著半導體基板之上表面的水平方向延伸。相對於此，SGT的通道係朝相對於半導體基板之上表面為垂直的方向延伸(例如，參照專利文獻1、非專利文獻1)。因此，相較於平面型MOS電晶體，SGT更可達成半導體裝置的高密度化。

【0004】 圖4係顯示N通道SGT的示意構造圖。在具有P型或i型(本微型)導電型之Si柱120(以下，將矽半導體柱稱為「Si柱」)內之上下的位置形成有N⁺層121a、121b(「N⁺層」係指含有高濃度施體(donor)雜質的半導體區域。以下亦同)，該N⁺層121a、121b係當一方成為源極(source)時另一方成為汲極(drain)者。成為此

源極、汲極之N⁺層121a、121b間之Si柱120的部分即成為通道區域122。閘極絕緣層123係以包圍此通道區域122之方式形成。閘極導體層124係以包圍此閘極絕緣層123之方式形成。SGT係由成為源極、汲極的N⁺層121a、121b、通道區域122、閘極絕緣層123、閘極導體層124構成。N⁺層121b和源極配線金屬層S係經由開設於N⁺層121b上之絕緣層125的接觸孔C而連接。藉此，於俯視觀察時，SGT的佔有面積，係相當於平面型MOS電晶體中之單一的源極或汲極N⁺層的佔有面積。因此，與具有平面型MOS電晶體的電路晶片相比較，具有SGT的電路晶片能夠實現晶片尺寸更進一步的縮小化。

【0005】再者，當更進一步謀求晶片尺寸的縮小化時，會有應要克服的問題。如圖4所示，連繫源極配線金屬層S與N⁺層121b的接觸孔C，形成俯視觀察時Si柱120的上方。當晶片尺寸進一步縮小化時，Si柱120與鄰接之Si柱的距離即變短。伴隨此，將會有鄰接之SGT之電極間的耦合電容之增大、以及伴隨著鄰接之SGT之電極間短路所產生之良率降低的問題。

【0006】圖5係顯示使用了SGT的SRAM(靜態隨機存取記憶體；Static Random Access Memory)單元電路圖。本SRAM單元電路係包含兩個反相器電路。一個反相器電路係由作為負載電晶體的P通道SGT_Pc1、及作為驅動電晶體的N通道SGT_Nc1所構成。另一個反相器電路係由作為負載電晶體的P通道SGT_Pc2、及作為驅動電晶體的N通道SGT_Nc2所構成。P通道SGT_Pc1的閘極和N通道SGT_Nc1的閘極係相連著。P通道SGT_Pc2的汲極和N通道SGT_Nc2的汲極係相連著。P通道SGT_Pc2的閘極與N通道SGT_Nc2的閘極係相連著。P通道SGT_Pc1的汲極與N通道SGT_Nc1的汲極係相連著。

【0007】如圖5所示，P通道SGT_Pc1、Pc2的源極係連接於電源端子Vdd。再者，N通道SGT_Nc1、Nc2的源極係連接於接地端子Vss。選擇N通道SGT_SN1、SN2係配置於兩個反相器電路的兩側。選擇N通道SGT_SN1、SN2的閘極係連接於字元線端子WLt。選擇N通道SGT_SN1的源極、汲極係連接於N通道SGT_Nc1、P通道SGT_Pc1的汲極與位元線端子BLt。選擇N通道SGT_SN2的源極、汲極係連接於N通道SGT_Nc2、P通道SGT_Pc2的汲極和反轉位元線端子BLRt。如此，具有SRAM單元的電路，係由兩個負載P通道SGT_Pc1、Pc2、兩個驅動用N通道SGT_Nc1、Nc2、及兩個選擇用SN1、SN2所組成的合計共六個SGT所構成(例如，參照專利文獻2)。在此SRAM單元中，要如何使各電極間、連接配線間的寄生電容減少為其課題。同時，要如何減少伴隨著SRAM單元之高密度化所導致之各電極間之短路引起的不良亦為其課題。

[先前技術文獻]

[專利文獻]

【0008】

專利文獻1：日本特開平2-188966號公報

專利文獻2：美國專利申請公開第2010/0219483號說明書

專利文獻3：美國登錄US8530960B2號說明書

[非專利文獻]

【0009】

非專利文獻1：Hiroshi Takato, Kazumasa Sunouchi, Naoko Okabe, Akihiro Nitayama, Katsuhiko Hieda, Fumio Horiguchi, and Fujio Masuoka: IEEE Transaction on Electron Devices, Vol.38, No.3, pp.573-578 (1991)

非專利文獻2：C.Y.Ting，V.J.Vivalda，and H.G.Schaefer:“Study of planarized sputter-deposited SiO₂”，J.Vac.Sci. Technol. 15(3)，p.p.1105-1112，May/June (1978)

非專利文獻3：A.Raley, S.Thibaut, N. Mohanty, K. Subhadeep, S. Nakamura, etal. : “Self-aligned quadruple patterning integration using spacer on spacer pitch splitting at the resist level for sub-32nm pitch applications” Proc. Of SPIE Vol.9782, 2016

【發明內容】

[發明所欲解決的課題]

【0010】 要求使用SGT之SRAM電路的高性能化、高集積化。

[用以解決問題的手段]

【0011】 為了解決上述問題，本發明提供一種柱狀半導體記憶裝置的製造方法，係具有：

在基板上形成第一半導體柱、第二半導體柱、第三半導體柱和第四半導體柱的步驟，其中，前述第一半導體柱係形成俯視觀察時排列於第一線上而且朝垂直方向站立著的第一SGT(Surrounding Gate Transistor，環繞閘極電晶體)，前述第二半導體柱係以鄰接於前述第一半導體柱之方式形成第二SGT，前述第三半導體柱係形成俯視觀察時排列於平行於第一線之第二線上而且朝垂直方向站立著的第三SGT，前述第四半導體柱係以鄰接於前述第三半導體柱之方式形成第四SGT；

形成包圍著前述第一半導體柱的第一閘極絕緣層、包圍著前述第二半導體柱的第二閘極絕緣層、包圍著前述第三半導體柱的第三閘極絕緣層、和包圍著前述第四半導體柱的第四閘極絕緣層之步驟；

形成第一閘極導體層、第二閘極導體層、第三閘極導體層和第四閘極導體層的步驟，其中，前述第一閘極導體層係包圍著前述第一閘極絕緣層，前述第二閘極導體層係包圍著前述第二閘極絕緣層而且俯視觀察時朝前述第二線的方向突出，前述第三閘極導體層係俯視觀察時包圍著前述第三閘極絕緣層而且俯視觀察時朝前述第一線的方向突出，前述第四閘極導體層係包圍著前述第四閘極絕緣層；

在第一連接區域、和俯視觀察時朝第一線方向突出的前述第三閘極導體層之上方形形成第一接觸孔，同時，在第二連接區域、和俯視觀察時朝前述第二線方向突出的前述第二閘極導體層之上方形形成第二接觸孔的步驟，其中，前述第一連接區域係連結位於前述第一半導體柱之底部之第一雜質區域、和位於前述第二半導體柱之底部之第二雜質區域，前述第二連接區域係連結位於前述第三半導體柱之底部之第三雜質區域、和位於前述第四半導體柱之底部之第四雜質區域；

在前述第一接觸孔之底部形成第一導體層，同時在前述第二接觸孔之底部形成第二導體層的步驟；及

在前述第一導體層上之前述第一接觸孔內，形成第一空孔或由低介電常數材料層所構成之第一絕緣材料層，同時在前述第二導體層上之前述第二接觸孔內，形成第二空孔或由低介電常數材料層所構成之第二絕緣材料層的步驟；並且

前述第一SGT和前述第四SGT為SRAM記憶單元的選擇電晶體，前述第二SGT和前述第三SGT為SRAM記憶單元的負載電晶體。

【0012】 在上述發明中，較佳為在垂直方向上，前述第一空孔、前述第二空孔的上端位置係形成為比前述第一閘極導體層、前述第二閘極導體層、前述第三閘極導體層和前述第四閘極導體層的上端位置更低。

【0013】較佳為在形成前述第二閘極導體層的步驟中，將鄰接於前述第二接觸孔之區域之前述第二閘極導體層的厚度，形成為比包圍著前述第二閘極絕緣層之前述第二閘極導體層的厚度更厚。

【0014】在上述發明中，更具有：

形成第二導體層的步驟，其中，前述第二導體層係包圍前述第一閘極絕緣層、前述第二閘極絕緣層、前述第三閘極絕緣層和前述第四閘極絕緣層，而且，前述第二導體層之上表面位置在垂直方向上係位於比前述第一半導體柱、前述第二半導體柱、前述第三半導體柱和前述第四半導體柱之頂部更下方處；

形成包圍著第一半導體柱、前述第二半導體柱、前述第三半導體柱和前述第四半導體柱之頂部之第一遮罩材料層的步驟；

形成俯視觀察時連結於前述第二半導體柱而且一部分朝前述第二線方向突出之第二遮罩材料層、和連結於前述第三半導體柱而且一部分朝前述第一線方向突出之第三遮罩材料層的步驟；及

以前述第一遮罩材料層、前述第二遮罩材料層和前述第三遮罩材料層作為遮罩，將前述第二導體層進行蝕刻而形成前述第一閘極導體層、前述第二閘極導體層、前述第三閘極導體層和前述第四閘極導體層的步驟；並且

於俯視觀察時，與前述第二遮罩材料層重疊著的前述第二閘極導體層的膜厚，係形成為比前述第一遮罩材料層的膜厚更厚，於俯視觀察時，與前述第三遮罩材料層重疊著的前述第三閘極導體層的膜厚，係形成為比前述第三遮罩材料層的膜厚更厚。

【0015】為了解決上述的問題，本發明提供一種柱狀半導體記憶裝置，係具有：

在基板上形成的第一半導體柱、第二半導體柱、第三半導體柱和第四半導體柱，其中，前述第一半導體柱係形成俯視觀察時排列於第一線上而且朝垂直方向站立著的第一SGT(Surrounding Gate Transistor，環繞閘極電晶體)，前述第二半導體柱係以鄰接於前述第一半導體柱之方式形成第二SGT，前述第三半導體柱係形成俯視觀察時排列於平行於前述第一線之第二線上而且朝垂直方向站立著的第三SGT，前述第四半導體柱係以鄰接於前述第三半導體柱之方式形成第四SGT；

包圍著前述第一半導體柱的第一閘極絕緣層、包圍著前述第二半導體柱的第二閘極絕緣層、包圍著前述第三半導體柱的第三閘極絕緣層、和包圍著前述第四半導體柱的第四閘極絕緣層；

第一閘極導體層、第二閘極導體層、第三閘極導體層和第四閘極導體層，其中，前述第一閘極導體層係包圍著前述第一閘極絕緣層，前述第二閘極導體層係包圍前述第二閘極絕緣層而且俯視觀察時朝前述第二線的方向突出，前述第三閘極導體層係俯視觀察時包圍著前述第三閘極絕緣層而且俯視觀察時朝前述第一線的方向突出，前述第四閘極導體層係包圍著前述第四閘極絕緣層；

在第一連接區域、和俯視觀察時朝第一線方向突出的前述第三閘極導體層之上方朝垂直方向延伸的第一接觸部，及在第二連接區域、和俯視觀察時朝前述第二線方向突出的前述第二閘極導體層之上方朝垂直方向延伸的第二接觸部，其中，前述第一連接區域係連結位於前述第一半導體柱之底部之第一雜質區域、和位於前述第二半導體柱之底部之第二雜質區域，前述第二連接區域係連結位於前述第三半導體柱之底部之第三雜質區域、和位於前述第四半導體柱之底部之第四雜質區域；

位於前述第一接觸部之底部的第一導體層，及位於前述第二接觸部之底部的第二導體層；及

位於前述第一導體層上之前述第一接觸部內之第一空孔或由低介電常數材料層所構成之第一絕緣材料層，及位於前述第二導體層上之前述第二接觸部內之第二空孔或由低介電常數材料層所構成之第二絕緣材料層；並且

前述第一SGT和前述第四SGT為SRAM記憶單元的選擇電晶體，前述第二SGT和前述第三SGT為SRAM記憶單元的負載電晶體。

【0016】 在上述發明中，在垂直方向上，前述第一空孔、前述第二空孔的上端位置係比前述第一閘極導體層、前述第二閘極導體層、前述第三閘極導體層和前述第四閘極導體層的上端位置更低。

【0017】 鄰接於前述第二接觸孔之區域之前述第二閘極導體層的厚度，係比包圍著前述第二閘極絕緣層之前述第二閘極導體層的厚度更厚。

【圖式簡單說明】

【0018】

圖1A係用以說明第一實施型態之具有SGT之柱狀半導體記憶裝置及其製造方法的俯視圖與剖面構造圖。

圖1B係用以說明第一實施型態之具有SGT之柱狀半導體記憶裝置及其製造方法的俯視圖與剖面構造圖。

圖1C係用以說明第一實施型態之具有SGT之柱狀半導體記憶裝置及其製造方法的俯視圖與剖面構造圖。

圖1D係用以說明第一實施型態之具有SGT之柱狀半導體記憶裝置及其製造方法的俯視圖與剖面構造圖。

圖1E係用以說明第一實施型態之具有SGT之柱狀半導體記憶裝置及其製造方法的俯視圖與剖面構造圖。

圖1F係用以說明第一實施型態之具有SGT之柱狀半導體記憶裝置及其製造方法的俯視圖與剖面構造圖。

圖1G係用以說明第一實施型態之具有SGT之柱狀半導體記憶裝置及其製造方法的俯視圖與剖面構造圖。

圖1H係用以說明第一實施型態之具有SGT之柱狀半導體記憶裝置及其製造方法的俯視圖與剖面構造圖。

圖1I係用以說明第一實施型態之具有SGT之柱狀半導體記憶裝置及其製造方法的俯視圖與剖面構造圖。

圖1J係用以說明第一實施型態之具有SGT之柱狀半導體記憶裝置及其製造方法的俯視圖與剖面構造圖。

圖1K係用以說明第一實施型態之具有SGT之柱狀半導體記憶裝置及其製造方法的俯視圖與剖面構造圖。

圖1L係用以說明第一實施型態之具有SGT之柱狀半導體記憶裝置及其製造方法的俯視圖與剖面構造圖。

圖1M係用以說明第一實施型態之具有SGT之柱狀半導體記憶裝置及其製造方法的俯視圖與剖面構造圖。

圖1N係用以說明第一實施型態之具有SGT之柱狀半導體記憶裝置及其製造方法的俯視圖與剖面構造圖。

圖1O係用以說明第一實施型態之具有SGT之柱狀半導體記憶裝置及其製造方法的俯視圖與剖面構造圖。

圖1P係用以說明第一實施型態之具有SGT之柱狀半導體記憶裝置及其製造方法的俯視圖與剖面構造圖。

圖1Q係用以說明第一實施型態之具有SGT之柱狀半導體記憶裝置及其製造方法的俯視圖與剖面構造圖。

圖1R係用以說明第一實施型態之具有SGT之柱狀半導體記憶裝置及其製造方法的俯視圖與剖面構造圖。

圖1S係用以說明第一實施型態之具有SGT之柱狀半導體記憶裝置及其製造方法的俯視圖與剖面構造圖。

圖1T係用以說明第一實施型態之具有SGT之柱狀半導體記憶裝置及其製造方法的俯視圖與剖面構造圖。

圖1U係用以說明第一實施型態之具有SGT之柱狀半導體記憶裝置及其製造方法的俯視圖與剖面構造圖。

圖2A係用以說明第二實施型態之具有SGT之柱狀半導體記憶裝置及其製造方法的俯視圖與剖面構造圖。

圖2B係用以說明第二實施型態之具有SGT之柱狀半導體記憶裝置及其製造方法的俯視圖與剖面構造圖。

圖3A係用以說明第三實施型態之具有SGT之柱狀半導體裝置之製造方法的俯視圖與剖面構造圖。

圖3B係用以說明第三實施型態之具有SGT之柱狀半導體裝置之製造方法的俯視圖與剖面構造圖。

圖3C係用以說明第三實施型態之具有SGT之柱狀半導體裝置之製造方法的俯視圖與剖面構造圖。

圖4係顯示習知例之SGT的示意構造圖。

圖5係使用習知例之SGT之SRAM單元電路圖。

【實施方式】

【0019】 以下參照圖式來說明本發明之實施型態之柱狀半導體記憶裝置的製造方法。

【0020】 (第一實施型態)

以下參照圖1A至圖1U來說明本發明之第一實施型態之具有SGT之SRAM單元電路的製造方法。在各圖中，(a)係俯視圖，(b)係沿著(a)之X-X'線的剖面構造圖，(c)係沿著(a)之Y-Y'線的剖面構造圖。

【0021】 如圖1A所示，藉由磊晶結晶成長法在P層基板1(申請專利範圍之「基板」的一例)上形成N層2。再者，在N層2的表層上藉由磊晶結晶成長法分別形成N⁺層3a和P⁺層(「P⁺層」係指含有高濃度受體(acceptor)雜質的半導體區域。以下亦同)4a、4b。再者，形成i層6。再者，藉由磊晶結晶成長法在i層6上形成N⁺層3b、P⁺層4c、4d。再者，例如，形成由SiO₂層、氧化鋁(Al₂O₃，以下稱為AlO)層、SiO₂層所構成的遮罩材料層7。再者，堆積矽鍺(SiGe)層8。並且，堆積由SiO₂層、SiN層所構成的遮罩材料層9。另外，i層6亦可由包含少量施體或受體雜質原子的N型、或P型的Si所形成。此外，N⁺層3a、3b、P⁺層4a、4b、4c、4d亦可由離子注入法等其他的方法來形成。此外，遮罩材料層9亦可由包含SiO₂層、SiN層、或由其他材料層所構成的單層、或是複數層材料層而形成。

【0022】接著，以藉由微影(lithography)法所形成之俯視觀察時朝Y方向延伸之帶狀阻劑層(未圖示)為遮罩，藉由RIE(Reactive Ion Etching，反應離子蝕刻)法對遮罩材料層9進行蝕刻。並且，以阻劑層為遮罩，將遮罩材料層9進行等向性蝕刻而形成帶狀遮罩材料層9a、9b。藉此，將帶狀遮罩材料層9a、9b的寬度，形成為較可用微影法所形成之最小之阻劑層的寬度更窄。接著，以帶狀遮罩材料層9a、9b為遮罩，將SiGe層8例如藉由RIE法進行蝕刻，藉此如圖1B所示形成帶狀SiGe層8a、8b。

【0023】接著，整體藉由ALD(Atomic Layer Deposition，原子層堆積)法，以覆蓋遮罩材料層7、帶狀SiGe層8a、8b、帶狀遮罩材料層9a、9b之方式形成SiN層(未圖示)。此時，SiN層的剖面係在頂部形成圓弧。此圓弧較理想為形成為比帶狀SiGe層8a、8b更上部。再者，將整體以例如藉由流動化學氣相沈積(Flow Chemical Vapor Deposition)法所形成之SiO₂層(未圖示)覆蓋，然後，藉由CMP(Chemical Mechanical Polishing，化學機械研磨)研磨SiO₂層和SiN層以使上表面位置成為帶狀遮罩材料層9a、9b的上表面位置，而形成SiN層13a、13b、13c。再者，將SiN層13a、13b、13c的頂部進行蝕刻而形成凹部。形成為此凹部的底部位置位於帶狀遮罩材料層9a、9b的下部位置。再者，整體覆蓋SiN層(未圖示)，且將整體藉由CMP法將SiN層進行研磨為使上表面位置成為遮罩材料層9a、9b的上表面位置。再者，將藉由流動CVD所形成的SiO₂層予以去除。藉此，如圖1C所示，在帶狀遮罩材料層9a、9b的兩側，形成俯視觀察時具有與SiN層13a、13b、13c之頂部形狀呈相同形狀的帶狀遮罩材料層12aa、12ab、12ba、12bb。

【0024】接著，如圖1D所示，以帶狀遮罩材料層9a、9b、12aa、12ab、12ba、12bb為遮罩，將SiN層13a、13b、13c進行蝕刻，而形成帶狀SiN層13aa、13ab、

13ba、13bb。此時，於俯視觀察時，帶狀SiN層13aa、13ab、13ba、13bb的寬度將會相同。

【0025】接著將帶狀遮罩材料層9a、9b、帶狀SiGe層8a、8b予以去除。藉此，如圖1E所示，在遮罩材料層7上，形成帶狀SiN層13aa、13ab、13ba、13bb，該帶狀SiN層13aa、13ab、13ba、13bb係俯視觀察時在各者的頂部上具有朝Y方向延伸而且彼此平行排列之帶狀遮罩材料層12aa、12ab、12ba、12bb。

【0026】接著，以覆蓋整體之方式形成藉由流動CVD法所形成的SiO₂層(未圖示)。並且，藉由CMP法將SiO₂層進行研磨以使其上表面位置與帶狀遮罩材料層12aa、12ab、12ba、12bb的上表面位置相同，而如圖1F所示，形成SiO₂層15。再者，在SiO₂層15、帶狀遮罩材料層12aa、12ab、12ba、12bb上形成SiN層16。再者，使用與形成帶狀SiN層13aa、13ab、13ba、13bb之方法相同之基本的方法，在SiN層16上形成朝X方向延伸而且彼此平行排列的帶狀遮罩材料層17a、17b。

【0027】接著，如圖1G所示，以帶狀遮罩材料層17a、17b為遮罩，將SiN層16、帶狀遮罩材料層12aa、12ab、12ba、12bb、帶狀SiN層13aa、13ab、13ba、13bb、遮罩材料層7進行RIE蝕刻。再者，將殘存的SiN層16、SiO₂層15予以去除。藉此，形成俯視觀察時頂部具有矩形之遮罩材料層19a、19b、19c、19d、19e、19f、19g、19h的SiN柱20a、20b、20c、20d、20e、20f、20g、20h。

【0028】接著，如圖1H所示，將矩形的遮罩材料層19b、19g、SiN柱20b、20g予以去除。

【0029】接著，以遮罩材料層19a、19c、19d、19e、19f、19h和SiN柱20a、20c、20d、20e、20f、20h為遮罩將遮罩材料層7進行蝕刻，而如圖1I所示形成遮罩材料層7a、7b、7c、7d、7e、7f。在此蝕刻中，例如進行藉由CDE(Chemical Dry

Etching，化學乾蝕刻)法的等向性蝕刻，於俯視觀察時，使遮罩材料層7a、7b、7c、7d、7e、7f的形狀為圓形形狀。若在此步驟之前遮罩材料層7a、7b、7c、7d、7e、7f的俯視觀察形狀已為圓形形狀時則不需要此CDE蝕刻。再者，將遮罩材料層19a、19c、19d、19e、19f、19h和SiN柱20a、20c、20d、20e、20f、20h予以去除。再者，如圖1I所示，以遮罩材料層7a、7b、7c、7d、7e、7f為遮罩將N⁺層3b、P⁺層4c、4d、i層6進行蝕刻，在N⁺層3a、P⁺層4a、4b上形成Si柱6a(申請專利範圍之「第一半導體柱」的一例)、6b(申請專利範圍之「第二半導體柱」的一例)、6c、6d、6e(申請專利範圍之「第三半導體柱」的一例)、6f(申請專利範圍之「第四半導體柱」的一例)。在X-X'線(申請專利範圍之「第一線」的一例)上形成Si柱6a、6b、6c，而在XX-XX'線(申請專利範圍之「第二線」的一例)上形成Si柱6d、6e、6f。並且，分別在Si柱6a的頂部形成N⁺層3ba，在Si柱6b的頂部形成P⁺層4ca，在Si柱6c的頂部形成N⁺層3bb，在Si柱6d的頂部形成N⁺層3Ba(未圖示)，在Si柱6e的頂部形成P⁺層4Ca(未圖示)，在Si柱6f的頂部形成N⁺層3Bb(未圖示)。

【0030】 接著，如圖1J所示，將相連於Si柱6a、6b、6c之底部的N⁺層3a、P⁺層4a、N層2、P層基板1進行蝕刻，而形成由P層基板1之上部、N層2a、N⁺層3aa(申請專利範圍之「第一雜質層」的一例)、3ab、P⁺層4aa(申請專利範圍之「第二雜質層」的一例)所構成的Si柱台21a。同時，如顯示沿著圖1J(a)之XX-XX'線之剖面構造圖的圖1J(d)所示，將相連於Si柱6d、6e、6f之底部的N⁺層3a、P⁺層4b、N層2、P層基板1進行蝕刻，而形成由P層基板1之上部、N層2b、P⁺層4bb(申請專利範圍之「第三雜質層」的一例)、N⁺層3aB、3bB(申請專利範圍之「第四雜質層」的一例)所構成的Si柱台21b。再者，在N⁺層3aa、3ab、3aB、3bB、P⁺層4aa、4bb、N層2a、2b的外周部、和P層基板1上形成SiO₂層22。再者，藉由ALD法，以覆蓋

整體之方式形成HfO₂層23、TiN層(未圖示)。此時，在Si柱6b、6c間和Si柱6d、6e間，係由TiN層以側面彼此接觸著。再者，以包圍圍起Si柱6a之外周之HfO₂層23(申請專利範圍之「第一閘極絕緣層」的一例)之方式形成TiN層24a(申請專利範圍之「第一閘極導體層」的一例)、以包圍Si柱6b、6c之外周之HfO₂層23(申請專利範圍之「第二閘極絕緣層」的一例)之方式形成TiN層24b(申請專利範圍之「第二閘極導體層」的一例)、以包圍Si柱6d、6e之外周之HfO₂層23(申請專利範圍之「第三閘極絕緣層」的一例)之方式形成TiN層24c(申請專利範圍之「第三閘極導體層」的一例)，以包圍Si柱6f之外周之HfO₂層23(申請專利範圍之「第四閘極絕緣層」的一例)之方式形成TiN層24d(申請專利範圍之「第四閘極導體層」的一例)。再者，整體覆蓋SiO₂層(未圖示)，之後，藉由CMP法將整體進行研磨為使該SiO₂層上表面位置成為遮罩材料層7a、7b、7c、7d、7e、7f的上表面位置。再者，將經由RIE法平坦化後的SiO₂層(未圖示)進行蝕刻，而形成SiO₂層25。再者，以遮罩材料層7a、7b、7c、7d、7e、7f、SiO₂層25為遮罩，而將HfO₂層23、TiN層24a、24b、24c、24d的頂部去除。TiN層24a、24b、24c、24d係成為SGT的閘極導體層。此閘極導體層係有助於SGT之臨限值電壓之設定的層，可由單層或複數層所組成的閘極導體層所形成。此閘極導體材料層係與Si柱6b、6c間、和Si柱6d、6e間的側面整體相接地形成。另外，亦可相連於TiN層24a、24b、24c、24d而形成例如鎢(W)層，且可使用包含此W層作為閘極導體層。此W層亦可為其他導體材料層。此外，HfO₂層23亦可在Si柱6a至6f中，以改變膜厚或材料的方式來形成。此外，SiO₂層25之上表面亦可形成為比TiN層24a至24d的上表面位置更上方。

【0031】 接著，如圖1K所示，在Si柱6a至6f之外周部的SiO₂層25上形成SiN層27。再者，整體覆蓋SiO₂層(未圖示)。並且，藉由RIE法將該SiO₂層進行蝕刻，

藉此在露出之Si柱6a至6f的頂部和遮罩材料層7a至7f的側面，形成俯視觀察時等寬的SiO₂層28a、28b、28c、28d、28e、28f。此時，SiO₂層28b與SiO₂層28c係分開地形成。同樣地，SiO₂層28d與SiO₂層28e係分開地形成。另外，SiN層27係至少位於屬於閘極導體層的TiN層24a、24b、24c、24d上即可。此外，當以SiN層形成SiO₂層25，而且上表面形成為比TiN層24a至24d之上表面位置更上方的情形下，亦可不形成SiN層27。

【0032】接著，整體覆蓋氧化鋁(AlO)層(未圖示)。再者，如圖1L所示，藉由CMP法進行研磨為使AlO層的上表面位置成為遮罩材料層7a至7f的上表面位置，而形成AlO層29。再者，將包圍Si柱6a至6f之頂部的SiO₂層28a、28b、28c、28d、28e、28f予以去除，而形成包圍Si柱6a至6f之頂部的凹部30a、30b、30c、30d、30e、30f。由於SiO₂層28a、28b、28c、28d、28e、28f相對於Si柱6a至6f自行對準地形成，因此凹部30a、30b、30c、30d、30e、30f係相對於Si柱6a至6f自行對準地形成。另外，AlO層29亦可由單層或複數層的其他材料層來形成。

【0033】接著，如圖1M所示，將遮罩材料層7a、7b、7c、7d、7e、7f予以去除，而在Si柱6a至6f的頂部外周和上部，形成凹部30A、30B、30C、30D、30E、30F。另外，要將SiO₂層28a、28b、28c、28d、28e、28f、和遮罩材料層7a、7b、7c、7d、7e、7f去除的順序無論哪一者先進行均可。

【0034】接著，藉由CVD法整體地覆蓋SiO₂層(未圖示)。再者，如圖1N所示，藉由CMP法將SiO₂層的上表面位置研磨至AlO層29的上表面位置，並覆蓋Si柱6a至6f的頂部，而且在凹部30A、30B、30C、30D、30E、30F內形成SiO₂層31a、31b(未圖示)、31c、31d、31e(未圖示)、31f。再者，藉由微影法和化學蝕刻法將SiO₂層31b、31e予以去除。再者，藉由選擇磊晶結晶成長法將含有受體雜質的P⁺

層32b、32e，覆蓋Si柱6b、6e的頂部而且形成於凹部30B、30E內。P⁺層32b、32e的外周，係形成為俯視觀察時不會比凹部30B、30E的外周更靠外側。另外，較佳為在形成P⁺層32b、32e之前，於將Si柱6b、6e的頂部氧化為較薄之後，進行去除此氧化膜的處理，且進行Si柱6b、6e之頂部表層之損傷(damage)層的去及清洗。另外，P⁺層32b、32e亦可使用選擇磊晶結晶成長法以外之例如分子線結晶成長法等其他方法而形成屬於單結晶的P⁺層32b、32e。此外，P⁺層32b、32e亦可於整面地覆蓋含有受體雜質的半導體層之後，藉由CMP法進行研磨為使其上表面位置到達AlO層29的上表面位置之後，將上表面藉由CDE法或進行化學蝕刻來形成。

【0035】接著，整體地覆蓋SiO₂層(未圖示)，且藉由CMP法進行研磨為使SiO₂層的上表面位置與AlO層29的上表面位置相同，而使SiO₂層(未圖示)覆蓋於P⁺層32b、32e上。再者，藉由微影法和化學蝕刻，將SiO₂層31a、31c、31d、31f予以去除。再者，如圖10所示，藉由選擇磊晶結晶成長法將含有施體雜質的N⁺層32a、32c、32d、32f，覆蓋Si柱6a、6c、6d、6f的頂部而且形成於凹部30A、30C、30D、30F內。N⁺層32a、32c、32d、32f的外周，係形成為俯視觀察時不會比凹部30A、30C、30D、30F的外周更靠外側。再者，將P⁺層32b、32e上的SiO₂層予以去除。

【0036】接著，整體地覆蓋薄的Ta層(未圖示)與W層(未圖示)。再者，如圖1P所示，藉由CMP法進行研磨為使W層的上表面位置成為AlO層29的上表面位置，而形成於側面與底部具有Ta層的W層33a、33b、33c、33d、33e、33f。此時，位於N⁺層32a、32c、32d、32f、P⁺層32b、32e、與W層33a、33b、33c、33d、33e、

33f之間的Ta層，係用以減小此兩層之接觸電阻的緩衝層。此緩衝層亦可為單層或複數層的其他材料層。

【0037】接著，如圖1Q所示，在包含N⁺層3aa、與P⁺層4aa之交界的區域(申請專利範圍之「第一連接區域」的一例)、和TiN層24c的上方形成接觸孔C1(申請專利範圍之「第一接觸孔」的一例)。同時，在包含N⁺層3bB、與P⁺層4bb之交界的區域(申請專利範圍之「第二連接區域」的一例)、和TiN層24b的上方形成接觸孔C2(申請專利範圍之「第二接觸孔」的一例)。

【0038】接著，整體地覆蓋薄的Ti層(未圖示)和W層(未圖示)。再者，如圖1R所示，進行藉由RIE的回蝕(etch back)使W層的上表面位置成為比接觸孔C1、C2之上表面位置更下方，且在接觸孔C1、C2內形成W層34a(申請專利範圍之「第一導體層」的一例)、34b(申請專利範圍之「第二導體層」的一例)。再者，在W層34a、34b上的接觸孔C1、C2內、和AlO層29上，藉由CVD(Chemical Vapor Deposition，化學氣相沈積)法堆積SiO₂層(未圖示)。再者，藉由CMP法將SiO₂層進行研磨為使其上表面成為AlO層29的上表面，而於W層34a、34b上形成包含空孔36a(申請專利範圍之「第一空孔」的一例)、36b(申請專利範圍之「第二空孔」的一例)的SiO₂層35a(申請專利範圍之「第一絕緣材料層」的一例)、35b(申請專利範圍之「第二絕緣材料層」的一例)。另外，W層34a、34b的上表面位置，係在垂直方向上形成為比閘極TiN層24a至24d的下端位置更下方或附近。另外，亦可使用其他導體層以取代緩衝Ti層。同樣地，亦可使用其他導體材料層以取代W層34a、34b。此外，亦可不使用緩衝導體層，直接形成對應W層34a、34b的導體層。

【0039】接著，整體地覆蓋SiO₂層(未圖示)。再者，如圖1S所示，於整體地形成SiO₂層37之後，使用微影法、RIE法，形成俯視觀察時與Si柱6b、6e上之W層

33b、33e之至少一部分重疊且朝Y方向延伸的帶狀接觸孔C3。另外，帶狀接觸孔C3的底部亦可到達SiN層27的上表面。

【0040】接著，如圖1T所示，填埋帶狀接觸孔C3，形成連接W層33b和33e的電源配線金屬層Vdd。另外，電源配線金屬層Vdd不僅可使用金屬，亦可使用單層或複數層由合金、含有較多施體或受體雜質之半導體所構成的材料層來形成。

【0041】接著，如圖1U所示，以覆蓋整體之方式形成上表面平坦的SiO₂層38。再者，藉由形成於N⁺層32c上之W層33c上的接觸孔C4而形成接地配線金屬層Vss1。同時，藉由形成於N⁺層32d上之W層33d上的接觸孔C5而形成接地配線金屬層Vss2。以覆蓋整體之方式形成上表面平坦的SiO₂層39。再者，藉由形成於TiN層24a、24b上的接觸孔C6、C7而形成字元配線金屬層WL。再者，以覆蓋整體之方式形成上表面平坦的SiO₂層40。再者，藉由形成於N⁺層32a、32f上之W層33a、33f的接觸孔C8、C9而形成反轉位元輸出配線金屬層RBL、位元輸出配線金屬層BL。藉此，在P層基板1上形成SRAM單元電路。在此SRAM單元電路中，係於Si柱6a形成有選擇電晶體SGT(申請專利範圍之「第一SGT」的一例)，在Si柱6b形成有負載電晶體SGT(申請專利範圍之「第二SGT」的一例)，在Si柱6c形成有驅動電晶體SGT，在Si柱6d形成有驅動電晶體SGT，在Si柱6e形成有負載電晶體SGT(申請專利範圍之「第三SGT」的一例)，在Si柱6f形成有選擇電晶體SGT(申請專利範圍之「第四SGT」的一例)。在本SRAM電路中，係於Si柱6b、6e形成有負載SGT，在Si柱6c、6d形成有驅動SGT，在Si柱6a、6f形成有選擇SGT。

【0042】另外，在圖1R中，包含空孔36a、36b的SiO₂層35a、35b係實際上等效於低介電常數材料層。相對於此，亦可使用包含或不包含空孔36a、36b的其

他低介電常數材料層以取代SiO₂層35a、35b。此外，亦可將空孔36a、36b的上部以例如藉由CVD法的SiN層來封住，藉此形成大體積的空孔，從而在接觸孔C1、C2內形成實際上等效於低介電常數材料層。此外，空孔36a、36b之垂直方向的上端位置，即使在形成SiO₂層35a、35b之後將SiO₂層35a、35b的上部去除，只要空孔36a、36b位於SiO₂層35a、35b內，空孔36a、36b的上端位置亦可設為比閘極TiN層24a至24d的上端更高。

【0043】此外，在本實施型態中，W層34a雖直接與N⁺層3aa、P⁺層4aa相接，但亦可例如於俯視觀察時於Si柱6a、6b間的N⁺層3aa、P⁺層4aa上設置例如金屬、或矽化物層等導體層，而在該導體層上形成接觸孔C1。此點針對接觸孔C2亦復相同。此外，在本實施型態中，係使用了P層基板1作為基板。再者，P層基板1上的N層2亦可設為一部分包含於基板。此外，亦可使用例如SOI(Silicon Oxide Insulator，氧化矽絕緣體)等其他基板以取代P層基板。

【0044】此外，N⁺層3aa、3ab、3aB、3bB、P⁺層4aa、4bb亦可以連接於Si柱6a至6f之底部側面之方式形成。如上所述，成為SGT的源極、或汲極的N⁺層3aa、3ab、3aB、3bB、P⁺層4aa、4bb、4ca、4Cb，亦可以與Si柱6a至6f之底部、或頂部的內部、或側面外側相接之方式形成於Si柱6a至6f的外周，再者，亦可各者以其他導體材料來電性連接。

【0045】依據第一實施型態的製造方法，可獲得下列特徵。

(特徵一)

圖1U所示之形成選擇SGT和負載SGT之Si柱6a、6b間之連接N⁺層3aa、P⁺層4aa、和閘極TiN層24c的W層34a、以及實際上等效於低介電層的SiO₂層35a，係形成於接觸孔C1內。藉此，使W層24a和SiO₂層24a自行對準地形成。同樣地，W層

24b和SiO₂層24b係自行對準地形成。此自行對準地形成將關係到SRAM單元的高集積化。

(特徵二)

包含空孔36a的SiO₂層35a，係使選擇SGT之閘極TiN層24a、與負載SGT、驅動SGT之閘極TiN層24b間的耦合電容減小。同樣地，包含空孔36b的SiO₂層35b，係使選擇SGT之閘極TiN層24d、與負載SGT之閘極TiN層24c間的耦合電容減小。此耦合電容的降低，將關係到SRAM裝置的高速化、低消耗電力化。

(特徵三)

如圖1R所示，在垂直方向上，W層34a係上表面形成為比閘極TiN層24a至24d的下端位置更下方或附近。藉此，即可使W層34a的側面，以與閘極TiN層24a、24b之側面相向之面積較小、或遠離之方式形成。藉此，即可在製造上，降低W層34a與閘極TiN層24a、24b的電性短路不良。同樣地，可盡量減少W層34b、與閘極TiN層24c、24d的短路不良。此將有助於SRAM裝置的良率提升。

【0046】(第二實施型態)

以下參照圖2A、圖2B來說明本發明之第二實施型態之具有SGT之SRAM單元電路的製造方法。(a)係俯視圖，(b)係沿著(a)之X-X'線的剖面構造圖，(c)係沿著(a)之Y-Y'線的剖面構造圖。

【0047】在本實施型態中，首先進行第一實施型態中所說明之圖1A至圖1R的步驟。再者，整體地覆蓋阻劑層(未圖示)。再者，如圖2A所示，使用微影法，在SiN層41、遮罩材料層7a至7f、SiO₂層28a至28f的上方，形成俯視觀察時與Si柱6b、6e重疊而且呈帶狀空隙的阻劑層42。接著，以阻劑層42為遮罩，藉由RIE法對SiN層41、遮罩材料層7b、7e、SiO₂層28b、28e、35a、35b進行蝕刻為使其上表

面位置成為比Si柱6b、6e之頂部上表面位置更下方，而形成凹部43。於俯視觀察時，凹部43係一部分與SiO₂層35a、35b重疊著。另外，此凹部43的底部亦可到達SiN層27。此外，阻劑層42若為具有蝕刻遮罩的作用者，則可使用由單層、或複數層所構成的其他材料層。

【0048】 接著，將阻劑層42予以去除。再者，將Si柱6b、6e上的遮罩材料層7b、7e、和SiO₂層28b、28e予以去除。接著，整體覆蓋藉由ALD法所形成之薄的單晶矽Si層(未圖示)、和藉由磊晶結晶成長法所形成之含有受體雜質的P⁺層(未圖示)。再者，將P⁺層、薄的Si層進行研磨為使其上表面位置成為SiN層41的上表面位置，而如圖2B所示將薄的單晶Si層45b、P⁺層46b形成於P⁺層4ca、4Cb上。同樣地，在N⁺層3ba、3bb、3Ba、3Bb上形成N⁺層46a、46c、46d、46f。再者，將P⁺層46b、46e、N⁺層46a、46c、46d、46f的上表面進行蝕刻為比SiN層41的上表面更低。再者，在P⁺層46b、46e、N⁺層46a、46c、46d、46f上形成W層49a、49b、49c、49d、49e。在此，將空孔36a、36b在垂直方向上的上端位置形成為位於比SiN層27更下方。接著，藉由進行圖1T所示的步驟，在P層基板1上形成SRAM單元電路。

【0049】 依據第二實施型態的製造方法，可獲得下列特徵。

如圖2B所示，P⁺層4ca、4cb、N⁺層46a、46c、46d、46f係俯視觀察時一部分重疊，而且P⁺層4ca、4cb、N⁺層46a、46c、46d、46e的底部係在SiN層27上或相接之方式形成。相對於此，空孔36a、36b之垂直方向上的上端位置，形成為位於比SiN層27更下方。藉此，使空孔36a、36b，在P⁺層4ca、4cb、N⁺層46a、46c、46d、46f的形成步驟中不會崩毀。此係顯示了俯視觀察時可將實際上等效於低介電層之SiO₂層35a、35b、和P⁺層46b予以重疊地形成。藉此，謀求SRAM單元的高密度化。

【0050】 (第三實施型態)

以下參照圖3A至圖3C來說明本發明之第三實施型態之具有SGT之SRAM單元電路的製造方法。(a)係俯視圖，(b)係沿著(a)之X-X'線的剖面構造圖，(c)係沿著(a)之Y-Y'線的剖面構造圖。

【0051】 進行第一實施型態中之至圖1I為止的步驟。再者，以覆蓋整面之方式，使用ALD來堆積HfO₂層(未圖示)、TiN層(未圖示)，再者，藉由CVD法堆積SiO₂層(未圖示)。再者，藉由CMP法進行研磨為使HfO₂層、TiN層、SiO₂層的上表面成為遮罩材料層7a至7f的上表面位置。再者，以遮罩材料層7a至7f為遮罩，藉由RIE法將TiN層、SiO₂層進行研磨為使其上表面位置至N⁺層3ba、3bb、3Ba、3Bb、P⁺層3bb、3Ca的下端位置附近，如圖3A所示，形成TiN層24、SiO₂層25A。再者，整面地堆積SiN層(未圖示)。再者，藉由RIE法將SiN層進行蝕刻，藉此在N⁺層3ba、3bb、3Ba、3Bb、P⁺層4ca、4Ca、和遮罩材料層7a至7f的側面形成SiN層26a、26b、26c、26d。此時，P⁺層4ca、N⁺層3bb間的距離較短時，SiN層26b係在P⁺層4ca、N⁺層3bb間相連地形成。同樣地當P⁺層4Ca、N⁺層3Ba間的距離較短時，SiN層26c係在P⁺層4Ca、N⁺層3Ba間相連地形成。再者，形成俯視觀察時一部分重疊於SiN層26a上的遮罩材料層26A、一部分重疊於SiN層26b上的遮罩材料層26B、一部分重疊於SiN層26c上的遮罩材料層26C、一部分重疊於SiN層26d上的遮罩材料層26D。此時，將俯視觀察時之SiN層26a至26f的厚度L1，形成為比TiN層的厚度L2更小。

【0052】 接著，如圖3B所示，以遮罩材料層7a至7d、26A至26D、SiN層26a至26d為遮罩，將SiO₂層25A、TiN層24進行蝕刻，而形成TiN層24A、24B、24C、24D。此時，遮罩材料層26A至26D下方的SiO₂層25A會被留下。藉由此蝕刻，在

TiN層24A至24D之底部之厚度L2被維持的狀態下，使包圍著Si柱6a至6f之TiN層24A至24D的厚度形成為薄至L1。

【0053】 接著，藉由進行圖1J至圖1R的步驟，如圖3C所示，在W層34a、34b上，形成包含有空孔36a、36b的SiO₂層35a、35b。此時，W層34a、34b係形成於接觸孔C1、C2(參照圖1Q)的底部上。此接觸孔C1、C2係形成於厚度為L2之厚的TiN層24B、24C上。之後，藉由進行圖1S至圖1U的步驟，在P層基板1上形成SRAM單元。

【0054】 依據第三實施型態的製造方法，可獲得下列特徵。

(特徵一)

通常，閘極TiN層24A至24D的厚度為例如2至5nm左右，而可獲得預定之功函數(Work function)。若欲提高平面上之SRAM單元的集積度，則閘極TiN層24A至24D的厚度愈薄愈佳。然而，若與接觸孔C1、C2鄰接之TiN層24B、24C的厚度較薄，則在形成接觸孔C1、C2時，會產生接觸孔C1、C2貫通TiN層24B、24C的情形。在此情形下，TiN層24B、24C、和W層34a、34b之連接不良產生的可能性會變大。相對於此，依據本實施型態，可使Si柱6a至6f之外周部之TiN層24A至24D的厚度變薄，且可使鄰接於接觸孔C1、C2之部分之TiN層24B、24C的厚度增厚。藉此，即可防止TiN層24B、24C和W層34a、34b的連接不良。

(特徵二)

在含有通常之SRAM的半導體晶片中，係在SRAM單元區域的周邊形成邏輯電路。在此邏輯電路中，係將複數個SGT間以導體電極來連接。作為此導體電極來說，係使用和與W層34a、34b連接之部分之較厚之TiN層24B、24C同層的TiN層。此TiN層係要求低電阻化。以此觀點來說，必須增厚TiN層的厚度。另一方

面，在邏輯電路區域的SGT中，為了高集積化，包圍Si柱之部分的閘極TiN層亦以較薄為理想。相對於此，本實施型態係在邏輯電路區域的SGT中亦有助於高集積化、高性能化。

【0055】 (其他實施型態)

另外，在本發明的實施型態中，雖於一個半導體柱形成一個SGT，但本發明亦可適用於形成兩個以上的電路形成上。本發明係可應用於形成有兩個以上SGT之兩個半導體柱之最上部之SGT之頂部雜質層間的連接上。

【0056】 另外，在第一實施型態中，雖形成了Si柱6a至6f，但亦可為由其他半導體材料所構成的半導體柱。此點在本發明的其他實施型態中亦復相同。

【0057】 此外，在第一實施型態中，係以由六個SGT所構成的SRAM單元為例進行了說明。相對於此，即使是八個的情形下，只要在Si柱6a、6b之間包含有形成接觸孔C1的區域、且在Si柱6e、6f之間包含有形成接觸孔C2的區域，則可應用本發明。此點在本發明的其他實施型態中亦復相同。

【0058】 此外，第一實施型態中之N⁺層32a、32c、32d、32f、P⁺層32b、32e，亦可由含有施體或受體雜質之Si、或其他半導體材料層所形成。此外，N⁺層32a、32c、32d、32f、P⁺層32b、32e亦可由不同的半導體材料層所形成。此點在本發明之其他實施型態中亦復相同。

【0059】 此外，第一實施型態中之Si柱6a至6f之外周部的SiN層27、露出之Si柱6a至6f之頂部、遮罩材料層7a至7f之側面上所形成的SiO₂層28a至28f、及包圍SiO₂層28a至28f的AlO層29，若為符合本發明之目的的材料，則亦可使用由單層或複數層所構成之含有有機材料或無機材料的其他材料層。此點在本發明的其他實施型態中亦復相同。

【0060】此外，在第一實施型態中，遮罩材料層7係由SiO₂層、AlO層、SiO₂層所形成。遮罩材料層7若為符合本發明之目的的材料，則亦可使用由單層或複數層所構成之含有有機材料或無機材料的其他材料層。此點在本發明的其他實施型態中亦復相同。

【0061】此外，在第一實施型態中，如圖1C、圖1D所示，將藉由ALD法所形成之帶狀SiN層13aa、13ab、13ba、13bb整體地形成於帶狀SiGe層8a、8b的兩側。帶狀SiN層13aa、13ab、13ba、13bb、和帶狀SiGe層8a、8b，若為符合本發明的材料，則亦可使用由單層或複數層所構成之含有有機材料或無機材料的其他材料層。此點在本發明的其他實施型態中亦復相同。

【0062】此外，如圖1T所示，在第一實施型態中，在N層2a、2b上相連地形成有於Si柱6a至6f的下部成為SGT之源極或汲極的N⁺層3aa、3ab、3ba、3bb、P⁺層4aa、4bb。相對於此，亦可將N⁺層3aa、3ab、3ba、3bb、P⁺層4aa、4bb形成於Si柱6a至6f的底部，而且通過金屬層、合金層來將N⁺層3aa、3ab、3ba、3bb、P⁺層4aa、4bb間相連。此外，N⁺層3aa、3ab、3ba、3bb、P⁺層4aa、4bb亦可以連接於Si柱6a至6f之底部側面之方式形成。綜上所述，成為SGT之源極或汲極的N⁺層3aa、3ab、3ba、3bb、P⁺層4aa、4bb，亦可以相接於Si柱6a至6f之底部之內部或側面外側之方式形成於其外周，再者，亦可各者以其他導體材料來電性相連。此點在本發明之其他實施型態中亦復相同。

【0063】此外，第一實施型態中之各種配線金屬層34a、34b、WL、Vdd、Vss、BL、RBL的材料不僅為金屬，亦可為合金、含有較多受體或施體雜質之半導體層等導電材料層，再者，亦可將該等組合單層或複數層來構成。此點在本發明的其他實施型態中亦復相同。

【0064】另外，由於薄的單結晶Si層45a至45e為用以形成結晶性良好之P⁺層46b、N⁺層48a、48b、48c、48d的層，因此若為符合此目的者，亦可為其他單結晶半導體薄膜層。

【0065】在第一實施型態中，Si柱6a至6f之俯視觀察時的形狀係圓形。再者，Si柱6a至6f之一部分或所有俯視觀察時的形狀，係可為圓形、橢圓、朝一方向延伸較長之形狀等。再者，在從SRAM區域離開地形成的邏輯電路區域中，亦可依據邏輯電路設計而在邏輯電路區域上混合地形成俯視觀察時形狀不同的Si柱。此等各點在本發明的其他實施型態中亦復相同。

【0066】此外，在第一實施型態中，係連接於Si柱6a至6f的底部而形成了N⁺層3aa、3ab、3ba、3aB、3bB、P⁺層4aa、4bb。亦可在N⁺層3aa、3ab、33ab、3bB、P⁺層4aa、4bb上表面形成金屬、矽化物等合金層。此外，亦可在Si柱6a至6f之底部的外周，形成藉由例如磊晶結晶成長法所形成之含有施體或受體雜質原子的P⁺層或N⁺層以形成SGT的源極或汲極雜質區域。此時，亦可在與藉由磊晶結晶成長法所形成之N⁺層或P⁺層相接的Si柱內部形成N⁺層或P⁺層，亦可不形成N⁺層或P⁺層。或者，亦可以鄰接於此等P⁺層、N⁺層之方式設置延伸的金屬層或合金層。此點在本發明的其他實施型態中亦復相同。

【0067】此外，在第一實施型態中，雖已在P層基板1上形成了SGT，但亦可使用SOI(Silicon On Insulator，絕緣體上矽薄膜)基板以取代P層基板1。或者，若為發揮作為基板的作用者，亦可使用其他材料基板。此點在本發明的其他實施型態中亦復相同。

【0068】此外，在第一實施型態中，雖已說明了在Si柱6a至6f的上下，使用具有相同極性之導電性的N⁺層、P⁺層而構成源極、汲極的SGT，但本發明亦可適

用於具有極性不同之源極、汲極的通道型SGT。此點在本發明的其他實施型態中亦復相同。

【0069】此外，在第二實施型態中，形成藉由ALD法所形成之薄的單結晶Si層45a至45e、和藉由磊晶結晶成長所形成之含有受體雜質的N⁺層、P⁺層46a至46e。薄的單結晶Si層45a至45e係用以獲得結晶性良好之N⁺層、P⁺層46a至46e的材料層。若為用以獲得結晶性良好之N⁺層、P⁺層46a至46e的材料層，亦可為其他單層或複數層的材料層。

【0070】此外，在圖1J的狀態中，亦可無遮罩材料層7a、7b、7c、7d、7e、7f。此時，在圖1K或圖1L中，藉由將Si柱6a至6f的頂部進行蝕刻、或在將Si柱6a至6f之頂部予以氧化之後而加以去除的步驟等，可使Si柱6a至6f頂部的上表面位置比AlO層29更低。

【0071】本發明在不脫離本發明之廣義的精神與範圍下，亦可進行各種實施型態及變更。此外，上述的實施型態，係用以說明本發明之一實施例者，非限定本發明的範圍。上述實施例及變形例係可任意地組合。再者，視需要，除上述實施型態之構成要件的一部分以外，亦均屬本發明之技術思想的範圍內。

[產業上的可利用性]

【0072】依據本發明之柱狀半導體記憶裝置及其製造方法，可獲得高密度的柱狀半導體記憶裝置。

【符號說明】

【0073】

1:P層基板

2,2a,2b:N層

3a,3b,3aa,3ab,3ba,3bb,3Ab,3bB,3Ba,3Bb,32a,32c,32d,32f,46a,46c,46d,46e,121a,12

1b:N⁺層

4a,4b,4c,4d,4aa,4bb,4ca,4Ca,32b,32e,46b:P⁺層

6:i層

6a,6b,6c,6d,6e,6f,120:Si柱(矽半導體柱)

7,10,7a,7b,7c,7d,7e,7f,9,26A,26B,26C,26D:遮罩材料層

8:SiGe層

8a,8b:帶狀SiGe層

9a,9b,12aa,12ab,12ba,12bb,17a,17b:帶狀遮罩材料層

13a,13b,13c,16,27,27a,41:SiN層

13aa,13ab,13ba,13bb:帶狀SiN層

15,22,25,25A,28a,28b,28c,28d,28e,28f,35a,35b,37,38,39,40:SiO₂層

19a,19b,19c,19d,19e,19f,19g,19h:遮罩材料層

20a,20b,20c,20d,20e,20f,20g,20h:SiN柱

21a,21b:Si柱台

23:HfO₂層

24,24a,24b,24c,24d,24A,24B,24C,24D:TiN層

26a,26b,26c,26d:SiN層

29:AlO層

30a,30b,30c,30d,30e,30f,30A,30B,30C,30D,30E,30F,43:凹部

31a,31b,31c,31d,31f:SiO₂層

33a,33b,33c,33d,33e,33f,34a,34b:W層

36a,36b:空孔

42:阻劑層

45a,45b,45c,45d,45e:Si層

49a,49b,49c,49d,49e:W層

122:通道區域

123:閘極絕緣層

124:閘極導體層

125:絕緣層

L1,L2:厚度

BL:位元輸出配線金屬層

BLRt:反轉位元線端子

BLt:位元線端子

C1,C2,C3,C4,C5,C6,C7,C8,C9:接觸孔

RBL:反轉位元輸出配線金屬層

Vss1,Vss2:接地配線金屬層

Vdd:電源配線金屬層

WL:字元配線金屬層

SGT_Nc1, SGT_Nc2:N 通道

SGT_Pc1, SGT_Pc2:P 通道

SGT_SN1, SGT_SN2:選擇 N 通道

Vss:接地端子

WLt:字元線端子

【發明申請專利範圍】

【請求項1】 一種柱狀半導體記憶裝置的製造方法，係具有：

在基板上形成第一半導體柱、第二半導體柱、第三半導體柱和第四半導體柱的步驟，其中，前述第一半導體柱係形成俯視觀察時排列於第一線上而且朝垂直方向站立著的第一SGT（Surrounding Gate Transistor，環繞閘極電晶體），前述第二半導體柱係以鄰接於前述第一半導體柱之方式形成第二SGT，前述第三半導體柱係形成俯視觀察時排列於平行於第一線之第二線上而且朝垂直方向站立著的第三SGT，前述第四半導體柱係以鄰接於前述第三半導體柱之方式形成第四SGT；

形成包圍著前述第一半導體柱的第一閘極絕緣層、包圍著前述第二半導體柱的第二閘極絕緣層、包圍著前述第三半導體柱的第三閘極絕緣層、和包圍著前述第四半導體柱的第四閘極絕緣層之步驟；

形成第一閘極導體層、第二閘極導體層、第三閘極導體層和第四閘極導體層的步驟，其中，前述第一閘極導體層係包圍著前述第一閘極絕緣層，前述第二閘極導體層係包圍著前述第二閘極絕緣層而且俯視觀察時朝前述第二線的方向突出，前述第三閘極導體層係俯視觀察時包圍著前述第三閘極絕緣層而且俯視觀察時朝前述第一線的方向突出，前述第四閘極導體層係包圍著前述第四閘極絕緣層；

在第一連接區域、和俯視觀察時朝第一線方向突出的前述第三閘極導體層之上方形形成第一接觸孔，同時，在第二連接區域、和俯視觀察時朝前述第二線方向突出的前述第二閘極導體層之上方形形成第二接觸孔的步驟，其中，前述第一連接區域係連結位於前述第一半導體柱之底部之第一雜質區域、和位於前述第二

半導體柱之底部之第二雜質區域，前述第二連接區域係連結位於前述第三半導體柱之底部之第三雜質區域、和位於前述第四半導體柱之底部之第四雜質區域；

在前述第一接觸孔之底部形成第一導體層，同時在前述第二接觸孔之底部形成第二導體層的步驟；及

在前述第一導體層上之前述第一接觸孔內，形成第一空孔或由低介電常數材料層所構成之第一絕緣材料層，同時在前述第二導體層上之前述第二接觸孔內，形成第二空孔或由低介電常數材料層所構成之第二絕緣材料層的步驟；並且

前述第一SGT和前述第四SGT為SRAM記憶單元的選擇電晶體，前述第二SGT和前述第三SGT為SRAM記憶單元的負載電晶體。

【請求項2】 如請求項1所述之柱狀半導體記憶裝置的製造方法，其中，在垂直方向上，前述第一空孔、前述第二空孔的上端位置係形成為比前述第一閘極導體層、前述第二閘極導體層、前述第三閘極導體層和前述第四閘極導體層的上端位置更低。

【請求項3】 如請求項1所述之柱狀半導體記憶裝置的製造方法，其中，在形成前述第二閘極導體層的步驟中，將鄰接於前述第二接觸孔之區域之前述第二閘極導體層的厚度，形成為比包圍著前述第二閘極絕緣層之前述第二閘極導體層的厚度更厚。

【請求項4】 如請求項3所述之柱狀半導體記憶裝置的製造方法，具有：

形成第二導體層的步驟，其中，前述第二導體層係包圍前述第一閘極絕緣層、前述第二閘極絕緣層、前述第三閘極絕緣層和前述第四閘極絕緣層，而且，前述第二導體層之上表面位置在垂直方向上係位於比前述第一半導體柱、前述第二半導體柱、前述第三半導體柱和前述第四半導體柱之頂部更下方處；

形成包圍著第一半導體柱、前述第二半導體柱、前述第三半導體柱和前述第四半導體柱之頂部之第一遮罩材料層的步驟；

形成俯視觀察時連結於前述第二半導體柱而且一部分朝前述第二線方向突出之第二遮罩材料層、和連結於前述第三半導體柱而且一部分朝前述第一線方向突出之第三遮罩材料層的步驟；及

以前述第一遮罩材料層、前述第二遮罩材料層和前述第三遮罩材料層作為遮罩，將前述第二導體層進行蝕刻而形成前述第一閘極導體層、前述第二閘極導體層、前述第三閘極導體層和前述第四閘極導體層的步驟；並且

於俯視觀察時，與前述第二遮罩材料層重疊著的前述第二閘極導體層的膜厚，係形成為比前述第一遮罩材料層的膜厚更厚，於俯視觀察時，與前述第三遮罩材料層重疊著的前述第三閘極導體層的膜厚，係形成為比前述第三遮罩材料層的膜厚更厚。

【請求項5】 一種柱狀半導體記憶裝置，係具有：

在基板上形成的第一半導體柱、第二半導體柱、第三半導體柱和第四半導體柱，其中，前述第一半導體柱係形成俯視觀察時排列於第一線上而且朝垂直方向站立著的第一SGT（Surrounding Gate Transistor，環繞閘極電晶體），前述第二半導體柱係以鄰接於前述第一半導體柱之方式形成第二SGT，前述第三半導體柱係形成俯視觀察時排列於平行於前述第一線之第二線上而且朝垂直方向站立著的第三SGT，前述第四半導體柱係以鄰接於前述第三半導體柱之方式形成第四SGT；

包圍著前述第一半導體柱的第一閘極絕緣層、包圍著前述第二半導體柱的第二閘極絕緣層、包圍著前述第三半導體柱的第三閘極絕緣層、和包圍著前述第四半導體柱的第四閘極絕緣層；

第一閘極導體層、第二閘極導體層、第三閘極導體層和第四閘極導體層，其中，前述第一閘極導體層係包圍著前述第一閘極絕緣層，前述第二閘極導體層係包圍著前述第二閘極絕緣層而且俯視觀察時朝前述第二線的方向突出，前述第三閘極導體層係俯視觀察時包圍著前述第三閘極絕緣層而且俯視觀察時朝前述第一線的方向突出，前述第四閘極導體層係包圍著前述第四閘極絕緣層；

在第一連接區域、和俯視觀察時朝第一線方向突出的前述第三閘極導體層之上方朝垂直方向延伸的第一接觸部，及在第二連接區域、和俯視觀察時朝前述第二線方向突出的前述第二閘極導體層之上方朝垂直方向延伸的第二接觸部，其中，前述第一連接區域係連結位於前述第一半導體柱之底部之第一雜質區域、和位於前述第二半導體柱之底部之第二雜質區域，前述第二連接區域係連結位於前述第三半導體柱之底部之第三雜質區域、和位於前述第四半導體柱之底部之第四雜質區域；

位於前述第一接觸部之底部的第一導體層，及位於前述第二接觸部之底部的第二導體層；及

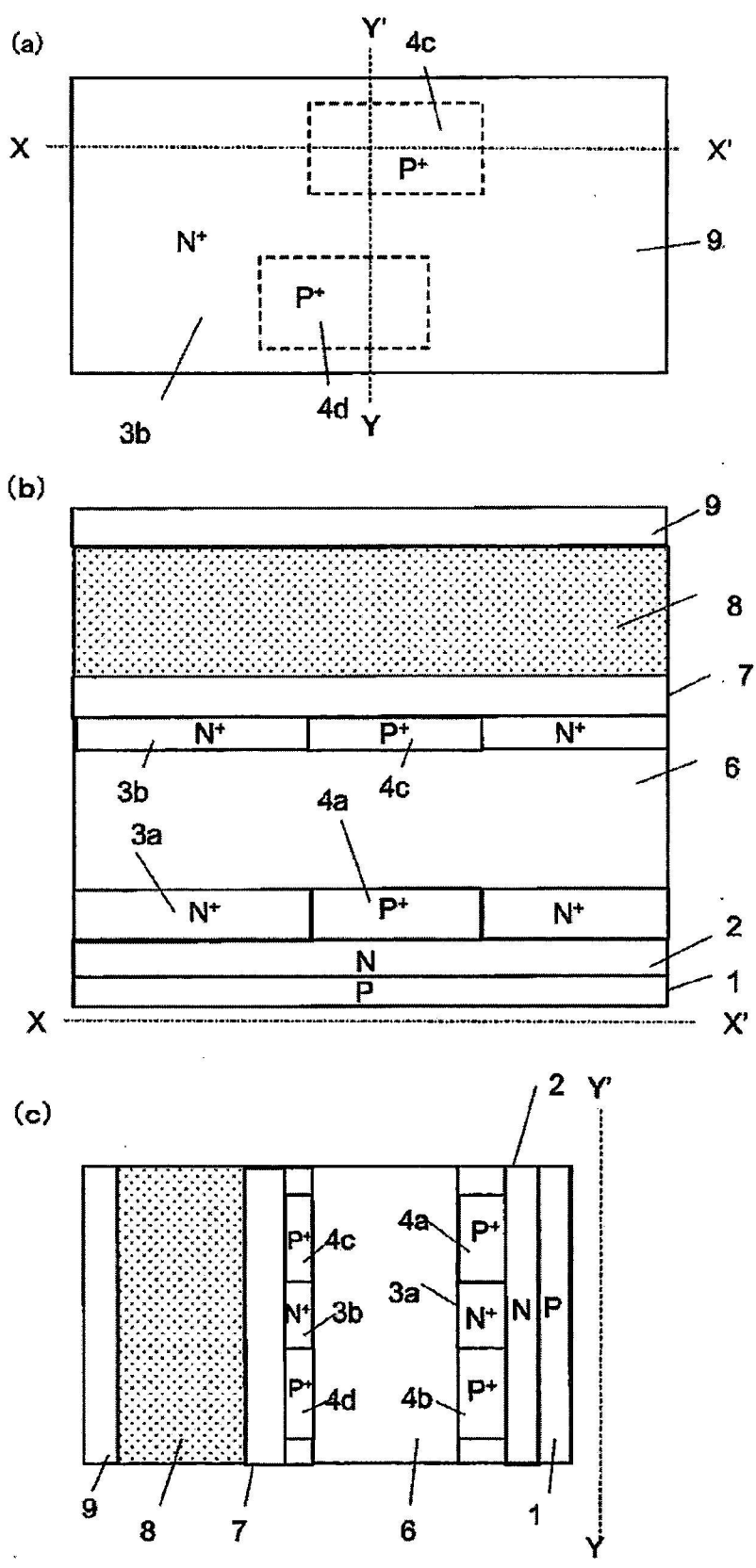
位於前述第一導體層上之前述第一接觸部內之第一絕緣材料層，該第一絕緣材料層係包含第一空孔或由低介電常數材料層所構成，及位於前述第二導體層上之前述第二接觸部內之第二絕緣材料層，該第二絕緣材料層係包含第二空孔或由低介電常數材料層所構成；並且

前述第一SGT和前述第四SGT為SRAM記憶單元的選擇電晶體，前述第二SGT和前述第三SGT為SRAM記憶單元的負載電晶體。

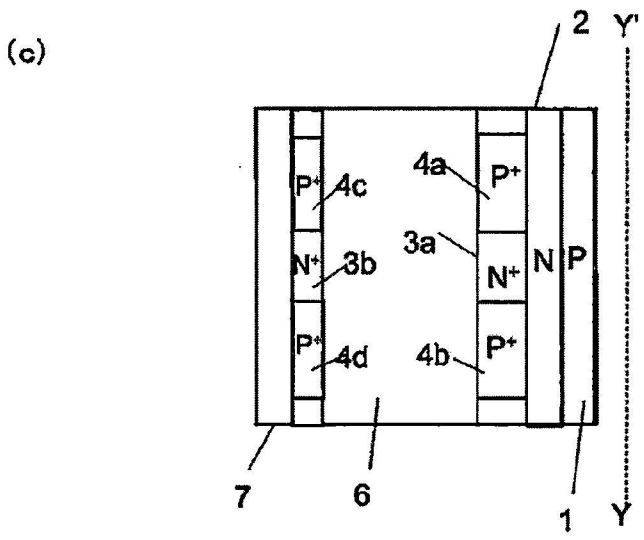
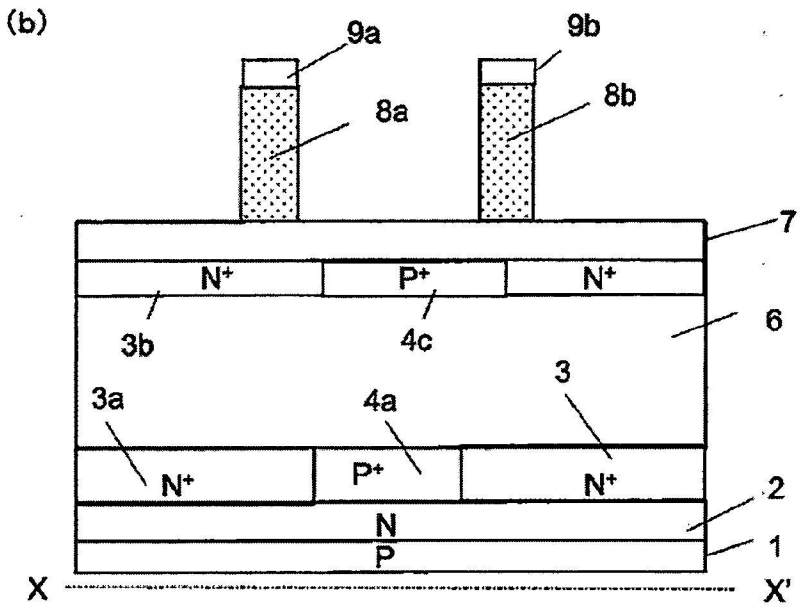
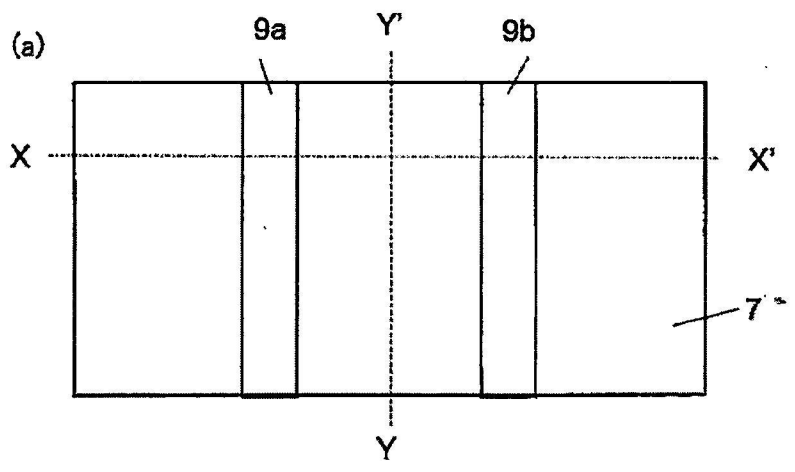
【請求項6】 如請求項5所述之柱狀半導體記憶裝置，其中，在垂直方向上，前述第一空孔、前述第二空孔的上端位置係比前述第一閘極導體層、前述第二閘極導體層、前述第三閘極導體層和前述第四閘極導體層的上端位置更低。

【請求項7】 如請求項5所述之柱狀半導體記憶裝置，其中，鄰接於前述第二接觸孔之區域之前述第二閘極導體層的厚度，係比包圍著前述第二閘極絕緣層之前述第二閘極導體層的厚度更厚。

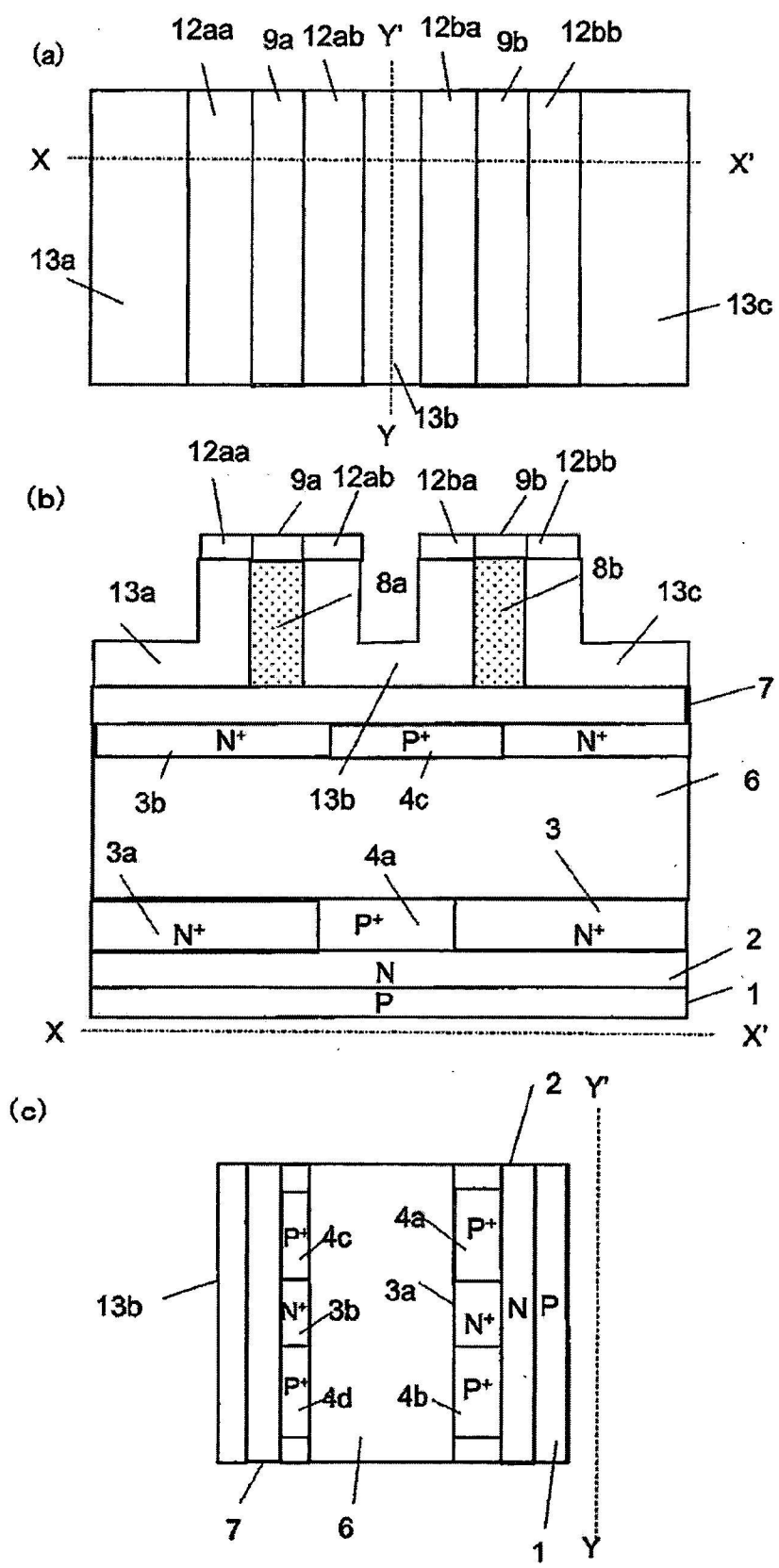
【發明圖式】



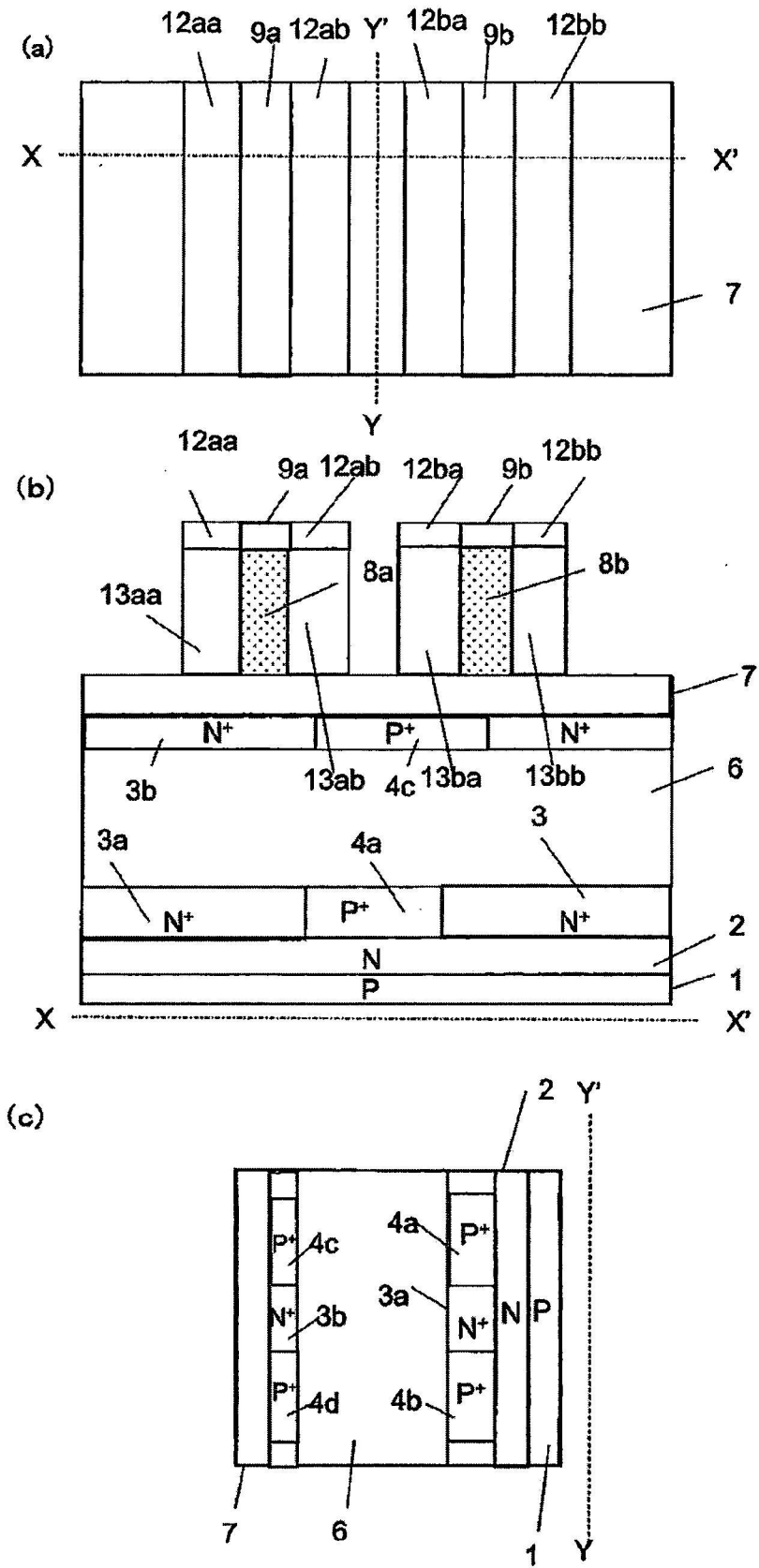
【圖1A】



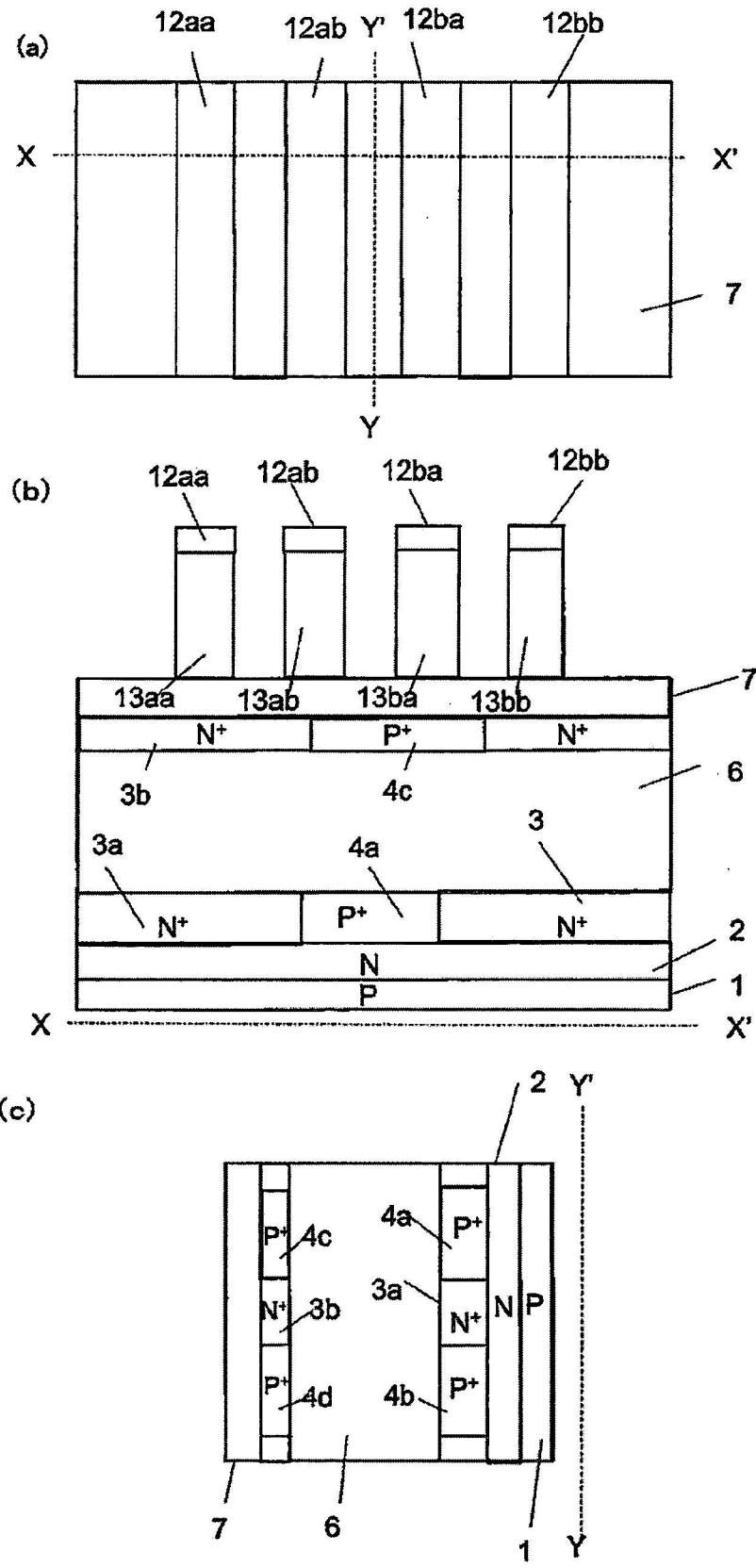
【圖1B】



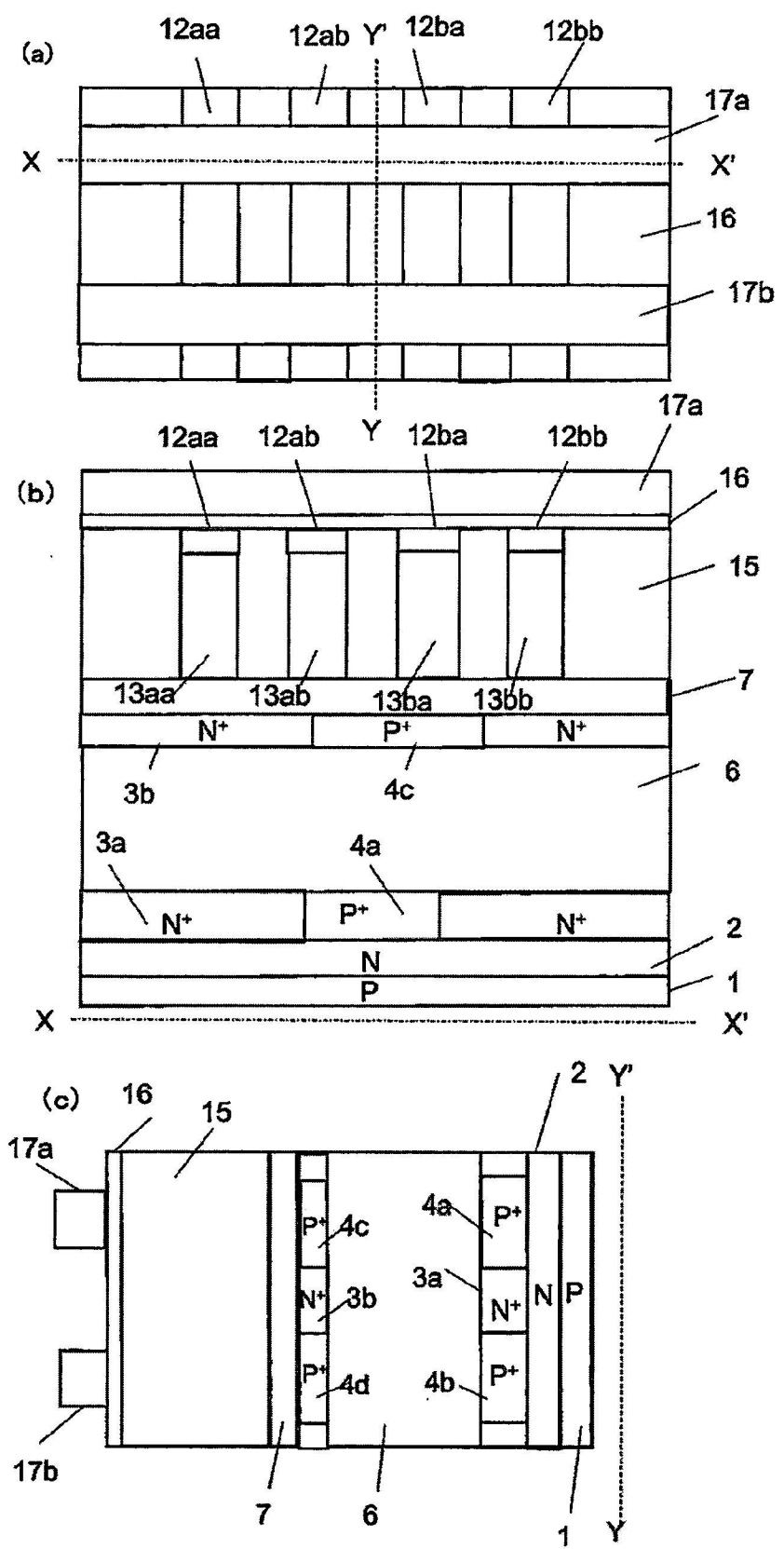
【圖1C】



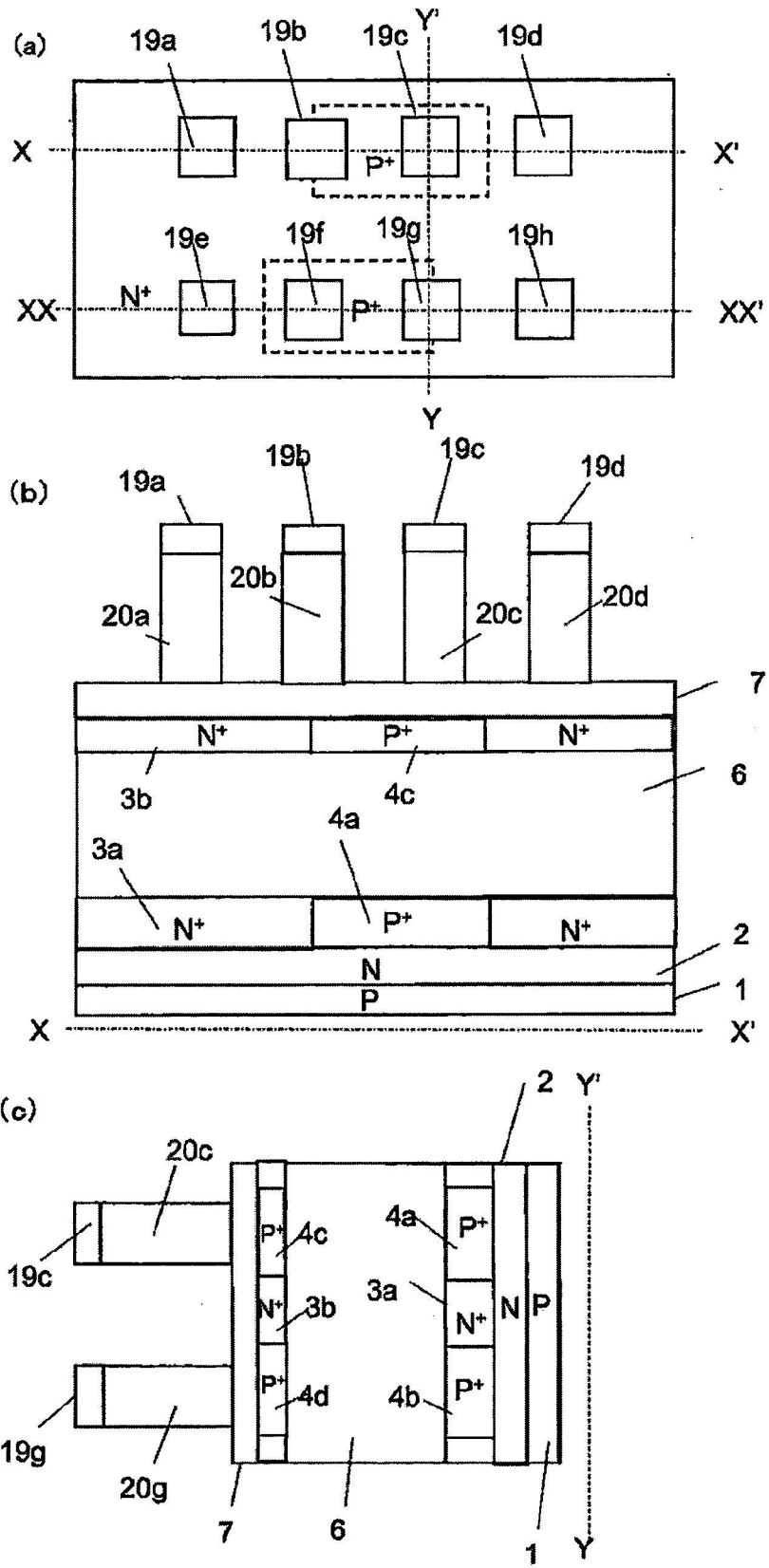
【圖1D】



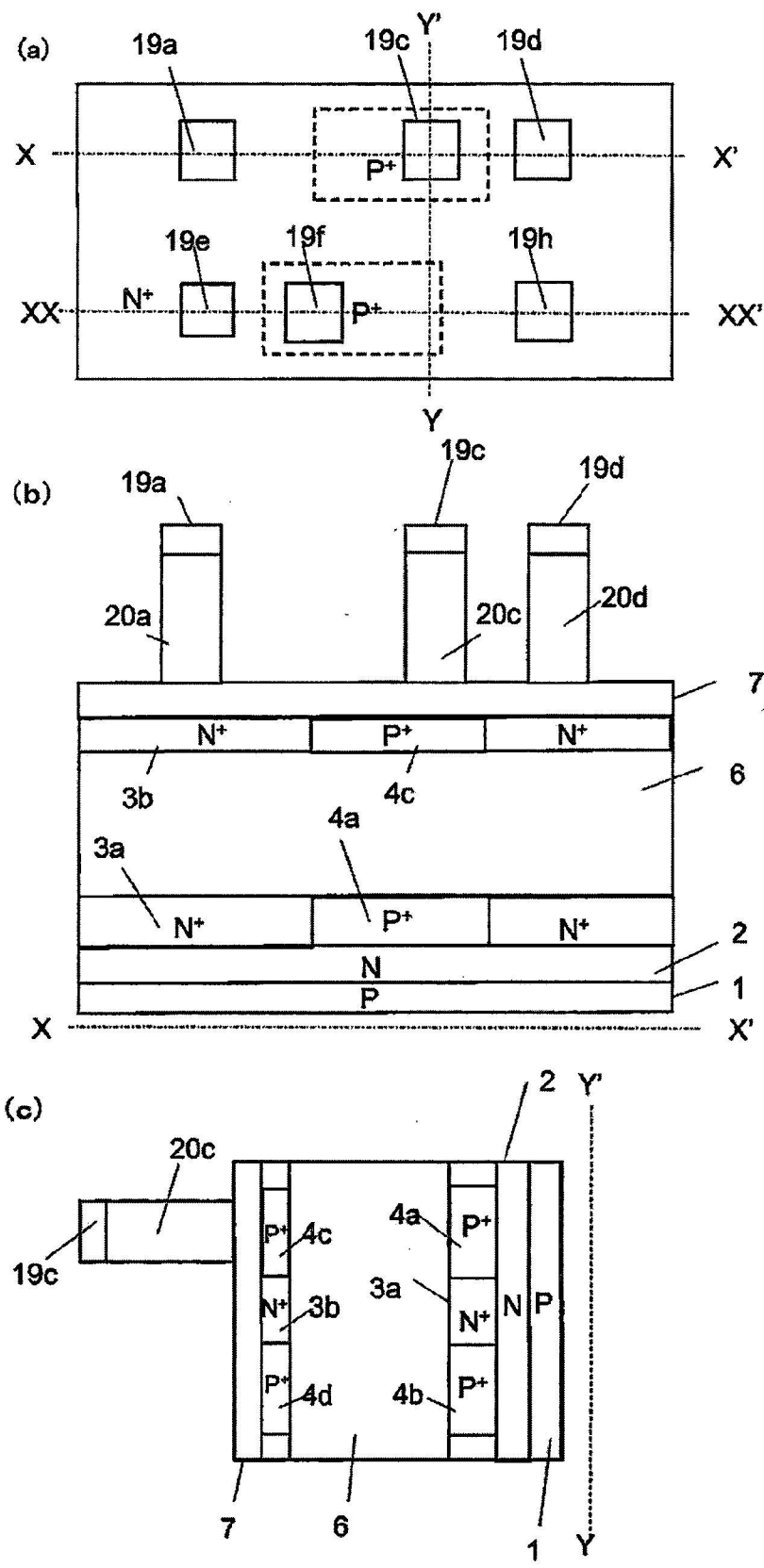
【圖1E】



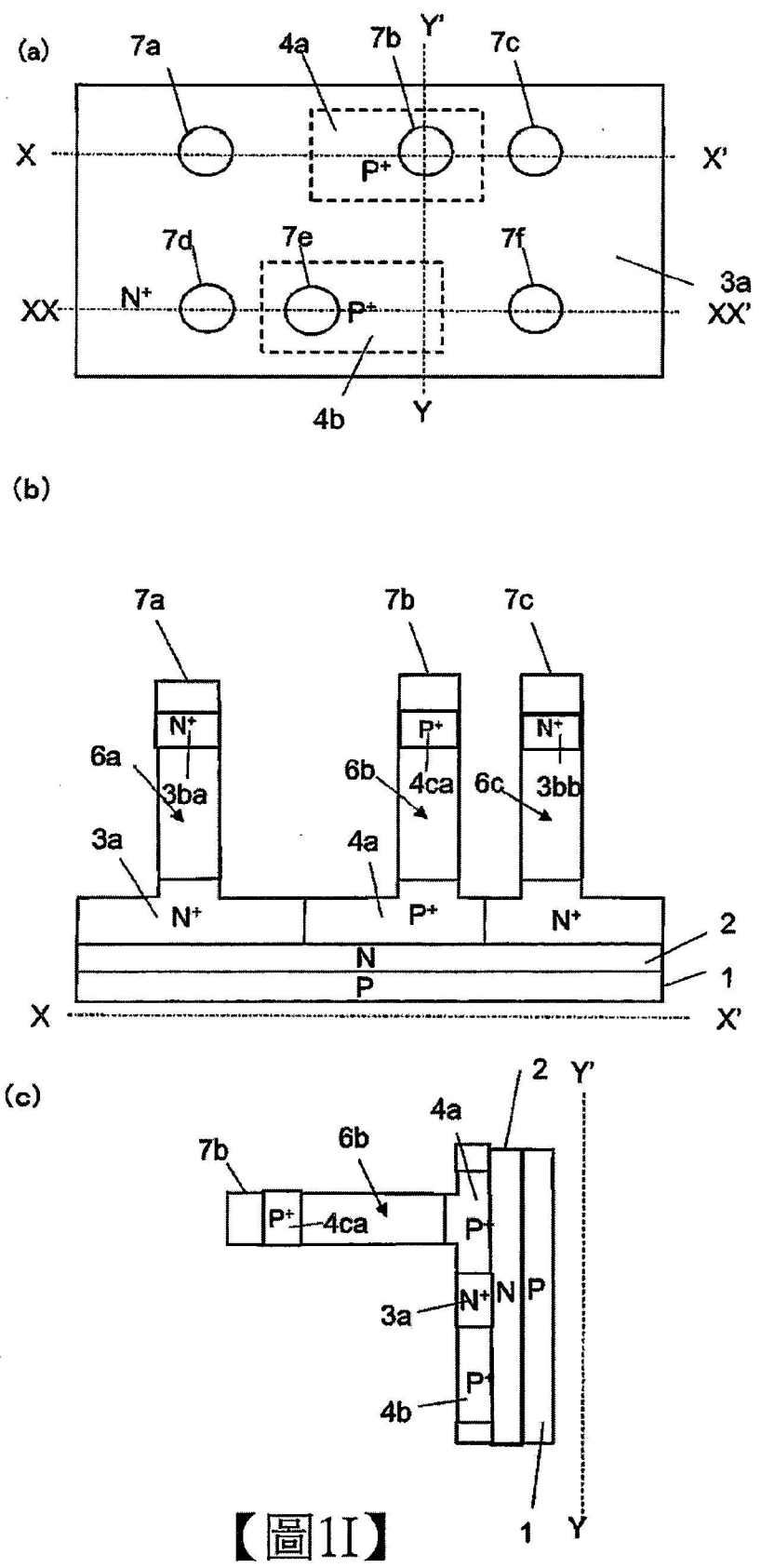
【圖1F】



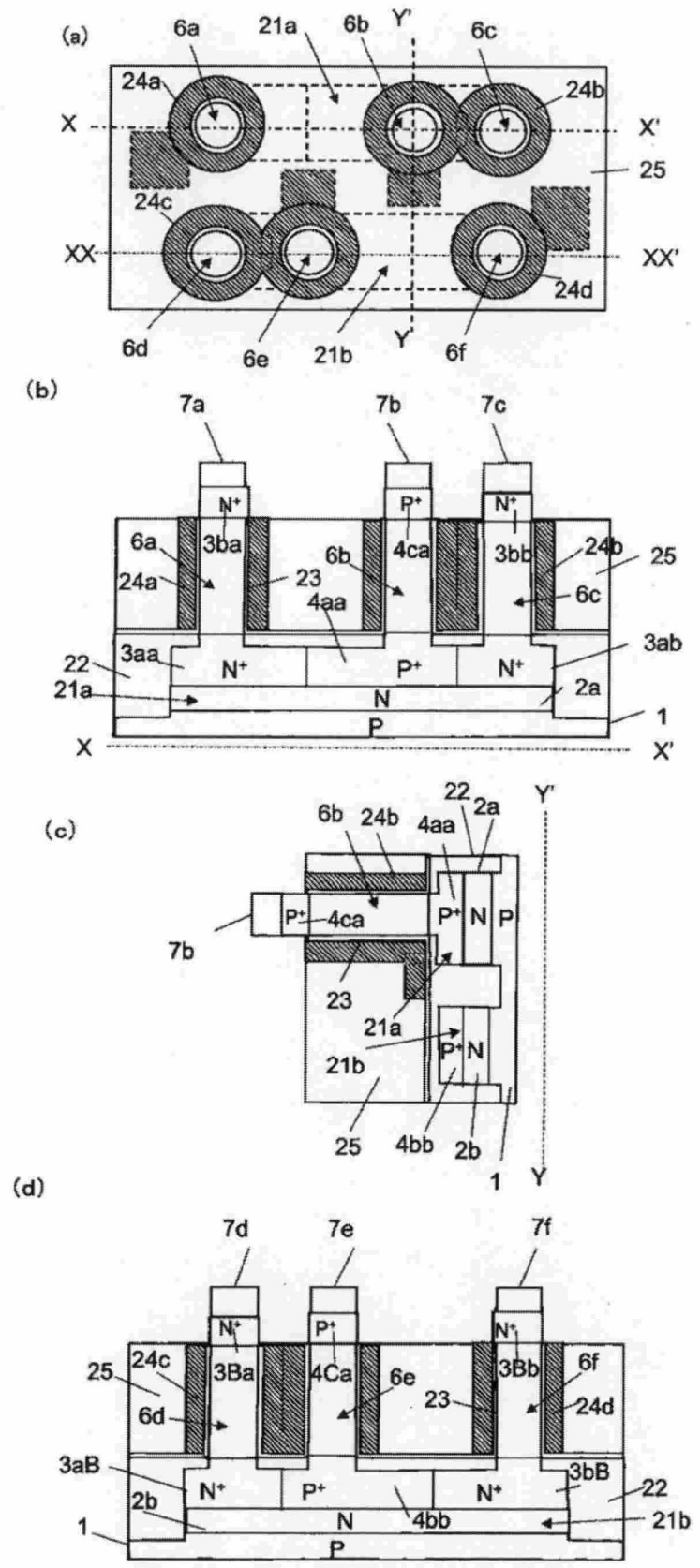
【圖1G】



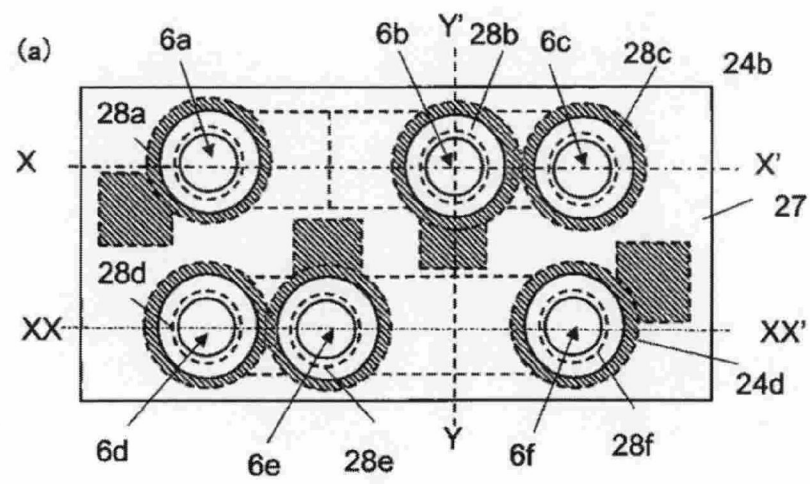
【圖1H】



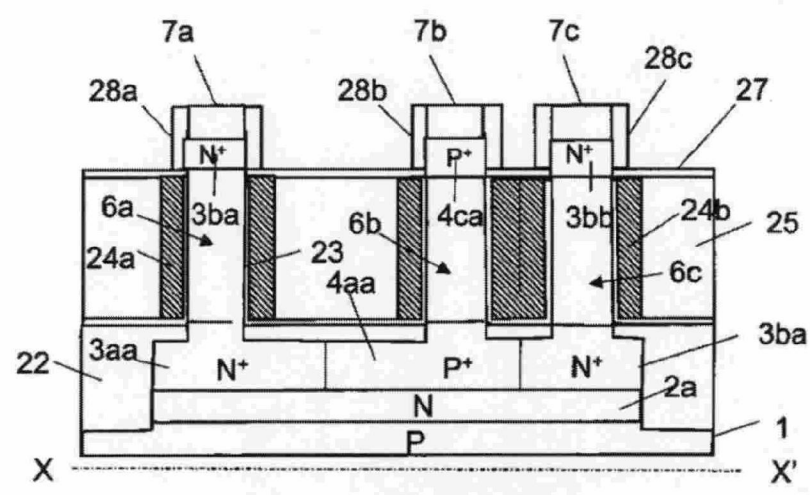
【圖 11】



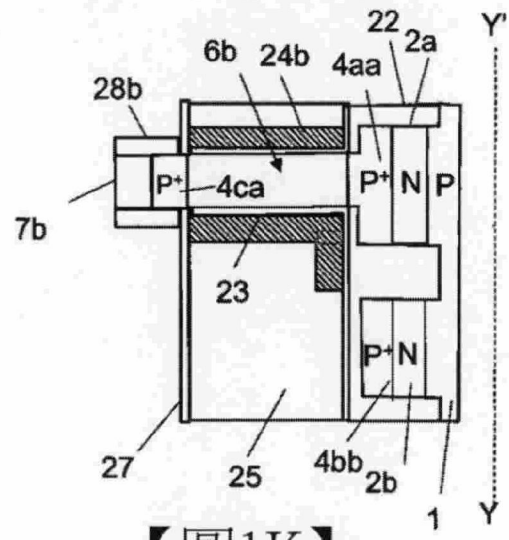
【圖1J】



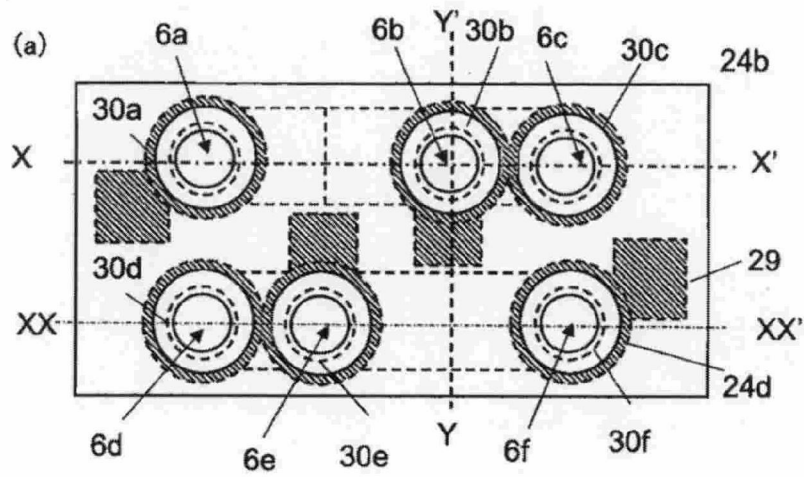
(b)



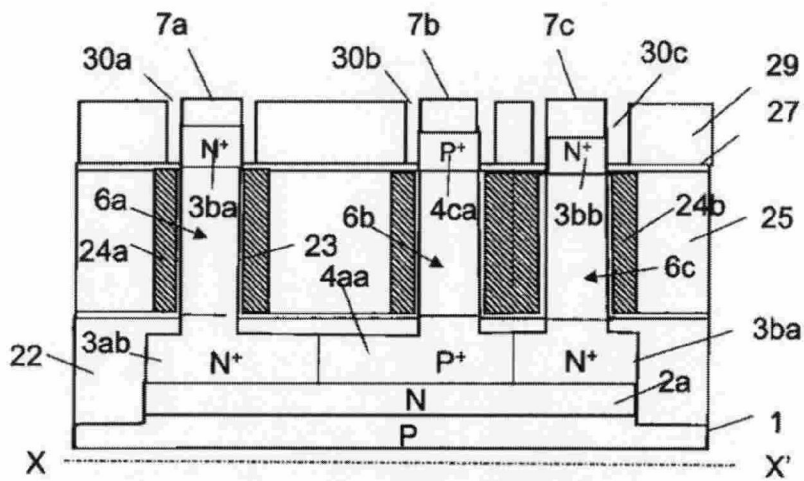
(c)



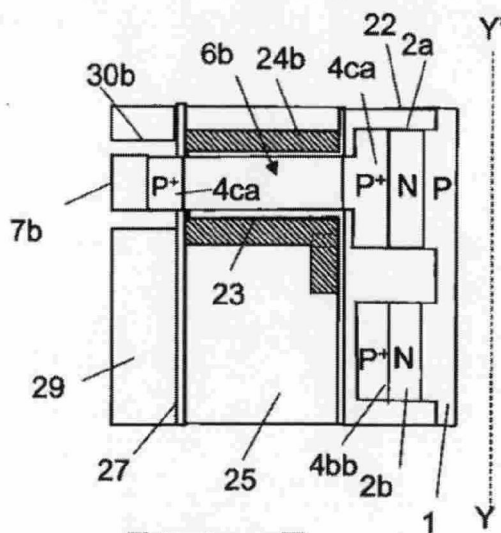
【圖1K】



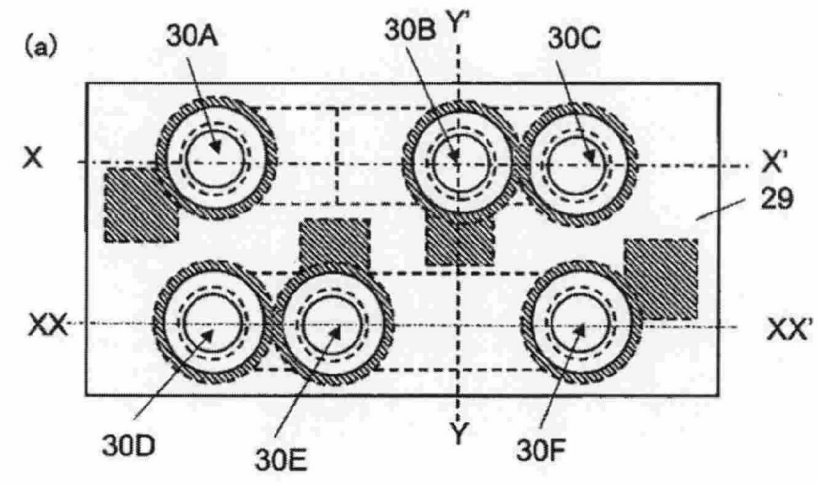
(b)



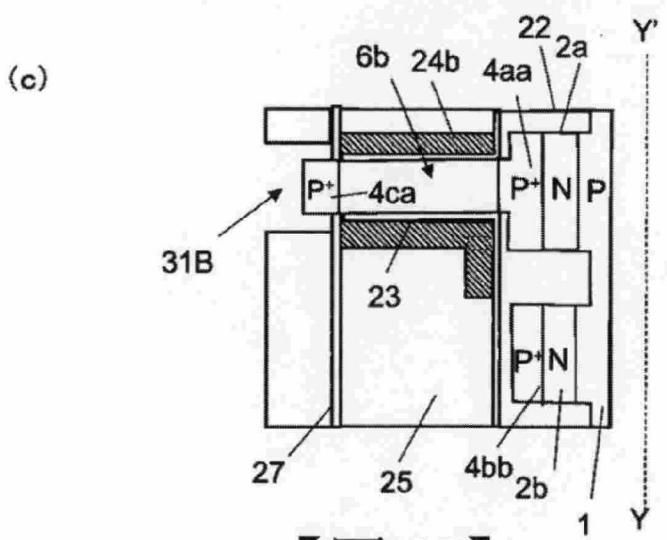
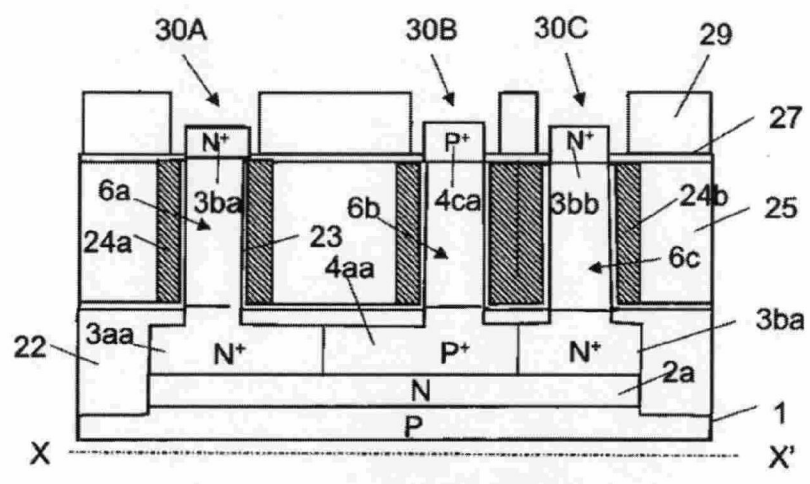
(c)



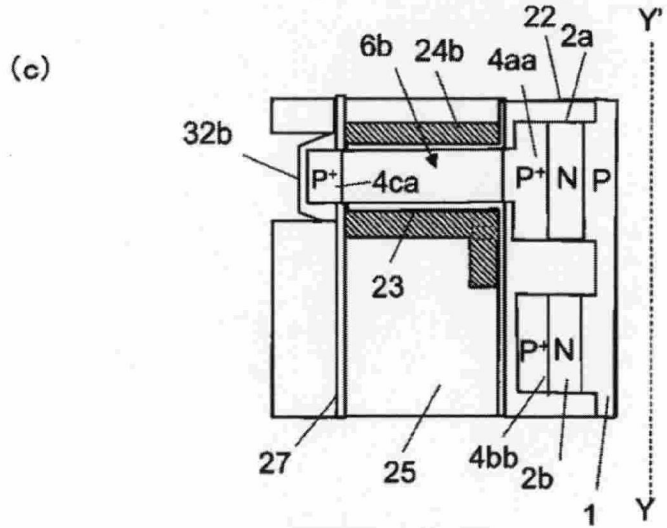
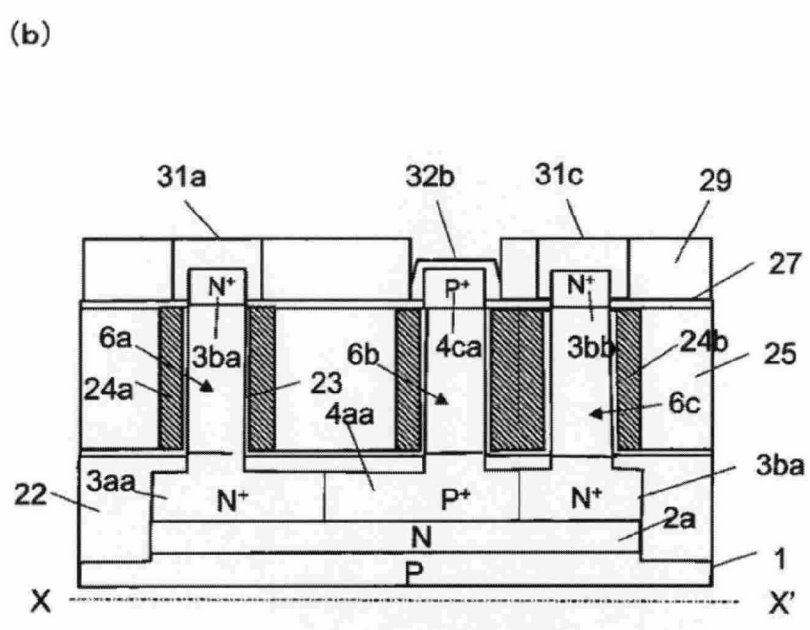
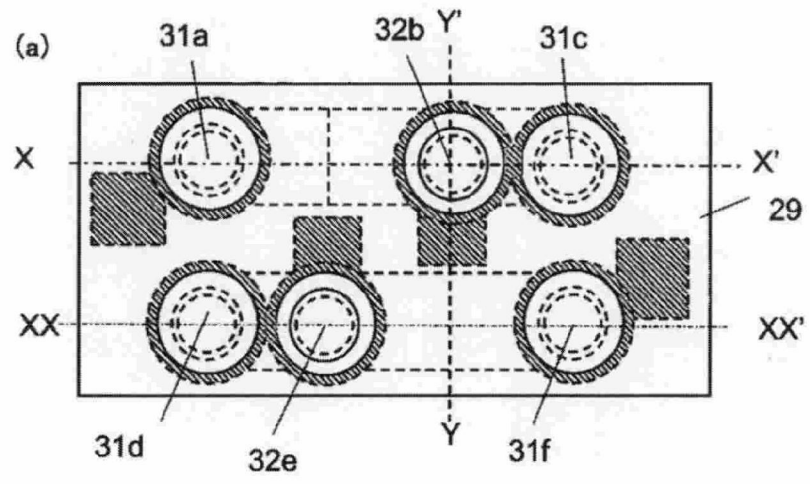
【圖1L】



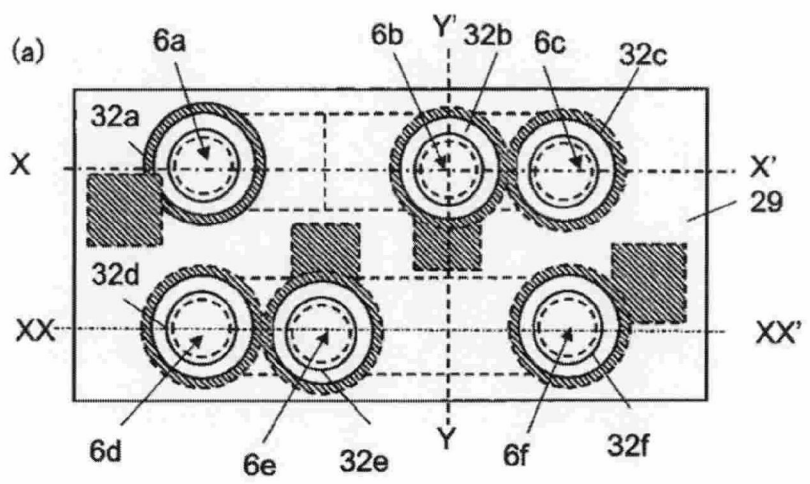
(b)



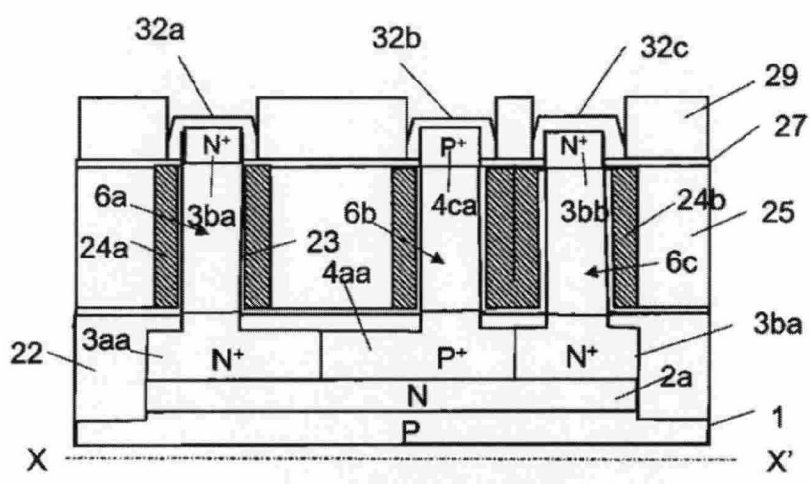
【圖1M】



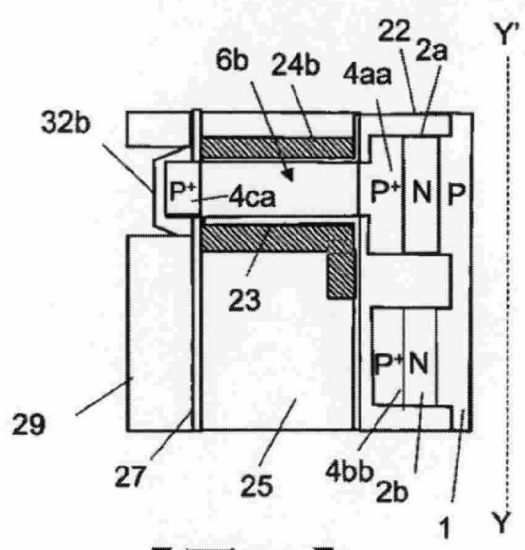
【圖1N】



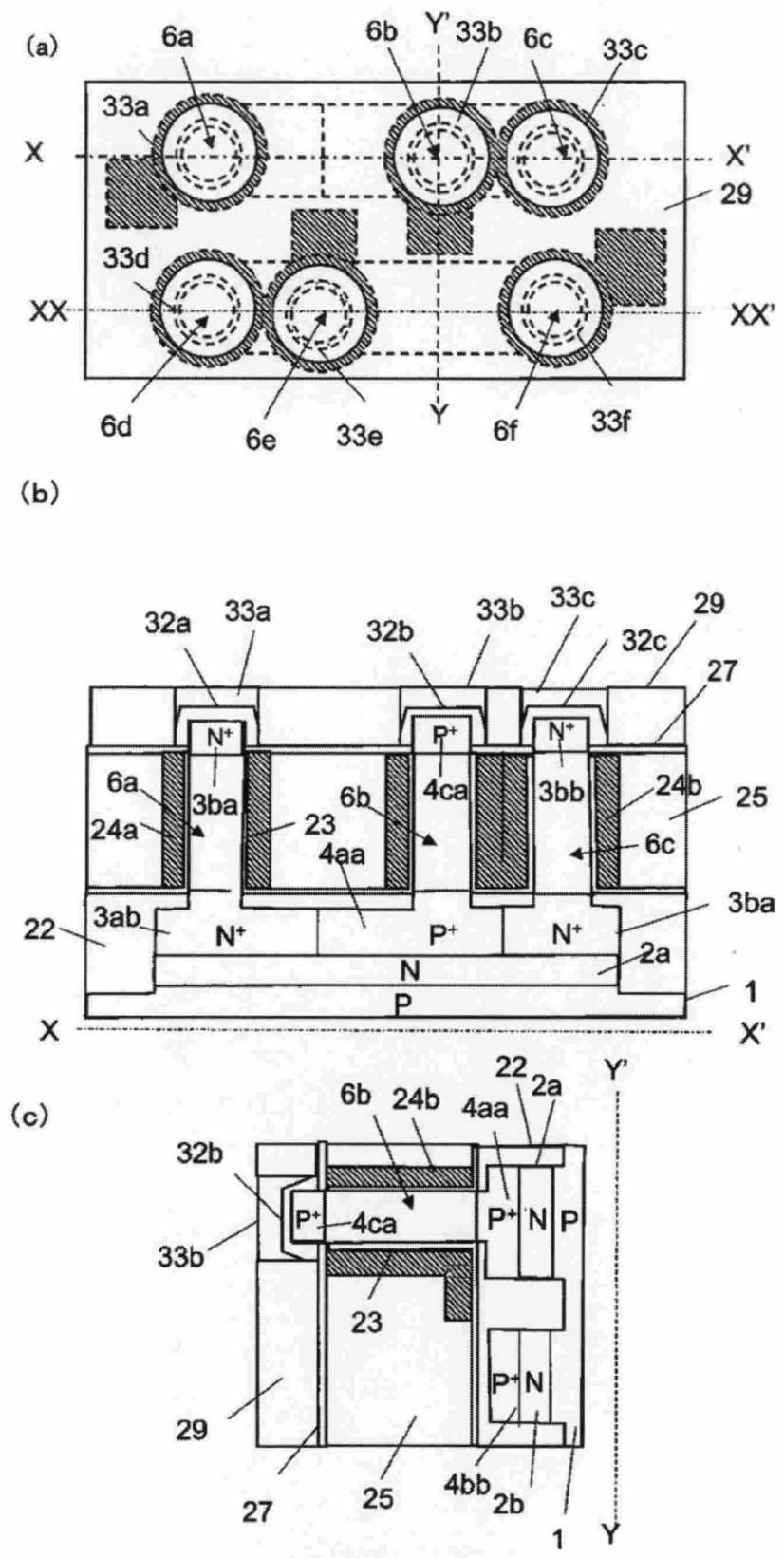
(b)



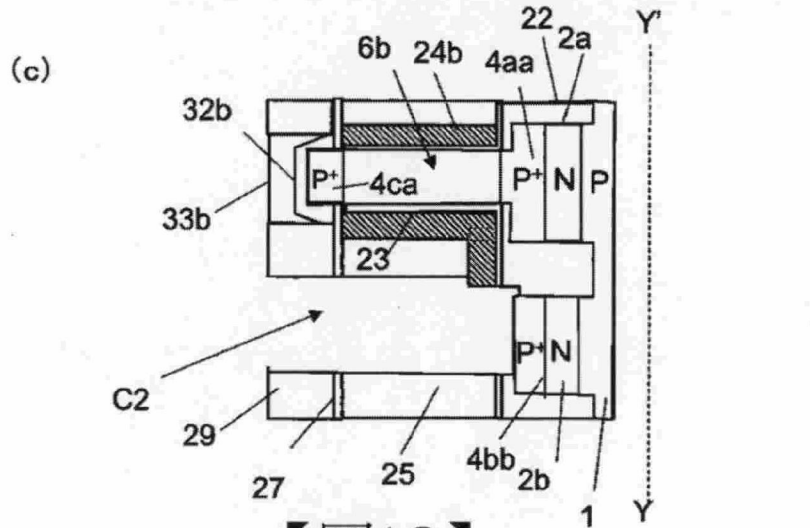
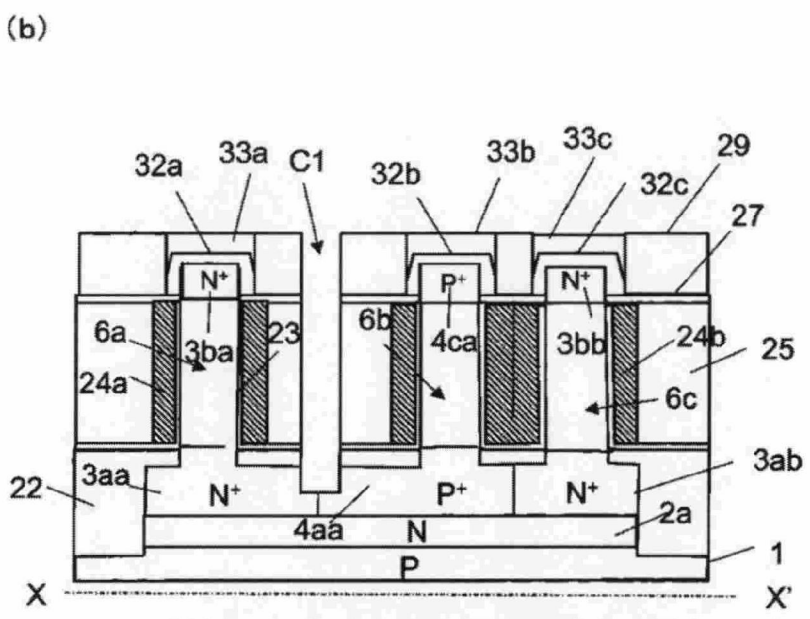
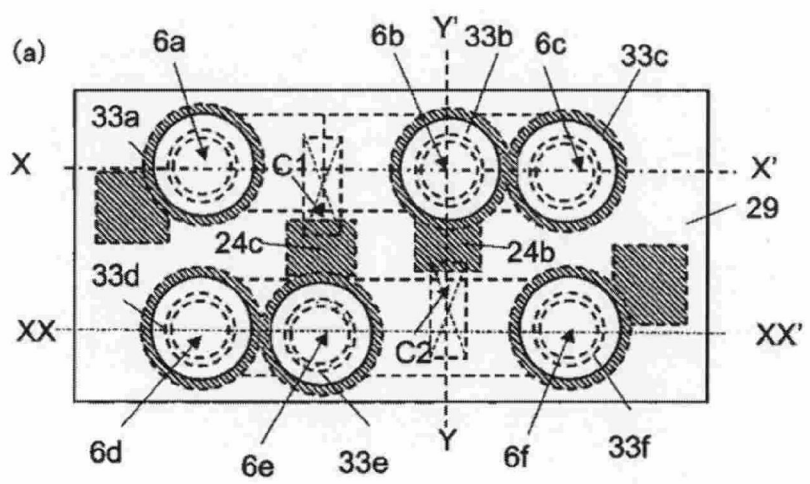
(c)



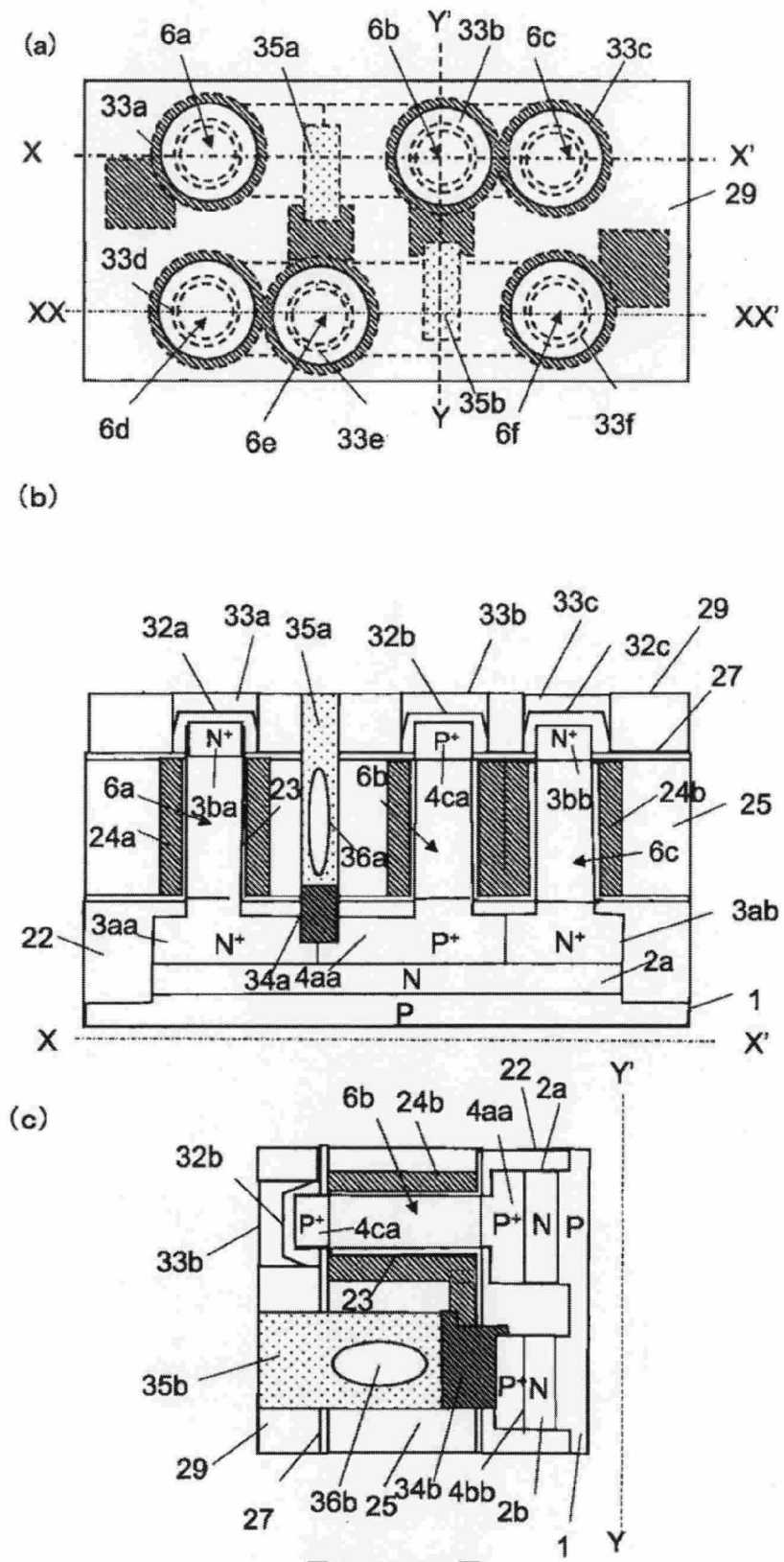
【圖10】



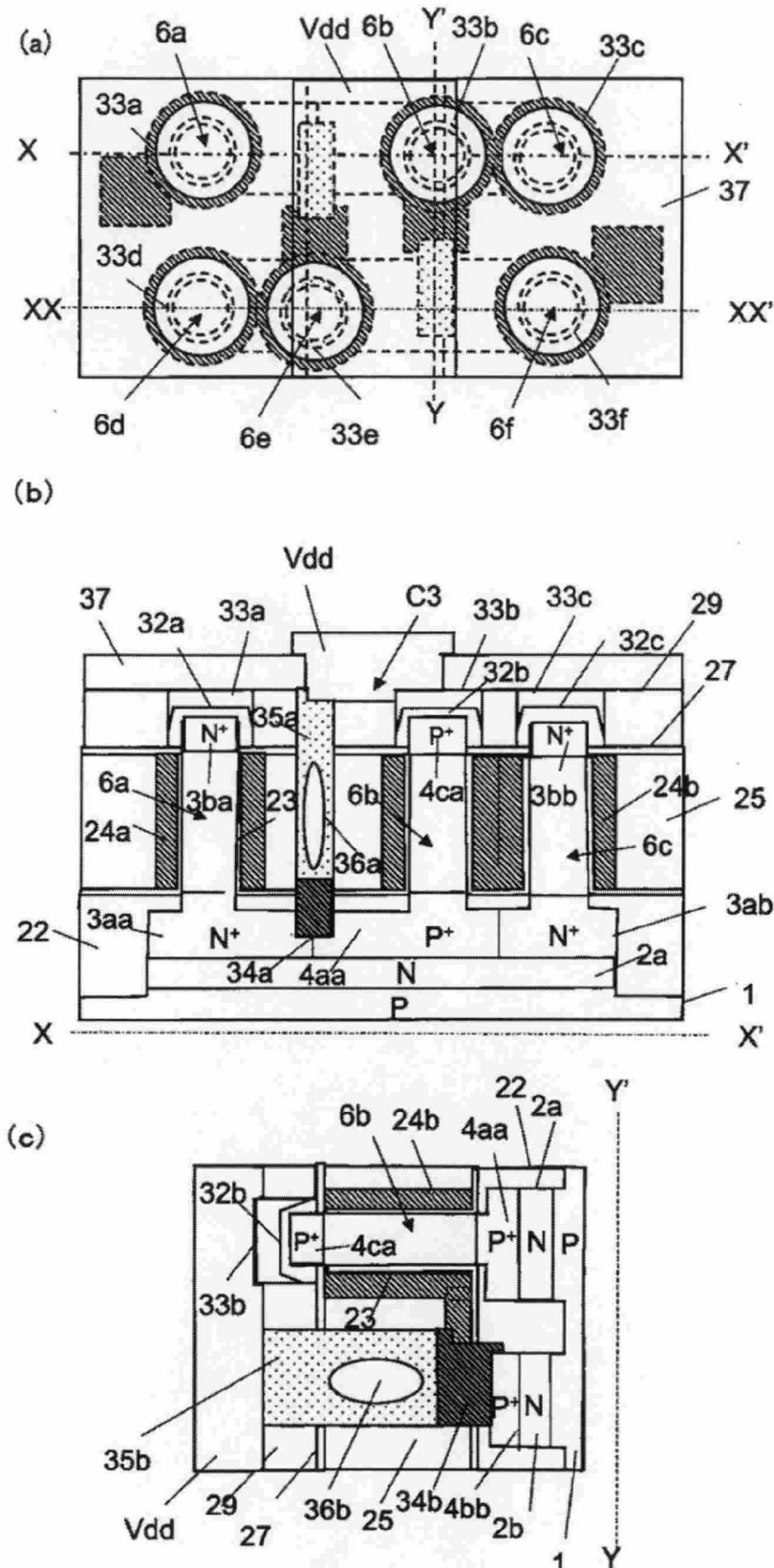
【圖1P】



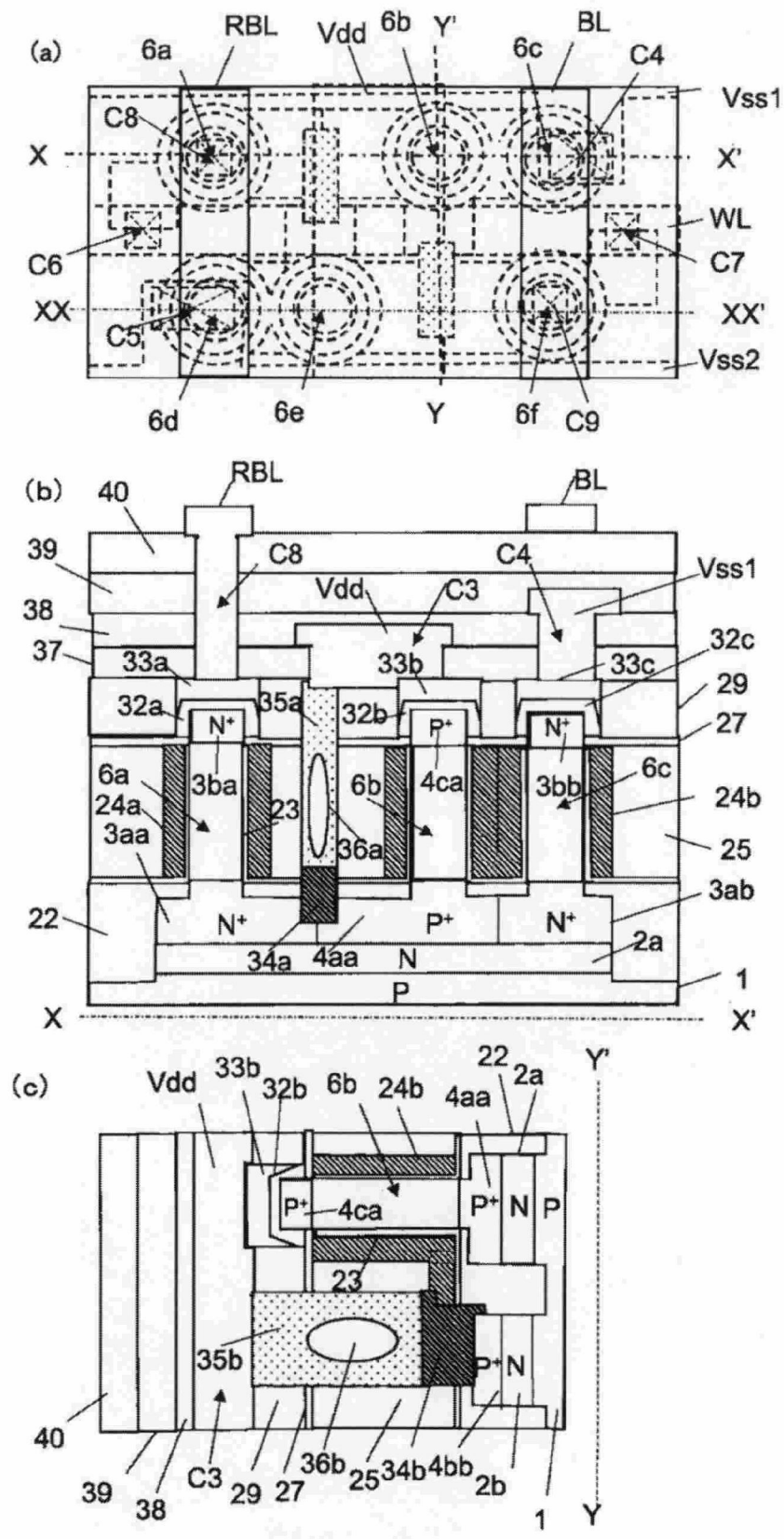
【圖1Q】



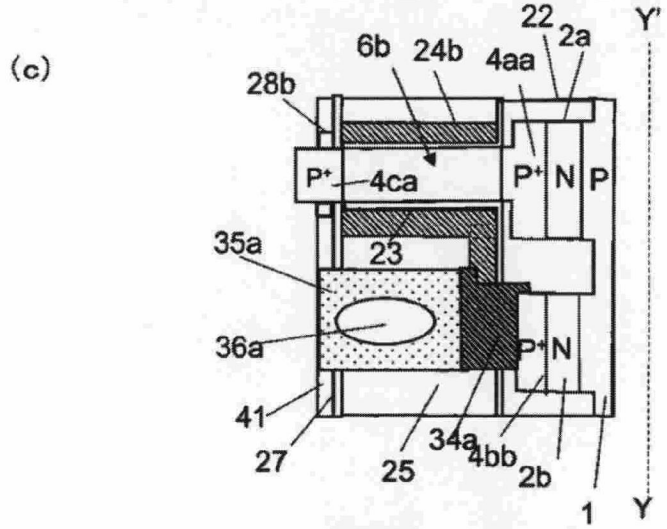
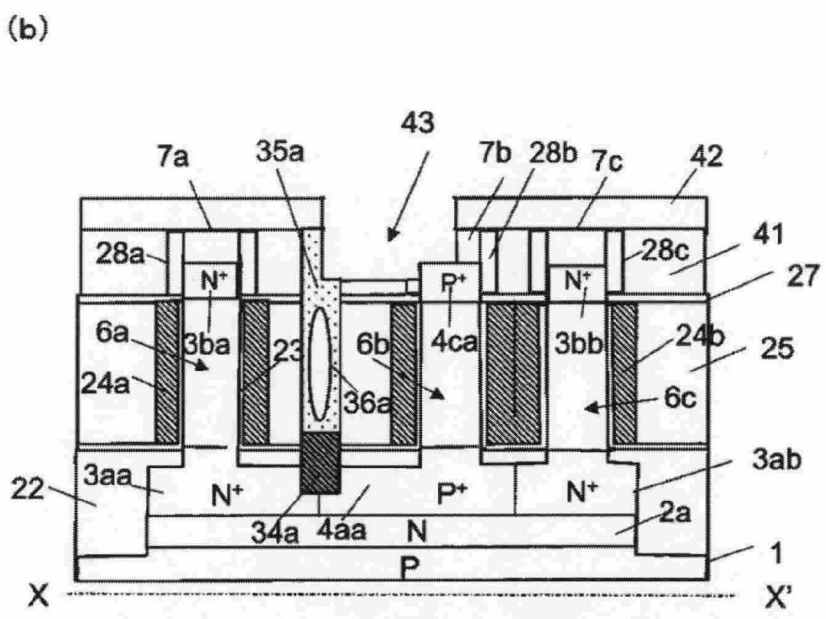
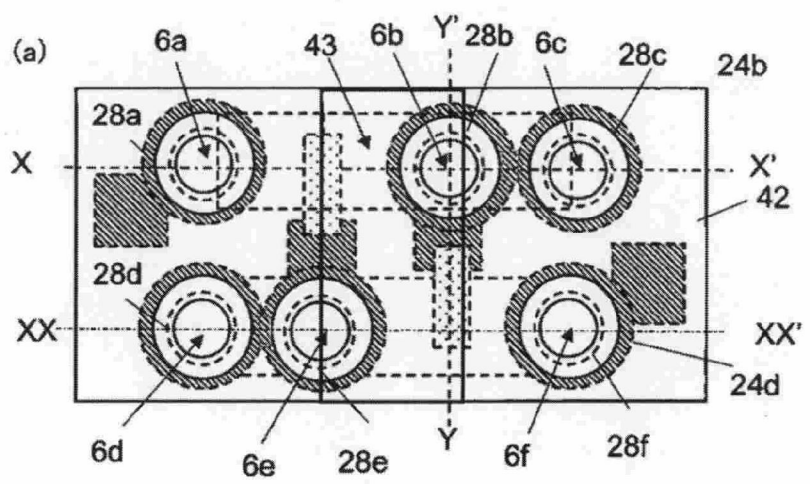
【圖1R】



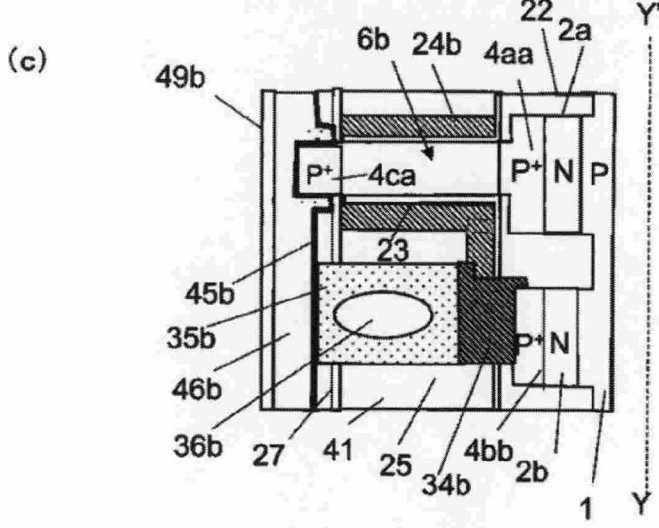
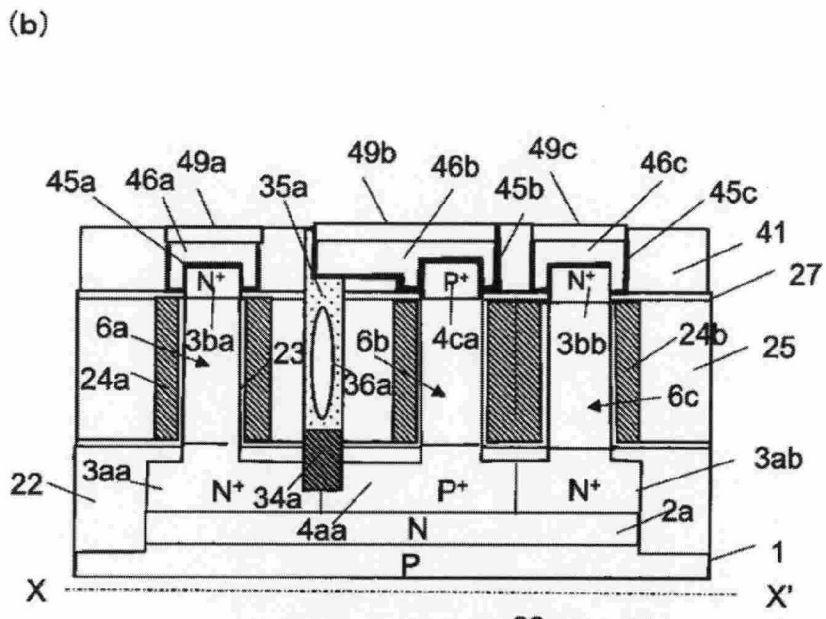
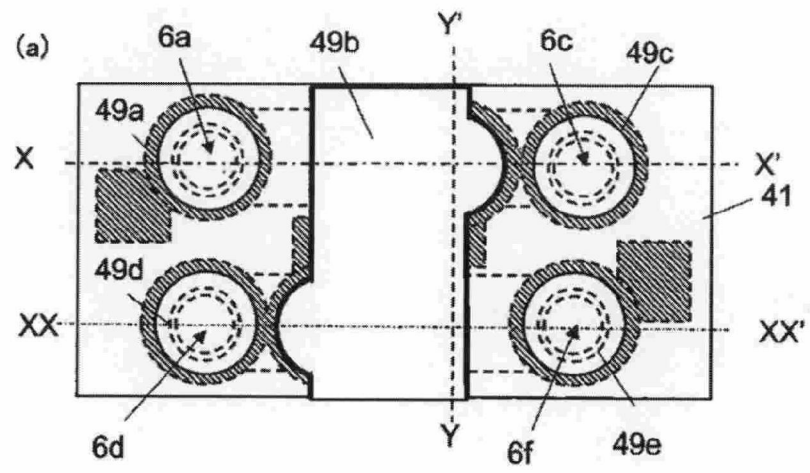
【圖1T】



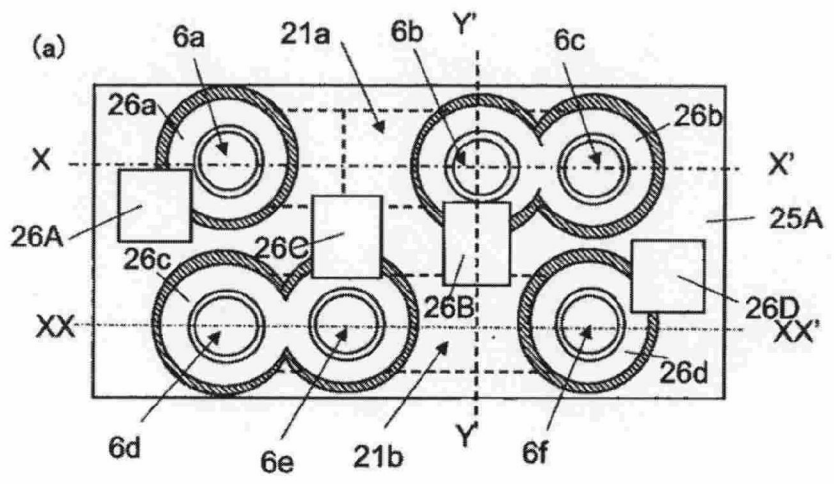
【圖1U】



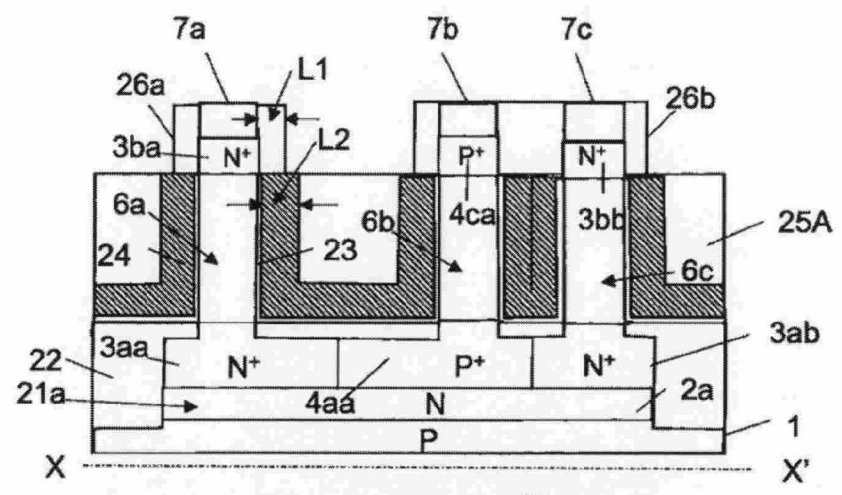
【圖2A】



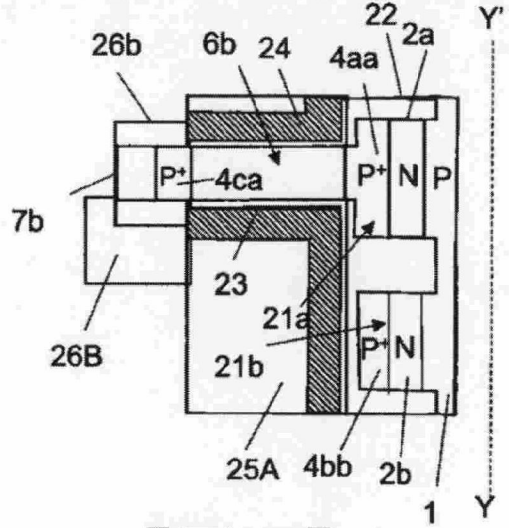
【圖2B】



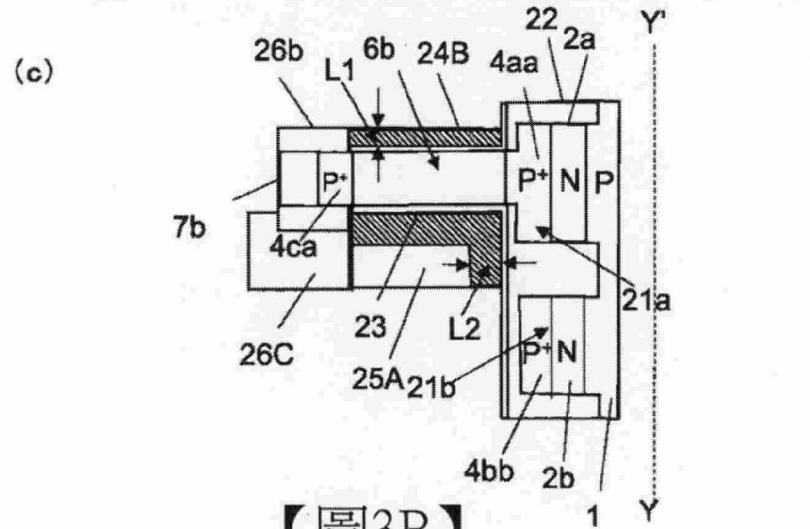
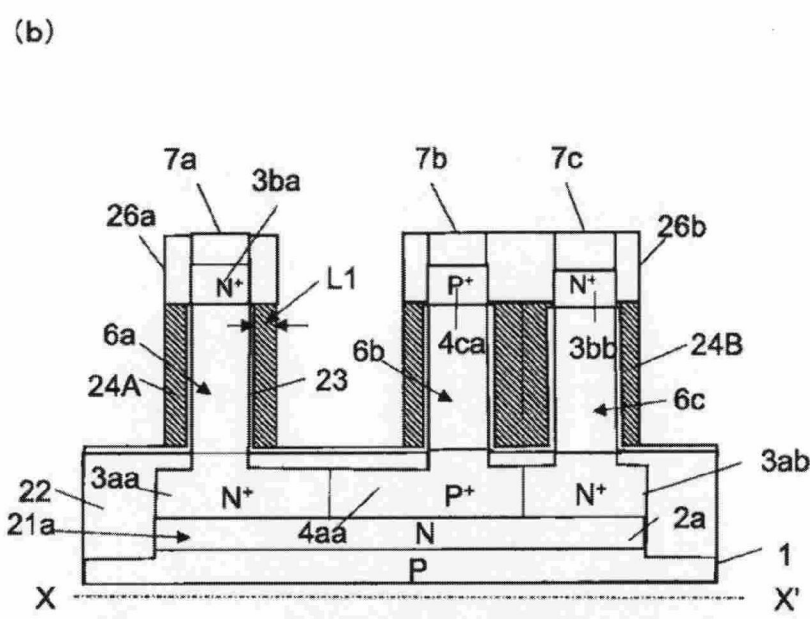
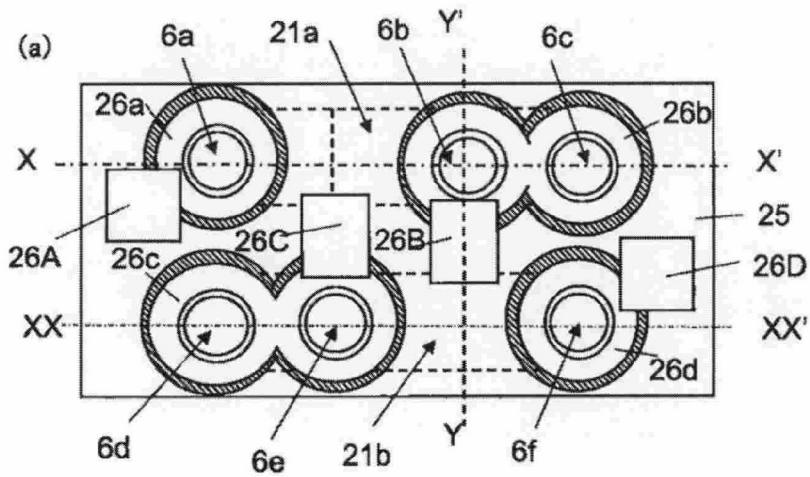
(b)



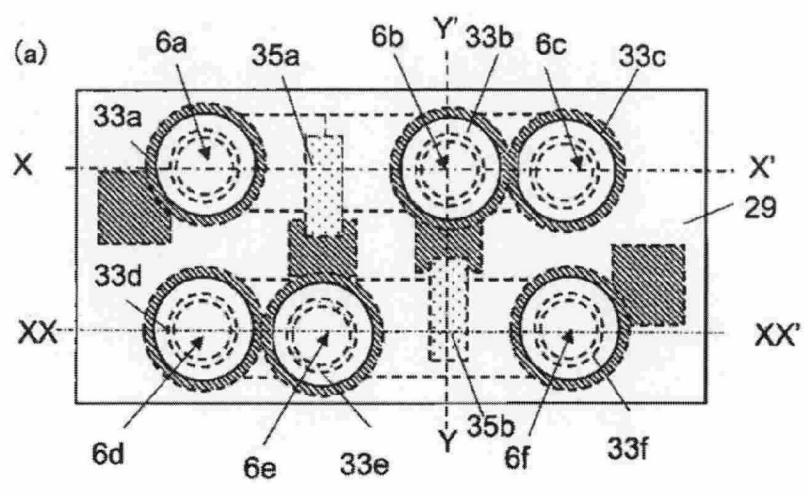
(c)



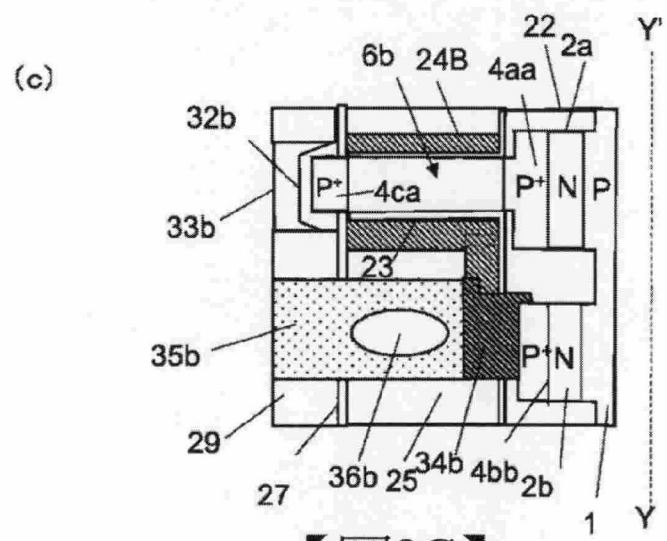
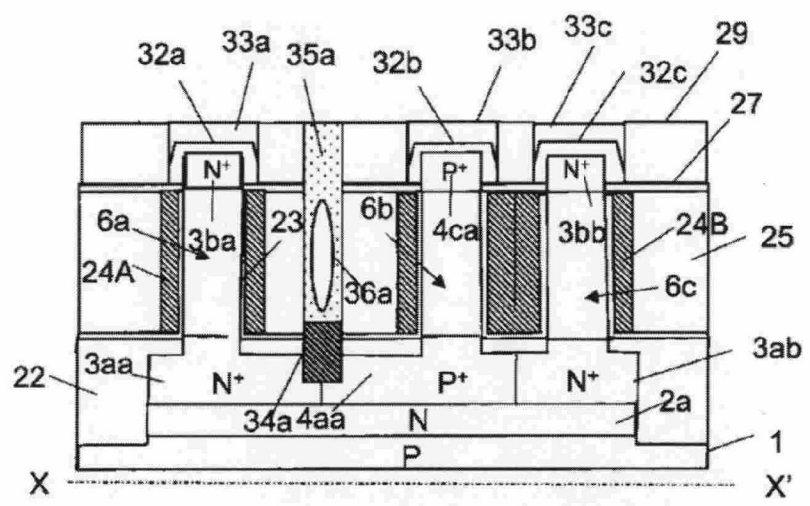
【圖3A】



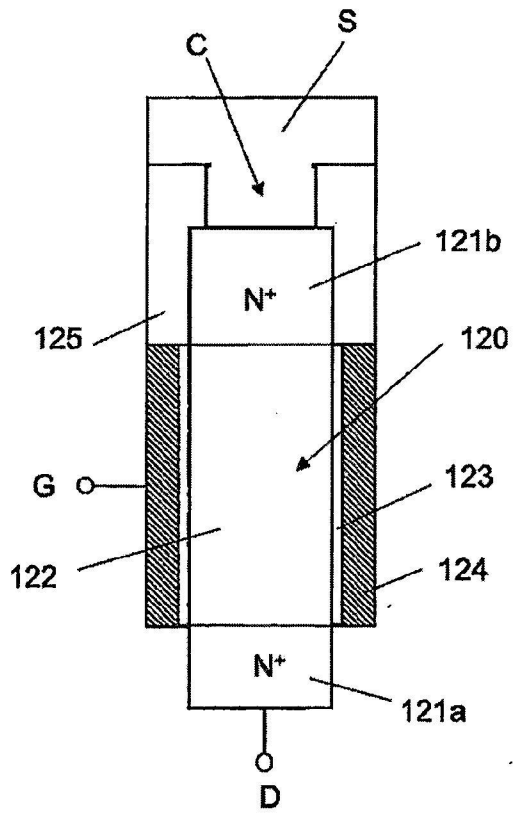
【圖3B】



(b)



【圖3C】



【圖4】

