(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 105206560 B
(45)授权公告日 2018.03.27

(21)申请号 201510651903.0

(22)申请日 2009.02.17

(65)同一申请的已公布的文献号
申请公布号 CN 105206560 A

(43)申请公布日 2015.12.30

(30)优先权数据
12/069,941 2008.02.14 US

(62)分案原申请数据
200980113255.6 2009.02.17

(73)专利权人 先进模拟科技公司
地址 美国加利福尼亚州

(72)发明人 唐纳德.R.迪斯尼
理查德.K.威廉斯

(74)专利代理机构 北京市柳沈律师事务所 11105
代理人 刘雅秀

(51)Int.Cl.
H01L 21/761(2006.01)
H01L 21/762(2006.01)
H01L 21/763(2006.01)
H01L 21/8222(2006.01)
H01L 21/8228(2006.01)
H01L 21/8238(2006.01)
H01L 27/082(2006.01)
H01L 29/417(2006.01)
H01L 29/732(2006.01)

(56)对比文件
US 2007/0278612 A1,2007.12.06,
US 2006/0125045 A1,2006.06.15,
US 2005/0179111 A1,2005.08.18,
US 6657262 B2,2003.12.02,
CN 1136367 A,1996.11.20,
CN 1505120 A,2004.06.16,

审查员 邢磊

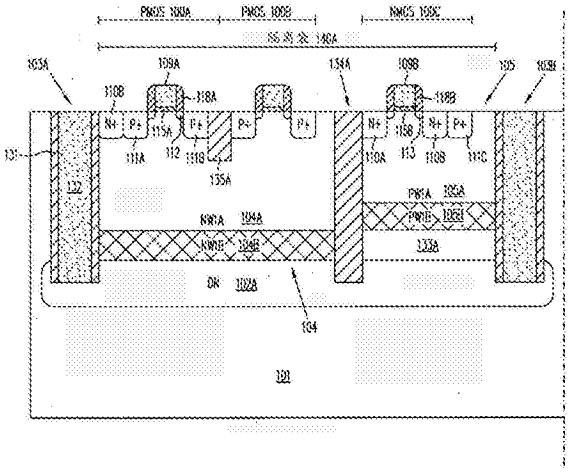
权利要求书4页 说明书21页 附图24页

(54)发明名称

隔离的CMOS晶体管和双极晶体管、隔离结构及其制造方法

(57)摘要

形成在半导体衬底中的隔离的晶体管包括埋设的底隔离区域和填充沟槽，该填充沟槽从衬底的表面向下延伸到底隔离区域。底隔离区域与填充沟槽一起形成衬底的隔离袋。在替代的实施例中，掺杂的侧壁区域从沟槽的底部向下延伸到底隔离区域。衬底不包含外延层，从而克服了与制造外延层有关的许多问题。



CN 105206560 B

1.一种隔离的CMOS晶体管的组，形成在第一导电类型的半导体衬底中，该衬底不包括外延层，该组隔离的CMOS晶体管包括：

与所述第一导电类型相反的第二导电类型的第一底隔离区域，埋设在所述衬底中；

第一填充沟槽，从所述衬底的表面至少向下延伸到所述第一底隔离区域，该第一填充沟槽包括电介质材料，所述第一底隔离区域和所述第一填充沟槽一起围成所述衬底的第一隔离袋，该第一隔离袋包括第一N型阱和第一P型阱，该第一N型阱包括第一P沟道MOSFET，该第一P型阱包括第一N沟道MOSFET；

第二导电类型的第二底隔离区域，埋设在所述衬底中；

第二填充沟槽，从所述衬底的表面至少向下延伸到所述第二底隔离区域，该第二填充沟槽包括电介质材料，所述第二底隔离区域和所述第二填充沟槽一起围成所述衬底的第二隔离袋，该第二隔离袋包括第二N型阱和第二P型阱，该第二N型阱包括第二P沟道MOSFET，该第二P型阱包括第二N沟道MOSFET；以及

第一导电类型的深注入区域，埋设在所述衬底中并横向设置在所述第一底隔离区域和所述第二底隔离区域之间。

2.如权利要求1所述的隔离的CMOS晶体管的组，其中所述第一N型阱和所述第二N型阱中的每个以及所述第一P型阱和所述第二P型阱中的每个包括邻近所述衬底的表面的上部和在该上部之下的下部，在每个所述阱内，所述下部的峰值掺杂浓度大于所述上部的峰值掺杂浓度。

3.如权利要求1所述的隔离的CMOS晶体管的组，还包括第三再填充沟槽，从所述衬底的表面向下延伸并横向设置在所述第一隔离袋和所述第二隔离袋之间。

4.如权利要求1所述的隔离的CMOS晶体管的组，其中所述第一填充沟槽和所述第二填充沟槽还包括导电材料，该导电材料被所述电介质材料横向地围绕。

5.如权利要求3所述的隔离的CMOS晶体管的组，其中所述第三再填充沟槽用电介质材料填充。

6.如权利要求3所述的隔离的CMOS晶体管的组，其中所述第三再填充沟槽的宽度小于所述第一填充沟槽和所述第二填充沟槽的宽度。

7.如权利要求4所述的隔离的CMOS晶体管的组，还包括第三再填充沟槽，该第三再填充沟槽从所述衬底的表面向下延伸，横向设置在所述第一隔离袋和所述第二隔离袋之间，并用所述电介质材料填充。

8.如权利要求1所述的隔离的CMOS晶体管的组，还包括第三填充沟槽和第四填充沟槽，该第三填充沟槽从所述衬底的表面至少向下延伸到所述第一底隔离区域，所述第三填充沟槽包括电介质材料并将所述第一P型阱和所述第一N型阱隔开，该第四填充沟槽从所述衬底的表面至少向下延伸到所述第二底隔离区域，所述第四填充沟槽包括电介质材料并将所述第二P型阱和所述第二N型阱隔开。

9.如权利要求8所述的隔离的CMOS晶体管的组，其中：

所述第一P沟道MOSFET包括第一P型源极区域、第一P型漏极区域和第一栅极氧化层之上的第一栅极；

所述第一N沟道MOSFET包括第一N型源极区域、第一N型漏极区域和第二栅极氧化层之上的第二栅极；

所述第二P沟道MOSFET包括第二P型源极区域、第二P型漏极区域和第三栅极氧化层之上的第三栅极;以及

所述第二N沟道MOSFET包括第二N型源极区域、第二N型漏极区域和第四栅极氧化层之上的第四栅极。

10.如权利要求9所述的隔离的CMOS晶体管的组,其中所述第三栅极氧化层和所述第四栅极氧化层中的每个比所述第一栅极氧化层和所述第二栅极氧化层中的每个厚。

11.如权利要求9所述的隔离的CMOS晶体管的组,其中所述第二N型阱和所述第二P型阱中的每个具有比所述第一N型阱和所述第一P型阱中的每个低的表面浓度。

12.如权利要求9所述的隔离的CMOS晶体管的组,其中所述第二N型阱和所述第二P型阱中的每个具有比所述第一N型阱和所述第一P型阱中的每个深的深度。

13.如权利要求9所述的隔离的CMOS晶体管的组,其中所述第一隔离袋包括从所述衬底的表面向下延伸到底隔离层的第二导电类型的阱。

14.一种隔离的CMOS晶体管的组,形成在第一导电类型的半导体衬底中,该衬底不包括外延层,该组隔离的CMOS晶体管包括:

与所述第一导电类型相反的第二导电类型的第一底隔离区域,埋设在所述衬底中;

第一填充沟槽,从所述衬底的表面至少向下延伸到所述第一底隔离区域,该第一填充沟槽包括电介质材料,所述第一底隔离区域和所述第一填充沟槽一起围成所述衬底的第一隔离袋,该第一隔离袋包括第一N型阱和第一P型阱,该第一N型阱包括第一P沟道MOSFET,该第一P型阱包括第一N沟道MOSFET;

第二导电类型的第二底隔离区域,埋设在所述衬底中;以及

第二填充沟槽,从所述衬底的表面至少向下延伸到所述第二底隔离区域,该第二填充沟槽包括电介质材料,所述第二底隔离区域和所述第二填充沟槽一起围成所述衬底的第二隔离袋,该第二隔离袋包括第二N型阱和第二P型阱,该第二N型阱包括第二P沟道MOSFET,该第二P型阱包括第二N沟道MOSFET;

所述第一N型阱包括第三P沟道MOSFET和从所述衬底的表面向下延伸的第三填充沟槽,所述第三填充沟槽包括电介质材料并将所述第一P沟道MOSFET和所述第三P沟道MOSFET隔开。

15.如权利要求14所述的隔离的CMOS晶体管的组,其中所述第三填充沟槽的深度小于所述第一填充沟槽的深度。

16.如权利要求14所述的隔离的CMOS晶体管的组,其中所述第三填充沟槽的宽度小于所述第一填充沟槽的宽度。

17.如权利要求1所述的隔离的CMOS晶体管的组,其中所述第一填充沟槽和所述第二填充沟槽的每个用所述电介质材料填充。

18.如权利要求1所述的隔离的CMOS晶体管的组,其中所述第一填充沟槽和所述第二填充沟槽的每个的壁衬有所述电介质材料,所述第一填充沟槽和所述第二填充沟槽的每个的其余部分包括导电材料,该导电材料从所述衬底的表面延伸到底隔离区域。

19.一种隔离结构,在第一导电类型的半导体衬底中,该隔离结构包括:

第二导电类型的底隔离区域,埋设在所述衬底中;

填充沟槽,从所述衬底的表面至少向下延伸进到所述底隔离区域,该填充沟槽包括电

介质材料，所述底隔离区域和所述填充沟槽一起围成所述衬底的隔离袋；

分隔沟槽，在所述隔离袋中，该分隔沟槽包括电介质材料并从所述衬底的表面至少向下延伸到所述底隔离区域，从而将所述隔离袋分成第一部分和第二部分；以及

第二导电类型的第一阱，在所述隔离袋的所述第一部分中，该第一阱从所述衬底的所述表面向下延伸到所述底隔离区域；以及

第一导电类型的第二阱，在所述隔离袋的所述第二部分中，所述第二阱具有比所述衬底的掺杂浓度大的掺杂浓度。

20.如权利要求19所述的隔离结构，其中所述填充沟槽包括导电材料，所述导电材料被电介质材料横向地围绕。

21.如权利要求20所述的隔离结构，其中所述导电材料提供从所述衬底的所述表面到所述底隔离区域的电接触。

22.如权利要求20所述的隔离结构，其中所述电介质材料衬在所述填充沟槽的侧壁，并且，所述导电材料从所述填充沟槽的口部到底延伸。

23.如权利要求19所述的隔离结构，其中所述分隔沟槽填充有电介质材料。

24.如权利要求19所述的隔离结构，其中所述分隔沟槽具有比所述填充沟槽的横向宽度小的横向宽度。

25.如权利要求19所述的隔离结构，其中所述分隔沟槽具有比所述填充沟槽的垂直深度小的垂直深度。

26.如权利要求19所述的隔离结构，其中所述填充沟槽填充有电介质材料。

27.如权利要求19所述的隔离结构，其中所述第一阱和所述第二阱的每一个包括邻近衬底表面的的上部和在上部下面的下部，每个阱的下部具有的峰值掺杂浓度大于所述上部的峰值掺杂浓度。

28.如权利要求27所述的隔离结构，还包括第一导电类型的区域，所述第一导电类型的区域具有的掺杂浓度小于设置在所述第二阱的下部和所述底隔离区之间的所述第二阱的所述下部的掺杂浓度。

29.如权利要求19所述的隔离结构，其中所述分隔沟槽重叠在所述底隔离区上。

30.如权利要求19所述的隔离结构，其中所述分隔沟槽包括导电材料，所述导电材料被电介质材料横向地围绕。

31.如权利要求19所述的隔离结构，还包括再填充沟槽，所述再填充沟槽在所述第二阱中从所述衬底的所述表面向下延伸。

32.如权利要求19所述的隔离结构，还包括第二隔离袋，所述第二隔离袋包括：

第二导电类型的第二底隔离区域，埋设在所述衬底中；

第二填充沟槽，从所述衬底的所述表面至少向下延伸到所述第二底隔离区域，该第二填充沟槽包括所述电介质材料，其中所述第二底隔离区域和所述第二填充沟槽一起围成所述第二隔离袋；

第二分隔沟槽，在所述第二隔离袋中，该第二分隔沟槽包括电介质材料并从所述衬底的表面至少向下延伸到所述第二底隔离区域，从而将所述第二隔离袋分成第一部分和第二部分；

第二导电类型的第三阱，在所述第二隔离袋的所述第一部分中，该第三阱从所述衬底

的表面向下延伸到所述第二底隔离区域;以及

第一导电类型的第四阱,在所述第二隔离袋的所述第二部分中,该第四阱具有的掺杂浓度大于所述衬底具有的掺杂浓度,该第一导电类型的埋设区插在所述隔离袋和第二隔离袋之间。

隔离的CMOS晶体管和双极晶体管、隔离结构及其制造方法

[0001] 本申请是申请号为200980113255.6、国际申请日为2009年2月17日、申请人为先进模拟科技公司、发明名称为“隔离的互补金属氧化物半导体晶体管和双极晶体管、用于隔离的隔离结构及其制造方法”的发明专利申请的分案申请。

[0002] 相关申请的交叉引用

[0003] 本申请是于2007年8月8日提交的申请No.11/890,993的部分接续申请。申请No.11/890,993是于2006年5月31日提交的申请No.11/444,102的部分接续申请，并且是下述申请的部分接续申请：(a)于2004年8月14日提交的申请No.10/918,316，其是于2002年8月14日提交的、现在为美国专利 No.6,990,091的申请No.10/218,668的分案申请；以及(b)于2005年8月 15日提交的申请No.11/204,215，其是于2002年8月14日提交的、现在为美国专利No.6,943,426的申请No.10/218,678的分案申请。上述每个申请和专利通过引用全部结合于此。

技术领域

[0004] 本发明涉及隔离的CMOS和双极晶体管。

背景技术

[0005] 在制造半导体集成电路(IC)芯片时，经常需要使不同的器件与半导体衬底电隔离并使不同的器件彼此电隔离。提供器件之间的横向隔离的一种方法是公知的硅局部氧化(LOCOS:Local Oxidation Of Silicon)工艺，其中，芯片的表面用相对硬的材料诸如硅氮化物作为掩模，较厚的氧化层在掩模的开口中热生长。另一种方法是在硅中蚀刻沟槽，然后用电介质材料诸如硅氧化物填充沟槽，也被称为沟槽隔离。尽管LOCOS和沟槽隔离两者能够防止器件之间不期望的表面导通，但它们并不便于完全的电隔离。

[0006] 需要完全的电隔离以集成某些类型的晶体管，包括双极结型晶体管和各种金属氧化物半导体(MOS)晶体管(包括功率DMOS晶体管)。还需要完全的隔离以允许在操作期间CMOS控制电路浮置到高于衬底电势的电势。完全的隔离在模拟、功率和混合信号集成电路的制造中是非常重要的。

[0007] 尽管常规的CMOS晶片制造提供了高密度的晶体管集成，但它不便于制造的器件的完全电隔离。具体地，包含在制作于P型衬底中的常规CMOS 晶体管对中的NMOS晶体管具有短路到衬底的P型阱“体”或“背栅”，因此不能浮置在接地电势之上。该限制实质上妨碍了NMOS用作高边开关、模拟传输晶体管或用作双向开关。这也使得电流检测更加困难，并经常妨碍集成的源极-体短路的使用，需要该短路以使得NMOS更加雪崩强化 (avalanche rugged)。此外，由于常规CMOS中的P型衬底通常被偏置到最负的芯片上电势(定义为“接地电势”)，所以每个NMOS必然受到不期望的衬底噪声。

[0008] 集成器件的完全电隔离通常使用三重扩散、外延结隔离或电介质隔离来实现。最普遍形式的完全电隔离是结隔离。尽管不像电介质隔离(其中氧化物围绕每个器件或电路)那样理想，但是结隔离已经在历史上提供了制造成本与隔离性能之间的最好折衷。

[0009] 通过常规的结隔离，使CMOS电隔离需要一复杂结构，该复杂结构包括在P型衬底上生长N型外延层，该N型外延层被电连接到P型衬底的深 P型隔离的环形环围绕，从而形成完全被隔离的N型外延岛，该完全被隔离的N型外延岛在其下方和所有侧面上具有P型材料。外延层的生长较慢并且耗时，代表了半导体晶片制造过程中最昂贵的单独步骤。隔离扩散也比较昂贵，使用高温扩散来进行并且持续时间延长(直到18小时)。为了能够抑制寄生器件，在外延生长之前高掺杂的N型掩埋层(NBL)也必须被掩模并被选择性地引入。

[0010] 为了在外延生长和隔离扩散期间使向上扩散最小化，选择慢扩散剂诸如砷(As)或锑(Sb)来形成N型掩埋层(NBL)。然而，在外延生长之前，该NBL层必须扩散得足够深以减小其表面浓度，否则外延生长的浓度控制将被不利地影响。因为NBL包括慢扩散剂，所以该外延之前的扩散工艺将耗费十小时以上。只有在隔离完成之后，才能开始常规CMOS制造，从而与常规CMOS工艺相比为结隔离工艺的制造增加了相当可观的时间和复杂性。

[0011] 结隔离制造方法依赖于高温工艺，以形成深扩散结并生长外延层。这些高温工艺昂贵且难于进行，它们无法与大直径晶片制造兼容，在器件电性能上表现出了相当大的可变性并妨碍了高的晶体管集成密度。结隔离的另一缺点是，存在被隔离结构浪费掉而不能用于制造有源晶体管或电路的面积。作为进一步的复杂，通过结隔离，设计规则(和浪费面积的量)取决于被隔离器件的最大电压。显然，常规外延结隔离尽管其具有电学优点，但是在面积上过于浪费而不能为混合信号和功率集成电路保留可行的技术选择。

[0012] 用于使集成电路器件隔离的替代方法在美国专利No.6,855,985中公开，其通过引用结合于此。其中公开的用于集成充分被隔离的CMOS、双极晶体管和DMOS(BCD)晶体管的模块工艺可以不需要高温扩散或外延而实现。该模块BCD工艺使用通过具有特定轮廓形状的氧化物的高能(MeV)离子注入以制造自形成的隔离结构，从而基本上不需要高温处理。该热预算低的工艺将受益于“原位注入(as-implanted)”的掺杂剂轮廓，由于没有使用高温工艺，所以该掺杂轮廓经历很少的掺杂剂再扩散或者不经历掺杂剂再扩散。

[0013] 通过LOCOS场氧化物注入的掺杂剂形成保形的(conformal)隔离结构，其继而被用于围绕多电压的CMOS、双极晶体管和其它器件并使它们与公共的P型衬底隔离。该相同的工艺能用于集成双极晶体管以及各种双结DMOS 功率器件，它们都被不同剂量和能量的保形的链式离子注入剪裁。

[0014] 尽管该“无外延的”热预算低的技术与非隔离工艺及外延结隔离工艺相比具有许多优点，但是在某些情况下，其对LOCOS的依赖会限制其等比例缩小到更小的尺寸并获得更高的晶体管密度的能力。基于模块BCD工艺的在LOCOS中进行保形离子注入的原理是：通过较厚的氧化物层注入，掺杂剂原子将在靠近硅表面的位置；通过较薄的氧化物层注入，注入的原子将位于硅中较深的位置而远离表面。

[0015] 如所述的，通过与LOCOS的轮廓一致的注入并使用基于0.35微米的技术而易于实现的全隔离BCD工艺可能在等比例缩小到较小的尺寸并获得更紧密的线宽时遇到问题。为了提高CMOS晶体管的集成密度，优选地将场氧化物层的鸟嘴锥减小为更垂直的结构，从而器件能够被更密集地放置，以实现更高的封装密度。然而，窄的LOCOS鸟嘴会使得隔离侧壁的宽度变窄并且会牺牲隔离质量。

[0016] 在这些问题显著的情形下，将期望具有使集成电路器件完全隔离的新策略，其使用低热预算的无外延集成电路工艺，但消除了上述窄侧壁问题以允许更密集的隔离结构。

新的沟槽隔离结构和工艺在专利申请No.11/890,993 中公开。本公开没描述了隔离的CMOS晶体管和双极晶体管以及用于制造隔离结构本身的工艺，它们与新颖的沟槽隔离的方案兼容。

发明内容

[0017] 本发明的隔离的CMOS晶体管形成在衬底的隔离袋中，该隔离袋被与衬底导电类型相反的底隔离区域以及从衬底的表面至少向下延伸到底隔离区域的填充沟槽所限定。填充沟槽包括电介质材料，可以用电介质材料完全填充，或者可以具有衬有电介质材料的壁并包括从衬底的表面延伸到底隔离区域的导电材料。衬底不包括外延层，从而避免了上述的许多问题。

[0018] 隔离袋包括N型阱和P型阱，该N型阱包含P沟道MOSFET，该P型阱包括N沟道MOSFET。N型阱和P型阱可以具有非单调掺杂轮廓，其中阱的下部具有比阱的上部高的峰值掺杂浓度。MOSFET可以包括轻掺杂漏极延伸。阱可以通过填充沟槽来隔开。

[0019] 隔离袋可以包括从衬底的表面向下延伸到底隔离区域的额外阱，以提供与底隔离区域的电接触。

[0020] 可以提供多个隔离的CMOS对，每个CMOS对形成在如上所述的隔离袋中。在一个隔离袋中的CMOS对可以具有比第二隔离袋中的CMOS对高的额定电压。例如，在一个隔离袋中的MOSFET的栅极氧化层可以比其它袋之一中的第二MOSFET的栅极氧化层厚。在一个袋中的MOSFET可以形成得比其它袋之一中的相应阱深或具有比该相应阱低的表面掺杂浓度。

[0021] 为了提供额外的隔离，隔离袋中的P型阱和N型阱可以通过包括电介质材料的额外填充沟槽来隔开。

[0022] 根据本发明的隔离的双极晶体管形成在衬底的隔离袋中，该隔离袋由与衬底的导电类型相反的底隔离区和从衬底的表面向下至少延伸到底隔离区的填充沟槽所限定。填充沟槽包括电介质材料，可以用电介质材料完全填充，或者可以具有衬有电介质材料的壁并包括从衬底的表面延伸到底隔离区域的导电材料。衬底不包括外延层，从而避免了上述的许多问题。

[0023] 在一些实施例中，其中双极晶体管的基极具有与衬底相同的导电类型，底隔离区域用作双极晶体管的集电极。在其它实施例中，分离的集电极区域形成在隔离袋中。发射极区域和一个或多个基极接触区域可以在衬底的表面处形成在隔离袋中并可以通过一个或多个STI沟槽隔开。发射极区域和基极区域可以是与其它器件(例如，MOSFET)的区域形成在相同的工艺步骤中的区域，或者它们可以设计为优化双极晶体管的性能的专门区域。隔离袋可以包括从衬底的表面向下延伸到底隔离区域的额外阱以提供与底隔离区域的电接触。

[0024] 本发明还包括隔离结构。在一个实施例中，隔离结构包括：底隔离区域，埋设在衬底中；填充沟槽，从衬底的表面向下至少延伸到底隔离区域，该填充沟槽包括电介质材料，底隔离区域和填充沟槽一起围成衬底的隔离袋；隔离袋中的分隔沟槽，分隔沟槽包括电介质材料并从衬底的表面向下至少延伸到底隔离区域以将隔离袋分成第一部分和第二部分；以及掺杂阱，在隔离袋的第一部分中，该阱从衬底的表面向下延伸到底隔离区域。

[0025] 在另一实施例中，隔离结构包括：底隔离区域，埋设在衬底中；填充沟槽，从表面向下至少延伸到底隔离区域，该填充沟槽包括导电材料，该导电材料被电介质材料横向围绕，

底隔离区域和填充沟槽一起围成衬底的隔离袋；以及隔离袋中的分隔沟槽，分隔沟槽包括电介质材料。

[0026] 本发明还包括用于形成隔离结构的工艺。

[0027] 一个工艺包括：在第一导电类型的半导体衬底的表面上形成第一掩模层；图案化第一掩模层以形成第一掩模层中的开口；通过第一掩模层中的开口注入第二导电类型的掺杂剂以形成底隔离区域，底隔离区域具有在衬底的表面之下的上边界；在第一掩模层的开口内在衬底的表面上形成第二掩模层，第二掩模层的边缘与第一掩模层的第一开口的边缘隔开以产生间隙；通过该间隙蚀刻衬底以形成沟槽，该沟槽向下至少延伸到底隔离区域；以及将电介质材料引入沟槽中以形成衬底的隔离袋。

[0028] 第二工艺包括：在衬底中形成沟槽，该沟槽从衬底的表面向下延伸；将电介质材料引入到沟槽中以建立填充沟槽；在将电介质材料引入到沟槽中之后，在衬底的表面上形成掩模层，该掩模层具有开口，该开口具有在填充沟槽上的边缘；通过掩模层中的开口注入第二导电类型的掺杂剂从而形成具有在衬底的表面之下的上边界的底隔离区域，底隔离区域从沟槽延伸并围成衬底的隔离袋。

[0029] 第三工艺包括：在衬底中形成第一沟槽，第一沟槽从衬底的表面向下延伸；在衬底中形成第二沟槽，第二沟槽从衬底的表面向下延伸并比第一沟槽宽；沉积电介质材料，电介质材料被沉积到足够的厚度以使得电介质材料填充第一沟槽但不填充第二沟槽，电介质材料形成在第二沟槽的侧壁和底部上的电介质层；从第二沟槽的底部去除电介质层，并保留在第二沟槽的侧壁上的侧壁电介质层；将第二导电类型的掺杂剂注入到衬底中以形成具有在衬底的表面之下的上边界的底隔离区域，第二沟槽的底部位于底隔离区域中，第二沟槽和底隔离区域围成衬底的隔离袋；以及将导电材料引入到第二沟槽中，导电材料从沟槽的口部向下延伸并与底隔离区域电接触。

[0030] 通过结合附图阅读的以下的详细描述，本发明的原理将变得更清楚，附图中相似的部件具有相同的附图标记。

附图说明

[0031] 图1A-1B示出根据本发明一个实施例制造的CMOS器件的截面图。

[0032] 图2A-2B示出根据本发明第二实施例制造的CMOS器件的截面图。

[0033] 图3示出根据本发明第三实施例制造的CMOS器件的截面图。

[0034] 图4是隔离的双极晶体管的截面图，其中沟槽包含与底隔离区域接触的导电材料。

[0035] 图5是隔离的双极晶体管的截面图，其中沟槽用电介质材料填充。

[0036] 图6A-6D示出用于形成非自对准隔离结构的工艺流程，其中在形成沟槽之前底隔离区域被注入。

[0037] 图7A-7E示出用于形成自对准隔离结构的工艺流程，其中在注入底隔离区域之前形成沟槽。

[0038] 图8A-8E示出用于形成隔离结构的替代工艺流程，其中在注入底隔离区域之前形成沟槽。

[0039] 图9A-9D示出用于在隔离袋内以及隔离袋之间形成深注入P型区域的工艺流程。

[0040] 图10A-10G示出用于形成具有导电填充沟槽以及一个或多个浅沟槽隔离(STI)沟

槽的隔离结构的工艺流程。

[0041] 图11A-11C示出使用注入阱电接触底隔离区域的替代方法。

[0042] 图12是示出用于形成根据本发明的隔离结构的各个制造工艺的流程图。

[0043] 图13是用于制造根据本发明的各种完全隔离的双极器件、CMOS器件和DMOS器件的模块工艺的流程图。

具体实施方式

[0044] 一开始将描述根据本发明制造的各种隔离的CMOS和双极晶体管。这之后将描述用于制造隔离结构的可选工艺流程。

[0045] 图1示出在公共的P型衬底101中制造的隔离的CMOS器件的截面图。PMOS 100A、PMOS 100B和NMOS 100C形成在袋140A中，袋140A通过深注入的DN底隔离区域102A和填充沟槽103A和103B而与衬底101隔离。沟槽103A和103B的侧壁用电介质材料的层131覆盖，沟槽的内部用导电材料132填充。导电材料提供从表面到DN区域102A的接触，电介质材料 131使导电材料132与衬底101以及隔离袋140A绝缘。沟槽103A和103B 优选地是围绕袋140A的单个沟槽的一部分以提供完全的横向隔离。

[0046] 在袋140A内，使用第一N型阱104来形成容纳PMOS 100A和100B 的体区域。在优选实施例中，N型阱104的掺杂轮廓是非单调的，至少包括顶部分104A和较深部分104B，并优选使用不同能量和剂量的磷的链式注入来形成。较深部分104B的峰值掺杂浓度可以大于顶部分104A的峰值掺杂浓度。由于N型阱104的底部覆盖在DN底隔离区域102A上，所以在N型阱104与DN底隔离区域102A之间没有插入P型层。

[0047] 还是在袋140A内，使用第一P型阱105来形成NMOS 100C的体。在优选的实施例中，P型阱105的掺杂轮廓是非单调的，至少包括顶部分105A 和较深部分105B，并优选使用不同能量和剂量的硼的链式注入形成。较深部分105B的峰值掺杂浓度可以大于顶部分105A的峰值掺杂浓度。P型阱 105不应重叠在DN隔离底层102A之上，从而导致插入的P型区域133A。区域133A具有与衬底基本相同的掺杂浓度，并且其电短路到P型阱105的电势。由于区域133A通常比深P型阱部分105B掺杂得轻，所以它用于增大P型阱105与DN底隔离区域102A之间的击穿电压。尽管N型阱104和 P型阱105可以接触，但是在优选的实施例中，它们被沟槽134A隔开，从而减少NMOS 100C和PMOS 100B闩锁(latch-up)的可能性，闩锁是一种不期望的寄生闸流管传导。沟槽134A可以用电介质材料完全填充，如同所出示的，或者它可以以以与沟槽103A和103B类似的方式用电介质材料和导电材料填充。

[0048] 在N型阱104内，PMOS 100A包括P+源极111A和P+漏极111B、侧壁间隔物118A和下面的P型轻掺杂漏极(PLDD1)112、位于第一栅极氧化层115A顶上的栅极109A，其中第一栅极氧化层115A具有厚度x_{ox1}。PMOS 100B位于同一N型阱104中并通过再填充的沟槽135A与PMOS 100A隔开，沟槽135A优选地比沟槽103A、103B和134A浅，尽管这些较深的沟槽也能用于同一阱内的器件的横向隔离。

[0049] 在P型阱105内，NMOS 100C包括N+源极110B和N+漏极110A、侧壁间隔物118B和下面的NLDD1 113、P+接触区111C、和位于第一栅极氧化层115B顶上的栅极109B，第一栅极氧化层115B优选掺杂为N型，并且也具有厚度x_{ox1}。第一栅极氧化层115A和115B的厚度x_{ox1}被优化为使CMOS 器件100A，100B和100C具有最好的整体性能和电压能力。尽管为了简单起见，在P

型阱105中仅示出一个NMOS 100C，但实际上许多个NMOS器件可以共享同一P型阱并优选地通过再填充的沟槽而彼此横向地隔离。

[0050] 第二隔离袋140B通过DN底隔离区域102B和再填充沟槽103C和103D 而与衬底111隔离。沟槽103C和103D优选地是横向围绕隔离袋102B的单个沟槽的一部分。在袋140B内，第二N型阱106用于PMOS 100D的体区域，PMOS 100D优选地具有不同于PMOS 100A和100B的击穿电压或导电性质。在优选的实施例中，N型阱106的掺杂轮廓是非单调的，并且不同于第一N型阱104的掺杂轮廓。N型阱106至少包括顶部分106A和较深部分 106B，它们优选地使用不同能量和剂量的磷的链式注入来形成。较深部分 106B的峰值掺杂浓度可以大于顶部分106A的峰值掺杂浓度。由于N型阱 106的底部重叠在DN底隔离区域102B上，所以在N型阱106与DN底隔离区域102B之间没有插入的P型层。

[0051] 还是在袋140B内，第二P型阱107用作NMOS 100E和100F的体区域， NMOS 100E和100F具有与NMOS 100C不同的性质。在优选的实施例中， P型阱107的掺杂轮廓是非单调的，包括至少顶部分107A和较深部分107B，并优选地使用不同能量和剂量的硼的链式注入来形成。较深部分107B的峰值掺杂浓度可以大于顶部分107A的峰值掺杂浓度。P型阱107不应重叠在 DN底隔离区域102B上，从而导致插入的P型层133B。

[0052] 在P型阱107内，NMOS 100F包括N+源极110F和N+漏极110G、提供到达体区域P型阱107的接触的P+接触区域111F、侧壁间隔物118D、轻掺杂漏极延伸(NLDD2)119、源极延伸(NLDS2)120和位于第二栅极氧化层116B顶上的栅极117B。

[0053] NMOS 100E位于同一P型阱107中并通过再填充沟槽135B与NMOS 100F隔开，再填充沟槽135B优选地比沟槽103C、103D和134B浅，尽管这些较深的沟槽也能够用于同一阱内的器件的横向隔离。尽管N型阱106 和P型阱107可以接触，但是在优选的实施例中，沟槽134B将它们隔开，从而减少它们闩锁的可能性。

[0054] 在N型阱106内，PMOS 100D包括P+源极111D和P+漏极111E、侧壁间隔物118C、轻掺杂漏极延伸(PLDD2)和源极延伸(PLDS2)114、位于第二栅极氧化层116A顶上的栅极109C，其中第二栅极氧化物116A具有不同于第一栅极氧化物115A的厚度x_{ox2}。

[0055] 在优选的实施例中，与袋140A中的CMOS器件相比，袋140B中的 CMOS器件为电压较高的器件，第二栅极氧化层116A和116B比第一栅极氧化层115A和115B厚，也就是$x_{ox2}>x_{ox1}$，第二P型阱107和第二N型阱 106具有比第一P型阱105和第一N型阱104低的表面浓度和大的深度。栅极109A和109B可以与栅极117A和117B相同或不同，它们可以对于NMOS 和PMOS晶体管而言具有相同的掺杂，或者优选地，PMOS 100A和100D 的栅极109A和117A可以包括P型多晶硅，而NMOS 100C和100F的栅极 109B和117B使用N型多晶硅。栅极109A、109B、117A和117B中的一些或全部也可以包括硅化物。在袋140A的低电压CMOS中，侧壁间隔物118A 和118B确定LDD漂移区域112和113的长度，并且P+漏极区域111B和 N+漏极区域110A分别抵接沟槽135A和134A。在袋140B的高电压CMOS 中，相反地，LDD漂移区域115和119的范围由掩模对准确定而不是由侧壁间隔物118C和118D的宽度确定。N+漏极区域110G和P+漏极区域111E也可以通过轻掺杂区域与沟槽135B和134B隔开，该轻掺杂区域与LDD区域相同或不同。

[0056] 作为侧壁间隔物工艺的典型结果，侧壁间隔物118C和118D的宽度决定源极延伸114和120的长度。这些源极延伸可以与LDD1或LDD2区域同时形成，或者它们可以被独立地优化。

[0057] 任意数目的CMOS器件可以通过在它们之间和当中引入类似于沟槽 103A-103D的沟槽并在共享的底隔离区域顶上或在具有其本身专用的电偏置到不同电势的底隔离区域的隔离区域中来集成。通过包括额外的阱注入和栅极氧化物，任意数目的完全隔离的CMOS器件能够以不同的电压和器件密度而被集成和优化以用于操作。

[0058] 可选的深P型(DP)区域108可以插设在相邻的隔离袋104A和104B 之间，以减少袋之间穿通击穿和/或泄漏的可能性。

[0059] 图2示出隔离的CMOS器件的替代实施例，其使用电介质填充的沟槽而不是如图1所示的具有导电再填充材料的沟槽。在图2中，PMOS 200A 和NMOS 200B形成在隔离袋240A中，隔离袋240A通过DN底隔离202A 和沟槽203A和203D而与P型衬底201隔离。沟槽203A和203D优选地为横向围绕隔离袋240A的单个沟槽的一部分。在隔离袋240A内，第一N型阱204B用于形成PMOS 200A的体。N型阱204A重叠并接触DN底隔离区域202A。在优选的实施例中，N型阱204A和204B的掺杂轮廓是非单调的，包括至少顶部分NW1和较深部分NW1B，并优选地使用不同能量和剂量的磷的链式注入来形成。较深部分NW1B的峰值掺杂浓度可以大于顶部分 NW1的峰值掺杂浓度。由于N型阱204B的底部重叠在DN区域202A之上，所以不存在插入的P型层。

[0060] 还是在隔离的袋240A内，第一P型阱205A用于形成NMOS 200B的体。在优选的实施例中，P型阱205A的掺杂轮廓是非单调的，包括至少顶部分PW1和较深部分PW1B，并优选地使用不同能量和剂量的硼的链式注入来形成。较深部分PW1B的峰掺杂密度可以大于顶部分PW1的峰值掺杂浓度。P型阱205不应重叠在DN层202A之上，从而导致插入的P型层(未示出)。由于该层也是P型的，所以它电短接到P型阱205A。N型阱204B 和P型阱205A可以彼此接触。然而，在优选的实施例中，沟槽203C将它们隔开，从而减少它们闩锁的可能性，闩锁是一种不期望的寄生闸流管传导。如所示地，沟槽203A和203B围绕N型阱204A，以防止N型阱204A和204B 之间的横向传导并进一步抑制闩锁。

[0061] 在N型阱204B内，PMOS 200A包括P+源极211A和P+漏极211B、侧壁间隔物219A和下面的LDD 212、具有可选的硅化物221的多晶硅栅极 220A，其中栅极220A位于第一栅极氧化层218顶上，并且其中第一栅极氧化层具有厚度x_{ox1}。在P型阱205A内，NMOS 200B包括N+源极210B和 N+漏极210C、侧壁间隔物219A和下面的LDD 213、具有可选的硅化物221 的多晶硅栅极220B，其中硅化栅极220B也位于第一栅极氧化层218顶上，第一栅极氧化层218具有厚度x_{ox1}，该厚度x_{ox1}被优化以实现PMOS 200和 NMOS 200B的最佳整体性能和电压能力。多晶硅栅极220A和220B两者可以被N型掺杂，或者备选地，PMOS多晶硅栅极220A可以被P型掺杂，NMOS 多晶硅栅极220B被N型掺杂。

[0062] DN底隔离区202A通过N型阱204A和N+接触区域210A而被接触， N型阱204A和N+接触区域210A两者被电介质填充的沟槽203A和203B 围绕。

[0063] 第二CMOS对形成在第二隔离袋240B中，第二隔离袋240B通过DN 底隔离区域202B和沟槽203E和203H而与衬底201隔离。沟槽203E和203H 优选地为横向地围绕隔离袋240B的单个沟槽的一部分。在袋240B内，第二N型阱206B形成PMOS 200D的体区域，PMOS 200D优选地具有不同于 PMOS 200A的击穿电压或导电性质。如所示地，沟槽203E和203F围绕N 型阱206A。在优选的实施例中，N型阱206B的掺杂轮廓是非单调的，不同于第一N型阱204B的掺杂轮廓，包括至少顶部分NW2和较深部分NW2B，并优选地使用不同能量和剂量的磷的链式注入形成。较深部分NW2B的峰值掺杂浓度可以大于顶部分NW2的峰值掺杂浓度。由于N型阱206B

的底部重叠在DN底隔离区域202B之上，所以在器件中不存在插入的P型层。

[0064] 还是在袋240B内，使用第二P型阱207A来形成NMOS 200C，NMOS 200C具有不同于NMOS 200B的电性质。在优选的实施例中，第二P型阱 207A的掺杂轮廓是非单调的，包括至少顶部分PW2和较深部分PW2B，并优选地使用不同能量和剂量的硼的链式注入来形成。较深部分PW2B的峰值掺杂浓度可以大于顶部分PW2的峰值掺杂浓度。P型阱207A不应重叠在 DN底隔离区域202B上，从而导致插入的P型层(未示出)。由于该层也是 P型层，所以它电短接到P型阱207A的电势。

[0065] 尽管N型阱206B和P型阱207A可以接触，但是在优选的实施例中，沟槽203G将它们隔开，从而减少它们闩锁的可能性。

[0066] 在N型阱206B内，PMOS 200D包括P+源极211F和P+漏极211G、侧壁间隔物219B、LDD 217和LDS 216、具有可选的硅化物221的多晶硅栅极220C，其中硅化栅极位于第二栅极氧化层222的顶上，第二栅极氧化层 222具有与第一栅极氧化层218的厚度x_{ox1}不同的厚度x_{ox2}。在P型阱207A 内，NMOS 200C包括N+源极210F和N+漏极210G、侧壁间隔物219B、LDD 215和LDS 214、具有可选硅化物221的多晶硅栅极220D，其中栅极220D 也位于第二栅极氧化层222顶上。第二栅极氧化层222具有厚度x_{ox2}，该厚度x_{ox2}被优选以实现PMOS 200D和NMOS 200C的最佳整体性能和电压能力。

[0067] 在优选的实施例中，NMOS 200C和PMOS 200D与NMOS 200B和 PMOS 200A相比是较高电压的器件，第二栅极氧化层222比第一栅极氧化层218厚，第二P型阱207A和第二N型阱206B分别具有比第一P型阱205A 和第一N型阱204B低的表面浓度和大的深度。对于NMOS晶体管200B和 200C以及PMOS晶体管200A和200D，用于形成栅极220A、220B、220C 和220D的多晶硅材料可以包括被N型掺杂的同一层，或者PMOS晶体管 200A和200D之一或两者中的栅极可以包括P型掺杂的多晶硅。还可以使用不同的多晶硅层来形成晶体管200A-200D中的一个或多个的栅极。

[0068] 在优选的实施例中，NMOS 200C和PMOS 200D的各自的轻掺杂漏极 215和217的长度由光刻工艺来决定。

[0069] 作为侧壁间隔物工艺的典型结果，侧壁间隔物219A的宽度决定PMOS 200A和NMOS 200B的各自的轻掺杂源极延伸212和213的长度，而侧壁间隔物219B决定NMOS 200C和PMOS 200D的各自的轻掺杂源极延伸214和 216的长度。侧壁间隔物219A和219B可以同时地形成，或者可以独立地形成。备选地，侧壁间隔物219B可以被去除，而不会对器件的漏极击穿产生不利的影响。

[0070] 任意数目的CMOS器件能够通过在它们之间和当中引入类似于沟槽 203A、203D、203E和203H的沟槽并在共享的底隔离区域顶上或在具有其本身专用的电偏置到不同电势的底隔离区域的隔离区域中来集成。通过包括额外的阱注入和栅极氧化物，任意数目的完全被隔离的CMOS器件能够以不同的电压和器件密度而被集成并优化以用于操作。

[0071] 可选的深P型(DP)区域208可以插设在相邻的隔离袋204A和240B 之间，以减少袋之间穿通击穿和/或泄漏的可能性。

[0072] 图3示出隔离的CMOS器件的替代实施例，其中重掺杂漏极区域并不抵接沟槽。此实施例比上述那些实施例消耗更多的表面积，但在防止器件泄漏方面是有利的。隔离袋340通过DN底隔离区域302和沟槽303A和303C 而与P型衬底301隔离。沟槽303A和303C优选地是横

向围绕隔离袋340 的单个沟槽的一部分。在袋340内，N型阱304形成PMOS 300A的体区域，并且还提供到达DN底隔离区域302的接触。在优选的实施例中，N型阱304 的掺杂轮廓是非单调的，包括至少顶部分NW1和较深部分NW1B，并优选地使用不同能量和剂量的磷的链式注入来形成。较深部分NW1B的峰值掺杂浓度可以大于顶部分NW1的峰值掺杂浓度。由于N型阱304的底部重叠在DN底隔离区域302上，所以不存在插入的P型层。

[0073] 还是在袋340内，P型阱305形成NMOS 300B的体区域。在优选的实施例中，P型阱305的掺杂轮廓是非单调的，包括至少顶部分PW1和较深部分PW1B，并优选地使用不同能量和剂量的硼的链式注入来形成。较深部分PW1B的峰值掺杂浓度可以大于顶部分PW1的峰值掺杂浓度。P型阱305 不应重叠在DN底隔离区域302上，从而导致插入的P型层(未示出)。由于该层也是P型的，所以它电短接到P型阱305的电势。尽管N型阱304 和P型阱305可以接触，但是在优选的实施例中，沟槽303B将它们隔开，从而减少它们闩锁的可能性。

[0074] 在N型阱304内，PMOS 300A包括P+源极306A和P+漏极306B、侧壁间隔物307A和LDS 308、具有可选的硅化物310A的栅极309A，其中栅极309A位于栅极氧化层311A顶上。P+漏极306B被P-LDD延伸围绕，P-LDD 延伸包括插设在P+漏极306B与栅极309之间长度L_{P1}的LDD 312以及插设在P+漏极306B与沟槽303B之间长度L_{P2}的LDD 313。在该设计中，P+漏极306B不抵接沟槽303B。N+接触区域314C提供到达N型阱304的接触。

[0075] 在P型阱305内，NMOS 300B包括N+源极314A和N+漏极314B、侧壁间隔物307B和LDS 315、具有可选的硅化物310B的栅极309B，其中栅极309B位于栅极氧化层311B顶上。N+漏极314B被N-LDD延伸围绕，N-LDD延伸包括插设在N+漏极314B与栅极309B之间长度L_{N1}的LDD 316 以及插设在N+漏极314B与沟槽303C之间长度L_{N2}的LDD 317。在该设计中，N+漏极314B不抵接沟槽303C。P+接触区域306C提供到达P型阱305 的接触。到达NMOS 300B和PMOS 300A的接触通过延伸到孔中的图案化的金属化层319来实现，该孔蚀刻在层间电介质层318中。

[0076] 图4示出制作在公共P型衬底201中的隔离的双极器件的截面图。为了简单起见，层间电介质层和金属化化层没有在图4中示出。

[0077] NPN晶体管200A通过深N(DN)型底隔离区域202A和填充沟槽203A 而与衬底201隔离。沟槽203A的侧壁用电介质材料231的层覆盖，沟槽的内部用导电材料232填充。导电材料提供从表面到达底隔离区域202A的接触，底隔离区域202A还用作NPN 200A的集电极，电介质材料231使导电材料232与衬底201绝缘。沟槽203A优选地横向围绕NPN 200A，以提供完全的横向隔离。

[0078] N+发射极206可以通过常规注入和扩散形成，或者它可以从多晶硅源极扩散以形成“多发射极(poly emitter)”。P型基极区域207设置在N+发射极206下面，并优选地具有专门用于NPN 200A并为NPN 200A的性能优化的掺杂轮廓。然而，在其它的实施例中，基极区域207可以包括与用于其它集成器件的P型阱区域(诸如NMOS晶体管的P体区域)相同的P型阱区域。P+基极接触区域204提供从衬底201的表面到达基极区域207的接触。

[0079] 设置在基极区域207之下且在DN底隔离区域(集电极)202A之上的插入区域208可以与衬底201的隔离袋具有基本相同的掺杂浓度。在另一实施例中，基极区域207可以进一步向下延伸以接触底隔离区域(集电极) 202A，而没有插入区域208。在另一实施例中，可以进行额外注入以在此区域中提供DN底隔离区域(集电极)202A的向上延伸。在此优选的实施例中，N型区域208和DN底隔离区域202A一起包括非单调的掺杂轮廓，其中上部(N型区域

208)与较深部分的底隔离区域202A相比具有较低的掺杂浓度。上部中的较低掺杂减少了基极207中的耗尽扩展，从而增大了NPN 200A的厄利电压(Early voltage)，而较深部分的较高掺杂减小了集电极电阻并改善了NPN 200A的饱和特性。

[0080] 浅沟槽205优选地用于使N+发射极206与P+基极接触204隔离。沟槽 205优选地为0.2-0.5μm宽、0.2-0.6μm深，并用电介质材料完全填充。沟槽 203A优选地比沟槽205更宽和更深，例如在0.5-1.5μm宽和1.5-3μm深的范围内。

[0081] PNP晶体管200B通过DN底隔离区域202B和填充沟槽203B而与衬底 201隔离。沟槽203B的侧壁用电介质材料241的层覆盖，沟槽的内部用导电材料242填充。导电材料242提供从表面到达底隔离区域202B的接触。沟槽203B和DN底隔离区域202B围绕PNP 200B，并使PNP 200B与衬底 201电隔离。

[0082] P+发射极211可以通过常规注入和扩散形成，或者它可以从多晶硅源极扩散以形成“多发射极”。N型基极区域215设置在P+发射极211下面，并优选地具有专门用于PNP 200B并为PNP 200B的性能优化的掺杂轮廓。然而，在其它的实施例中，基极区域215可以包括与用于其它的集成器件的N 型阱区域(诸如，PMOS晶体管的N体区域)相同的N型阱区域。N+基极接触区域213提供从衬底201的表面到达基极区域215的接触。

[0083] P型集电极区域216设置在基极区域215下面，并且在一个实施例中包括通过高能量注入形成的重掺杂区域(例如，具有在500-2000欧姆/方块的范围内的薄层电阻)。P型集电极区域216可以有利地使用在集成电路中的其它位置，例如局部地增大P型衬底201的掺杂以减少闩锁的可能性。P+ 集电极接触区域214提供从衬底201的表面到达P型集电极区域216的接触。

[0084] 在另一实施例中，P型集电极区域216具有非单调的掺杂轮廓，其中上部具有比较深部分低的掺杂浓度。上部中的较低掺杂减少了基极215中的耗尽扩展，从而增大了PNP 200B的厄利电压，而较深部分的较高掺杂减少了集电极电阻并改善了PNP 200B的饱和特性。在优选的实施例中，集电极216 的掺杂轮廓通过使用不同能量和剂量的硼的链式注入来形成。

[0085] 浅沟槽212优选地用于使P+发射极211、N+基极接触区域213和P+集电极接触区域214彼此隔离。这些沟槽优选地用电介质材料填充，而沟槽 203B优选地包括导电材料242以提供到达DN底隔离区域202B的电接触。用电介质填充的沟槽使重掺杂的基极、集电极和发射极区域分离，允许器件尺寸减小、电容减小和开关性能改善。

[0086] 额外的填充沟槽209可以横向地插设在NPN 200A与PNP 200B之间以避免这些器件之间的穿通以及其它的寄生相互作用，从而允许它们在公共衬底201中更加靠近地设置在一起。填充沟槽209可以用电介质材料填充，如此示例所示，或者它可以包括如沟槽203A和203B中所示的导电材料。埋设的隔离区域(submerged isolation region)210也可以被包括并邻近沟槽209 的底部。在一个实施例中，区域210可以是P型的，以局部增大衬底201的掺杂。在另一实施例中，区域210可以是N型的(在一个实施例中，与DN 底隔离区域202A和202B同时形成)，以用作可存在于衬底中的电子的虚设集电极。

[0087] 图5示出制作在隔离袋中的两个NPN双极晶体管400A和400B，该些隔离袋通过DN底隔离区域402A和402B以及填充的沟槽403A、403C、403D 和403F而彼此隔离并与P型衬底401隔离。不同于图4的器件，图5中的填充沟槽403A、403C、403D和403F完全用电介质材料填充。

因此，到达 DN底隔离区域402A和402B的接触通过额外的N型阱区域404A和404B 来提供。

[0088] 在优选的实施例中，NPN 400A和NPN 400B使用CMOS P型阱区域作为基极区域405A和405B。NPN 400A使用注入的N+发射极406A，而NPN 400B具有包括N+区域406C和NB区域410的组合的发射极区域，NB区域 410具有比N+区域406C深的结。在其它的实施例中，基极区域405A和/405B 可以包括为NPN 400A和/或NPN 400B的性能而优化的专门区域。

[0089] 在NPN 400A中，DN底隔离区域402A形成集电极区域，该集电极区域通过N型阱404A和N+区域406B而从表面被接触。P型阱405A形成NPN 400A的基极区域。在优选的实施例中，P型阱405A的掺杂轮廓是非单调的，包括至少顶部分PW1和较深部分PW1B，并优选使用不同能量和剂量的硼的链式注入形成。P型阱405A的较深部分PW1B可以具有比顶部分PW1 高的浓度。表面到达基极区域405A的接触通过P+区域407A来实现。NPN 400A的发射极包括N+区域406A。N型阱404A可以通过填充沟槽403B而与P型阱405A隔开。接触通过具有可选的阻挡金属的金属408来实现，该具有可选的阻挡金属的金属408通过形成在层间电介质层409中的接触窗口而接触P+区域407A和N+区域406A和406B。

[0090] 在NPN 400B中，DN底隔离区域402B形成集电极区域，该集电极区域通过N型阱404B和N+区域406D而从表面被接触。P型阱405B形成NPN 400A的基极区域。到达基极区域405B的表面接触通过P+区域407B来实现。 NPN 400A的发射极包括N+区域406C和下面的NB区域410。NB区域410 设计为通过使用与CMOS器件共享的元件(例如，N+区域406C和P型阱区域405B)来提高NPN 400B的性能。例如，NB区域410的深度和掺杂能够提供电流增益、击穿电压和厄利电压的较好组合。

[0091] N型阱404B可以通过沟槽403E而与P型阱405B隔开。接触通过具有可选的阻挡金属的金属408来实现，该具有可选的阻挡金属的金属408通过形成在层间电介质层409中的接触窗口来接触P型区域407B和N+区域406C 和406D。埋设的隔离区域(未示出)可以存在于DN底隔离区域402A与 DN底隔离区域402B之间以抑制穿通。

[0092] 如上所述，通过共享双极晶体管的形成区域与集成电路中其它位置使用的区域，本发明的隔离的双极晶体管可以在成本上被优化。或者，能够提高性能，例如，通过增加专门的基极注入，从而实现厄利电压V_A、电流增益β、击穿电压BV_{CEO}以及频率能力f_t和f_{max}之间的最佳的整体折衷。类似地，可以使用公共的注入区域来形成双极晶体管的发射极区域，或者专门的发射极可以使用诸如多晶硅发射极形成的技术来形成。发射极中的少数载流子的渡越时间τ_e，像经过基极的那些，将对器件的上操作频率能力施加特定的限制，通常小于10GHz。此发射极渡越时间的限制能够通过使用多晶硅发射极代替扩散或注入的发射极以及通过相应地调整基极的深度来改善。在10至 20GHz之间操作的硅双极晶体管可以使用这种技术，而不需要SiGe异质结和与这种器件相关的制造复杂性。

[0093] 在本发明中，与LOCOS隔离有关的上述问题通过使用将浅、中和/或深沟槽隔离(STI、MTI、DTI)与通过高能量注入形成的底隔离区域结合的制造工艺而消除。用于侧壁隔离的STI和高能量注入的底隔离的新颖结合表示了以高密度集成和隔离器件的方法和装置，而不需要长时间的高温扩散或昂贵的外延沉积。

[0094] 于2006年5月31日提交的申请No.11/444,102通过引用结合于此，其描述了几个相关的隔离结构。于2007年12月17日提交的申请No.12/002,358 通过引用结合于此，其描述了结合有不同但相关的隔离结构的方法和器件。

[0095] 图6A-6D的截面图1示出了用于形成根据本发明的隔离结构的一种可能的制造顺序。在图6A中，深N型(DN)底隔离区域3经由硬掩模4中的开口使用高能离子注入而引入到轻掺杂的P型衬底2中，硬掩模4具有可选的光致抗蚀剂掩模5。该注入可以经由薄的预注入氧化物6来进行。在优选的实施例中，DN区域3通过以高能量注入磷来形成，而不需要注入之后的任何显著的高温处理。这种深N型区域称为“DN”，为深N型区域的缩写。由于没有外延层生长在P型衬底2之上，所以DN区域3与在常规外延工艺中使用高温处理形成的掩埋层不同，尽管两种结构的外观类似。

[0096] 常规掩埋层的峰浓度和总垂直宽度受到实质性扩散的影响，该实质性扩散在外延生长之前、期间和之后的高温制造中发生。因为温度上的轻微变化能引起掺杂轮廓的大的偏差(这是扩散率随温度指数变化的结果)，所以在扩散和外延工艺中出现了可变性的问题。

[0097] 在本发明的低温工艺中，注入的DN区域的掺杂轮廓仅受到注入剂量和能量(或者在多次注入的情况下的各剂量和各能量)的影响。所得的轮廓是“原位注入的”，并不受与热处理相关的固有可变性的影响。在优选的实施例中，DN区域形成可以包括工艺中的最高能量注入，在1MeV(一百万电子伏)到超过3MeV的范围内。这种注入可以使用单个或双重离子化的掺杂种类以合理的次数来实现。具有高电荷态的三重离子化掺杂种类能够被注入到较大的深度，但以相应地较低的束电流。用于DN区域的磷的注入剂量可以在1E12cm^{-2}至1E14cm^{-2}的范围内，但通常包括5E12cm^{-2}至5E13cm^{-2}范围内的剂量。

[0098] 图6B示出在沉积掩模层8之后的隔离结构，优选地以较低的温度沉积掩模层8以防止DN区域3中的掺杂剂再分布。层8可以例如包括沉积的氧化物。层8接着被图案化以形成开口9A和9B。在图6C中，沟槽通过开口 9A和9B在衬底2中蚀刻到与DN区域3垂直重叠的深度。沟槽接着用电介质填充并平坦化以形成电绝缘的沟槽11A和11B，如图6D所示。结果形成了电隔离的P型袋10，该P型袋10通过底部的结隔离和沿着侧壁的电介质填充沟槽的结合而与P型衬底2电隔离。

[0099] 尽管示出了两个沟槽，但是沟槽11A和11B可以实际上包括横向围绕隔离袋10的单个沟槽，并且可以引入任意数目的沟槽以形成共享公共DN 区域3的多个隔离P区域。或者，还可以引入多个DN区域，从而有利于多个隔离区域的集成，该多个隔离区域可以以不同的电压偏置或用于不同类型的电路的电集成、浮置或消除电噪声。

[0100] 在图6D的隔离结构中，隔离沟槽11A和11B并不自对准到DN底隔离 3的边缘。在图7A-7E中示出的备选的制造工艺顺序使隔离沟槽的外边缘与 DN区域自对准。图7A示出在DN底隔离区域22通过掩模层23中的开口 23A以高能量注入之后的结构。掩模层23的边缘23B围绕开口23A。DN 区域22具有外周边边缘25，边缘25与掩模层23的边缘23B紧密地垂直对准。注入可以通过薄的预注入氧化物层24来进行。在图7B中，接着形成掩模层27，并且掩模层27通过图案化的掩模区域28而被掩模。尽管掩模区域 28也可以形成在掩模层23上，但是在此自对准的实施例中，在掩模区域28 与掩模层23的边缘23B之间应当有间隙。在图7C中，掩模层27被蚀刻以形成如掩模28和掩模23所限定的窗口30A和30B。在掩模层27的蚀刻期间，会发生掩模层23的一些腐蚀，但会保留足够厚的掩模层23以用作沟槽蚀刻期间的硬掩模。在蚀刻掩模层27之后，优选地去除掩模28。

[0101] 在图7D中，侧壁沟槽31A和31B通过开口30A和30B而在衬底21中蚀刻到一深度，以

使得沟槽31A和31B延伸到DN底隔离区域22中。由于开口30A和30B使用掩模层23来限定它们的位置，所以沟槽31A和31B 的外边缘与DN底隔离层22的边缘25对准。换句话说，由于掩模层23限定了侧壁沟槽31A和31B的外边缘以及DN底隔离区域22的边缘25，所以底隔离和沟槽侧壁隔离是“自对准的”并且不依赖于掩模对准，从而消除了与之相关的任何可变性。沟槽31A和31B用电介质材料32填充并平坦化，从而得到图7E中示出的自对准隔离结构，其将一个或多个P型袋31与衬底 21隔离而不需要长时间的热扩散或外延层。

[0102] 在图8A-8E中示出的替代的自对准制造工序中，在注入DN底隔离区域之前形成再填充的沟槽。如图8A所示，沟槽43通过掩模42中的开口40 而被蚀刻在衬底41中。沟槽43然后被填充并平坦化以形成填充的沟槽，如图8B所示。如图8C所示，掩模层44被图案化以形成开口44A，接着是DN 区域45的高能量离子注入，该DN区域45在相邻的沟槽43之间延伸。

[0103] 通过将掩模层44中的开口44A的边缘对准在填充沟槽43上，DN区域 45的在衬底中电活性的部分自对准到沟槽43。因此，DN区域45和沟槽43 以图8D所示的自对准方式使P型袋46与衬底41隔离，与依靠掩模对准的形式相比使用了较少的空间。

[0104] 尽管图8D示出DN区域45的底部在与沟槽43的底部大致相同的深度，但是在其它的实施例中，DN区域可以具有不同的垂直深度。例如，图8E 示出了DN区域45A延伸到沟槽43的底部之下的隔离结构。可能发生DN 区域45A穿透沟槽43，但是这些元件基本上仍然是自对准的。

[0105] 在这里所示的任一隔离结构中，可选的P型区域也可以被掩模并以浅于、深于或等于DN区域的深度而被注入在P型衬底中。例如，图9A-9D示出了用于在隔离袋内或在隔离区域之间形成深P型区域(DP)的工艺。在图9A中，两个隔离P型袋51B和51C使用上述工艺之一形成在公共的P型衬底51A中。袋51B和51C通过沟槽53A、53B、53C和53D以及DN区域 52A和52B而隔离。

[0106] 图9B示出图案化的掩模层55，其已经被图案化以形成在隔离袋51C上的开口55A。掩模层55足够厚以允许高能量的注入，从而可以选择性掺杂P 型隔离袋51C而不掺杂衬底51A或隔离袋51B。图9C示出了所得的DP区域54，该DP区域54和与衬底51A隔离的P型材料共享隔离袋51C。通过将开口55A的边缘置于沟槽53之上，DP区域54的电活性部分自对准到沟槽。

[0107] DP区域54可以使用硼的高能注入形成，以任意的深度，但通常在等于或浅于DN区域52B的深度。至给定深度的硼注入需要比至同一深度的磷注入低的能量，例如从0.8MeV到2MeV，由于硼原子比磷原子小且没有磷原子重。在优选的实施例中，DP区域54被注入得足够深，以使得它基本上不改变P型袋51C的剩余部分的表面浓度。用于DP区域54的硼注入剂量可以在1E12cm^{-2}至1E14cm^{-2}的范围内，但通常使用在5E12cm^{-2}至5E13cm^{-2}范围内的剂量。

[0108] 图9D示出了另一实施例，其中DP区域55被注入在两个隔离袋之间以抑制DN区域52A与52B之间的穿通击穿或泄漏的发生。尽管DN区域52A 和52B可以是电浮置的，但是它们优选地被偏置到比衬底更正的电势，并因此形成反向偏置的PN结。存在于DN区域52A和52B的每个上的偏置可以相同，或者DN区域52A和52B可以偏置在不同的电势。此外，DN区域52A和52B的每个可以具有固定的电势或随时间变化的电势。

[0109] 通常，每个隔离袋可以包含器件，该器件偏置在等于或更负于该袋的 DN偏置电势的任意电势。例如，如果DN偏置到5V，则在隔离区域内的器件可以操作在直到5V的电压或者

如器件的击穿机理所允许的负的电压，甚至可能在比P型衬底51A的电势更负的电压。

[0110] 图10A-10F示出了包括通过导电沟槽再填充区域接触的注入DN区域的隔离结构的形成。图10A示出在如上所述形成DN区域742之后以及沉积并图案化可选的平坦化蚀刻停止层744(由硅氮化物或其它合适的材料制成) 和掩模层743(优选地为沉积的氧化物或其它合适材料的硬掩模)之后的结构。浅沟槽745通过掩模743中的开口蚀刻到P-衬底741中。沟槽745优选地与给定CMOS技术的标准STI兼容。

[0111] 图10B示出了在图案化和蚀刻沟槽746之后的结构。这些沟槽比沟槽 745深，并延伸到DN区域742中。沟槽746也比沟槽745宽，从而允许沟槽745中电介质再填充和沟槽746中导电/电介质再填充的形成，如下面所述。例如，沟槽745可以为约0.5微米宽、0.5微米深，而沟槽746可以为约1 微米宽、1.5-2.0微米深。

[0112] 图10C示出了在沉积电介质层747之后的结构。电介质层747优选地具有良好的保形能力，例如可以使用TEOS沉积的氧化物。设计沉积厚度以完全再填充窄的沟槽745，但仅覆盖较宽的沟槽746的侧壁。在这里给出的示例中，使用0.3微米的厚度以完全再填充0.5μm宽的浅沟槽745并在深沟槽 746的每个侧壁上形成0.3微米的层，从而在深沟槽746中留下0.4微米宽的空间。

[0113] 图10D示出了在回蚀电介质层747之后的结构。回蚀(优选地通过反应离子蚀刻技术来进行)应当将电介质747从深沟槽746的底部完全去除。这样做时，电介质747也可能从表面被去除，下面的掩模层743也可能被蚀刻，这取决于使用的材料和它们的相对蚀刻速率。在此回蚀步骤之后，侧壁电介质层748B、748C、748D和748E保留在深沟槽746中，而浅沟槽745被电介质区域748A完全地填充，电介质区域748A应当延伸在衬底741的原始表面之上。如图10D所示，可选的注入区域752A和752B可以引入到在每个宽沟槽的底部处的开口中。由于衬底仅暴露在这些区域中，所以不需要掩模层。该注入优选地为高剂量、低能量的N型注入，例如以30keV和$1\times 10^{15}cm^{-2}$注入磷，从而可以改善从导电填充(下面描述)到DN区域的接触。

[0114] 图10E示出了在沉积导电层749之后的结构，导电层749优选是高导电且保形的，例如原位掺杂的多晶硅。设计层749的沉积厚度以提供深沟槽746 的完全再填充。注意，每个沟槽的蚀刻宽度决定了其是被电介质完全填充还是被导电材料部分填充。因此，还可以形成宽的浅沟槽，其具有导电的中央部分，这可以例如有利于形成到达特定器件结构中的区域的掩埋接触。类似地，可以形成窄的深沟槽，其用电介质完全填充，这在形成相邻DN区域之间的横向隔离中是有用的。

[0115] 图10F示出了在平坦化之后的隔离结构。在此示例中，该结构已经被平坦化回到衬底741的原始表面。这优选地通过CMP和/或回蚀工艺来实现。最终的结构包括隔离的P型区域751，P型区域751通过底部的DN区域742 以及侧部的再填充沟槽746而被隔离。沟槽746用导电材料750A和750B 部分地填充，该导电材料提供到达DN区域742的电接触。导电材料750A 被侧壁电介质层748B和748C围绕，导电材料750B被侧壁电介质层748D 和748E围绕。结果，导电材料750A和750B与P型区域751和衬底741隔离。

[0116] 图10G示出了具有多个上述特征的完成结构，包括两个隔开的DN区域 742A和742B。DN区域742A通过填充沟槽746A和746B中的导电材料而被接触。DN区域742B通过填充沟槽746C和746D中的导电材料而被接触。隔离袋753A和753B通过DN区域742A和742B以及填

充沟槽746A-746D 而与衬底741隔离。导电填充的沟槽746E置于DN区域742A和742B之间，并可以例如用作P型衬底741中的少数载流子的虚设集电极。每个导电填充沟槽746A-746E包括底部的可选的N型注入752。浅的电介质填充沟槽745 可以包括在隔离袋753A和753B内和/或包括在隔离袋753A和753B外的衬底741中。深的电介质填充沟槽754也可以被包括在任意区域中。还可以形成浅的导电填充沟槽755。

[0117] 图10G中示出的隔离结构经由深导电填充沟槽746A-746D而有利地提供了到DN区域742A和742B的很紧凑的电连接。此外，沟槽746A-746D 的形成将共享与形成STI沟槽745共用的许多步骤，包括电介质沉积和平坦化步骤，从而使得提供从表面到DN区域742A和742B的接触几乎不增加工艺复杂性。

[0118] 图11A-11C示出了建立到DN区域的电接触的几种方法，而不使用上述的导电再填充技术。在图11A中，沟槽73A、73B和73C位于DN区域72A 和72B上并垂直堆叠在DN区域72A和72B上，DN区域72A和72B横向地连接，从而使P型阱74与衬底71隔离。为了提供到DN区域72A和72B 的表面接触，N型阱75和N+区域76被包括，其中N型阱75垂直堆叠在 DN区域72A上。沟槽73A和73C使整个结构与其它的器件隔离，而沟槽 73B是将N型阱75与P型阱74隔开的分隔沟槽以防止这些阱之间的电相互作用。

[0119] 图11B中示出的实施例包括位于DN底隔离区域82A和82B上且垂直堆叠在DN底隔离区域82A和82B上的沟槽83A、83B和83C，从而使P型阱84与衬底81隔离。为了接触DN区域82A，N型阱85和N+区域86被包括，其中N型阱85垂直堆叠在DN区域82A上。沟槽83A和83C使整个结构与其它的器件隔离，而沟槽83B是将N型阱85与P型阱84隔开的分隔沟槽以防止这些阱之间的电相互作用。DN区域82A和82B并不彼此直接接触，由于它们被沟槽83B隔开。在此情形下，经由泄漏电流和穿通的组合， DN区域82B上的电偏置仍然可能受到DN区域82A上的偏置影响。然而，与图11A的结构相比，此布置并不提供从表面到DN区域82B的那样低的电阻。

[0120] 另一实施例在图11C中示出，其中DN底隔离区域92以及沟槽93A和 93B使P型阱94与衬底91隔离，并且N型阱95和N+区域96用于从表面到DN区域92的接触。在此构造中，没有沟槽使N型阱95和P型阱94隔开。而是衬底91的区域97使阱94和95隔开。对于沟槽比DN区域深的工艺而言，此结构可以比图11B的结构更优选，因为N型阱95具有与DN区域92的大的重叠以提供良好的电接触；而图11A的结构对于沟槽比底隔离区域的底部浅的工艺而言更优选，因为沟槽73B提供N型阱75与P型阱74 的横向隔离而DN区域72的一部分延伸到沟槽73B之下以提供到N型阱75 的良好的电接触。图12示出了用于形成根据本发明的隔离结构的各种工艺制造顺序。通常，制造从衬底开始，在优选的实施例中衬底是P型且不具有外延层，但可以包括N型材料且不具有外延层，或者甚至可以包括生长在P 型或N型衬底上的P型外延层，或生长在N型或P型衬底上的N型外延层。对于本领域技术人员而言公知的是，如果使用N型衬底材料，则底隔离要求形成DP底隔离区域而不是DN底隔离区域，并且其它的掺杂区域将如所需地被相反掺杂以形成结隔离。

[0121] 图12示出两种基本的工艺流程。在流程61中，在隔离沟槽之前形成底隔离区域；而在流程62中，在底隔离区域之前形成隔离沟槽。如上所述，所得的结构可以是自对准的或非自对准的。被蚀刻的沟槽可以被氧化或通过化学气相沉积(CVD)而被填充，或者在优选的实施例中首先被氧化然后通过沉积而被填充。如果沟槽的氧化在DN底隔离注入之后发生，则DN区域的向上扩散必须通过使氧化温度最小化来避免，通常低于900℃。可选的DP 层示出

为在隔离结构完成之后形成，也就是在侧壁和DN注入之后完成，但在其它的实施例中可以在沟槽形成、DN形成或两者之前形成。

[0122] 尽管在图12中仅示出一个沟槽掩模和蚀刻，但第二较浅的沟槽可以被蚀刻并接着被填充，如上所述。此外，沟槽填充能够包括电介质或电介质加上导电材料，如上所述。如果使用多个沟槽或使用多个再填充材料，则优选地共享相同的工艺，诸如平坦化步骤。

[0123] 图13示出用于制造各种完全隔离的双极、CMOS和DMOS器件的模块化工艺，而无需高温处理或外延。术语“模块化”是指易于添加或去除各组的处理步骤或“模块”的能力，以仅制造给定的电路设计所需要的器件。通过建立模块化工艺架构，通过仅包括必需的工艺步骤，对于给定的电路设计而言可以最小化制造成本。此外，设计模块以使得去除任何模块并不影响其余器件的性能或特性。这样，对于任何模块化的工艺选择，可以使用公共组的器件库和模型。

[0124] 原则上，由于不需要高温来实现公开技术使用的电隔离，所以电介质填充沟槽和深N型(DN)底隔离区域的形成能够以任意次序进行，而不会对集成器件的电隔离产生不利影响。然而，实际上，一些制造顺序是优选的，由于它们简化了晶片处理。用于形成沟槽隔离结构的细节在前述申请 No.11/444,102中被详细描述。

[0125] 在此工艺中，使用包括链式注入或高能注入的掩模注入的组合来构造器件。为了实现最终的基本上为原位注入的掺杂轮廓，仅有少量来自扩散和高温处理的再分布。原位注入的掺杂轮廓不同于扩散的高斯轮廓的标准单调减少浓度，因为原位注入的掺杂轮廓能够被优化以单独地设定器件特性。

[0126] 除了在形成隔离结构的顺序上提供较大的灵活性之外，公开的低温工艺架构允许器件形成的顺序被重新布置且对器件性能的影响极小。例如，双极基极注入可以在MOS栅极形成步骤之前或之后进行。为了保持自对准的 MOS晶体管特性，LDD注入在栅极形成之后但在侧壁间隔物形成之前，而 N+、P+源极和漏极注入在侧壁形成之后发生。

[0127] 图13示出形成本发明的优选实施例的工艺步骤的顺序。步骤100的衬底材料优选地为具有P型掺杂的硅，P型掺杂要足够低以维持要制造的电压最高器件所要求的最大击穿，并要足够高以避免闩锁，闩锁可以被过大的衬底电阻加剧。在优选的实施例中，衬底不包括外延层，由于外延层的加入会显著增加初始的材料成本。然而，在其它的实施例中，在衬底上包括外延层可以是优选的。

[0128] 在步骤101中，形成浅沟槽掩模，浅沟槽被蚀刻到硅衬底中。这些沟槽优选地与用于将形成的器件之间的隔离的浅沟槽隔离(STI)兼容。例如， STI沟槽可以在0.1-0.5μm宽和0.1-0.5μm深的数量级。STI沟槽的如第一掩模步骤的蚀刻还用于在衬底中形成可见的标记(沟槽图案本身)以用于接下来的掩模层的对准。

[0129] 在此工艺的其它实施例中，浅沟槽可以在形成阱(在步骤105中示出并在下面描述)之后被掩模并蚀刻。在此可选的顺序中，阱掺杂轮廓和结深度可以较少地受到浅沟槽存在的影响。应当指出，浅沟槽隔离并不提供器件之间的完全隔离。然而，在使晶体管彼此横向隔开并防止这些晶体管之间不期望的表面反型和泄漏方面，STI类似于LOCOS场氧化物。然而，STI并不提供器件与下面和周围的衬底区域的完全电隔离。

[0130] 步骤102示出深N型(DN)区域的掩模和注入，深N型区域将形成各隔离袋下方的底隔离区域，使这些袋与衬底垂直隔离。DN掩模可以是具有足够厚度的光致抗蚀剂以阻挡DN

注入。DN注入优选地通过一次或多次高能注入步骤形成，以在衬底的较深处引入相对低阻的层。例如，磷可以以约 3MeV的能量和约1-5×$10^{13}cm^{-2}$的剂量被注入以产生DN区域，该DN区域位于表面以下约2μm处并具有小于500欧姆/方块的薄层电阻。

[0131] 步骤103包括应用第二沟槽注入掩模和将第二组沟槽蚀刻到硅衬底中。这些沟槽优选地比步骤101的沟槽深，从表面至少向下延伸到DN区域以提供隔离袋与衬底的横向隔离。

[0132] 在优选的实施例中，浅沟槽具有比深沟槽浅的深度和窄的宽度。这样，它们可以插入在器件之间且对管芯面积和晶体管堆叠密度产生的不利影响较少。例如，在一个实施例中，深沟槽可以是1.6微米深、0.4微米宽，也就是具有4X的纵横比；而浅沟槽可以是0.2至0.5微米深、仅0.2微米宽，具有仅1X至2.5X的纵横比。较小纵横比的沟槽比较大纵横比的沟槽易于蚀刻和再填充，特别是在负载效应能够影响等离子体或反应离子蚀刻速率和均匀性的高密度处。在上述范围的浅端，STI沟槽的深度足以使N+和P+注入电分离而不重叠或接触，但不足以深到限制较深的双极基极注入的横向范围。在NPN双极器件中，例如，STI沟槽可以然后插入在N+发射极和P+基极接触注入之间，但STI沟槽不足以防止PB基极注入横向重叠在N+集电极注入上，这可能影响器件的基极到集电极的额定击穿电压。相反，如果STI沟槽的深度选择为在所述范围的高端且深于基极注入，则它不能插入在N+发射极和P+基极接触之间，由于它会使PB基极与其P+接触断开。

[0133] 浅沟槽隔离相对于LOCOS场氧化物的一个关键好处是没有鸟嘴，鸟嘴为倾斜的氧化物区域，其以复杂且不期望的方式干扰MOS晶体管操作并最终限制晶体管的堆叠密度。在具有小于0.4微米的宽度的LOCOS场氧化物区域中，来自两侧的鸟嘴侵占导致过度的鸟嘴长度、氧化物变薄、电性能折中和高的应力。浅沟槽隔离的更垂直的轮廓好于LOCOS隔离，特别在小于 0.3微米的尺寸。

[0134] 在本发明的其它实施例中，浅沟槽和/或深沟槽可以整个省去，略过它们的处理步骤。包括超过两种不同的沟槽蚀刻，也在本发明的范围内。

[0135] 在步骤103中，在深沟槽的蚀刻之后，沟槽被再填充。在优选的实施例中，深和/或浅沟槽的宽度根据沟槽的功能而变化。将用电介质完全填充的沟槽可以蚀刻为具有窄的宽度；而较宽的沟槽被使用，如果它们用电介质部分填充并且其余部分用导电材料填充。

[0136] 为了以此方式再填充沟槽，沉积具有良好保形能力的电介质层，例如 TEOS沉积的氧化物。沉积厚度设计为完全再填充窄沟槽，而仅覆盖较宽沟槽的侧壁。例如，0.1微米的厚度可以用于完全再填充0.2微米宽的沟槽并在 0.4微米的宽沟槽的每个侧壁上形成0.1微米的层，从而在宽沟槽中剩下0.2 微米宽的空间。电介质层可以然后被回蚀，优选地通过反应离子蚀刻技术，以从宽沟槽的底部完全去除电介质。可选的注入可以引入到在每个宽沟槽的底部处的开口中。由于衬底仅在宽沟槽的底部处暴露，所以不需要掩模层。此注入优选地为高剂量、低能量的N型注入，例如磷以30keV和1×$10^{15}cm^{-2}$被注入，其可以改善从导电填充(下面描述)到DN底隔离区域的接触。

[0137] 然后沉积导电层以完成宽沟槽的再填充。此层优选是高导电且保形的，例如原位掺杂的多晶硅。然后该结构被平坦化回到衬底的原始表面，优选地通过化学机械抛光(CMP)。

[0138] 图13中的步骤104示出在完成沟槽蚀刻、再填充和平坦化之后可选地进行DN掩模

和注入。此流程相比于步骤102中的DN工艺具有以下优点，DN区域不受到与沟槽蚀刻、再填充和平坦化步骤相关的额外处理和热预算的影响。步骤104还示出可选的深P型(DP)区域的掩模和注入，其优选地使用硼的高能注入来形成。在优选的实施例中，DP区域被注入得足够深，使得它基本上不改变上面的器件的表面浓度。例如，用于DP区域的注入剂量可以在1E12cm^{-2}至1E14cm^{-2}的范围内，但通常在5E12cm^{-2}至5E13cm^{-2}的范围内。

[0139] 图13的步骤105示出高电压漂移区域(HVN)的形成，其优选地以达到或者甚至超过最深N型阱注入的能量来被掩模和注入，例如使用磷并以高达3MeV的能量注入。HVN注入剂量能够被优化以用于构造高电压晶体管。总的注入电荷可以例如在1E12cm^{-2}至1E14cm^{-2}的范围内。此步骤还示出可选的P型区域(PBD)的掩模和注入以形成高电压晶体管的体。PBD注入可以包括不同能量的多次注入以优化高电压晶体管的阈值电压、击穿电压和性能。

[0140] 步骤106示出互补阱的形成，包括一系列的掩模步骤和注入，而随后没有高温扩散并且掺杂剂分离极少。预注入氧化物可以在注入之前在低温(例如，850℃至900℃)下热生长至几百埃的厚度，以最小化表面污染。一个预注入氧化物可以用于几个阱的注入而无需剥离和再生长氧化物。超过一个的 P型和N型阱可以形成在不同区域中以便于制造不同电压的器件。

[0141] 第一P型阱(PW1)可以使用硼的链式注入形成，硼的链式注入将导致非单调或非高斯的掺杂浓度轮廓，其可以包括至少顶部分PW1A和掩埋的或较深的部分PW1B，或者包括具有不同能量和剂量的注入的任意数目的区域。较深部分PW1B可以形成得比较上的阱部分PW1A以较重的剂量注入并具有较高的浓度。

[0142] 第二P型阱(PW2)也可以使用硼的链式注入形成，硼的链式注入导致非单调或非高斯的掺杂浓度轮廓，其可以包括至少顶部分PW2A和掩埋的或较深的部分PW2B，或者包括具有不同能量和剂量的注入的任意数目的区域。较深部分PW2B可以形成得比较上的阱部分PW2A以较重的剂量注入并具有较高的浓度。PW1和PW2的浓度和掺杂轮廓可以是不相似的，并能够针对不同的电压器件来优化。例如，PW1可以针对构造1.5V的NMOS晶体管来优化，而PW2可以针对制造12V的NMOS晶体管来优化。在此情形下， PW1的平均浓度可以高于PW2的平均浓度。

[0143] 以类似的方式，第一N型阱(NW1)可以使用磷的链式注入形成，磷的链式注入导致非单调或非高斯的掺杂浓度轮廓，其可以包括至少顶部分 NW1A和掩埋的或较深的部分NW1B，或者包括具有不同能量和剂量的注入的任意数目的区域。较深部分NW1B可以形成得比较上的阱部分NW1A以较重的剂量注入并具有较高的浓度。

[0144] 类似地，第二N型阱(NW2)可以使用磷的链式注入形成，磷的链式注入导致非单调或非高斯的掺杂浓度轮廓，其可以包括至少顶部分NW2A 和掩埋的或较深的部分NW2B，或者包括具有不同能量和剂量的注入的任意数目的区域。较深部分NW2B也可以形成得比较上的阱部分NW2A以较重的剂量注入并具有较高的浓度。NW1和NW2的浓度和掺杂轮廓是不相似的，并能够针对不同的电压器件来优化。例如，NW1可以针对构造1.5V的PMOS 晶体管来优化，而NW2可以针对制造12V的PMOS晶体管来优化。

[0145] 应用模块化的原理，能够添加额外的P型和N型阱，而不影响其它的集成器件。在优选的实施例中，前述阱被注入到不比DN底隔离层深的深度。因此，位于DN区域上方的P型阱应当基本上不增加DN区域的薄层电阻或不显著减小DN区域的隔离有效性。

[0146] 步骤107示出互补双极晶体管的基极区域的形成。例如，NPN基极区域 (PB)可以通过硼的掩模和注入而引入。类似地，PNP基极区域(NB)可以通过磷的掩模和注入而引入。基极注入可以包括单次注入或链式注入。在链式注入的基极区域的一个示例中，较浅部分可以更重地掺杂并用于减小基极电阻，而较深部分可以被更浅地掺杂并渐变以优化器件的电流增益厄利电压。双极晶体管可以使用多晶硅或注入的发射极形成。

[0147] 步骤108示出CMOS晶体管的栅极的形成。单个、双或多个栅极氧化物可以被形成，以构造为不同操作电压而优化的各器件。在双栅极氧化物工艺中，例如，第一氧化物可以以较低的温度(例如，850℃至900℃)生长至给定的厚度x_{ox1}。然后，在期望较薄的栅极氧化物的区域中，氧化物被掩模并去除，通常通过HF酸蚀刻。在蚀刻期间必须注意，不从电介质填充的沟槽显著地去除氧化物，这通过在蚀刻工艺期间覆盖它们或者通过限制蚀刻时间来实现。或者，如通过引用结合于此的于2005年12月9日提交的申请 No.11/298,075所述的，加盖沟槽(capped trench)可以用于减轻沟槽氧化物的腐蚀。

[0148] 在第一栅极氧化物被从选择的有源区域去除之后，整个晶片可以被氧化第二时间以在第二次氧化时不存在氧化物的区域中生长具有厚度$x_{ox(thin)}$的第二栅极氧化物。在第二栅极氧化物之前保留有氧化物的区域中，氧化物从其初始厚度x_{ox1}生长到由两个依次的氧化导致的新厚度$x_{ox(thick)}$。

[0149] 在此双氧化物工艺中，较厚的氧化物可以用于支持较高栅极电压的器件，例如350Å栅极氧化物可以用于12V的器件。较薄的氧化物可以用于支持较低栅极电压的器件，例如125Å氧化物可以用于5V的器件。

[0150] 在单个或多个栅极氧化物形成之后，沉积单个栅极多晶硅层。在一个实施例中，栅极多晶硅层可以被原位掺杂地沉积。栅极多晶硅可以然后用难熔金属诸如铂、钛或钨覆盖以形成低阻的硅化物。然后栅极可以被掩模并蚀刻。

[0151] 在另一实施例中，栅极多晶硅层可以不掺杂地沉积，然后用毯式注入轻掺杂并被掩模和蚀刻。此层的区域可以被保护而免于接着的掺杂并用于形成高数值的电阻。在此实施例中，栅极多晶硅层可以在工艺的稍后阶段被掺杂，使用与形成NMOS或PMOS器件的源极和漏极区域相同的N+或P+注入。然后，栅极多晶硅的某些部分可以被诸如氧化物的层保护，并且被暴露的多晶硅区域可以用难熔金属覆盖以形成自对准(到保护层)的硅化物区域。

[0152] 在另一实施例中，较厚的栅极氧化物可以被生长并用第一多晶硅层覆盖，第一多晶硅层被原位掺杂并接着被掩模和蚀刻。不期望的厚栅极氧化物区域可以然后被去除。薄栅极氧化物可以然后被生长并用第二多晶硅层覆盖，该第二多晶硅层未掺杂并接着被掩模和掺杂以形成P型和N型多晶硅区域。然后，第二多晶硅层可以用难熔金属覆盖并反应以形成硅化物，然后被掩模和蚀刻以形成低电压栅极。在此可选的流程中，较高电压的厚栅极器件并不具有硅化物，因而较高电压的厚栅极器件的最大开关速度可以较低。此流程的一个优点是它可以在第一和第二多晶硅层之间形成多晶硅与多晶硅 (poly-to-poly)的电容器。

[0153] 在可选的流程中，步骤107的基极注入可以在栅极氧化步骤之后引入，这具有如下优点，如果氧化在基极注入之前，则栅极氧化工艺对基极掺杂轮廓没有影响。此流程对于多晶硅发射极双极晶体管的形成特别有利，其中为了高频操作基极必须非常浅。

[0154] 步骤109示出可选的P型倾斜体(PTB)的形成，P型倾斜体使用大角度倾斜注入(LATID)并通过掩模而被引入。为了形成N沟道横向DMOS 的体，例如，在1E13cm^{-2}至5E14cm^{-2}范围内的硼注入可以以45度的角度引入，从而穿透进入多晶硅栅极下面的硅。为了保证所有取向的栅极的均匀性，晶片应当在离子注入期间被机械地旋转。LATID工艺允许PTB区域的形成，该PTB区域自对准到多晶硅栅极边缘并具有相对大的栅极暴露(例如，0.3-0.6微米)，而无需长时间的扩散以将PTB扩散到栅极下方(相反，它通过LATID注入在栅极下方)。步骤109还示出各轻掺杂漏极(LDD)区域的形成，其被依次掩模和注入。多个LDD区域可以被形成并针对包括在给定模块化流程中的每种CMOS器件而被优化。例如，用于较低电压CMOS器件的较重掺杂的LDD区域(NLDD1和PLDD1)可以与用于较高电压器件的分离的较浅掺杂的LDD区域(NLDD2和PLDD2)一起形成。

[0155] 在LDD注入之后，步骤110示出使用常规方法形成侧壁间隔物，该常规方法诸如为沉积厚氧化物或其它间隔层，接着各向异性蚀刻以从所有区域去除间隔层，除了沿着被蚀刻的栅极多晶硅区域的侧壁之外。步骤110还示出N+、P+源极和漏极注入的形成。这些被单独地掩模并通常分别使用砷和 BF_2进行注入。还可以引入可选的额外注入以改善ESD性能。在优选的实施例中，如上所述，N+和P+注入还用于掺杂NMOS和PMOS器件上方的暴露的多晶硅栅极区域，从而在每个器件类型中提供相同掺杂类型的栅极多晶硅和源极和漏极区域。掩模层诸如氧化物还可以被沉积、掩模和蚀刻，从而自对准的硅化物可以然后形成在栅极多晶硅和/或源极和漏极区域的未掩模区域上。

[0156] 步骤111示出使衬底与其上的金属层隔开的第一层间电介质层(ILD) 的形成。该层优选地是二氧化硅或另一合适的电介质，具有在0.3-1.0微米的范围内的厚度。在高频多晶硅发射极双极晶体管将被包括在给定工艺流程的情形下，在ILD中打开多晶硅发射极窗口，并沉积多晶硅。多晶硅可以原位掺杂，或者不掺杂地沉积并接着被掩模和离子注入，以形成P型和N型的多晶硅发射极。然后，晶片使用快速热退火(RTA)工艺退火以激活注入的掺杂剂。除了沟槽再填充、栅极氧化和多晶硅沉积工艺之外，此步骤包括了工艺的热预算的相当一部分。此特征与更隔离的IC工艺相比是独特的，更隔离的IC工艺具有与隔离和阱形成相关的基本高温处理。RTA循环可以包括例如以1000-1100℃的温度进行几秒至几分钟的时间。

[0157] 步骤112示出多层互连的形成。互连工艺从第一ILD的接触掩模和蚀刻开始，接着是接触插塞形成，优选地使用诸如钨的难熔金属的沉积和平坦化。使用例如铝、铜或合金来沉积第一金属化层。金属化层还可以包括一个或多个下面的阻挡层以及一个或多个上面的阻挡层以改善粘附性、接触电阻或光处理。总的金属堆叠厚度取决于要被蚀刻的最小线宽，但通常可以为1.0微米或更小。第一金属化层被掩模和蚀刻。ILD和金属化层的额外的层以类似的方式沉积并蚀刻，以提供所需数目的互连层。

[0158] 在步骤113，诸如硅氧化物或硅氮化物的钝化层被沉积、掩模和蚀刻以定义接合焊盘开口。或者，可以沉积另一电介质层来代替钝化层，并蚀刻最终的通孔掩模。然后，可选的第四层金属可以被沉积并用于为凸块组装而使焊垫位置均匀地分布在芯片上，通常在0.5mm的中心以规则的栅格阵列进行分布。为此，金属能够被称作RDL或再分布层。然后，焊垫掩模被沉积和蚀刻在凸块位置，三层夹置的薄金属被沉积，例如包括作为欧姆接触层的钛、接着是作为阻挡层的镍、最后是作为可焊接金属的银。然后银焊凸块被镀覆在晶片上，

完成的晶片准备划片。

[0159] 这里描述的实施例是说明性的而不是限制性的。通过这里的描述，在本发明的宽范围内的大量可选实施例对于本领域技术人员将是显然的。

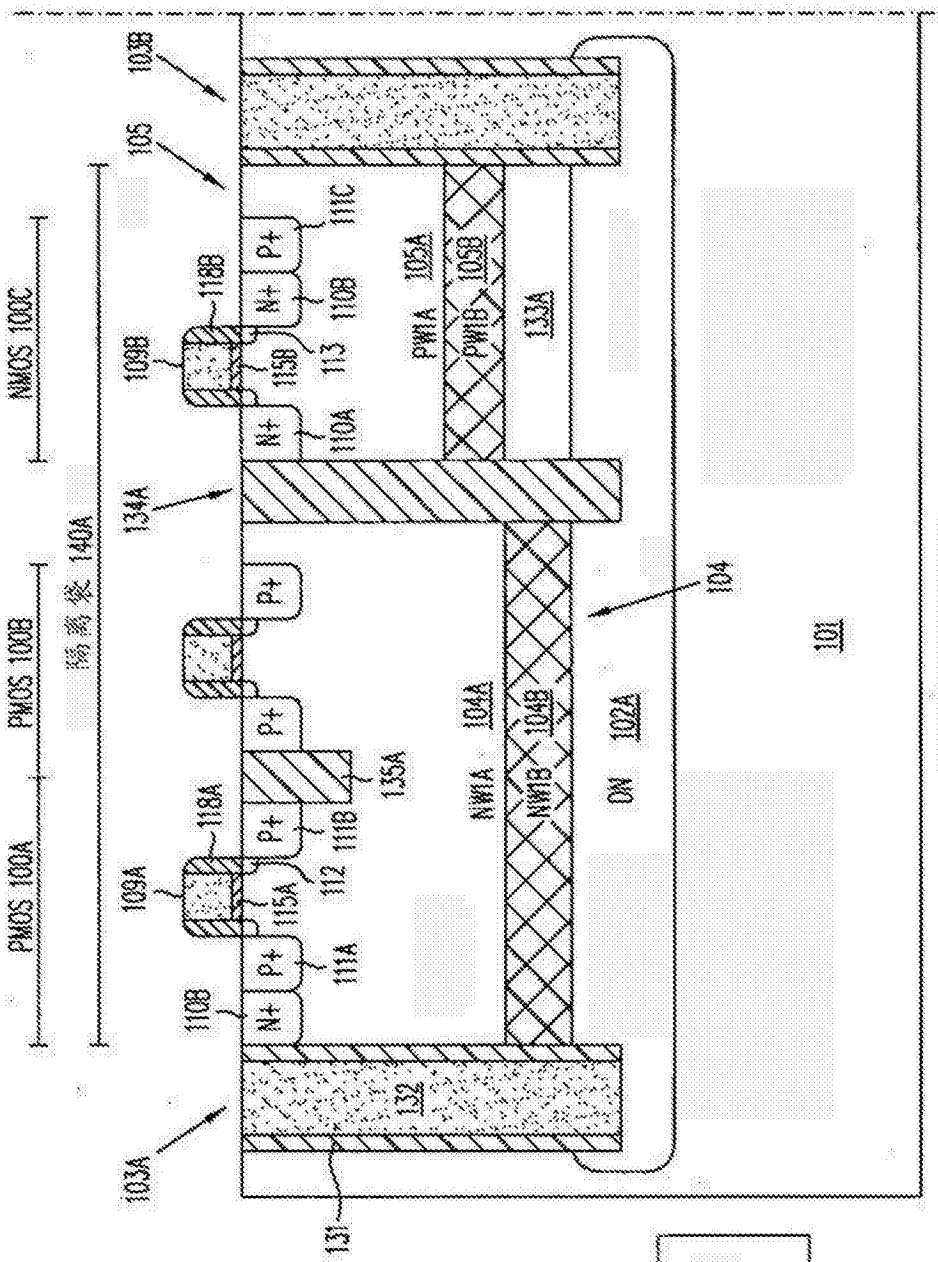
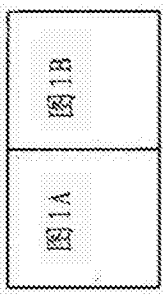

103B
105
NMOS 100C
PMOS 100B
PMOS 100A
隔离栅 140A
111C
P+
118B
N+
110B
109B
115B
113
PW1A
105A
PW1B
105B
133A
110A
134A
104
P+
P+
P+
118A
135A
109A
115A
112
111B
111A
108
N+
NW1A
104A
NW1B
104B
OW
102A
101
132
103A
131

图 1A


图1A
图1B

拼接

图 1

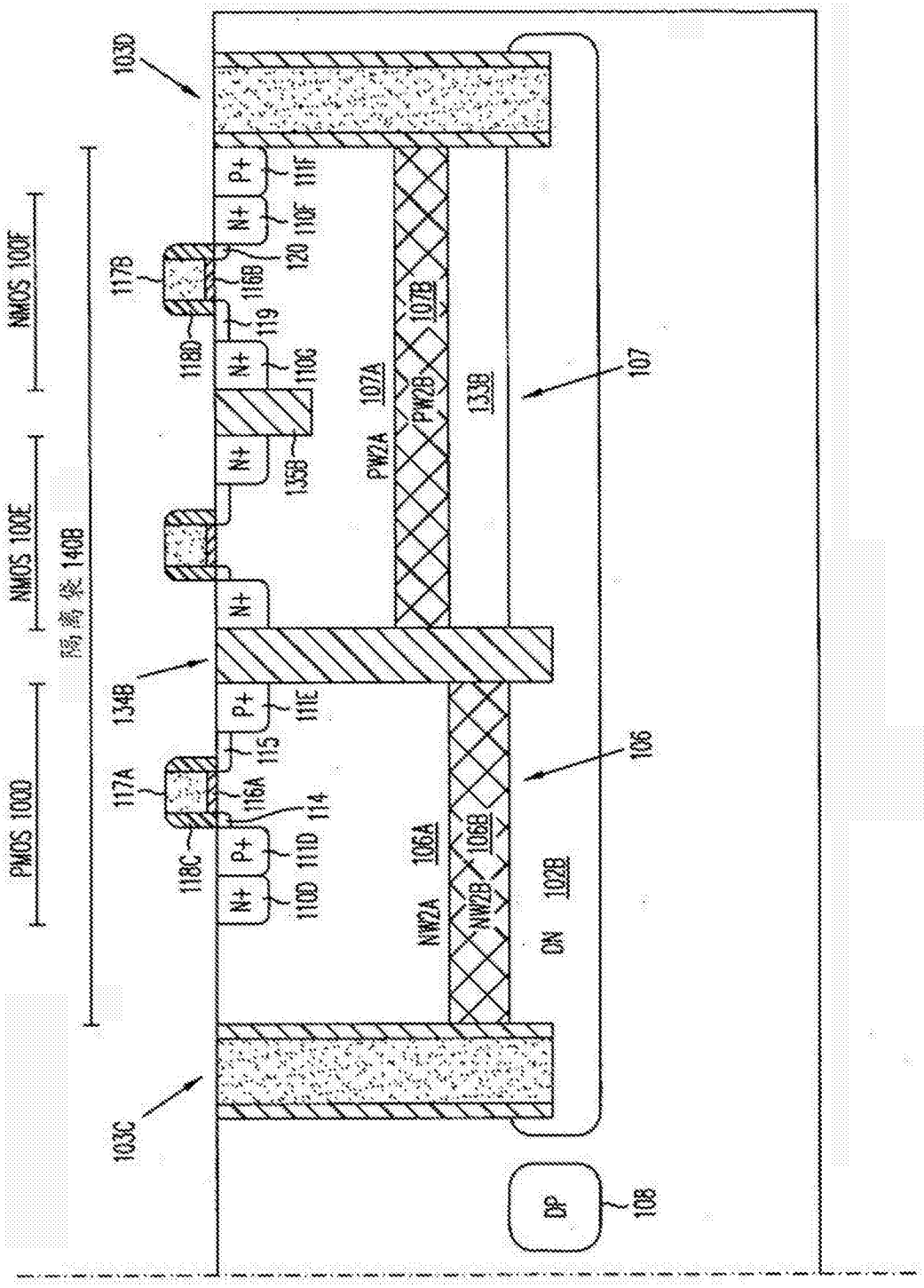

103D
P+
111F
N+
110F
120
116B
117B
119
118D
N+
110G
107B
PW2A
107A
PW2B
133B
107
N+
135B
NMOS 100F
NMOS 100E
隔离袋 140B
N+
134B
P+
111E
115
106
117A
116A
114
118C
P+
111D
106A
106B
N+
110D
NW2A
NW2B
CW
102B
103C
DP
108
PMOS 100D

图1B

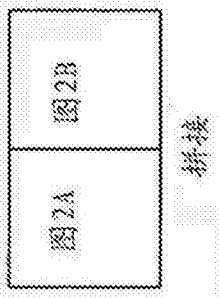

图 2B
图 2A
拼接

图2

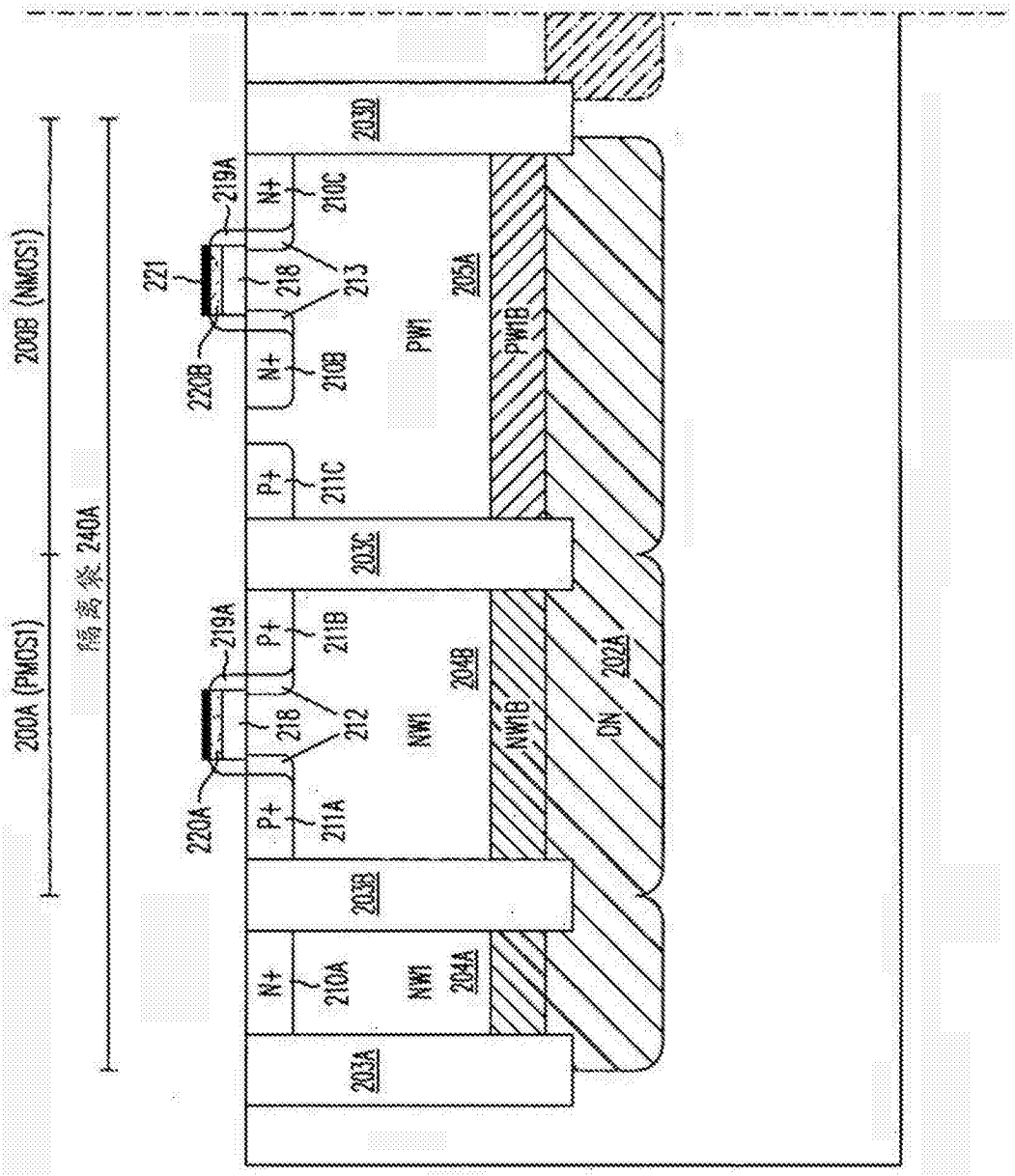

200B (NMOS1)
200A (PMOS1)
隔离条 240A
203D
219A
N+
210C
221
218
213
205A
PW1
222B
N+
210B
PW1B
P+
211C
203C
219A
P+
211B
218
212
204B
NW1
220A
P+
211A
NW1B
CN
202A
203B
N+
210A
NW1
204A
203A

图2A

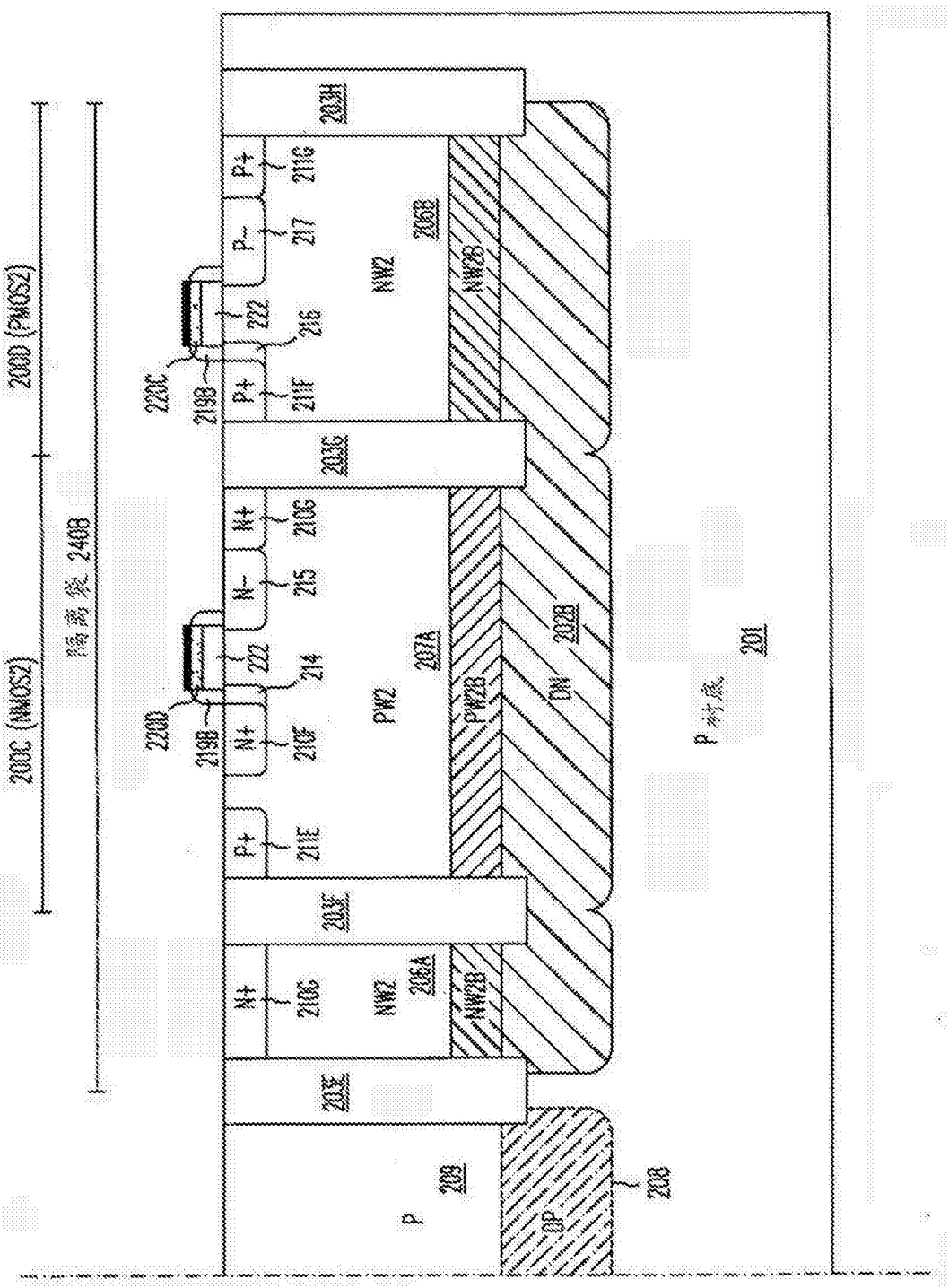

203H
P+
211G
P-
217
206B
NW2
NW2B
222
216
220C
219B
211F
203G
N+
210G
N-
215
202B
220D
214
219A
210F
PW2
207A
PW2B
DW
P 衬底
201
211E
203F
210G
206A
203E
P
209
DP
210B
200D (PMOS2)
200C (NMOS2)
隔离环 240B

图2B

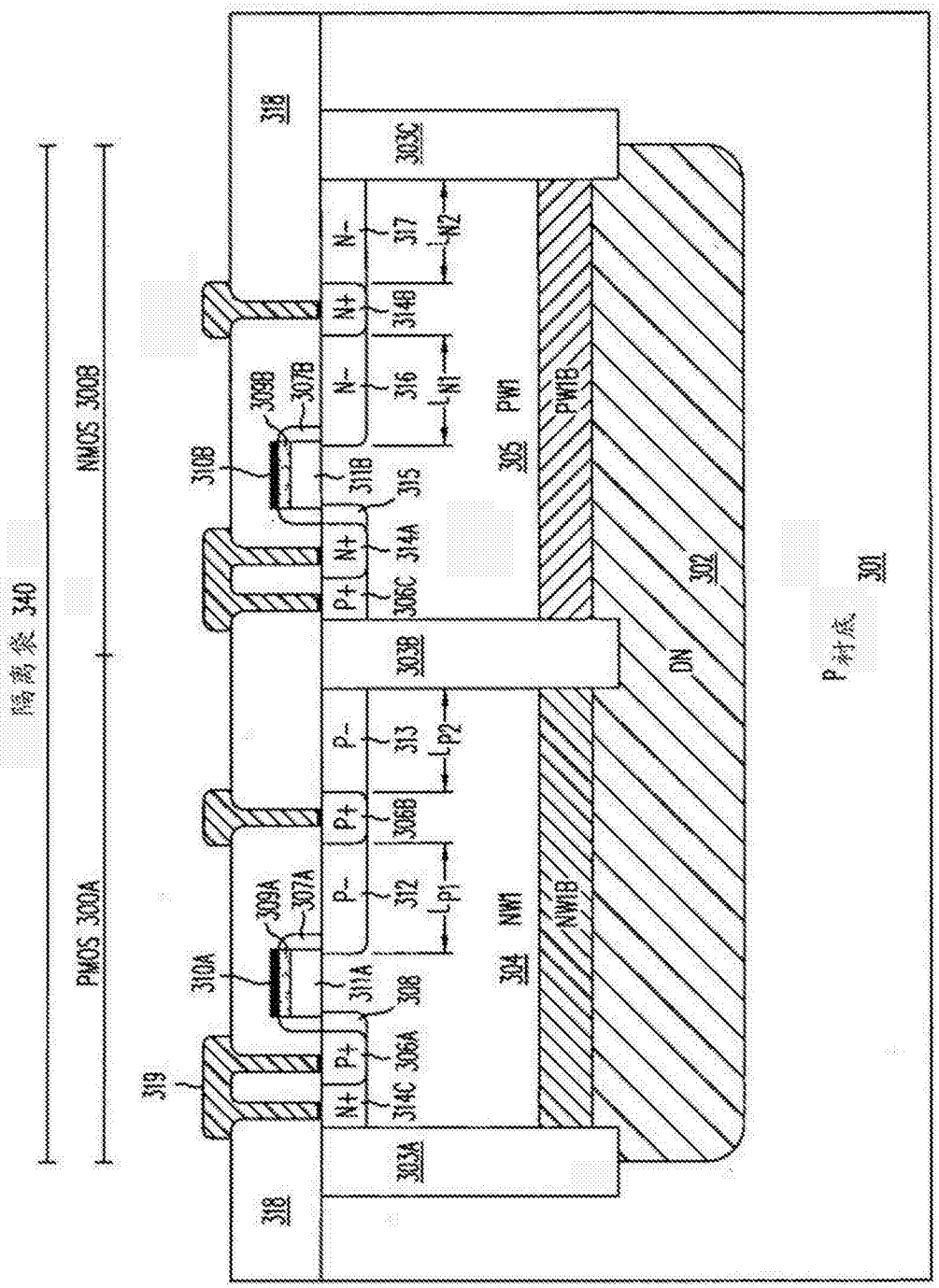

隔离环 340
NMOS 300B
PMOS 300A
319
318
303A
303C
303B
N+
N-
P+
P-
314C
314B
314A
306C
306B
306A
317
316
315
313
312
311A
311B
310A
310B
308
307A
307B
309A
309B
W2
W1
P2
P1
304
305
PWW
NWW
PWW
NWW
302
DN
P衬底
301

图3

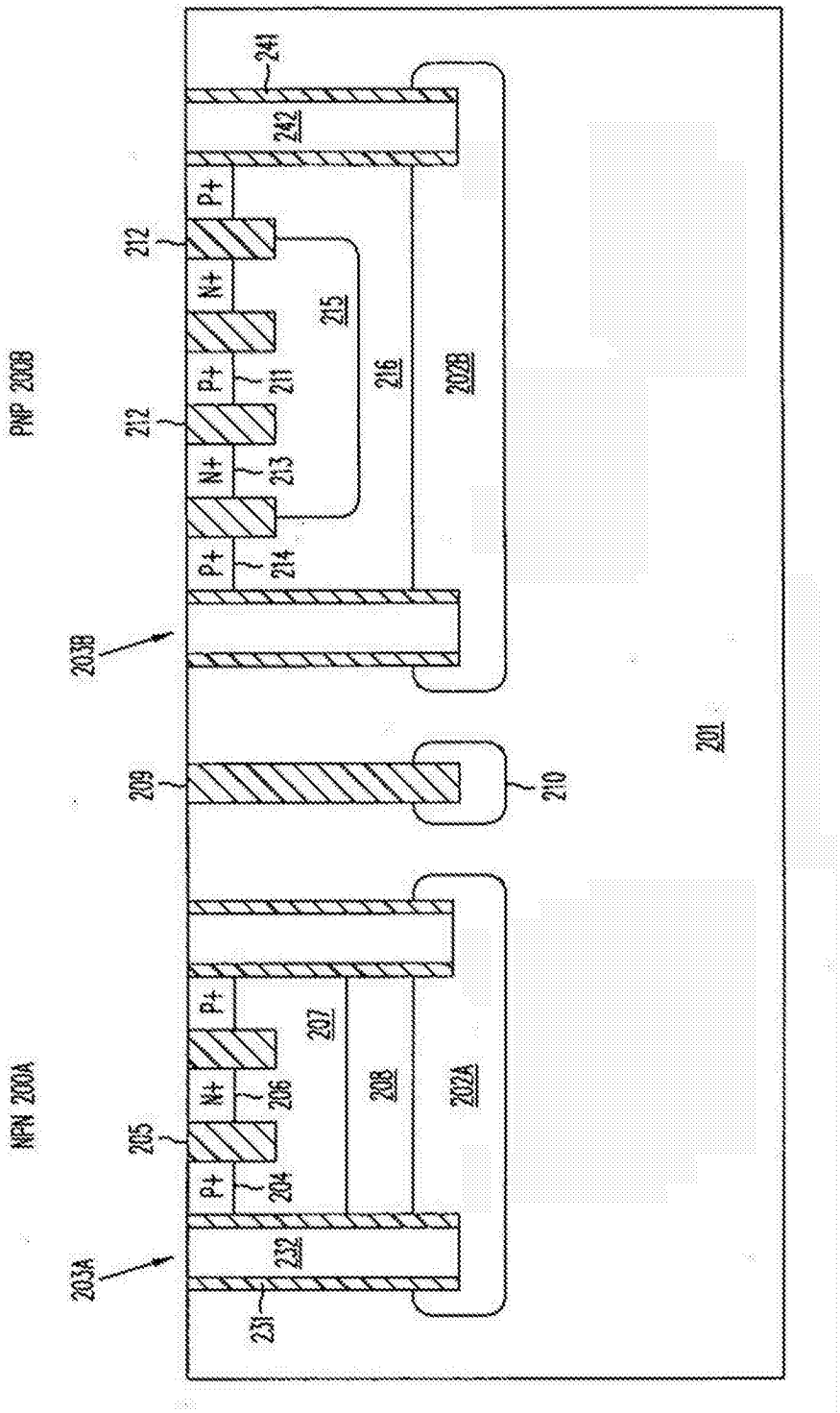

241
242
P+
212
N+
215
P+
211
216
202B
PNP 200B
212
N+
213
P+
214
203B
201
209
210
P+
207
N+
206
208
202A
205
NPN 200A
P+
204
232
203A
231

图4

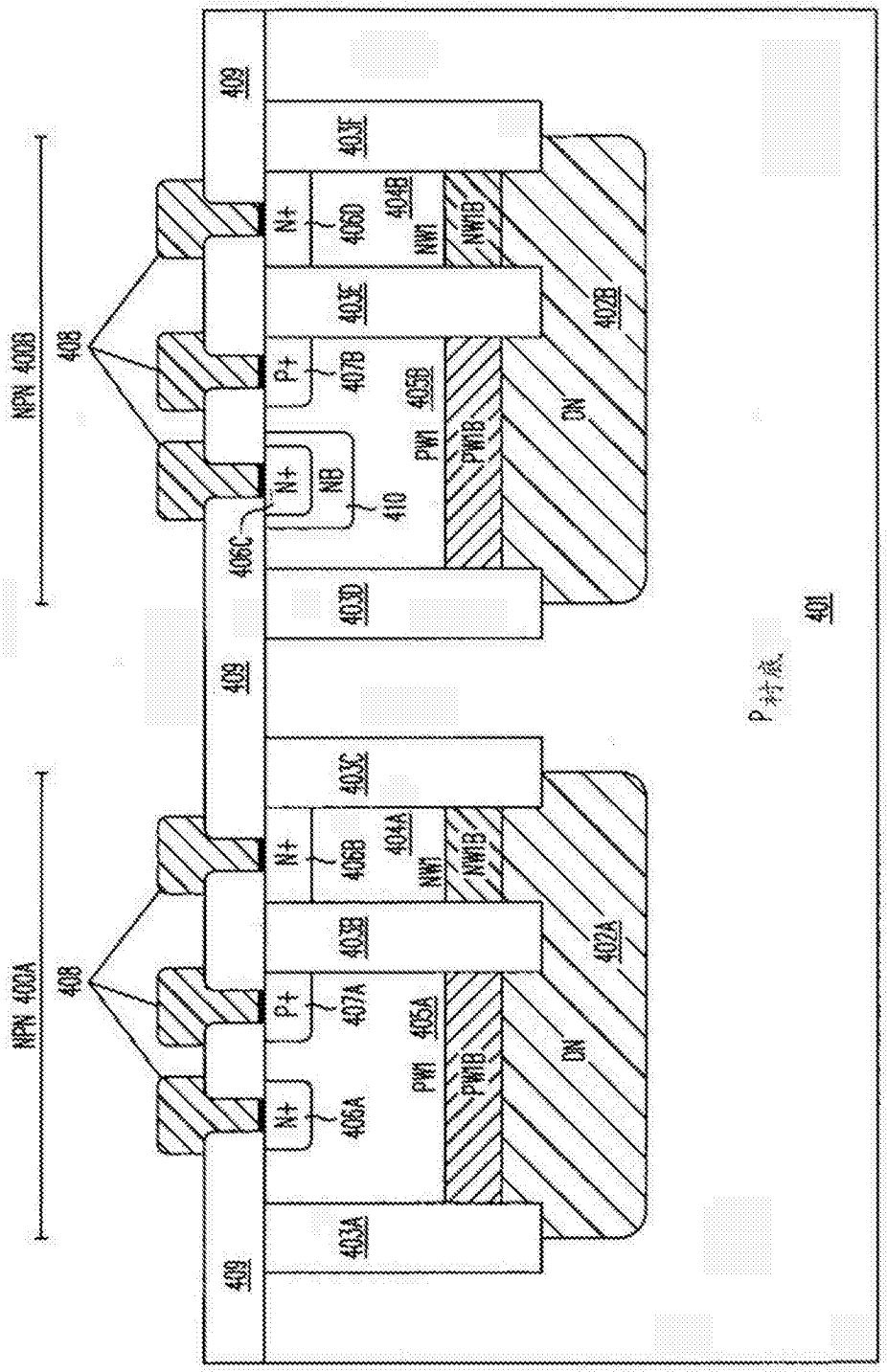

NPN 400B
NPN 400A
408
409
401
402B
402A
403E
403D
403C
403B
403A
405B
405A
404B
404A
406B
406A
406C
407B
407A
410
N+
P+
NB
NW
PW
NWB
PWB
DW
P衬底

图5

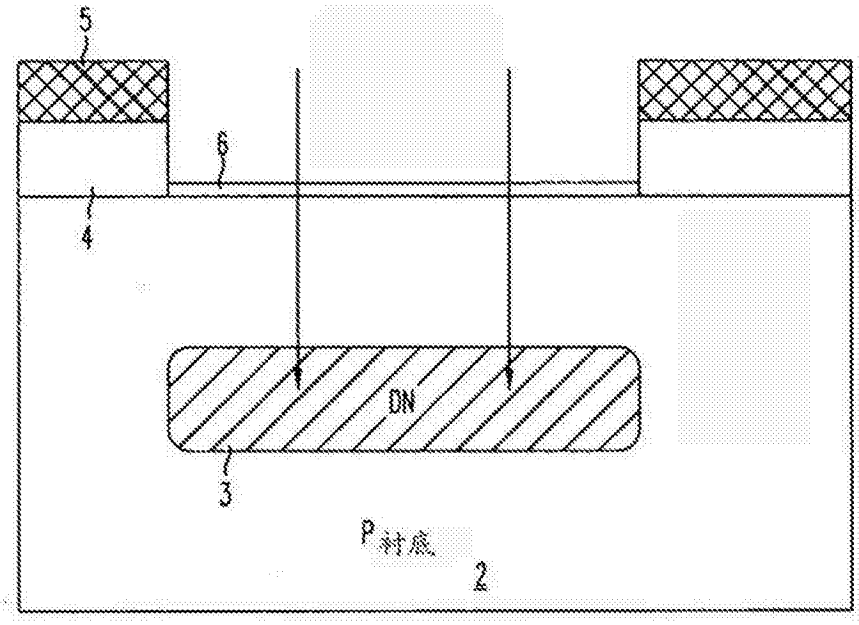


图6A

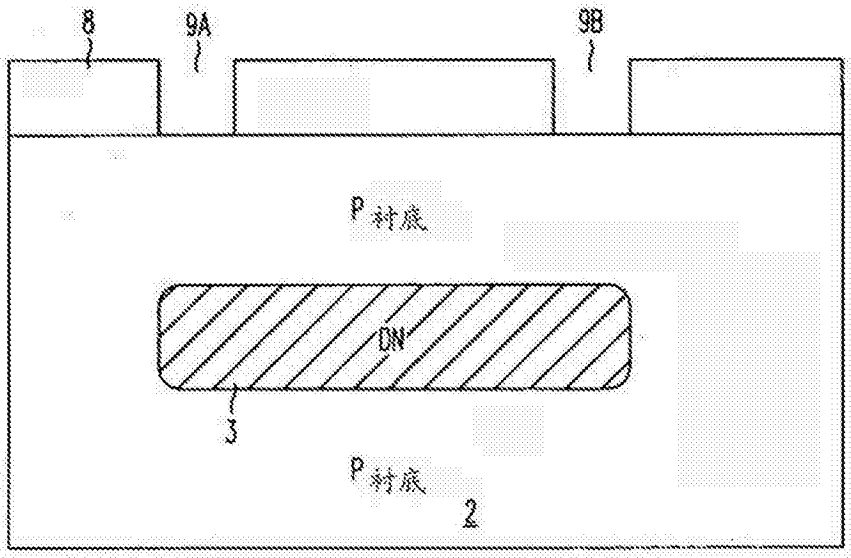


图6B

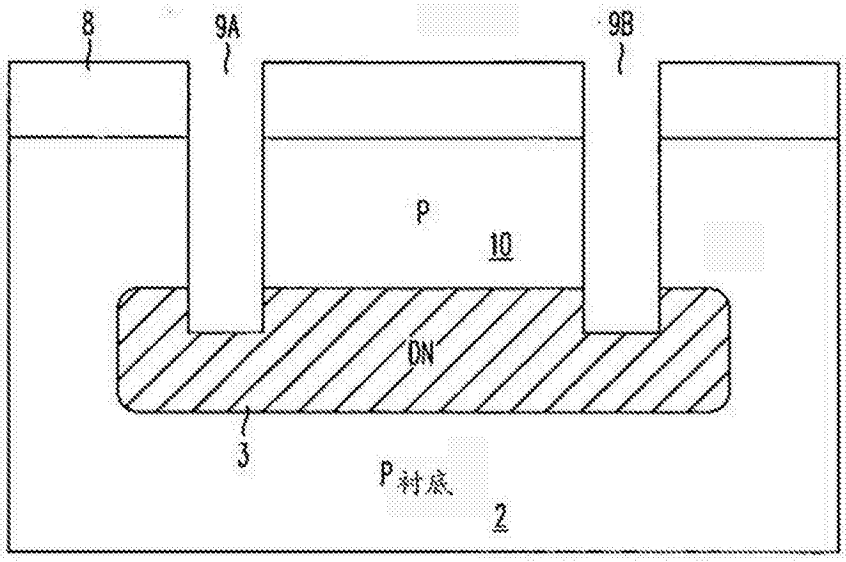


图6C

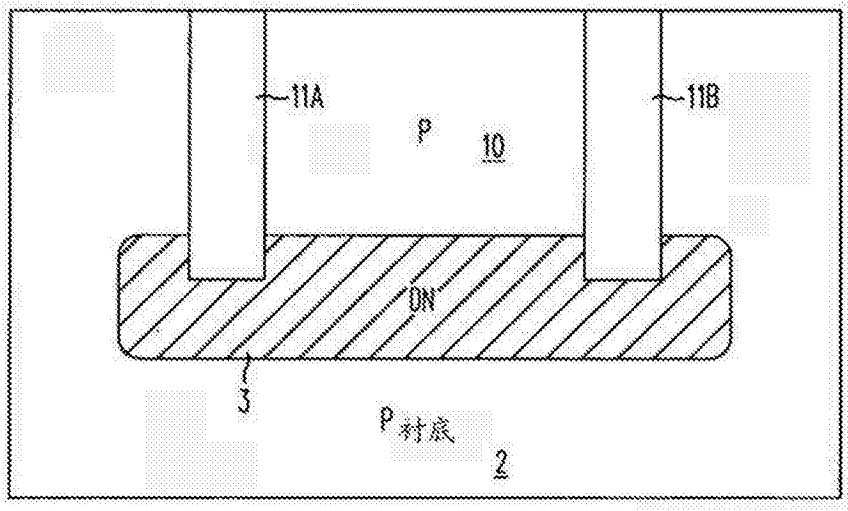


图6D

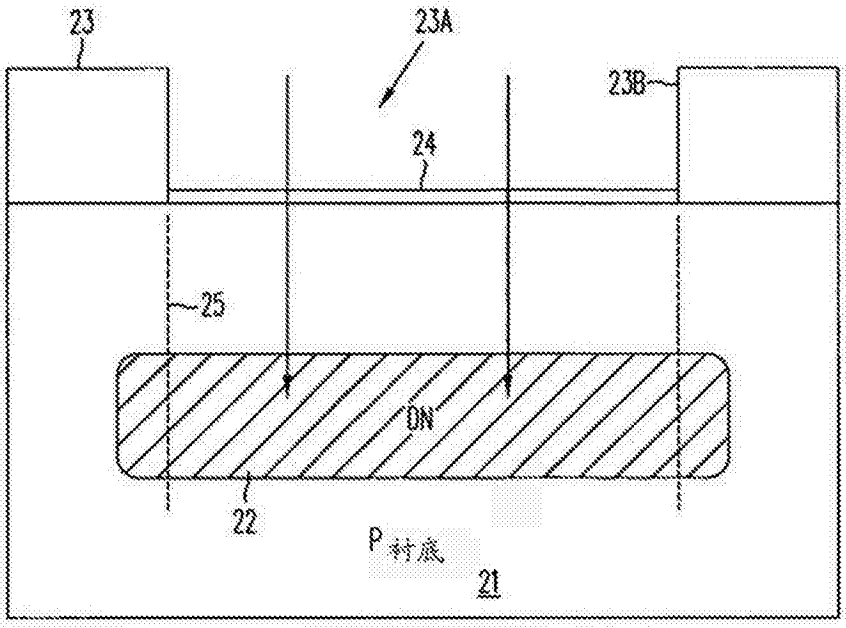


图7A

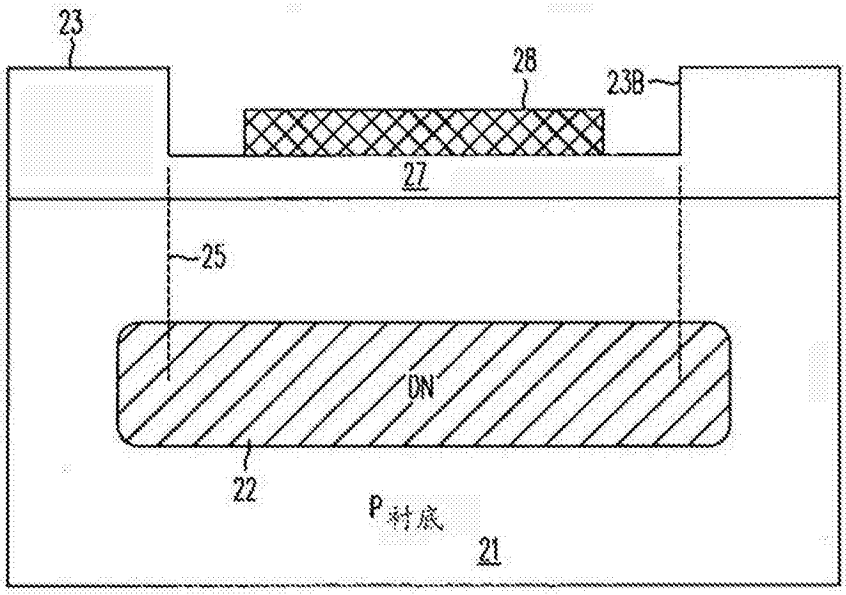


图7B

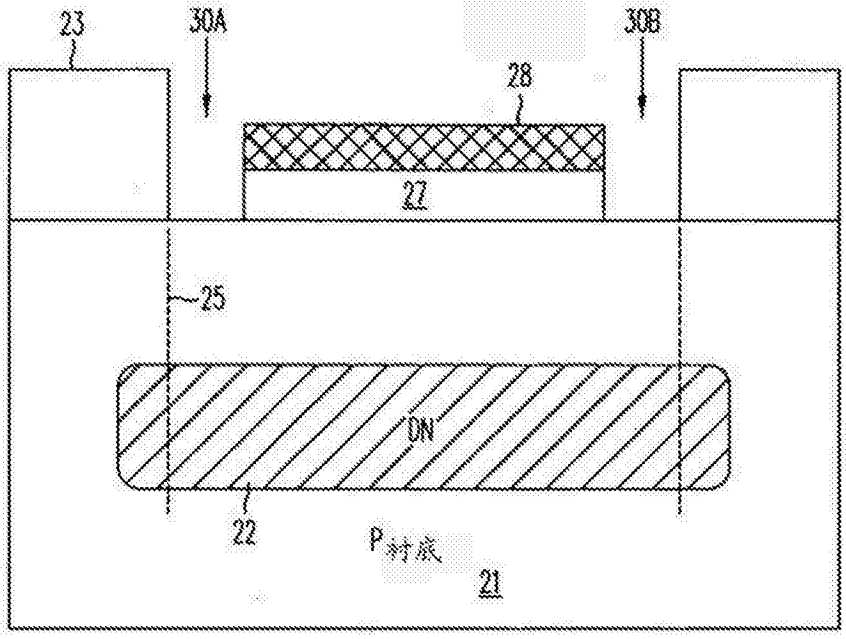

23
30A
30B
28
27
25
DN
22
P衬底
21

图7C

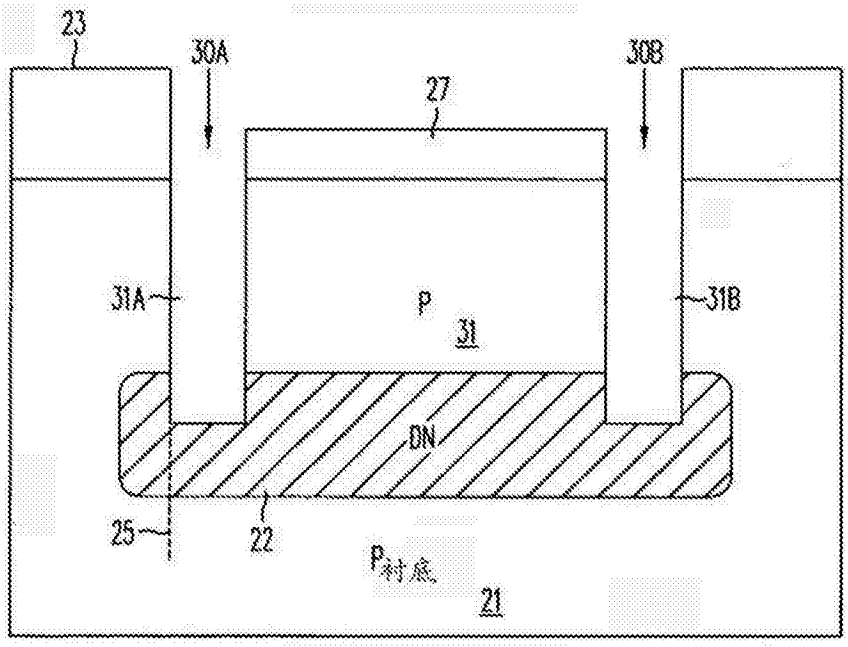

23
30A
30B
27
31A
P
31
31B
DN
25
22
P衬底
21

图7D

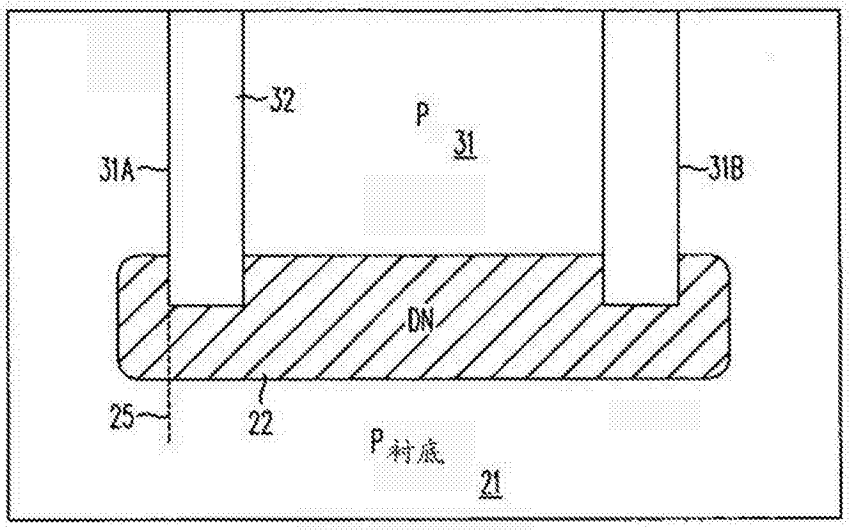


图7E

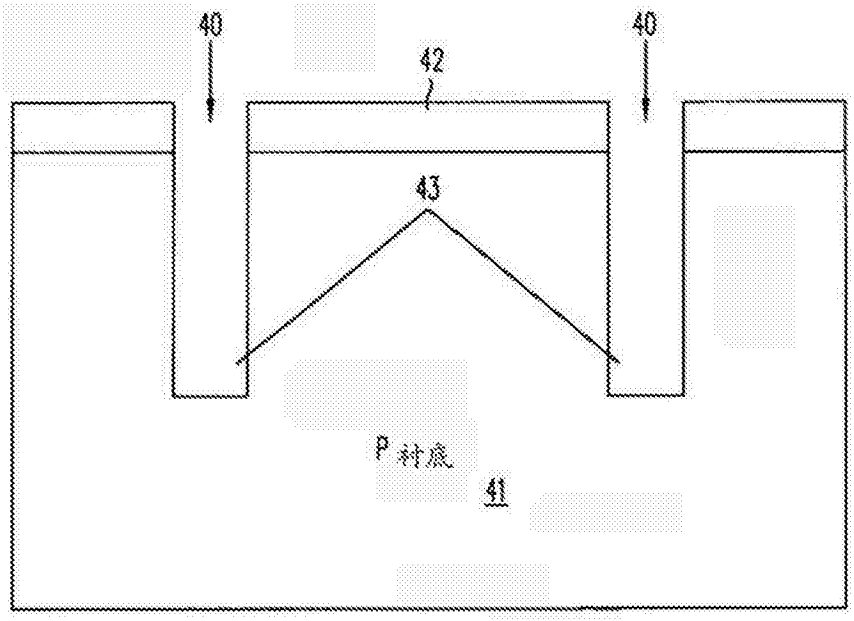


图8A

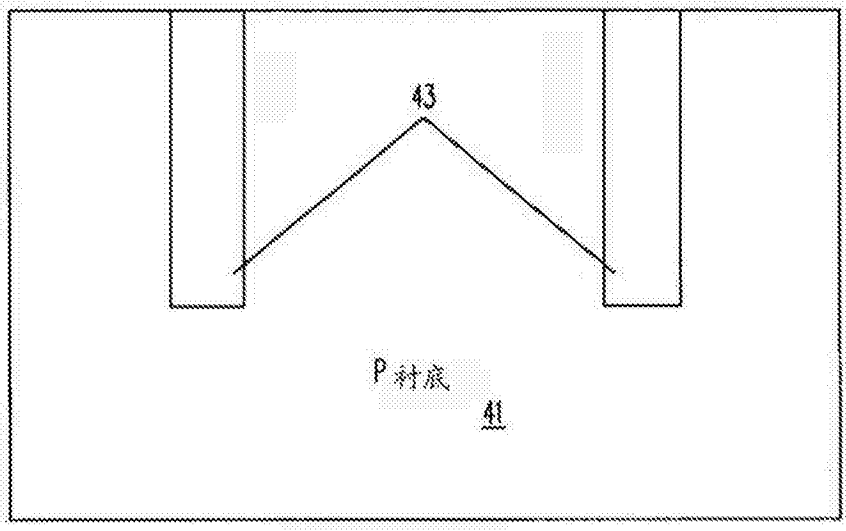


图8B

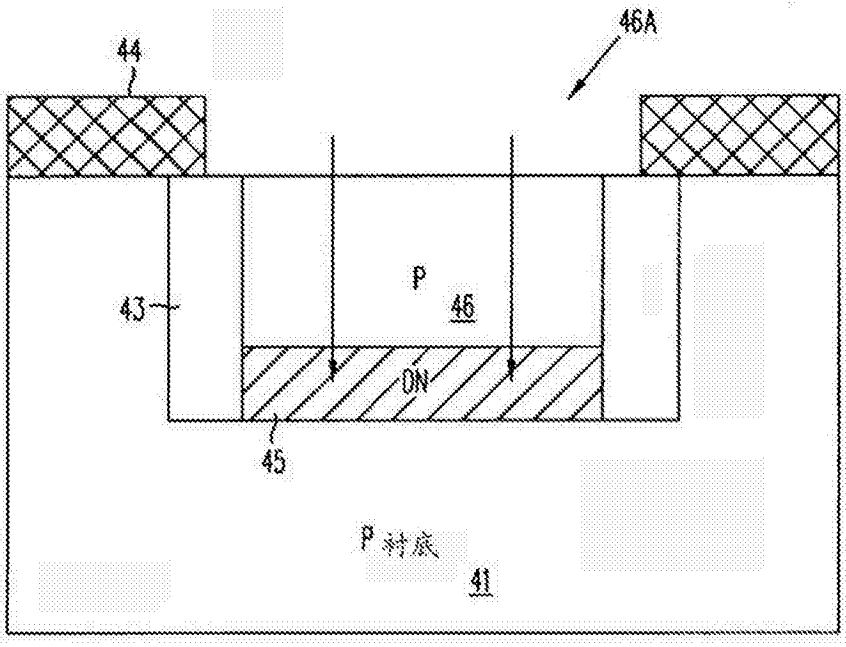


图8C

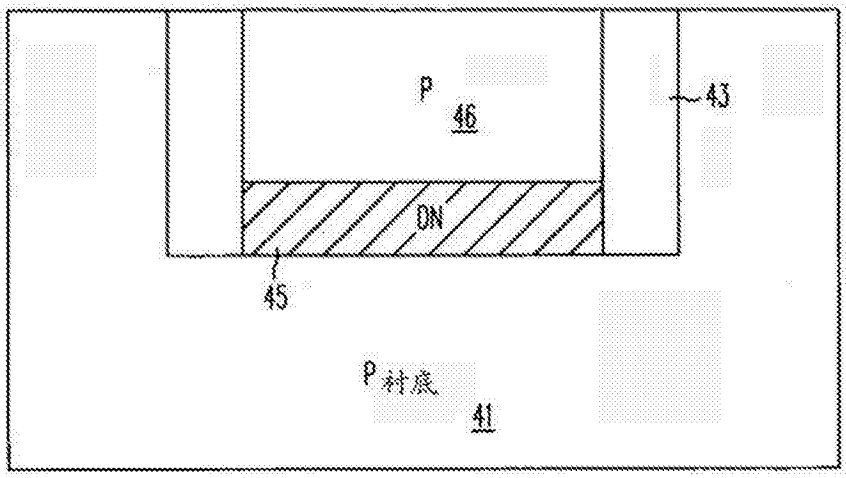


图8D

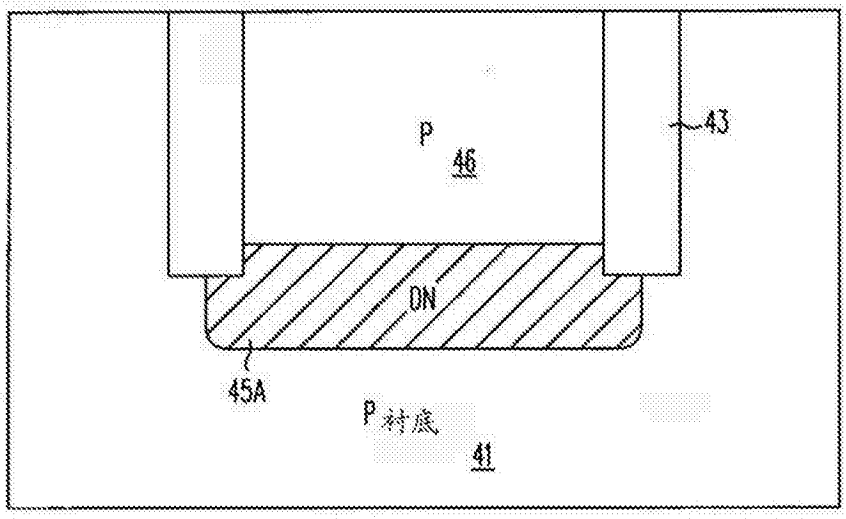


图8E

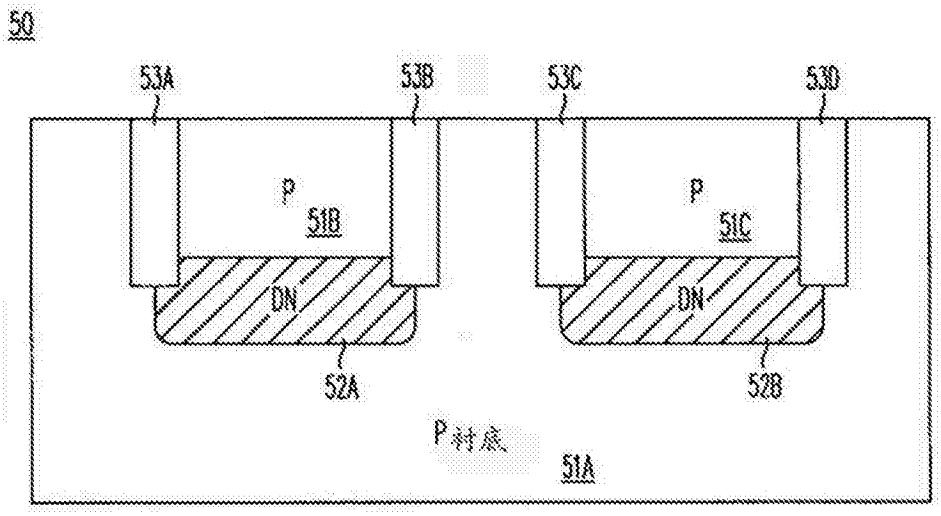

50
53A
53B
53C
53D
P
51B
P
51C
DN
DN
52A
52B
P衬底
51A

图9A

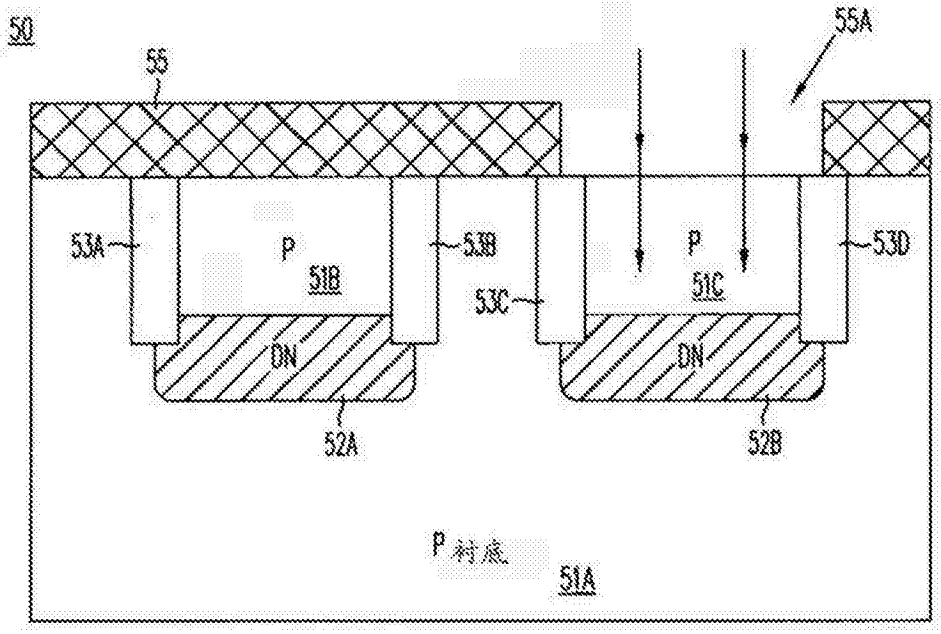

50
55
55A
53A
P
51B
53B
53C
P
51C
53D
DN
DN
52A
52B
P衬底
51A

图9B

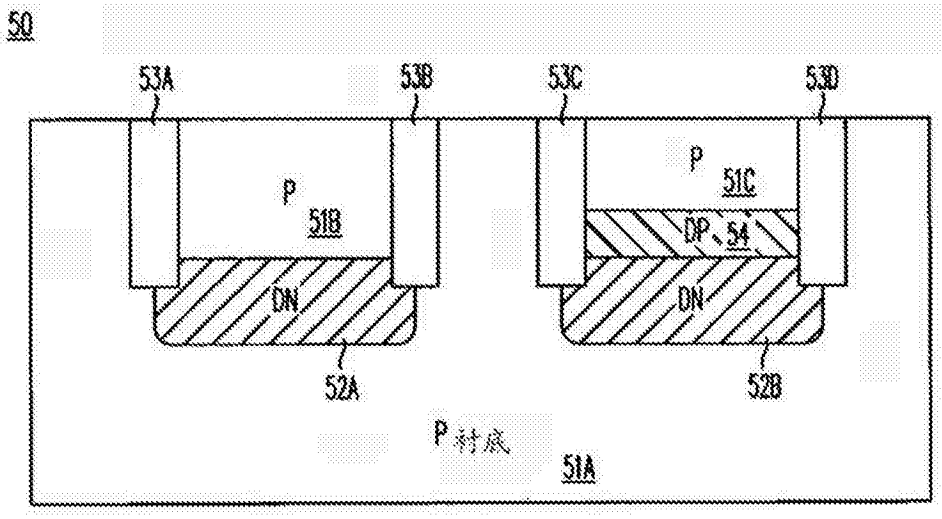

50
53A
53B
53C
53D
P
51B
P
51C
DP、54
DN
DN
52A
52B
P 衬底
51A

图9C

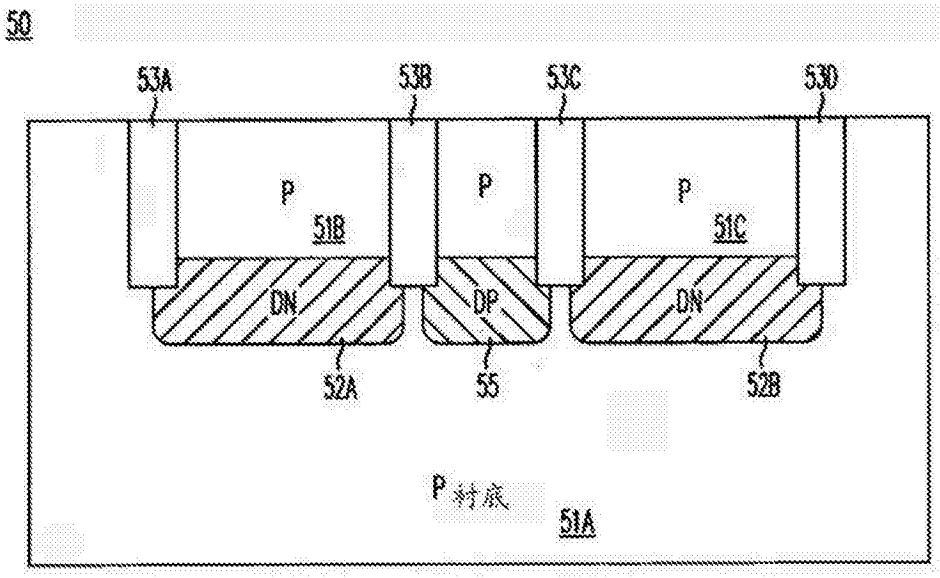

50
53A
53B
53C
53D
P
51B
P
P
51C
DN
DP
DN
52A
55
52B
P 衬底
51A

图9D

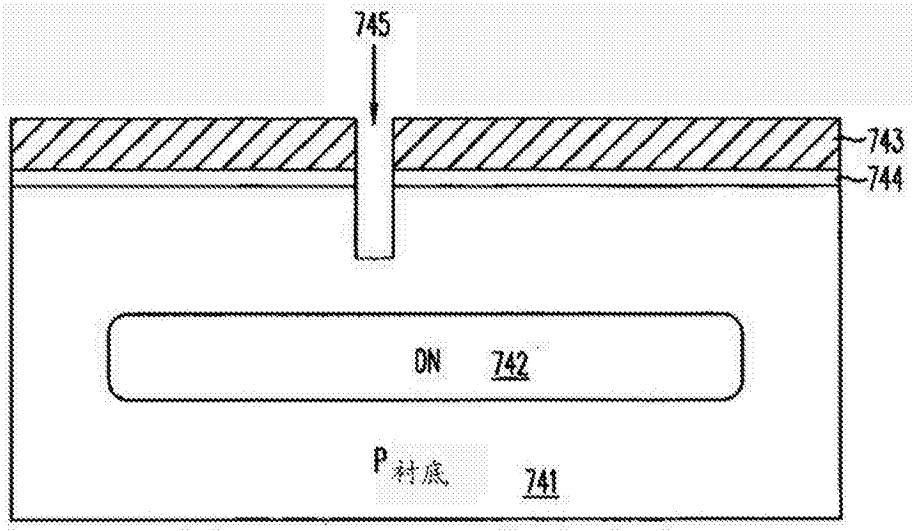


图10A

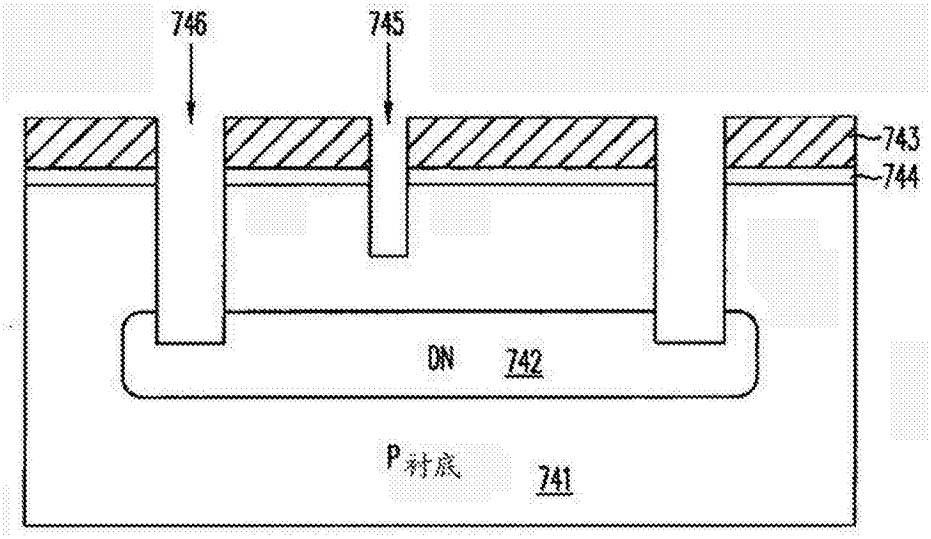


图10B

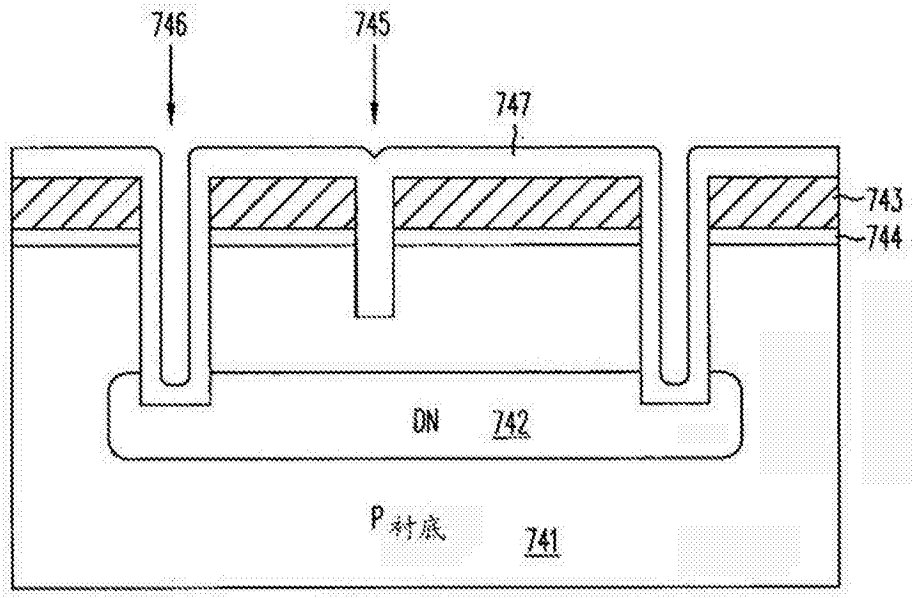

746
745
747
743
744
DN
742
P 衬底
741

图10C

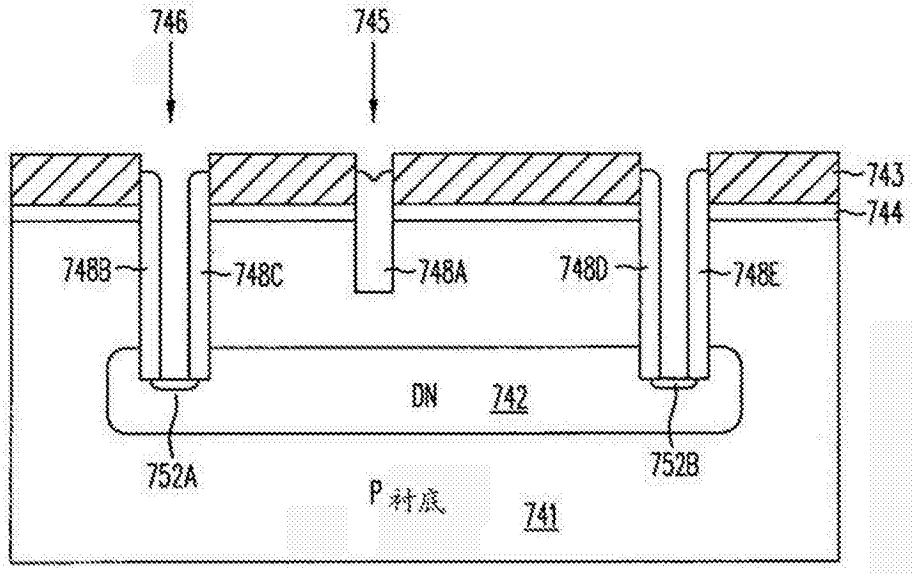

746
745
743
744
748B
748C
748A
748D
748E
DN
742
752A
752B
P 衬底
741

图10D

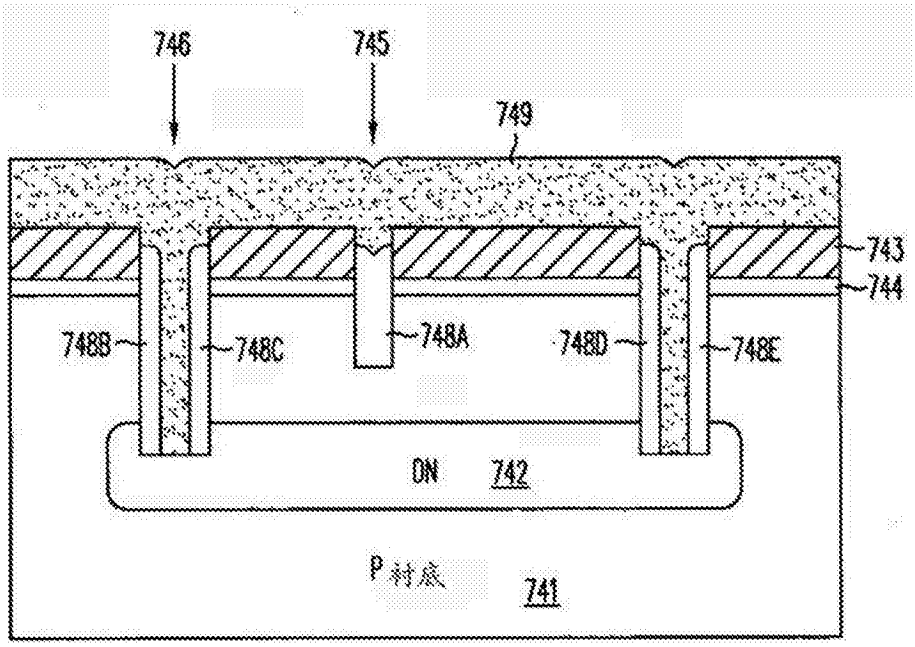

746
745
749
743
744
748B
748C
748A
748D
748E
ON
742
P衬底
741

图10E

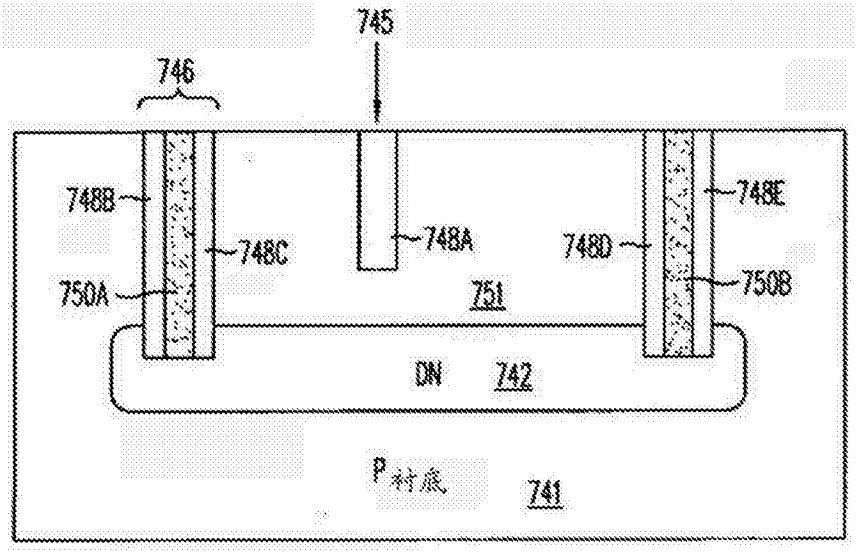

745
746
748B
748C
748A
748D
748E
750A
751
750B
ON
742
P衬底
741

图10F

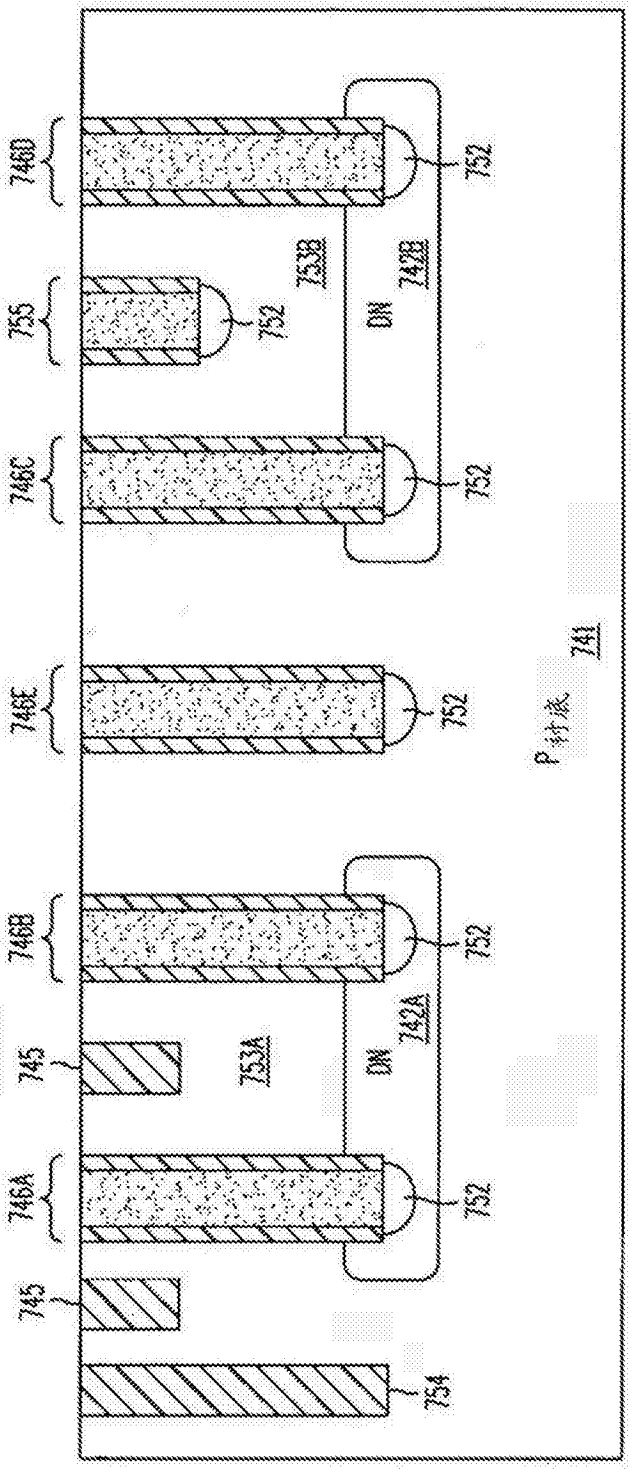

746D
752
753B
742B
DW
755
752
746C
752
741
P衬底
746E
752
746B
752
742A
DW
753A
745
746A
752
745
754

图10G

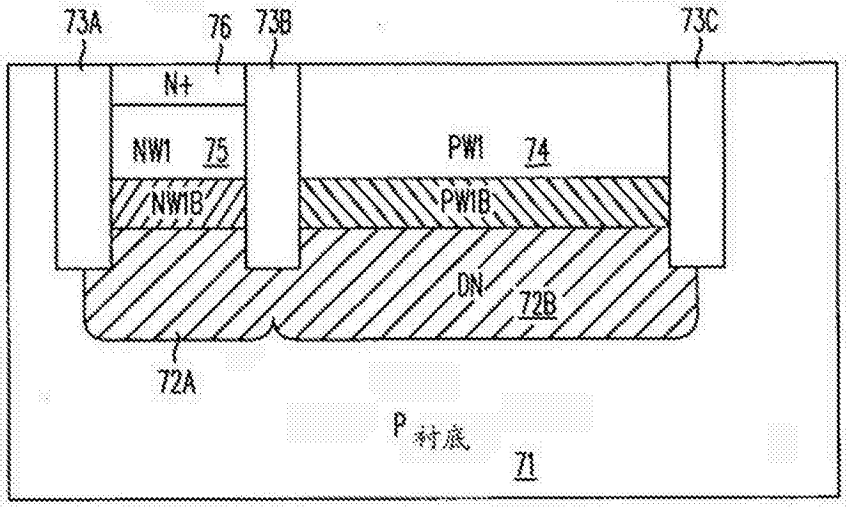

73A
76
73B
73C
N+
NW1 75
PW1 74
NW1B
PW1B
DN
72B
72A
P 衬底
71

图11A

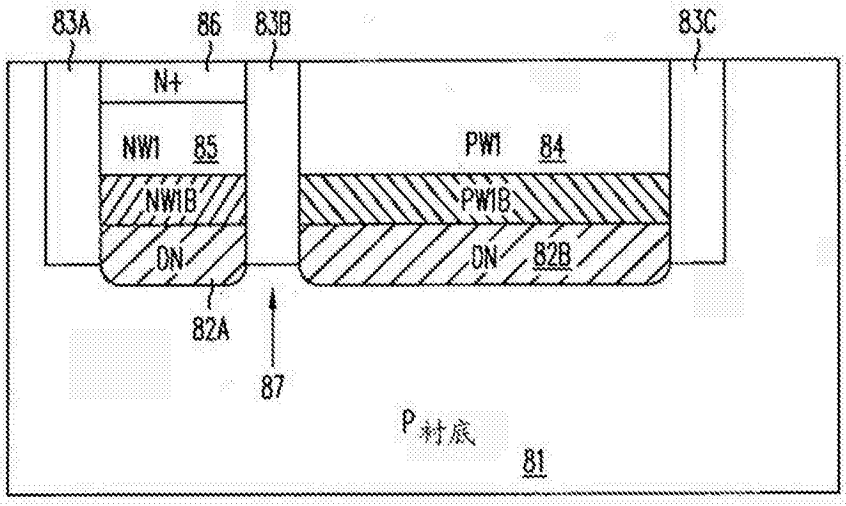

83A
86
83B
83C
N+
NW1 85
PW1 84
NW1B
PW1B
DN
DN
82B
82A
87
P 衬底
81

图11B

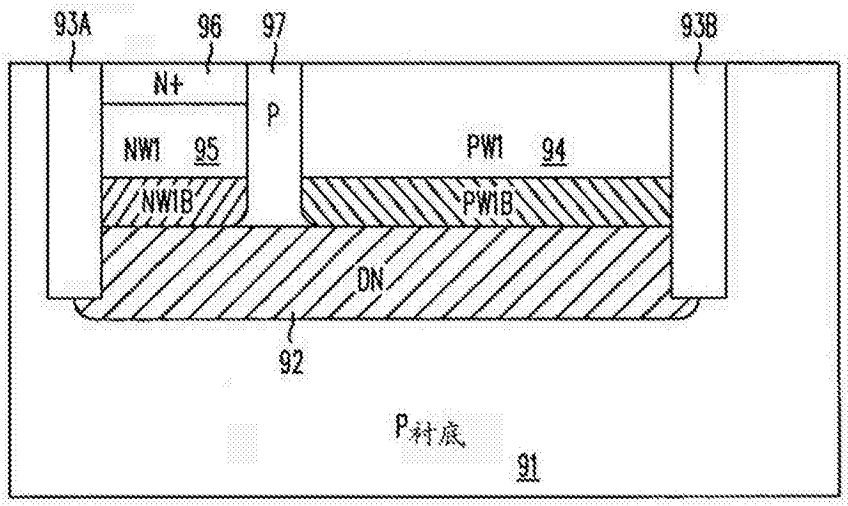


图11C

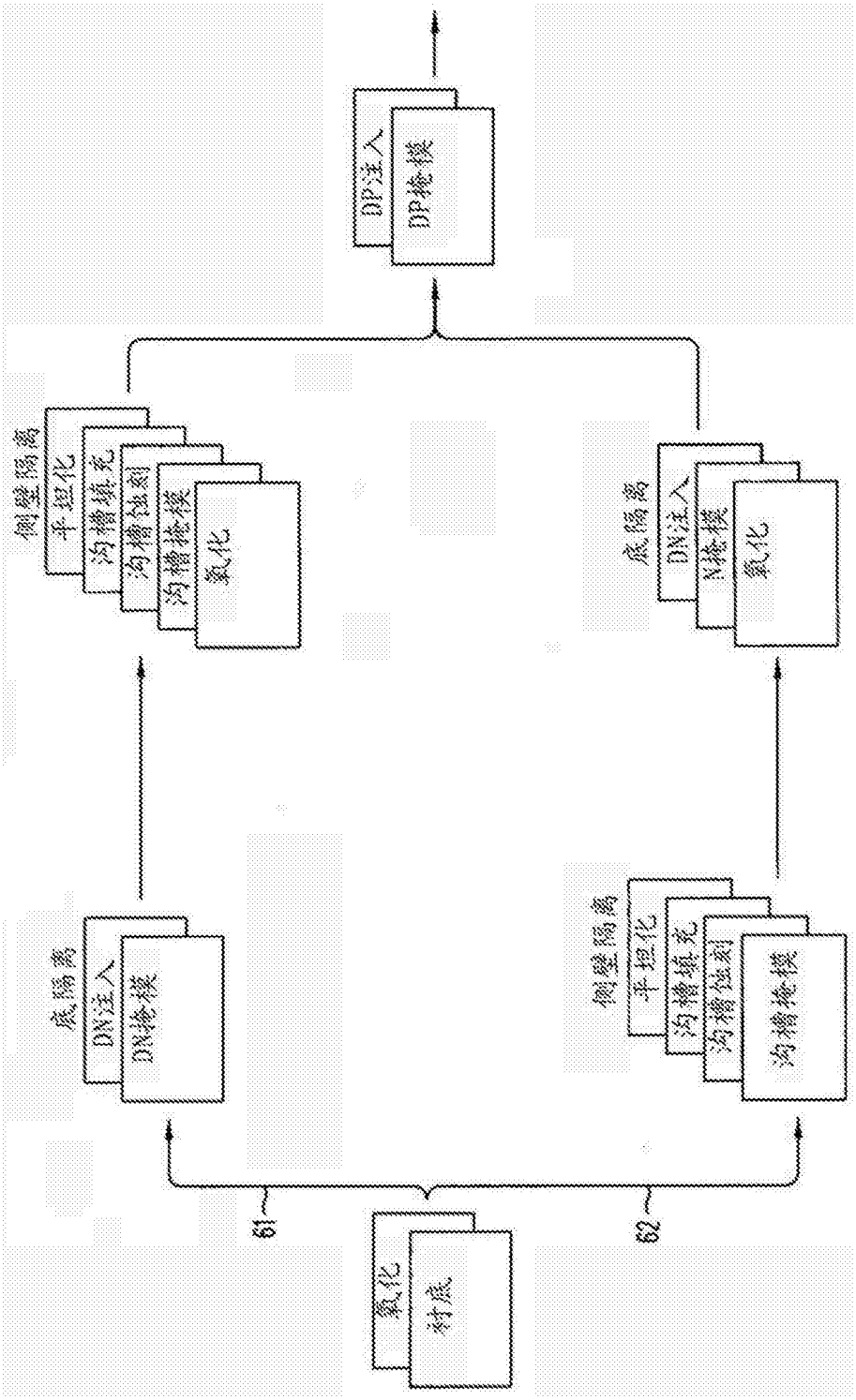

DP注入
DP掩模
侧壁隔离
平坦化
沟槽填充
沟槽蚀刻
沟槽掩模
氧化
底隔离
DN注入
N掩模
氧化
底隔离
DN注入
DN掩模
侧壁隔离
平坦化
沟槽填充
沟槽蚀刻
沟槽掩模
61
62
氧化
衬底

图12

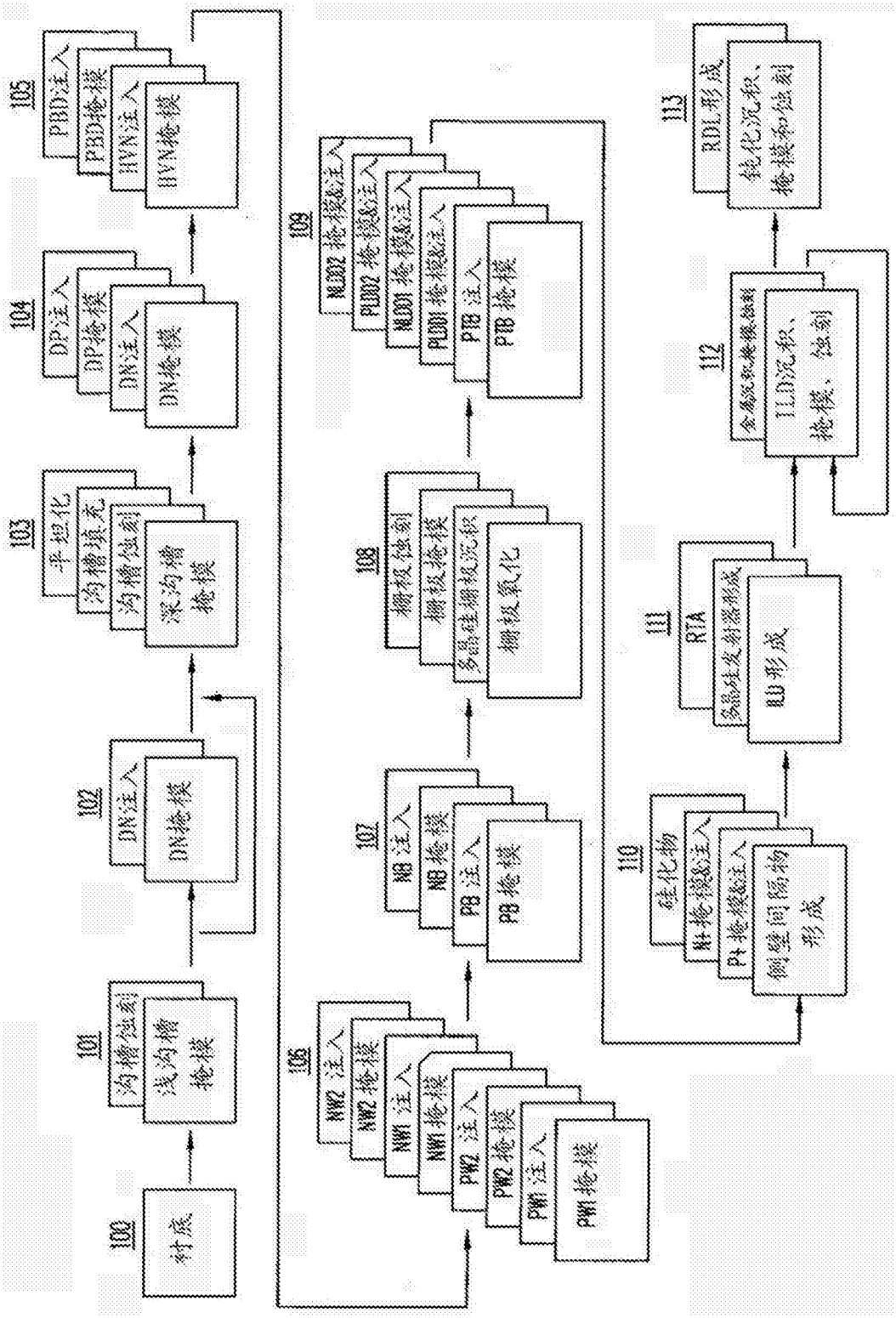

100
衬底
101
沟槽刻蚀
浅沟槽
掩模
102
DN注入
DN掩模
103
平坦化
沟槽填充
沟槽刻蚀
深沟槽
掩模
104
DP注入
DP掩模
DN注入
DN掩模
105
PBD注入
PBD掩模
HVN注入
HVN掩模
106
NW2 注入
NW2 掩模
NW1 注入
NW1 掩模
PW2 注入
PW2 掩模
PW1 注入
PW1 掩模
107
NB 注入
NB 掩模
PB 注入
PB 掩模
108
栅极刻蚀
栅极掩模
多晶硅栅极沉积
栅极氧化
109
NLDD2 掩模&注入
PLDD2 掩模&注入
NLDD1 掩模&注入
PLDD1 掩模&注入
PTB 注入
PTB 掩模
110
硅化物
N+ 掩模&注入
P+ 掩模&注入
侧壁间隔物
形成
111
RTA
源极/漏极形成
ILD 形成
112
金属沉积掩模刻蚀
ILD沉积、
掩模、刻蚀
113
RDL形成
钝化沉积、
掩模和刻蚀

图13