



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 736105

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 06.06.77 (21) 2492644/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 25.05.80. Бюллетень №19

Дата опубликования описания 28.05.80

(51) М. Кл.²

G 06 F 13/00

(53) УДК 681.14
(088.8)

(72) Авторы
изобретения

А. И. Терешкина, Ю. С. Ломов и А. А. Шульгин

(71) Заявитель



(54) УСТРОЙСТВО ДЛЯ СОПРЯЖЕНИЯ ОСНОВНОЙ
ПАМЯТИ С ПРОЦЕССОРОМ

Изобретение относится к цифровым вычислительным устройствам, а именно к устройствам управления основной памятью, используемым в составе процессора.

Известны устройства, входящие в состав блока памяти и предназначенные для сопряжений основной памяти с процессором и коррекции считанной из памяти информации, содержащие элемент памяти, регистр информации, элемент ИЛИ для формирования слова записи, формирователь кода коррекции записываемой информации, дешифратор синдрома, узел коррекции [1].

Недостаток этих устройств заключается в значительном объеме оборудования, необходимого для коррекции данных при больших объемах памяти и линейно возрастающего с ростом числа блоков памяти.

Наиболее близким к данному по сущности технического решения является устройство для сопряжения основной па-

2
мемии с процессором, содержащее по числу групп блоков памяти регистры адреса, информационные регистры и выходные регистры, узел коррекции, формирователь корректирующего кода и группу элементов И-ИЛИ, соответственно соединенных входами с группой выходов узла коррекции и первой группой информационных выходов устройства, первая группа информационных входов и группа адресных входов которого подключены соответственно ко входам информационных регистров и входам регистров адреса, выходы которых являются адресными выходами устройства, вторая группа информационных входов устройства соединена с первыми информационными входами соответствующих выходных регистров, выходы элементов И-ИЛИ группы соединены с соответствующими входами формирователя корректирующего кода [2].

Недостаток указанного устройства заключается в большом количестве оборудования, поскольку оно требует для каж-

дого двойного слова, считываемого из разных блоков памяти, отдельного корректора, элементов И-ИЛИ, формирователей корректирующего кода. Этот недостаток особенно проявляется при увеличении количества одновременно работающих блоков памяти.

Цель изобретения – сокращение аппаратных затрат.

Поставленная цель достигается тем, что в устройство введены узел выборки группы блоков памяти, два элемента ИЛИ и узлы синхронизации по числу групп блоков памяти, причем выходы информационных регистров подключены к соответствующим входам первого элемента ИЛИ, выход которого соединен с первым входом группы элементов И-ИЛИ, второй и третий информационные входы выходных регистров, первые выходы которых соединены с соответствующими выходами второй группы информационных выходов устройства, подключены соответственно к выходам группы элементов И-ИЛИ и выходам формирователя корректирующего кода, вторые выходы выходных регистров соединены с соответствующими входами второго элемента ИЛИ, подключенного выходом ко входу узла коррекции, входы каждого узла синхронизации являются соответствующими управляющими входами устройства, первый, второй и третий выходы каждого узла синхронизации подключены к соответствующим управляющим входам одноименного выходного регистра, третий и четвертый выходы каждого узла синхронизации соединены соответственно с управляющим входом одноименного информационного регистра и соответствующим управляющим входом узла выборки блока памяти, входы которого подключены к выходам соответствующих регистров адреса, а выход является управляющим выходом устройства.

На чертеже изображена блок-схема устройства.

Устройство содержит регистры 1 адреса, информационные регистры 2, узлы 3 синхронизации логических блоков памяти, первый элемент ИЛИ 4, выходные регистры 5, второй элемент ИЛИ 6, узел 7 коррекции, группу 8 элементов И-ИЛИ, формирователь 9 корректирующего кода записываемой информации, группу адресных входов 10, первую группу информационных входов 11, адресные выходы 12, управляющий выход 13, управляющие

входы 14, выходы 15 узлов синхронизации, вторую группу информационных входов 16, вторую группу информационных выходов 17, первую группу информационных выходов 18, узел 19 выборки блока памяти. Узел 3 включает элемент ИЛИ 20, триггеры 21 – 26, элемент И 27.

Данное устройство предназначено для сопряжения процессора с оперативной памятью, которая может включать до 16 независимых блоков памяти, разделенных на четыре группы блоков памяти (логические блоки памяти). Под логическим блоком понимается определенный комплект блоков памяти (в данном случае до четырех), объединенных общими адресными и информационными шинами. Адресные и информационные регистры этих логических блоков находятся в устройстве сопряжения. В принципе данное устройство сопряжения выполнено в виде четырех симметричных схем, имеющих общие элементы коррекции, выдачи информации в процессор, формирования двойного слова записи в память, формирования корректирующего кода.

Оперативная память функционирует таким образом, что независимо от режима "Запись" или "Чтение" сначала происходит считывание информации из памяти, прием в устройство сопряжения, анализ и коррекция принятой из памяти информации, а затем либо запись новой информации в режиме "Запись", либо регенерация считанной из памяти информации в режиме "Чтение."

Устройство работает следующим образом.

Все операции, связанные с обслуживанием запросов к памяти, начинаются с последовательного приема от одного до четырех запросных слов из блока управления памятью. На регистры 1 принимаются адреса памяти, на регистры 2 – записываемая информация и маркеры (в режиме "Запись"). Одновременно с приемом запросного слова узел 19 формирует сигнал "Чтение" для соответствующего логического блока памяти и передается в память по управляющему выходу 13. Адрес ячейки памяти по адресным выходам 12 поступает в память и сохраняется на выходах до конца цикла памяти. После окончания цикла чтения память посылает в устройство сопряжения сигнал готовности информации по управляющим входам 14 и считанную

информацию по второй группе информационных входов 16.

В режиме "Запись" считанная информация игнорируется, а с соответствующего регистра 2 через первый элемент ИЛИ 4 записываемая информация поступает на группу 8 элементов И-ИЛИ, а с выхода которой - на формирователь 9 и выходные регистры 5. Формирователь 9 из 64-разрядной информации по коду Хэмминга формирует 8 разрядов корректирующего кода, который вместе с информацией записывается в выходной регистр 5, соответствующий запущенному блоку. С этого регистра сформированное двойное слово (72 разряда) передается на вторую группу информационных выходов в блок памяти и сохраняется на шинах до конца цикла памяти. Одновременно с информацией в блок памяти передается сигнал "Запись" по управляющему выходу 13.

В режиме "Чтение" информация из памяти поступает на выходной регистр 5 и содержит 64 информационных разряда и 8 разрядов корректирующего кода. Информация с выхода этого регистра поступает через второй элемент ИЛИ 6 на вход узла 7 коррекции. В узле 7 принятая информация анализируется и, если обнаруживается одиночная ошибка, корректируется. Если ошибки нет, то информация проходит через узел 7 без изменения на первую группу информационных выходов 18 и поступает в процессор. Двойные и некоторые многократные ошибки обнаруживаются, но не корректируются. В режиме "Чтение" на выход группы 8 проходит считанная из памяти информация с узла 7. Также как в режиме "Запись" формирователь 9 вырабатывает код коррекции, который вместе с информацией записывается в один из выходных регистров 5. Информация на второй группе информационных выходов сохраняется до конца цикла памяти.

В режиме записи отдельных байтов информации считывание и контроль информации аналогичны операции "Чтение". Отдельные байты, которые должны быть согласно маркерам записаны в память, принимаются группой 8 элементов И-ИЛИ с информационного регистра, а остальные байты двойного слова принимаются группой 8 из узла 7 коррекции. Собранное таким образом 72-разрядное слово с вновь сформированным байтом корректирующего кода через соответствующий

выходной регистр передается в блок памяти.

Управление приемом в регистры и выдачей с регистров осуществляет блок управления запросами, показанный на чертеже пунктиром. На входы поступают сигналы готовности информации из памяти по управляющим входам 14, соответствующим логическим блокам памяти. Поскольку в каждый момент времени может работать только один из блоков памяти в каждом логическом блоке, то на каждый узел приходит только один сигнал готовности. С помощью элемента ИЛИ 20 и цепочки последовательно соединенных триггеров 21 - 26, а также элемента И 27 формируется серия управляющих сигналов. Выход элемента И 27 (выход 15-1) стробирует прием информации из памяти на выходной регистр 5, выход триггера 24 (выход 15-2) стробирует выход выходного регистра 5 на элемент ИЛИ 6, выход триггера 26 (выход 15-3) стробирует выход информационного регистра 2 на элемент ИЛИ 4, а также прием записываемой информации на выходной регистр 5 для передачи в память, выход триггера 23 формирует сигнал "Запись" в блоки памяти.

Все блоки оперативной памяти должны иметь одинаковые параметры, т. е. время чтения и время записи у них должно быть одинаковым. Поэтому при последовательном обращении к логическим блокам памяти (на каждом следующем такте синхронизации процессора запускается следующий блок) сигналы готовности информации по управляющим входам 14 из памяти приходят в той же последовательности и с теми же промежутками времени между ними (равные одному такту синхронизации), как и при запуске, что позволяет проводить последовательную выдачу с выходных регистров 5, последовательный анализ считанной информации в узел 7, последовательное формирование 72-разрядного слова для записи в память с новым кодом коррекции на одном и том же оборудовании.

Режим одновременной работы блоков памяти, описанный выше, и называемый режимом работы памяти с расслоением, является для современных ЭВМ основным. Устройство реализует работу оперативной памяти в режиме расслоения с коррекцией считанной из памяти информации при использовании одного корректора, одной группы элементов И-ИЛИ и одного

формирователя корректирующего кода, т. е. с меньшим объемом оборудования по сравнению с известным.

Ф о р м у л а и з о б р е т е н и я

Устройство для сопряжения основной памяти с процессором, содержащее по числу групп блоков памяти регистры адреса информационные регистры и выходные регистры, узел корреляции, формирователь корректирующего кода и группу элементов И-ИЛИ, соответственно соединенных входами с группой выходов узла коррекции и первой группой информационных выходов устройства, первая группа информационных входов и группа адресных входов которого подключены соответственно ко входам информационных регистров и входам регистров адреса, выходы которых являются адресными выходами устройства, вторая группа информационных входов устройства соединена с первыми информационными входами соответствующих выходных регистров, выходы группы элементов И-ИЛИ соединены с соответствующими входами формирователя корректирующего кода, **о т л и -**
ч а ю щ е е с я тем, что, с целью сокращения аппаратных затрат, в устройстве введены узел выборки группы блоков памяти, два элемента ИЛИ и узлы синхронизации по числу групп блоков памяти, причем выходы информационных регистров подключены к соответствующим входам первого элемента ИЛИ, выход ко-

торого соединен с первым входом группы элементов И-ИЛИ, второй и третий информационные входы выходных регистров, первые выходы которых соединены с соответствующими выходами второй группы информационных выходов устройства, подключены соответственно к выходам элементов И-ИЛИ группы и выходам формирователя корректирующего кода, вторые выходы выходных регистров соединены с соответствующими входами второго элемента ИЛИ, подключенного выходом ко входу узла коррекции, входы каждого узла синхронизации являются соответствующими управляющими входами устройства, первый, второй и третий выходы каждого узла синхронизации подключены к соответствующим управляющим входам одноименного выходного регистра, третий и четвертый выходы каждого узла синхронизации соединены соответственно с управляющим входом одноименного информационного регистра и соответствующим управляющим входом узла выборки блока памяти, входы которого подключены к выходам соответствующих регистров адреса, а выход является управляющим выходом устройства.

Источники информации,

30 принятые во внимание при экспертизе

1. Патент США № 3814921, кл. 340-172.5, 1972.

2. IBM Maintenance Library S422-6860-0 System/1970 Model 155 Theory of Operation /Diagram Manual p4-1, diagram 4-100, 1970.

