

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-155772

(P2012-155772A)

(43) 公開日 平成24年8月16日(2012.8.16)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 29/56 (2006.01)	G 1 1 C 29/00 6 5 1 Z	5 L 1 0 6
G 1 1 C 29/12 (2006.01)	G 1 1 C 29/00 6 7 1 B	
G 1 1 C 13/00 (2006.01)	G 1 1 C 13/00 A	

審査請求 未請求 請求項の数 5 O L (全 20 頁)

(21) 出願番号	特願2011-11059 (P2011-11059)	(71) 出願人	000003078
(22) 出願日	平成23年1月21日 (2011.1.21)		株式会社東芝
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100089118
			弁理士 酒井 宏明
		(72) 発明者	川口 一昭
			東京都港区芝浦一丁目1番1号 株式会社東芝内
		Fターム(参考)	5L106 AA00 DD08 DD12 DD22 EE04 FF01 GG07

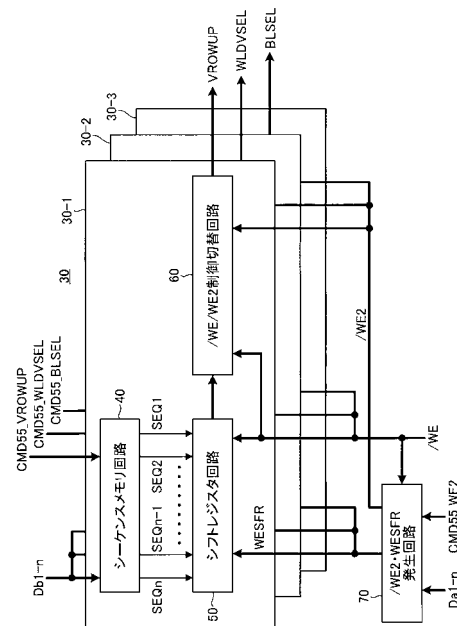
(54) 【発明の名称】 抵抗変化メモリのテスト装置、方法および抵抗変化メモリ装置

(57) 【要約】

【課題】 任意のテストサイクルにおけるサイクル時間を局所的に自由に調整するとともにチップサイズ、テストコストを削減する。

【解決手段】 シフトレジスタ回路の出力と第1のライトイネーブル信号とに基づき、複数のシーケンスのうちの限界時間の確認を行うシーケンスに対応して信号変化する第2のライトイネーブル信号を発生し、第1および第2のライトイネーブル信号を用いて信号変化する時間間隔が局所的に前記第1のライトイネーブル信号の周期よりも短い複数のコア制御信号を発生し、発生した複数のコア制御信号を用いて抵抗変化メモリの動作確認を行う。

【選択図】 図5



【特許請求の範囲】**【請求項 1】**

複数のワード線と複数のビット線の各交差部に整流素子および可変抵抗素子を含むメモリ素子を配置し、ライトイネーブル信号に同期させた複数のコア制御信号を用いて複数のシーケンスの各開始時点に対応して前記複数のコア制御信号の 1 つを変化させることにより、ワード線の活性化/非活性化制御とビット線の活性化/非活性化制御を行う抵抗変化メモリの動作確認テストを行う抵抗変化メモリのテスト装置であって、

複数のシーケンスに対応するシフト段数を有し、複数のシーケンスのうちの限界時間の確認を行うシーケンスに対応するシフト段がアサートに初期設定され、他のシフト段がネゲートに初期設定される第 1 のシフトレジスタ回路と、

10

この第 1 のシフトレジスタ回路の出力と、一定周期で信号変化する第 1 のライトイネーブル信号とに基づき、複数のシーケンスのうちの限界時間の確認を行うシーケンスに対応して自己発生パルスが発生させ、発生した自己パルスと第 1 のライトイネーブル信号とを合成してシフトパルスとして発生するシフトパルス発生回路と、

前記第 1 のシフトレジスタ回路の出力と前記第 1 のライトイネーブル信号とに基づき、複数のシーケンスのうちの限界時間の確認を行うシーケンスに対応して信号変化する第 2 のライトイネーブル信号を発生するライトイネーブル信号発生部と、

前記シフトパルスによってシフト動作を行う複数段のレジスタを夫々有し、発生させるコア制御信号が夫々初期設定される複数個の第 2 のシフトレジスタ回路と、

20

前記第 2 のシフトレジスタ回路の最終段出力を第 1 のライトイネーブル信号によってラッチする第 1 のラッチ回路と、前記第 2 のシフトレジスタ回路の最終段の 1 段前の出力を第 1 のライトイネーブル信号によってラッチする第 2 のラッチ回路と、第 2 のラッチ回路の出力を第 2 ライトイネーブル信号によってラッチする第 3 のラッチ回路と、第 1 および第 2 ライトイネーブル信号によって形成したスイッチ信号によって前記第 2 及び第 3 のラッチ回路の出力を選択して前記コア制御信号として出力するセクタ回路とを夫々備える複数のコア制御信号生成回路と、

を備えることを特徴とする抵抗変化メモリのテスト装置。

【請求項 2】

前記第 1 のシフトレジスタ回路は、前記シフトパルス発生回路からのシフトパルスを用いてシフト動作を行い、

30

前記シフトパルス発生回路は、第 1 のシフトレジスタ回路の最終段の出力を用いて前記自己発生パルスが発生し、

前記ライトイネーブル信号発生部は、第 1 のシフトレジスタ回路の最終段の 1 段前の出力を用いて第 2 のライトイネーブル信号を発生することを特徴とする抵抗変化メモリのテスト装置。

【請求項 3】

複数のワード線と複数のビット線の各交差部に整流素子および可変抵抗素子を含むメモリ素子を配置し、ライトイネーブル信号に同期させた複数のコア制御信号を用いて複数のシーケンスの各開始時点に対応して前記複数のコア制御信号の 1 つを変化させることにより、ワード線の活性化/非活性化制御とビット線の活性化/非活性化制御を行う抵抗変化メモリと、

40

前記抵抗変化メモリの動作確認テストを行うテスト回路と、

を備え、

前記テスト回路は、

複数のシーケンスに対応するシフト段数を有し、複数のシーケンスのうちの限界時間の確認を行うシーケンスに対応するシフト段がアサートに初期設定され、他のシフト段がネゲートに初期設定される第 1 のシフトレジスタ回路と、

この第 1 のシフトレジスタ回路の出力と、一定周期で信号変化する第 1 のライトイネーブル信号とに基づき、複数のシーケンスのうちの限界時間の確認を行うシーケンスに対応して自己発生パルスが発生させ、発生した自己パルスと第 1 のライトイネーブル信号とを

50

合成してシフトパルスとして発生するシフトパルス発生回路と、

前記第 1 のシフトレジスタ回路の出力と前記第 1 のライトイネーブル信号とに基づき、複数のシーケンスのうちの限界時間の確認を行うシーケンスに対応して信号変化する第 2 のライトイネーブル信号を発生するライトイネーブル信号発生部と、

前記シフトパルスによってシフト動作を行う複数段のレジスタを夫々有し、発生させるテスト用コア制御信号が夫々初期設定される複数個の第 2 のシフトレジスタ回路と、

前記第 2 のシフトレジスタ回路の最終段出力を第 1 のライトイネーブル信号によってラッチする第 1 のラッチ回路と、前記第 2 のシフトレジスタ回路の最終段の 1 段前の出力を第 1 のライトイネーブル信号によってラッチする第 2 のラッチ回路と、第 2 のラッチ回路の出力を第 2 ライトイネーブル信号によってラッチする第 3 のラッチ回路と、第 1 および第 2 ライトイネーブル信号によって形成したスイッチ信号によって前記第 2 及び第 3 のラッチ回路の出力を選択して前記テスト用コア制御信号として出力する第 1 のセクタ回路とを夫々備える複数のコア制御信号生成回路と、

前記複数のコア制御信号生成回路から出力されるテスト用コア制御信号と、実機の制御回路から出力されるコア制御信号を切り替えて前記抵抗変化メモリに出力する第 2 のセクタ回路と、

を備えることを特徴とする抵抗変化メモリ装置。

【請求項 4】

前記第 1 のシフトレジスタ回路は、前記シフトパルス発生回路からのシフトパルスを用いてシフト動作を行い、

前記シフトパルス発生回路は、第 1 のシフトレジスタ回路の最終段の出力を用いて前記自己発生パルスを発生し、

前記ライトイネーブル信号発生部は、第 1 のシフトレジスタ回路の最終段の 1 段前の出力を用いて第 2 のライトイネーブル信号を発生することを特徴とする抵抗変化メモリ装置。

【請求項 5】

複数のワード線と複数のビット線の各交差部に整流素子および可変抵抗素子を含むメモリ素子を配置し、ライトイネーブル信号に同期させた複数のコア制御信号を用いて複数のシーケンスの各開始時点に対応して前記複数のコア制御信号の 1 つを変化させることにより、ワード線の活性化/非活性化制御とビット線の活性化/非活性化制御を行う抵抗変化メモリの動作確認テストを行う抵抗変化メモリのテスト方法であって、

複数のシーケンスに対応するシフト段数を有する第 1 のシフトレジスタ回路に対し、前記複数のシーケンスのうちの限界時間の確認を行うシーケンスに対応するシフト段をアサートに初期設定し、他のシフト段をネゲートに初期設定し、

この第 1 のシフトレジスタ回路の出力と、一定周期で信号変化する第 1 のライトイネーブル信号とに基づき、複数のシーケンスのうちの限界時間の確認を行うシーケンスに対応して信号変化する第 2 のライトイネーブル信号を発生し、

前記第 1 および第 2 のライトイネーブル信号に基づいて、複数のコア制御信号が信号変化する時間間隔が局所的に前記第 1 のライトイネーブル信号の周期よりも短い複数のコア制御信号を発生し、

前記発生された複数のコア制御信号を用いて抵抗変化メモリの動作確認を行うことを特徴とする抵抗変化メモリのテスト方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、抵抗変化メモリ (R e R A M) のテスト容易化技術に関するものである。

【背景技術】

【0002】

抵抗変化メモリ (R e R A M : Resistive Random Access Memory) は、電圧によって

10

20

30

40

50

抵抗が変化する材料を用いた半導体メモリであり、フラッシュメモリの後継として注目されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開平09-5395号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明の一つの実施形態は、任意のテストサイクルにおけるサイクル時間を局所的に自由に調整することを可能とし、さらにチップサイズ、テストコストが削減される抵抗変化メモリのテスト装置、方法および抵抗変化メモリ装置を提供することを目的とする。

【課題を解決するための手段】

【0005】

本発明の一つの実施形態によれば、複数のワード線と複数のビット線の各交差部に整流素子および可変抵抗素子を含むメモリ素子を配置し、ライトイネーブル信号に同期させた複数のコア制御信号を用いて複数のシーケンスの各開始時点に対応して前記複数のコア制御信号の1つを変化させることにより、ワード線の活性化/非活性化制御とビット線の活性化/非活性化制御を行う抵抗変化メモリの動作確認テストを行う。第1のシフトレジスタ回路は、複数のシーケンスに対応するシフト段数を有し、複数のシーケンスのうちの限界時間の確認を行うシーケンスに対応するシフト段がアサートに初期設定され、他のシフト段がネゲートに初期設定される。シフトパルス発生回路は、この第1のシフトレジスタ回路の出力と、一定周期で信号変化する第1のライトイネーブル信号とに基づき、複数のシーケンスのうちの限界時間の確認を行うシーケンスに対応して自己発生パルスを発生させ、発生した自己パルスと第1のライトイネーブル信号とを合成してシフトパルスとして発生する。ライトイネーブル信号発生部は、前記第1のシフトレジスタ回路の出力と前記第1のライトイネーブル信号とに基づき、複数のシーケンスのうちの限界時間の確認を行うシーケンスに対応して信号変化する第2のライトイネーブル信号を発生する。複数の第2のシフトレジスタ回路は、前記シフトパルスによってシフト動作を行う複数段のレジスタを夫々有し、発生させるコア制御信号が夫々初期設定される。複数のコア制御信号生成回路は、第1のラッチ回路と、第2のラッチ回路と、第3のラッチ回路と、セクタ回路とを夫々備え、第1のラッチ回路は第2のシフトレジスタ回路の最終段出力を第1のライトイネーブル信号によってラッチする。第2のラッチ回路は、第2のシフトレジスタ回路の最終段の1段前の出力を第1のライトイネーブル信号によってラッチする。第3のラッチ回路は、第2のラッチ回路の出力を第2ライトイネーブル信号によってラッチする。セクタ回路は、第1および第2ライトイネーブル信号によって形成したスイッチ信号によって前記第2及び第3のラッチ回路の出力を選択して前記コア制御信号として出力する。

【図面の簡単な説明】

【0006】

【図1】図1は、ReRAMのメモリセルアレイの構成と、ローデコーダおよびカラムデコーダの回路構成例を示す図。

【図2】図2は、コア制御信号およびワード線およびビット線の動作波形例を示す図。

【図3】図3は、1つのライトイネーブル信号を用いた場合のテストのオートモードにおける動作波形図。

【図4】図4は、第1の実施の形態にかかるテスト回路のオートモードにおける動作波形図。

【図5】図5は、第1の実施の形態におけるテスト回路の構成例を示す図。

【図6】図6は、第1の実施の形態における個別テスト回路の内部構成例を示す図。

【図7】図7は、/WE2・WESFR発生回路の内部構成例を示す図。

10

20

30

40

50

【図 8】図 8 は、VROWUP信号を生成するための各種信号波形を示すタイムチャート。

【図 9】図 9 は、WLDVSEL信号を生成するための各種信号波形を示すタイムチャート。

【図 10】図 10 は、BLSEL信号を生成するための各種信号波形を示すタイムチャート。

【図 11】図 11 は、テスト回路と R e R A M との接続関係を示す図である。

【図 12】図 12 は、遅延回路の具体例を示す図。

【図 13】図 13 は、遅延回路の切替動作を示す図。

【図 14】図 14 は、テスト回路が内蔵された R e R A M 装置の回路構成例を示す図。

【発明を実施するための形態】

【0007】

R e R A M などの半導体メモリの動作確認試験においては、テストを被試験デバイスとしての半導体メモリに接続し、テストで半導体メモリで使用される各種コマンドを発生させて半導体メモリに入力し、半導体メモリからの出力を確認するような手法をとることが多い。

10

【0008】

このような半導体メモリの動作確認試験では、近年、半導体メモリの大容量化および縮小化に伴い、半導体メモリの同測数の増加およびテストの長時間化が問題視されている。テストの長時間化は半導体メモリの生産数量を制限するのみでなく、コスト高となることから、改善が急務となっている。

【0009】

そこで、最近では、例えばチップイネーブルピン/CE、コマンドラッチイネーブルピンCLE、アドレスラッチイネーブルピンALE、ライトイネーブルピン/WE、I/OポートピンIO_{n-0}等のコマンドピンおよびデータピンを用いて、出力するコマンド設定およびサイクル制御を行うオートモードが搭載されたテストを使用して半導体メモリのテストを行うことが多く、オートモードを使用した場合は、使用するピン数が削減され、半導体メモリの同測数の増加が可能となる。

20

【0010】

このようなオートモードが搭載されたテストにおいては、コマンド設定の制御サイクルをライトイネーブルピン/WEの L への切り替わりに同期させているが、ライトイネーブルピン/WEは一定サイクルで L へ切り替わる信号であるため、テストサイクル時間の最小間隔がこのライトイネーブルピン/WEのサイクルによって決められてしまい、テストサイクル時間をライトイネーブルピン/WEによって決められる最小テストサイクル時間よりも局所的に短くするといった動作確認試験を行うことができず、R e R A M の動作確認に不便をきたしていた。

30

【0011】

R e R A M においては、ワード線 W L およびビット線 B L の活性、非活性に特殊な制御を行っており、ワード線 W L の制御とビット線の制御との間の時間間隔をいかに縮めるかが R e R A M のスイッチング速度に大きな影響を与える。しかしながら、上記した通常のオートモードでは、テストサイクル時間を上記したライトイネーブルピン/WEによって決められる最小テストサイクル時間よりも短くすることができず、ワード線 W L の制御とビット線の制御との間の時間間隔などのチューニングを行うことができないため、これらの限界時間の確認およびスクリーニングテストを行うことができないといった問題が発生し、大きな問題となっている。

40

【0012】

以下に添付図面を参照して、本発明の実施の形態にかかる抵抗変化メモリのテスト装置、方法および抵抗変化メモリ装置を詳細に説明する。なお、これらの実施の形態により本発明が限定されるものではない。

【0013】

(第 1 の実施の形態)

図 1 は、不揮発性半導体メモリとしての R e R A M (Resistive RAM) のメモリセルアレイの構成と、ローデコーダ 10 およびカラムデコーダ 20 の回路構成例を示すものであ

50

る。図 1 に示すセルアレイでは、複数のワード線 $W L$ と、複数のビット線 $B L$ との各交差位置にメモリセル M が設けられている。図 1 の場合は、セルアレイは 3×3 の場合について示しており、ワード線 $W L_0 \sim W L_2$ とビット線 $B L_0 \sim B L_2$ との各交差位置にメモリセル M が設けられている。各メモリセル M は、可変抵抗素子 $V R$ と、整流素子としてのダイオード D との直列接続によって構成されている。可変抵抗素子 $V R$ は、一端がワード線 $W L$ に接続され、他端がダイオード D を介してビット線 $B L$ に接続されている。

【 0 0 1 4 】

可変抵抗素子 $V R$ は、低抵抗状態を書込み状態（例えば “ 1 ”）、高抵抗状態を消去状態（例えば “ 0 ”）としており、低抵抗状態のメモリセル M を高抵抗状態にする “ 0 ” 書き込み動作を消去（或いはリセット）動作、高抵抗状態のセルを低抵抗状態にする “ 1 ” 書き込み動作を書き込み（或いはセット）動作という。

10

【 0 0 1 5 】

各ワード線 $W L$ は、夫々ローデコーダ 1 0 に接続され、各ビット線 $B L$ は、夫々カラムデコーダ 2 0 に接続されている。図 1 では、ビット線に正バイアスを与えたときに、整流素子が順バイアスとなるメモリセル配置を示しているが、ワード線に正バイアスを与えたときに、整流素子が順バイアスとなるメモリセル配置を採用してもよい。

【 0 0 1 6 】

各ローデコーダ 1 0 は、 $V R O W$ 発生器 1 1 と、メイン $W L$ ドライバ 1 2 と、 $W L D V$ ドライバ 1 3 と、ローゲート回路 1 4 とを有している。 $V R O W$ 発生器 1 1 は、コア制御信号としての $V R O W U P$ 信号から $V R O W$ 信号を生成する。メイン $W L$ ドライバ 1 2 は、ロードレシ信号から $M W L$ 信号を生成する。 $W L D V$ ドライバ 1 3 は、コア制御信号としての $W L D V S E L$ 信号、 $V R O W$ 信号およびロードレシ信号から $W L D V$ 信号を生成する。ローゲート回路 1 4 は、 $N O T$ 回路 1 4 a と、 P チャネル型 $M O S F E T$ 1 4 b と、 N チャネル型 $M O S F E T$ 1 4 c と、 P チャネル型 $M O S F E T$ 1 4 d とを備えている。 P チャネル型 $M O S F E T$ 1 4 b のゲートには、 $M W L$ 信号が $N O T$ 回路 1 4 a を介して入力されているので、 P チャネル型 $M O S F E T$ 1 4 b および N チャネル型 $M O S F E T$ 1 4 c の組と、 P チャネル型 $M O S F E T$ 1 4 d とが、 $M W L$ 信号に基づいて相補的に動作する。

20

【 0 0 1 7 】

各カラムデコーダ 2 0 は、カラムデータ制御部 2 1 と、カラムアドレスデコーダ 2 2 と、カラムゲート回路 2 3 とを備えている。カラムデータ制御部 2 1 は、コア制御信号としての $B L S E L$ 信号およびカラムアドレス信号から $D S A$ 信号を発生する。カラムアドレスデコーダ 2 2 は、カラムアドレス信号をデコードし、デコード結果としての $M B L$ 信号を出力する。カラムゲート回路 2 3 は、 P チャネル型 $M O S F E T$ 2 3 a と、 N チャネル型 $M O S F E T$ 2 3 b と、 $N O T$ 2 3 c と、 N チャネル型 $M O S F E T$ 2 3 d とを備えている。 N チャネル型 $M O S F E T$ 2 3 d のゲートには、カラムアドレスデコーダ 2 2 の出力が、 $N O T$ 回路 2 3 c を介して入力されているので、 P チャネル型 $M O S F E T$ 2 3 a および N チャネル型 $M O S F E T$ 2 3 d の組と、 N チャネル型 $M O S F E T$ 2 3 b とが、カラムアドレスデコーダ 2 2 の出力に基づいて相補的に動作する。

30

【 0 0 1 8 】

図 2 は、コア制御信号（ $V R O W U P$ 、 $W L D V S E L$ 、 $B L S E L$ ）の変化に基づくワード線 $W L$ およびビット線 $B L$ の活性化/非活性化の動作波形例を示すものである。ここで、 $V R O W U P$ 信号は全ワード線 $W L$ および全ビット線 $B L$ の制御を行う信号であり、 $W L D V S E L$ 信号は選択ワード線 $W L$ の制御を行う信号であり、 $B L S E L$ 信号は選択ビット線 $B L$ の制御を行う信号である。

40

【 0 0 1 9 】

初期状態では、すべてのワード線 $W L$ およびビット線 $B L$ を接地（ $G N D$ ）レベル V_{ss} とする。まず、ロードレシ信号によって全てのワード線を選択し、 $V R O W U P$ 信号を L から H に切り替えることで、全ワード線（選択ワード線および非選択ワード線）をダイオード D の閾値電圧 V_{th} 以上の電圧 V_{WL} に設定し、全ビット線 $B L$ を電圧 V_{BLL} （ $V_{ss} < V_{BLL} <$

50

VB_{LH})に上昇させる。全ビット線B_Lを電圧V_{BLL}に上昇し、電圧V_{WL}との電位差を縮めることにより、非選択セルにおけるB_L-W_L間のリーク電流を低減できる。具体的には、全てのワード線W_Lを選択するローアドレス信号を与えることによって全ローデコード10のメインW_Lドライバ12から出力されるMW_L信号をLにして全ローデコード10のPチャネル型MOSFET14dをオンにする。VROWUP信号がHに切り替わると、Pチャネル型MOSFET14dによって全てのワード線W_LがHになる。

【0020】

つぎに、カラムアドレス信号によって所要のビット線を選択し、BLSEL信号をLからHに切り替えることで、選択ビット線B_LのみをダイオードDの閾値電圧V_{th}以上の電圧V_{BLH}に上昇させる。具体的には、所要のビット線B_Lを選択するカラムアドレス信号を与えることによって選択ビット線に対応するカラムデコード20のカラムアドレスデコード22から出力されるMB_L信号をLにしてPチャネル型MOSFET23aおよびNチャネル型MOSFET23cをオンにする。BLSEL信号がHに切り替わると、Pチャネル型MOSFET23aおよびNチャネル型MOSFET23cによって選択ビット線B_LのみがHになる。

10

【0021】

さらに、ローアドレス信号によって所要のワード線を選択し、WLDVSEL信号をLからHに切り替えることで、選択ワード線W_LのみをV_{ss}に放電する。具体的には、所要のワード線を選択するローアドレス信号を与えることによって選択ワード線W_Lに対応するローデコード10のメインW_Lドライバ12から出力されるMW_L信号をHにして選択ワード線W_Lに対応するローデコード10のPチャネル型MOSFET14bおよびNチャネル型MOSFET14cをオンにする。WLDVSEL信号がHに切り替わると、Pチャネル型MOSFET14bおよびNチャネル型MOSFET14cによって選択ビット線のみがV_{ss}までたち下がり、Lになる。

20

【0022】

これにより、任意のメモリセルMが選択され、選択されたメモリセルMに対し、セット、リセット、リード、ベリファイ等を含む所望の任意のセルアクセス動作を行わせることができる。このようなセルアクセス動作が終了すると、まず、BLSEL信号をLへ切替えることにより、選択ビット線B_Lを電圧V_{BLL}まで下降させる。つぎに、VROWUP信号をLへ切替えることで、全ワード線W_Lおよび全ビット線B_LをV_{ss}に立ち下げ、Lにする。WLDVSEL信号は、VROWUP信号をLへ切替えた後、Lに立ち下げる。

30

【0023】

ReRAMにおいては、ワード線およびビット線の活性、非活性の際に、アクティブ時においては、(1)全ワード線をL→Hに切替え、(2)選択ビット線をL→Hに切替え、(3)選択ワード線をLに切り替える3段階の動作、またプリチャージ時は、(1)選択ビット線をH→Lに切替え、非選択ワード線をH→Lに切替える2段階の動作を採用しており、このような特殊な制御を用いることにより、セルに流れる電流を低減でき、安定したセルの動作を実現できる。

【0024】

このような特殊なワードW_Lおよびビット線B_Lの制御を行うReRAMの動作確認テストにおいては、例えばチップイネーブルピン(/CE)、コマンドラッチイネーブルピン(CLE)、アドレスラッチイネーブルピン(ALE)、ライトイネーブルピン(/WE)、I/Oポートピン(I/O<n:0> nは任意の自然数)等のコマンドおよびデータピンを用いて、出力するコマンドの設定およびサイクル制御を行うオートモードが一般的に用いられており、このオートモードを使用することにより使用するピン数を削減して、半導体メモリチップの同測数(同時測定数)を増加させることが可能となる。

40

【0025】

図3は、1本のライトイネーブル信号(/WE)を用いた場合のオートモードにおける動作波形図の一例を示すものである。図3に示すオートモードにおいては、チップイネーブル信号(/CE)をLにした状態で動作が実行される。また、コマンドラッチイネーブル信

50

号 (CLE) が H のときにデータ入力コマンド「00 (16進数)」が入力され、この後アドレスラッチイネーブル信号 (ALE) が H のときに、任意のカラムアドレス、ローアドレスが入力される。その後、コマンドラッチイネーブル信号 (CLE) が H のときに、例えばオートリードコマンド「30 (16進数)」が入力されることによりオートリードコマンドが受け付けられ、ライトイネーブル信号 (/WE) の L への切替りのタイミングに同期して、前述のVROWUP信号、WLDVSEL信号、BLSEL信号などのメモリコアの制御を行うコア制御信号の切替えを実行する。

【0026】

このように、VROWUP信号、WLDVSEL信号、BLSEL信号などのコア制御信号は、/WE信号に同期するように作成されており、各種コア制御信号の切替えタイミング (L → H または H → L) は /WE 信号の L への切替りに同期している。すなわち、各種コア制御信号によって実行される制御サイクル毎の開始時点を /WE 信号の L への切替りに同期させるようにしている。しかしながら、/WE 信号における L に切替わるタイミングを制御サイクル毎に変更することが困難であるので、1本の /WE 信号を用いた場合は、任意の制御サイクルで、すなわち任意のシーケンスで局所的にサイクル時間を変更させることができない。このように、1本の /WE 信号を用いた場合は、図3に示すように、制御サイクルの間隔、すなわち各シーケンス 0 ~ シーケンス n の間隔は一定である。シーケンスとは、VROWUP 信号、WLDVSEL 信号、BLSEL 信号などのコア制御信号の任意の 1 つが変化してから他の 1 つが変化するまでの期間をいう。

【0027】

特に、ReRAM におけるワード線 WL およびビット線 BL の活性、非活性では、上述したような特殊な制御を行っているが、1本のライトイネーブル信号 (/WE) を用いた場合は、ワード線 WL の制御とビット線 BL の制御との間の時間間隔 (図2における時間 A、時間 B、時間 C など) を /WE 信号の信号周期 T より短くしたチューニングができないため、これらの限界時間の確認およびスクリーニングテストを行うことができないといった問題が発生している。

【0028】

図4は、第1の実施の形態におけるオートモードの動作波形図を示すものである。この第1の実施の形態においては、ライトイネーブル信号として、第1ライトイネーブル信号 (/WE) の他に、第2ライトイネーブル信号 (/WE2) を追加している。図3の場合は、全てのシーケンスの開始 (終了) が第1ライトイネーブル信号 (/WE) の H (ネゲート) から L (アサート) への切替りに同期している。これに対し、図4の場合は、シーケンス 1、シーケンス 3 の開始は第1ライトイネーブル信号 (/WE) の L 切替りに同期しているが、シーケンス 2 の開始は第2ライトイネーブル信号 (/WE2) の L 切替りに同期しており、時間 A を /WE 信号の周期よりも短く設定できている。

【0029】

このように、第1ライトイネーブル信号 (/WE) に依存せず自由なタイミングでの信号発生が可能な第2ライトイネーブル信号 (/WE2) を新たに設けることにより、制御サイクル時間を変更したいシーケンスが終了するタイミングを、第2ライトイネーブル信号 (/WE2) の L 切替りタイミングにより決定することにより、任意の制御サイクルにおけるサイクル時間を局所的に自由に設定することが可能となる。

【0030】

ここで、図4に示すようにシーケンス 1 のサイクル時間を調整した場合においては、図2における時間 A を調整することが可能となり、同様の制御を用いれば時間 B、図2に示す時間 C を調整することも可能となる。従って、ワード線 WL およびビット線 BL の制御の切替りのサイクル時間のチューニングが可能となり、これらの限界時間の確認およびスクリーニングテストが容易に実現できる。

【0031】

図5に、第1ライトイネーブル信号 (/WE) および第2ライトイネーブル信号 (/WE2) を用いたオートモードによるテストを実施するためのテスト回路のコア制御信号発生部分

の構成例を示す。本テスト回路 30 は、所要のコア制御信号の個数に対応する複数の個別テスト回路 30 - 1 ~ 30 - 3 と、/WE2・WESFR発生回路 70 とを備える。図 5 の場合は、コア制御信号としての 3 つの信号（VROWUP 信号、WLDVSEL 信号、BLSEL 信号）を発生するための 3 つの個別テスト回路 30 - 1 ~ 30 - 3 を示している。各個別テスト回路 30 - 1 ~ 30 - 3 は、同一構成であり、シーケンスメモリ回路 40、シフトレジスタ回路 50 および /WE/WE2 制御切替回路 60 により夫々構成されている。また、3 つの個別テスト回路 30 - 1 ~ 30 - 3 に共用される /WE2・WESFR 発生回路 70 が備えられている。第 2 ライトイネーブル信号（/WE2）は、テスト回路 30 内の /WE2・WESFR 発生回路 70 によって自己発生されている。

【0032】

図 6 は、シーケンスメモリ回路 40、シフトレジスタ回路 50 および /WE/WE2 制御切替回路 60 の内部構成例を示すものである。図 7 は、/WE2・WESFR 発生回路 70 の内部構成を示すものである。

【0033】

まず、図 7 の /WE2・WESFR 発生回路 70 について説明する。/WE2・WESFR 発生回路 70 は、コマンド（CMD55_WE2）とデータ Da1-n と第 1 ライトイネーブル信号 /WE 信号に基づいてシフト制御信号 WESFR および第 2 ライトイネーブル信号 /WE2 を作成し、作成したシフト制御信号 WESFR をシフトレジスタ回路 50 に入力し、作成した第 2 ライトイネーブル信号 /WE2 を /WE/WE2 制御切替回路 60 に入力する。シフト制御信号 WESFR は、シフトレジスタ回路 50 にシフト動作を行わせるためのシフトクロックとして使用される。

【0034】

図 7 に示すように、/WE2・WESFR 発生回路 70 は、シーケンスメモリ回路 71 と、シフトレジスタ回路 72 と、パルス自己発生回路 73 と、NAND 回路 74 と、/WE2 発生回路 75 とから構成されている。パルス自己発生回路 73 は、遅延回路 73 a、遅延回路 73 b、NAND 回路 73 c、遅延回路 73 d、NOT 回路 73 e、OR 回路 73 f から構成されている。/WE2 発生回路 75 は、遅延回路 75 a、NOT 回路 75 b、遅延回路 73 b、OR 回路 75 c から構成されている。

【0035】

シーケンスメモリ回路 71 は、シフトレジスタ回路 72 の各段のレジスタに初期値をロードするためのメモリであり、シフトレジスタ回路 72 の段数より 1 段少ない段数に対応する記憶ビット数を有する。シーケンスメモリ回路 71 は、コマンド（CMD55_WE2）の入力をトリガとしてデータ Da1-Dan が書き込まれる。シーケンスメモリ回路 71 には、/WE2 信号が入るサイクルのみを 1 にするようなデータ Da1-Dan を書き込む。シーケンスメモリ回路 71 では、データ Da1 が書き込まれるメモリ 71 - 1 をシーケンス 1 とし、データ Da2 が書き込まれるメモリ 71 - 2 をシーケンス 2 とし、...、データ Dan が書き込まれるメモリをシーケンス n とする。

【0036】

シーケンスメモリ回路 71 に記憶された n ビットのデータは、シフトレジスタ回路 72 の各段のレジスタに初期値 SEQWE1 ~ SEQWE_n として書き込まれる。SEQWE1 がシーケンス 1 に対応し、SEQWE2 がシーケンス 2 に対応し、SEQWE_n がシーケンス n に対応する。シフトレジスタ回路 72 は、シフト制御信号 WESFR の H から L への立ち下がりに基づいてシフト動作を行うもので、シーケンスメモリ回路 71 の記憶ビット数より 1 段多いシフト段数を有する。すなわち、シフトレジスタ回路 72 においては、最終段のレジスタ 72 - 0 には、シーケンスメモリ回路 71 からのデータセット入力が行われない。シフトレジスタ回路 72 の最終段のレジスタ 72 - 0 は、シーケンス 0 に対応している。シフトレジスタ回路 72 においては、複数個のシーケンス単位の繰り返し動作を行うために、最終段のレジスタ 72 - 0 の出力が初段のレジスタ 72 - n の入力に帰還入力されている。シフトレジスタ回路 72 の最終段のレジスタ 72 - 0 の出力は、第 1 WE2 検知信号としてパルス自己発生回路 73 に入力されている。また、シフトレジスタ回路 72 の最終段より 1 段前のレジスタ 72 - 1 の出力は、第 2 WE2 検知信号として /WE2 発生回路 75 に入力されている。

【 0 0 3 7 】

パルス自己発生回路 7 3 は、第 1 WE2 検知信号に基づいて自己発生パルス WE2PLS を O R 回路 7 3 f から出力するための回路であり、O R 回路 7 3 f から出力された自己発生パルス WE2PLS は、N A N D 回路 7 4 によって第 1 ライトイネーブル信号 /WE と N A N D がとられて、正論理のシフト制御信号 WESFR として出力される。パルス自己発生回路 7 3 においては、N A N D 回路 7 3 c によって、第 1 WE2 検知信号を遅延回路 7 3 a で α 時間遅延させた第 1 WE2 検知遅延信号と、第 1 ライトイネーブル信号 /WE を遅延回路 7 3 b で時間 α 遅延させた /WEDLY 信号との N A N D をとることで、第 1 WE2 検知遅延信号が H の期間中のみに、/WEDLY 信号の L から H への立ち上がりをつえる。

【 0 0 3 8 】

10

そして、N A N D 回路 7 3 c の出力を遅延回路 7 3 d で時間 β だけ遅延させることで、O R 回路 7 3 f から出力される自己発生パルス WE2PLS のメーク時間を調整する。また、N O T 回路 7 3 e によって遅延回路 7 3 d の出力を反転する。さらに、O R 回路 7 3 f によって、N O T 回路 7 3 e の出力と、N A N D 回路 7 3 c の出力の論理和をとることで、/WEDLY 信号の立ち下がりから時間 β の期間だけアサートになる自己発生パルス WE2PLS を形成する。N A N D 回路 7 4 では、第 1 のライトイネーブル信号 /WE に自己発生パルス WE2PLS が付加された正論理のシフト制御信号（シフトパルス）WESFR を発生し、発生したシフト制御信号 WESFR をシフトレジスタ回路 7 2 およびシフトレジスタ回路 5 0 に入力する。

【 0 0 3 9 】

20

/WE2 発生回路 7 5 においては、遅延回路 7 5 a によって第 2 WE2 検知信号を時間 α 遅延し、N O T 回路 7 5 b によって遅延回路 7 5 a の出力を反転する。そして、O R 回路 7 5 c によって、N O T 回路 7 5 b の出力である第 2 WE2 検知遅延信号と、第 1 ライトイネーブル信号 /WE を遅延回路 7 3 b で時間 α 遅延させた /WEDLY 信号との論理和をとることで、第 2 ライトイネーブル信号 /WE2 を発生する。

【 0 0 4 0 】

30

つぎに、図 5、図 6 を用いて VROWUP 信号を発生する個別テスト回路 3 0 - 1 の構成について説明する。他の個別テスト回路 3 0 - 2、3 0 - 3 の構成は、個別テスト回路 3 0 - 1 と同様であり、重複する説明は省略する。シーケンスメモリ回路 4 0 は、先に説明したシーケンスメモリ回路 7 1 と同様の構成を有し、シフトレジスタ回路 5 0 の段数に対応する記憶ビット数を有する。シーケンスメモリ回路 4 0 は、シフトレジスタ回路 5 0 の各段のレジスタに初期値 SEQ1 - SEQn をロードするためのメモリであり、シーケンスメモリ回路 4 0 には、パラメータセットコマンド（CMD55_VROWUP）の入力をトリガとしてデータ Db1 - Dbn が書き込まれる。この実施の形態においては、例えば、図 4 に示したシーケンス 0 の期間に、シーケンスメモリ回路 4 0 の記憶データをシフトレジスタ回路 5 0 に初期値としてロードする。

【 0 0 4 1 】

40

図 4 に示すように、VROWUP 信号は、シーケンス 1 の期間に H、シーケンス 2 の期間に H、シーケンス 3 の期間に H であり、このような信号波形を所望する場合は、シーケンスメモリ回路 4 0 のデータ Db1、Db2、Db3 に「1」、「1」、「1」を記憶する。因みに、WLD VSEL 信号は、シーケンス 1 の期間に L、シーケンス 2 の期間に L、シーケンス 3 の期間に H であるので、シーケンスメモリ回路 4 0 のデータ Db1、Db2、Db3 に「0」、「0」、「1」を記憶する。同様に、BLSEL 信号は、シーケンス 1 の期間に L、シーケンス 2 の期間に H、シーケンス 3 の期間に H であるので、シーケンスメモリ回路 4 0 のデータ Db1、Db2、Db3 に「0」、「1」、「1」を記憶する。

【 0 0 4 2 】

シフトレジスタ回路 5 0 は、/WE2・WESFR 発生回路 7 0 から入力されるシフト制御信号 WESFR に基づいてシフト動作を行うもので、複数のシーケンス単位の繰り返し動作を行うために、最終段のレジスタの出力（レジスタ信号 A）が初段のレジスタの入力に帰還入力されている。

【 0 0 4 3 】

50

/WE/WE2制御切替回路60は、NOT回路61と、2個の2入力NAND回路62a、62bから構成されるセットリセットフリップフロップ(SRFF)62と、2個のクロックドNOT回路63a、63bおよび1個のNOT回路63cから構成されるレジスタ回路(ラッチ回路)63と、NOT回路64と、2個のクロックドNOT回路65a、65bおよび1個のNOT回路65cから構成される第1段レジスタ回路(第1段ラッチ回路)65と、2個のクロックドNOT回路66a、66bおよび1個のNOT回路66cから構成される第2段レジスタ回路(第2段ラッチ回路)66と、2個のクロックドNOT回路67a、67bおよび1個のNOT回路67cから構成される第3段レジスタ回路(第3段ラッチ回路)67と、2個のクロックドNOT回路68a、68bおよび2個のNOT回路68c、68dから構成されるセクタ回路68とを備えている。

10

【0044】

レジスタ回路63には、シフトレジスタ回路50の最終段の出力(レジスタ信号A)が入力されており、クロックドNOT回路63a、63bに第1ライトイネーブル信号/WEが入力されているので、レジスタ回路63は、第1ライトイネーブル信号/WEがLに切り替わるときのみに入力信号(レジスタ信号A)をその出力(レジスタ信号C)に転送する。

【0045】

第1段レジスタ回路65には、シフトレジスタ回路50の最終段より1段前の出力(レジスタ信号B)が入力されており、クロックドNOT回路65a、65bに第1ライトイネーブル信号/WEが入力されているので、第1段レジスタ回路65は、第1ライトイネーブル信号/WEがLに切り替わるときのみに入力信号(レジスタ信号B)をその出力(レジスタ信号D)に転送する。

20

【0046】

第2段レジスタ回路66には、レジスタ信号Dが入力されており、クロックドNOT回路66a、66bに第2ライトイネーブル信号/WE2が入力されているので、第2段レジスタ回路66は、第2ライトイネーブル信号/WE2がLに切り替わるときのみに入力信号(レジスタ信号D)をその出力に転送する。同様に、第3段レジスタ回路67には、第2段レジスタ回路66回路の出力が入力されており、クロックドNOT回路67a、67bに第2ライトイネーブル信号/WE2が入力されているので、第3段レジスタ回路67は、第2ライトイネーブル信号/WE2がLに切り替わるときのみに入力信号をその出力(レジスタ信号E)に転送する。

30

【0047】

SRFF62は、第1ライトイネーブル信号/WEおよび第2ライトイネーブル信号/WE2を用いて、レジスタ信号Cとレジスタ信号Eとを切り替えるためのWEWE2スイッチ信号を生成する。セクタ回路68は、WEWE2スイッチ信号に基づいてレジスタ信号Cとレジスタ信号Eとを切替え、その切替え出力をコア制御信号VROWUPとして出力する。

【0048】

つぎに、図8に示すタイムチャートを参照して、コア制御信号としてのVROWUP信号を発生する個別テスト回路30-1および/WE2・WESFR発生回路70の動作について説明する。この動作例では、図4に示したように、第2ライトイネーブル信号/WE2を用いることにより、シーケンス1のサイクル時間Aを第1ライトイネーブル信号/WEのみを使用した場合に比べ短くしている。

40

【0049】

図8に示すように、/WE信号は、所定の周期でLに立ち下がる。/WE2発生回路75で発生させる/WE2信号は、/WE信号と同じL保持時間を有する信号であり、サイクル時間を変更したいシーケンスが終了するタイミングを、/WE2信号のL切り替わり時点で決定する。この場合は、図4に示したように、シーケンス2に/WE2信号を挿入するので、シーケンスメモリ回路71に入力するデータDa1-nとしては、0、1、0、...を入力する。シフトレジスタ回路72の最終段側のレジスタ72-0は、初期値のままの0であり、シフトレジスタ回路72のこれに続く3個のレジスタ72-1、72-2、72-3には、SEQWE1-3

50

信号によって、0, 1, 0が初期セットされる。

【0050】

シフトレジスタ回路72は、WESFR信号の立ち下がりによってシフト動作を行っている。WESFR信号は、前述したように、/WE信号の反転信号と、パルス自己発生回路73で自己発生させた自己発生パルスWE2PLSとの論理和をとったものである。シフトレジスタ回路72の最終段側の4個のレジスタには0, 0, 1, 0がセットされているので、最終段の1つ前のレジスタ72-1から出力される第2WE2検知信号は、WESFR信号の1つ目の立ち下がりによって、時刻t1にHに立ち上がる。第2WE2検知信号は、遅延回路75aによって時間α遅延され、さらにNOT回路75bで反転され、第2WE2検知遅延信号としてNOT回路75bから出力されてOR回路75cに入力される。

10

【0051】

一方、第1ライトイネーブル信号/WEは、遅延回路73bで時間αだけ遅延され、/WEDLY信号として遅延回路73bから出力されてOR回路75cに入力される。そして、OR回路75cによって、/WEDLY信号と第2WE2検知遅延信号の論理和が取られることにより、/WEDLY信号がLに立ち下がった時刻t4から第2WE2検知遅延信号がHに立ち上がるt5までの間のみLとなる第2ライトイネーブル信号/WE2がOR回路75cから発生する。

【0052】

また、最終段のレジスタ72-0から出力される第1WE2検知信号は、WESFR信号の2つ目の立ち下がりによって、時刻t4にHに立ち上がる。第1WE2検知信号は、遅延回路73aによって時間α遅延され、NAND回路73cに入力される。一方、第1ライトイネーブル信号/WEは、遅延回路73bで時間αだけ遅延され、NAND回路73cに入力される。NAND回路73cによって、第1WE2検知遅延信号がHの期間中のみに、/WEDLY信号のLからHへの立ち上がり(時刻t5)を捉える。また、NAND回路73cの出力は遅延回路73dによって自己発生パルスWE2PLSのメーク時間βだけ遅延され、NOT回路73eで反転されてOR回路73fに入力される。OR回路73fによって、NOT回路73eの出力と、NAND回路73cの出力の論理和をとることで、/WEDLY信号の立ち下がり時点t5から遅延時間βの期間だけアサートになる自己発生パルスWE2PLSを形成する。このようにして、パルス自己発生回路73で自己発生パルスWE2PLSが発生され、この自己発生パルスWE2PLSによってWESFR信号にパルスが1個追加される。

20

【0053】

NAND回路74では、第1のライトイネーブル信号/WEと、自己発生パルスWE2PLSとを合成し、この合成信号を正論理のシフト制御信号(シフトパルス)WESFRとしてシフトレジスタ回路72およびシフトレジスタ回路50に入力する。

30

【0054】

一方、シーケンスメモリ回路40に対しては、本テスト回路の動作前の適宜の時点でシフトレジスタ回路50の初期値がロードされる。図4に示すように、VROWUP信号は、シーケンス1の期間にH、シーケンス2の期間にH、シーケンス3の期間にHであるので、シーケンスメモリ回路40のデータDb1、Db2、Db3に「1」、「1」、「1」が記憶される。シーケンスメモリ回路40に記憶された初期値は、シフトレジスタ回路50のシフト動作が開始される前にシフトレジスタ回路50の各レジスタにセットされる。つぎに、レジスタ信号A~Eについて説明する。

40

【0055】

シフトレジスタ回路50の最終段の出力であるレジスタ信号Aには、WESFR信号のLへの立ち下がりに同期して初期値SEQ1、SEQ2、SEQ3、...が順次現れる。SEQ1、SEQ2、SEQ3=1、1、1であるので、レジスタ信号Aは、時刻t1にHに立ち上がりその後所定期間Hを保持する。

【0056】

シフトレジスタ回路50の最終段の1段前の出力であるレジスタ信号Bには、WESFR信号のLへの立ち下がりに同期して初期値SEQ2、SEQ3、...が順次現れる。SEQ2、SEQ3=1, 1であるので、レジスタ信号Bは、最初からHを保持している。

50

【 0 0 5 7 】

レジスタ回路 6 3 の出力であるレジスタ信号 C には、第 1 ライトイネーブル信号 /WE が L に切り替わるときのみに入力信号（レジスタ信号 A）が転送されるので、レジスタ信号 C は、/WE 信号の立ち下がり時点 t 2 で H に立ち上がる。

【 0 0 5 8 】

第 1 段レジスタ回路 6 5 の出力であるレジスタ信号 D には、第 1 ライトイネーブル信号 /WE が L に切り替わるときのみに入力信号（レジスタ信号 B）が転送されるので、レジスタ信号 D は、レジスタ信号 B と同様、最初から H を保持している。

【 0 0 5 9 】

第 2 段レジスタ回路 6 6 は第 2 ライトイネーブル信号 /WE2 が L に切り替わるときのみに入力信号（レジスタ信号 D）をその出力に転送し、第 3 段レジスタ回路 6 7 も第 2 ライトイネーブル信号 /WE2 が L に切り替わるときのみに入力信号をその出力（レジスタ信号 E）に転送するので、レジスタ信号 E は、/WE2 信号の立ち下がり時点 t 3 で H に立ち上がる。

【 0 0 6 0 】

S R F F 6 2 から出力される WEWE2 スイッチ信号は、レジスタ信号 C とレジスタ信号 E との切り替え信号であり、/WE2 信号の立ち下がりによって H に立ち上がり、その後の /WE 信号の立ち下がりによって L に立ち下がる。セクタ回路 6 8 は、WEWE2 スイッチ信号が L のときにはレジスタ信号 C を選択し、H のときにはレジスタ信号 E を選択する。従って、セクタ回路 6 8 の出力である VROWUP 信号は、時刻 t 2 までは L を維持し、時刻 t 2 以降 H を保持する。

【 0 0 6 1 】

このように、第 2 ライトイネーブル信号 /WE2 の制御時においては、/WE 信号が H に切替わった後にシフト制御信号 WESFR の自己生成により、レジスタ信号 A、B は 1 回多くシフト動作を行う。一方、レジスタ信号 C、D は /WE 信号が L に切替える場合のみ入力信号を取り込むので、シフト制御信号 WESFR の自己生成による制御を受けずに、1 回多くシフト動作を行う前のシーケンス情報が保持される。更に /WE2 信号が L に切替える場合のみにレジスタ信号 D がレジスタ信号 E に転送される。その後、WEWE2 スイッチ信号を用いてレジスタ信号 C とレジスタ信号 E の情報をコア制御信号に転送することにより、シーケンス 1 およびシーケンス 3 においてサイクル時間の変更を実現することができる。

【 0 0 6 2 】

つぎに、図 9 に示すタイムチャートを参照して、コア制御信号としての WLDVSEL 信号を発生する個別テスト回路 3 0 - 2 および /WE2・WESFR 発生回路 7 0 の動作について説明する。図 9 に示す、/WE、/WEDLY、第 2 WE2 検知信号、第 2 WE2 検知遅延信号、/WE2、第 1 WE2 検知信号、第 1 WE2 検知遅延信号、WESFR、WEWE2 スイッチ信号の波形は、図 8 と同様である。

【 0 0 6 3 】

図 4 に示すように、WLDVSEL 信号は、シーケンス 1 の期間に L、シーケンス 2 の期間に L、シーケンス 3 の期間に H であるので、シーケンスメモリ回路 4 0 に記憶するデータ Db1、Db2、Db3 として「0」、「0」、「1」を記憶する。

【 0 0 6 4 】

シフトレジスタ回路 5 0 の最終段の出力であるレジスタ信号 A には、WESFR 信号の L への立ち下がりに同期して初期値 SEQ1、SEQ2、SEQ3、... が順次現れる。SEQ1、SEQ2、SEQ3 = 0、0、1 であるので、レジスタ信号 A は、時刻 t 6 に H に立ち上がりその後所定期間 H を保持する。

【 0 0 6 5 】

シフトレジスタ回路 5 0 の最終段の 1 段前の出力であるレジスタ信号 B には、WESFR 信号の L への立ち下がりに同期して初期値 SEQ2、SEQ3、... が順次現れる。SEQ2、SEQ3 = 0、1 であるので、レジスタ信号 B は、時刻 t 4 に H に立ち上がりその後所定期間 H を保持する。

【 0 0 6 6 】

レジスタ回路 6 3 の出力であるレジスタ信号 C には、第 1 ライトイネーブル信号 /WE が L に切り替わるときのみに入力信号 (レジスタ信号 A) が転送されるので、レジスタ信号 C は、/WE 信号の立ち下がり時点 t 7 で H に立ち上がる。

【 0 0 6 7 】

第 1 段レジスタ回路 6 5 の出力であるレジスタ信号 D には、第 1 ライトイネーブル信号 /WE が L に切り替わるときのみに入力信号 (レジスタ信号 B) が転送されるので、レジスタ信号 D は、/WE 信号の立ち下がり時点 t 7 で H に立ち上がる。

【 0 0 6 8 】

第 2 段レジスタ回路 6 6 は第 2 ライトイネーブル信号 /WE2 が L に切り替わるときのみに入力信号 (レジスタ信号 D) をその出力に転送し、第 3 段レジスタ回路 6 7 も第 2 ライトイネーブル信号 /WE2 が L に切り替わるときのみに入力信号をその出力 (レジスタ信号 E) に転送するので、レジスタ信号 E は、図 9 に示す時間の間は L を保持している。

【 0 0 6 9 】

セクタ回路 6 8 は、WEWE2 スイッチ信号が L のときにはレジスタ信号 C を選択し、H のときにはレジスタ信号 E を選択する。従って、セクタ回路 6 8 の出力である WLDVSEL 信号は、時刻 t 7 までは L を維持し、時刻 t 7 以降 H を保持する。

【 0 0 7 0 】

つぎに、図 1 0 に示すタイムチャートを参照して、コア制御信号としての BLSEL 信号を発生する個別テスト回路 3 0 - 3 および /WE2・WESFR 発生回路 7 0 の動作について説明する。図 1 0 に示す、/WE、/WEDLY、第 2 WE2 検知信号、第 2 WE2 検知遅延信号、/WE2、第 1 WE2 検知信号、第 1 WE2 検知遅延信号、WESFR、WEWE2 スイッチ信号の波形は、図 8、図 9 と同様である。

【 0 0 7 1 】

図 4 に示すように、BLSEL 信号は、シーケンス 1 の期間に L、シーケンス 2 の期間に H、シーケンス 3 の期間に H であるので、シーケンスメモリ回路 4 0 に記憶するデータ Db1、Db2、Db3 として「0」、「1」、「1」を記憶する。

【 0 0 7 2 】

シフトレジスタ回路 5 0 の最終段の出力であるレジスタ信号 A には、WESFR 信号の L への立ち下がりに同期して初期値 SEQ1、SEQ2、SEQ3、... が順次現れる。SEQ1、SEQ2、SEQ3 = 0、1、1 であるので、レジスタ信号 A は、時刻 t 4 に H に立ち上がりその後所定期間 H を保持する。

【 0 0 7 3 】

シフトレジスタ回路 5 0 の最終段の 1 段前の出力であるレジスタ信号 B には、WESFR 信号の L への立ち下がりに同期して初期値 SEQ2、SEQ3、... が順次現れる。SEQ2、SEQ3 = 1、1 であるので、レジスタ信号 B は、時刻 t 1 に H に立ち上がりその後所定期間 H を保持する。

【 0 0 7 4 】

レジスタ回路 6 3 の出力であるレジスタ信号 C には、第 1 ライトイネーブル信号 /WE が L に切り替わるときのみに入力信号 (レジスタ信号 A) が転送されるので、レジスタ信号 C は、/WE 信号の立ち下がり時点 t 7 で H に立ち上がる。

【 0 0 7 5 】

第 1 段レジスタ回路 6 5 の出力であるレジスタ信号 D には、第 1 ライトイネーブル信号 /WE が L に切り替わるときのみに入力信号 (レジスタ信号 B) が転送されるので、レジスタ信号 D は、/WE 信号の立ち下がり時点 t 2 で H に立ち上がる。

【 0 0 7 6 】

第 2 段レジスタ回路 6 6 は第 2 ライトイネーブル信号 /WE2 が L に切り替わるときのみに入力信号 (レジスタ信号 D) をその出力に転送し、第 3 段レジスタ回路 6 7 も第 2 ライトイネーブル信号 /WE2 が L に切り替わるときのみに入力信号をその出力 (レジスタ信号 E) に転送するので、レジスタ信号 E は、/WE2 信号の立ち下がり時点 t 3 で H に立ち上がる。

【 0 0 7 7 】

10

20

30

40

50

セクタ回路 68 は、WEWE2 スイッチ信号が L のときにはレジスタ信号 C を選択し、H のときにはレジスタ信号 E を選択する。従って、セクタ回路 68 の出力である BLSEL 信号は、時刻 t3 までは L を維持し、時刻 t3 以降 H を保持する。

【0078】

なお、上記した図 5 ~ 図 7 に示したテスト回路は、第 1 ライトイネーブル信号 /WE のみを使用し、第 2 ライトイネーブル信号 /WE2 を使用しない時にも、正常に動作する。第 2 ライトイネーブル信号 /WE2 の不使用時には、レジスタ信号 A、C のみが使用され、レジスタ信号 B、D、E は不使用になる。このケースでは、レジスタ信号 A は第 1 ライトイネーブル信号 /WE のみから制御されるシフト制御信号 WESFR の L 切替り時から次の L 切替りまでの期間、任意のシーケンスデータを保持し、この期間内に第 1 ライトイネーブル信号 /WE が L に切替ることから、第 1 ライトイネーブル信号 /WE の L 切替り時に任意のシーケンスデータを出力することになる。

【0079】

本テスト回路においては、このようにして発生させたコア制御信号（VROWUP 信号、WLDVSEL 信号、BLSEL 信号）を被試験デバイスとしての ReRAM に入力し、その出力をモニタして確認することで、ReRAM の動作確認テストを実行する。図 11 は、テスト回路 30 と、ReRAM 装置との接続態様を示す図である。ReRAM 装置においては、実機での通常使用モードとテストモードとの切替えが可能となっている。図 11 では、VROWUP 信号を発生するテストシステムのみを図示し、他の WLDVSEL 信号、BLSEL 信号を発生するテストシステムの図示は省略した。

【0080】

図 11 に示すテスト回路 30 においては、/WE 信号の入力側にセクタ 90 を設け、また VROWUP 信号の出力側にセクタ 92 を設けている。セクタ 90 は、オートモードスイッチ信号がオンである場合 /WE 信号を選択し、オートモードスイッチ信号がオフである場合電源電圧 Vcc を選択する。セクタ 92 は、オートモードスイッチ信号がオンである場合テスト回路 30 から出力される VROWUP 信号を選択し、オートモードスイッチ信号がオフである場合実機の制御回路から出力される VROWUP 信号を選択する。

【0081】

このように第 1 の実施の形態においては、通常動作のサイクルの制御に用いる第 1 のライトイネーブル信号 /WE の他に第 2 ライトイネーブル信号 /WE2 を使用可能としているので、任意のサイクルを局所的に他のサイクルと異なるサイクル時間に設定することが可能となり、高速動作する ReRAM のワード線およびビット線の活性/非活性化の時間間隔の限界時間の動作確認テストが可能となる。また、第 2 ライトイネーブル信号 /WE2 を、第 1 のライトイネーブル信号 /WE に基づきテスト回路 30 内でシーケンスメモリ回路 71 と遅延回路 75a、73b のみの制御により自己発生させているので、第 2 ライトイネーブル信号 /WE2 用の信号パッドが不要となり、第 2 ライトイネーブル信号 /WE2 を外部入力する場合に比べ、テスト回路のチップサイズが削減され、テストコストも削減される。

【0082】

（第 2 の実施の形態）

次に、図 12、図 13 に従ってこの発明の第 2 の実施の形態について説明する。図 12 は、/WE2・WESFR 発生回路 70 で使用する遅延回路 73a、73b、73d、75a の具体例を示すものである。図 12 に示す遅延回路では、遅延インバータの段数を 4 段階に切り替え可能としている。図 12 に示す遅延回路では、図 13 に示すように、遅延時間制御信号 F_DLYADJ<1>、F_DLYADJ<0> をデフォルトの 00 から 01、10、11 に切り替えることにより遅延時間をインバータ段数が 12 段分、16 段分、20 段分、8 段分に切り替え可能である。このような遅延回路を用いれば、遅延時間のソフトセットまたはヒューズトリム等による調整が実現できる。

【0083】

（第 3 の実施の形態）

次に、図 14 に従ってこの発明の第 3 の実施の形態について説明する。この第 3 の実施

の形態においては、第 1 の実施の形態で説明したテスト回路 3 0 を R e R A M 装置の実機内に搭載しており、この R e R A M 装置においては、実機での通常使用モードとテストモードとの切替えが可能となっている。図 1 4 では、VROWUP 信号を発生するテストシステムのみを図示し、他の WLDVSEL 信号、BLSEL 信号を発生するテストシステムの図示は省略した。

【 0 0 8 4 】

図 1 4 に示す R e R A M 装置においては、/WE 信号および /WE2 信号の入力側にセレクタ 9 0 を設け、また VROWUP 信号の出力側にセレクタ 9 2 を設けている。セレクタ 9 0 は、オートモードスイッチ信号がオンである場合 /WE 信号を選択し、オートモードスイッチ信号がオフである場合電源電圧 Vcc を選択する。セレクタ 9 2 は、オートモードスイッチ信号がオンである場合テスト回路 3 0 から出力される VROWUP 信号を選択し、オートモードスイッチ信号がオフである場合、実機の制御回路から出力される VROWUP 信号を選択する。

10

【 0 0 8 5 】

第 3 の実施の形態によれば、テスト回路 3 0 を R e R A M 装置の実機内に搭載しているので、実機での動作確認テストが可能となる。

【 0 0 8 6 】

なお、本テスト回路から発生するコア制御信号としては、VROWUP 信号、WLDVSEL 信号、BLSEL 信号の他に MWLSEL 信号、BLSWSEL、PRECHG、/STRB などを採用するようにしてもよい。

【 0 0 8 7 】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

20

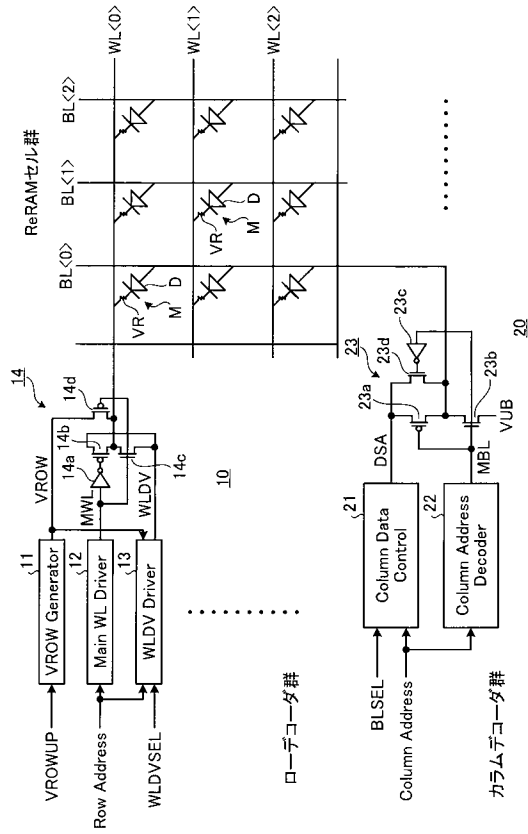
【 符号の説明 】

【 0 0 8 8 】

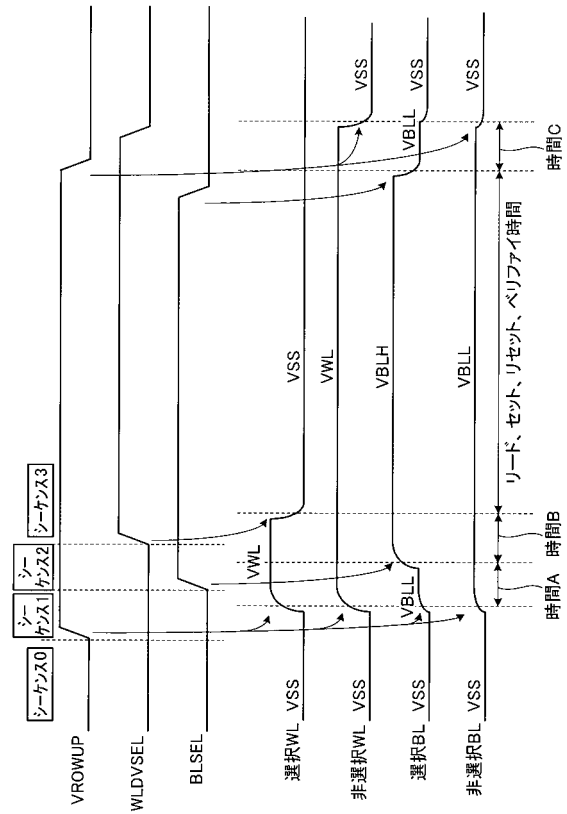
1 0 ローデコーダ、 2 0 カラムデコーダ 3 0 テスタ回路（テスト回路）、 4 0 シーケンスメモリ回路、 5 0 シフトレジスタ回路、 6 0 /WE/WE2 制御切替回路、 7 0 /WE2・WESFR 発生回路、 7 1 シーケンスメモリ回路、 7 2 シフトレジスタ回路、 7 3 パルス自己発生回路、 7 5 /WE2 発生回路、 9 0 、 9 2 セレクタ。

30

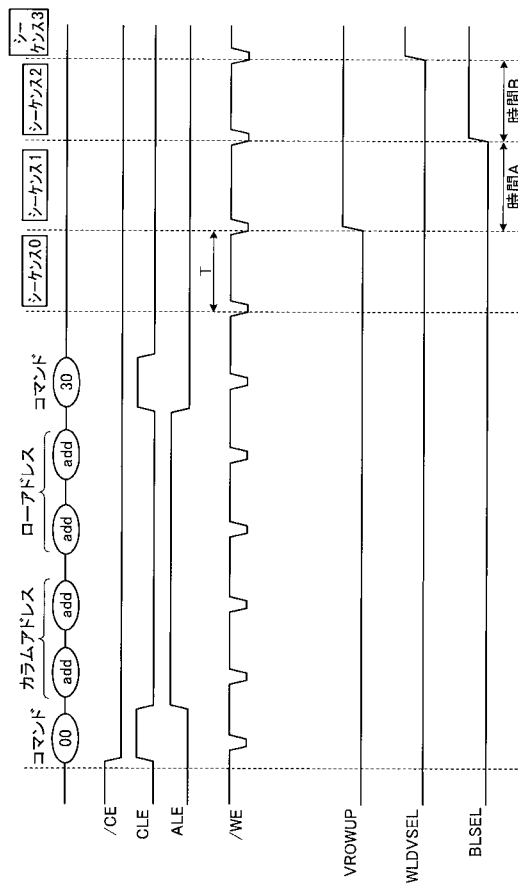
【 図 1 】



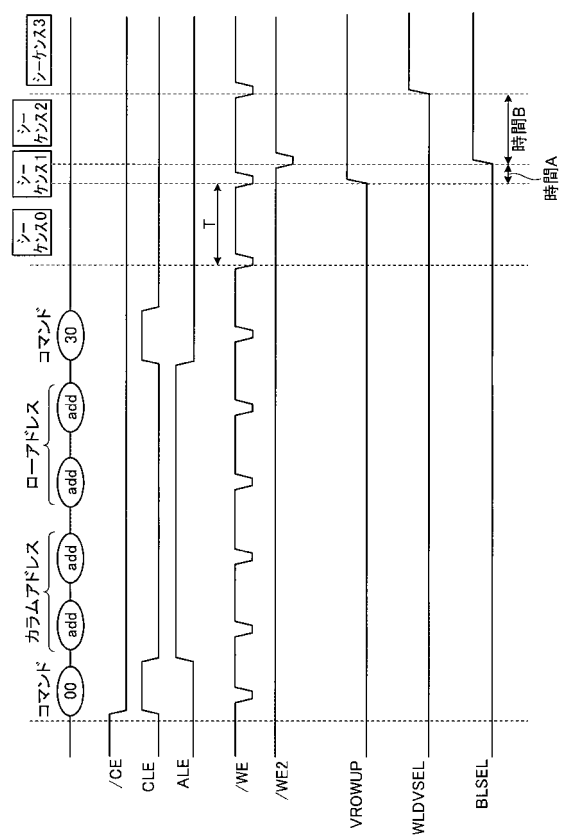
【 図 2 】



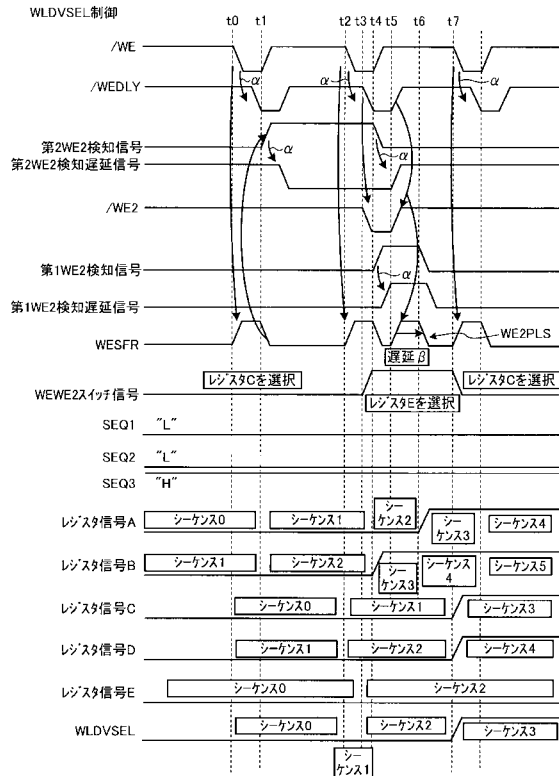
【 図 3 】



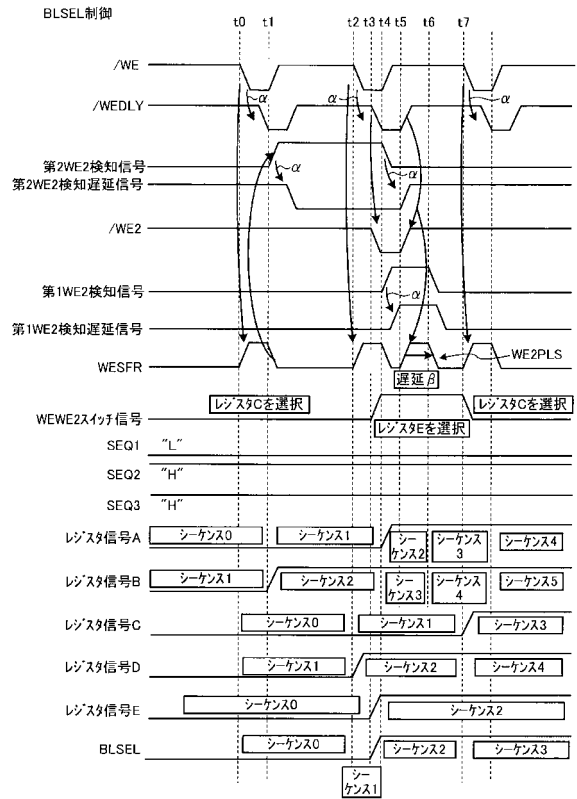
【 図 4 】



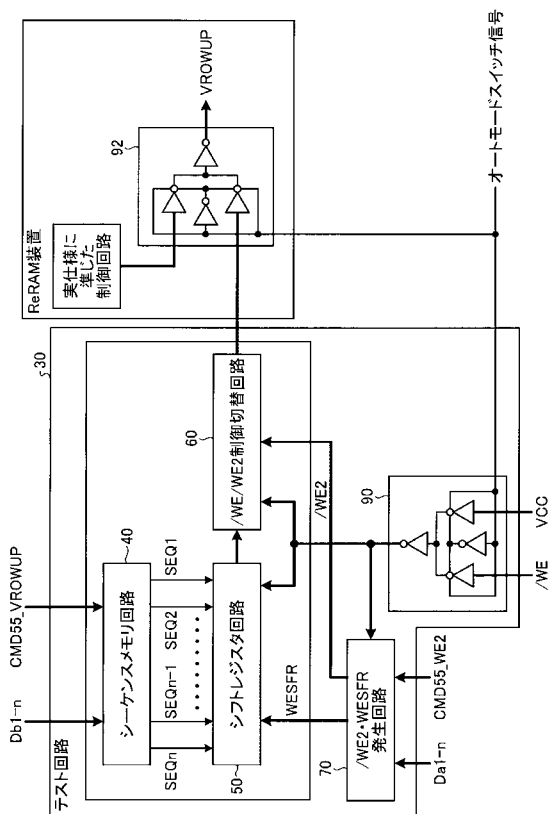
【図 9】



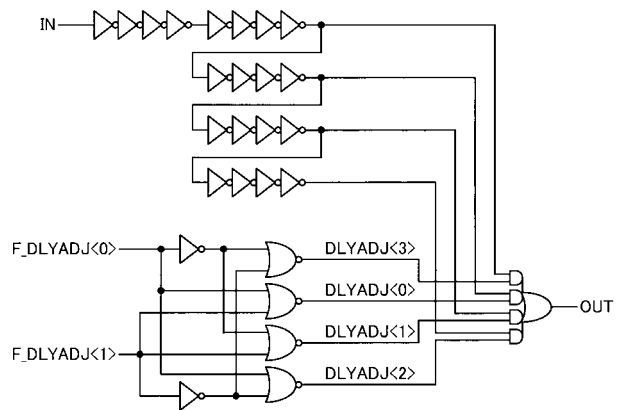
【図 10】



【図 11】



【図 12】



【図 13】

F_DLYADJ<1>	F_DLYADJ<0>	選択DLYADJ	遅延インバータ段数
0	0	<0>	12
0	1	<1>	16
1	0	<2>	20
1	1	<3>	8

【図 14】

