



Patent dodatkowy
do patentu nr _____

Zgłoszono: 18.04.78 (P. 206189)

Pierwszeństwo: 20.04.77 Wielka Brytania

Zgłoszenie ogłoszono: 18.12.78

Opis patentowy opublikowano: 30.05.1983

CZYTELNIA

Urzędu Patentowego
Polskiej Rzeczypospolitej Ludowej

Int. Cl.³ G06F 9/22

Twórca wynalazku _____

Uprawniony z patentu: International Computers Limited, Londyn
(Wielka Brytania)

Układ przetwarzania danych

1

Przedmiotem wynalazku jest układ przetwarzania danych.

Znany układ przetwarzania danych ma zwykle zespół sterujący, zespół zegarowy do wytwarzania impulsów zegarowych, które określają przebieg działania zespołu sterującego, a ponadto ma co najmniej jeden zespół pamięciowy. Zespoły pamięciowe są łączone z zespołem sterującym odłączalnie, wobec czego można je łatwo wyłączać i zmieniać w zależności od potrzeby.

Celem wynalazku jest opracowanie układu przetwarzania danych, który może być łatwo przystosowany do pracy przy różnych prędkościach.

Układ przetwarzania danych, zawierający zespół sterujący, zespół zegarowy dołączony do zespołu sterującego dla określania przebiegu działania tego zespołu sterującego oraz wiele zespołów pamięciowych odłączalnie połączonych z zespołem sterującym, według wynalazku charakteryzuje się tym, że każdy zespół pamięciowy ma terminal, którego elektryczne własności zapewniają wskazanie czasu dostępu tego zespołu pamięciowego.

Ponadto zespół zegarowy zawierający obwody logiczne jest połączony z terminalami zespołów pamięciowych dla ustawienia częstotliwości zespołu zegarowego na wartość opowiadającą czasowi dostępu najwolniejszych zespołów pamięciowych.

Elektryczny terminal jest połączony wewnętrznie do potencjału zerowego zespołu pamięciowego, ewentualnie jest obwodem otwartym zależnie od

2

tego czy zespół pamięciowy jest typu względnie powolnego, czy szybkiego.

Przedmiot wynalazku został bliżej objaśniony w przykładzie wykonania na rysunku, na którym fig. 1 przedstawia układ przetwarzania danych, fig. 2 — wolny zespół pamięciowy z terminalem połączonym z potencjałem zerowym, fig. 3 — szybszy zespół pamięciowy, a fig. 4 przedstawia zespół zegarowy układu.

Na figurze 1 pokazano, że układ ma zespół mikroprogramów oraz wiele pamięciowych zespołów 2 sterowania. Na przykład każdy pamięciowy zespół 2 stanowi płytkę obwodów drukowanych, na której jest wiele pamięciowych elementów w postaci układów scalonych. Te płytki są połączone wtykowo w konwencjonalnym zestawie montażowym obwodów typu „półka na książki”, przy czym każda płytka jest łatwo wyjmowana i wkładana.

Podczas pracy zespół sterujący 1 doprowadza sekwencję mikrorozkazów z pamięciowych zespołów 2 poprzez łącze 3 oraz dekoduje i wykonuje kolejno każdy mikrorozkaz. Prędkość, z jaką są doprowadzane mikrorozkazy i wykonywane, sterowana jest przez zegarowy zespół 4, który wysyła impulsy zegarowe do sterującego zespołu 1 odpowiednią linią 5.

Każdy pamięciowy zespół 2 może być jednym z dwóch różnych rodzajów. Pierwszy rodzaj jest stosunkowo powolny i jest zespołem tanim, mającym czas dostępu cyklu 300 ns. Drugi rodzaj jest zespo-

łem stosunkowo kosztowniejszym, z krótszym czasem cyklu 150 ns.

Każda jednostka pamięciowa ma terminal **X** jak na fig. 1, a wszystkie terminale **X** są połączone linią 6 i przyłączone do terminala **Y** w zespole zegarowym 4.

Na figurze 2 przedstawiono wersję wolniejszą zespołu pamięciowego przy czym terminal **X** jest wewnętrznie dołączony do potencjału zerowego.

Na figurze 3 w wersji szybszej terminal **X** nie jest dołączony do potencjału zerowego. W ten sposób terminal **X** umożliwia elektryczną identyfikację czy zespół pamięciowy jest zespołem szybkim, czy wolnym.

Na figurze 4 terminal **Y** w zespole zegarowym jest dołączony poprzez rezystor 10 do napięcia zasilania +5 V. Jeżeli wszystkie zespoły pamięciowe są typu szybkiego jak na fig. 3, to terminal **Y** ma napięcie prawie +5 V, ale jeżeli jakikolwiek zespół jest typu wolnego, jak na fig. 2, to terminal **Y** będzie miał napięcie 0 V.

Zespół zegarowy 4 zawiera krystaliczny oscylator 11, który wytwarza impuls co każde 150 ns. Te impulsy są doprowadzane do dwustabilnego elementu 12 dzielącego przez dwa, dla wytwarzania drugiego powolniejszego ciągu impulsów z częstotliwością 300 ns.

Sygnal na terminalu **Y** steruje wybieraniem albo impulsów szybkich, albo wolnych, jako sygnał zegarowy dla zasilania zespołu sterującego. Jeżeli terminal **Y** ma napięcie +5 V, to bramka elementu logicznego I 15 uzyskuje zezwolenie, za pomocą elementu logicznego NIE 16, a to umożliwia przejście wolnych impulsów od dwustabilnego elementu 12 przez element logiczny I 15, oraz przez element LUB 14 do linii 5.

W ten sposób częstość pojawiania się impulsów zegarowych zostaje automatycznie regulowana odpowiednio do czasu dostępu cykli zespołów pamięciowych. Zaletą takiego rozwiązania jest, że układ przetwarzania danych może być sprzedany użytkownikowi początkowo z jednostkami pamięciowymi powolnymi, tańszymi.

Jeżeli użytkownik po pewnym czasie chce swój układ usprawnić, może zastąpić zespoły powolne zespołami szybkimi, droższymi, natomiast prędkość zegarowa zostanie automatycznie zwiększona uwzględniając dokonaną zmianę.

Zastrzeżenia patentowe

1. Układ przetwarzania danych, zawierający zespół sterujący, zespół zegarowy dołączony do zespołu sterującego dla określenia przebiegu działania tego zespołu sterującego oraz wiele zespołów pamięciowych, z których każdy jest odłączalnie połączony z zespołem sterującym, **znamienny tym**, że każdy zespół pamięciowy (2) ma terminal (**X**), którego elektryczne własności zapewniają wskazanie czasu dostępu tego zespołu pamięciowego (2), a ponadto zespół zegarowy (4) zawierający obwody logiczne (13, 15, 16) jest połączony z terminalami (**X**) zespołów pamięciowych (2) dla ustawienia częstotliwości zespołu zegarowego (4) na wartość odpowiadającą czasowi dostępu najwolniejszych zespołów pamięciowych (2).

2. Układ według zastrz. 1, **znamienny tym**, że elektryczny terminal (**X**) jest połączony wewnętrznie do potencjału zerowego zespołu pamięciowego (2), ewentualnie jest obwodem otwartym zależnie od tego czy zespół pamięciowy (2) jest typu względnie powolnego, czy szybkiego.

