

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 11 月 1 日(01.11.2012)



(10) 国際公開番号

WO 2012/147662 A1

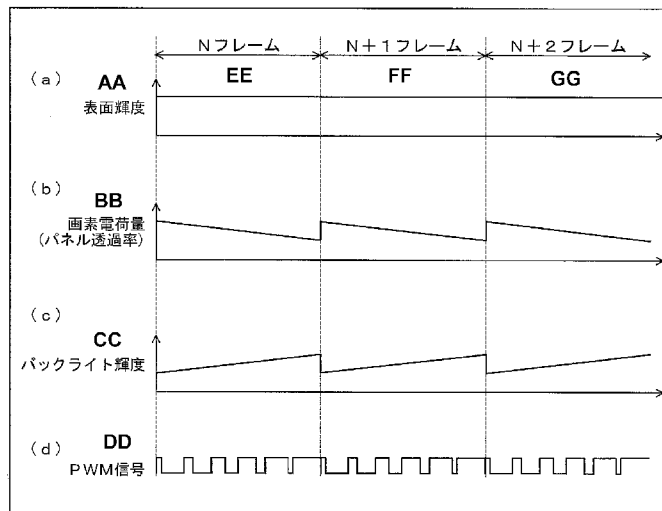
- (51) 国際特許分類:
G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01) G09G 3/34 (2006.01)
- (21) 国際出願番号: PCT/JP2012/060777
- (22) 国際出願日: 2012 年 4 月 20 日(20.04.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-100078 2011 年 4 月 27 日(27.04.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 横沼 真介
(YOKONUMA, Shinsuke). 鷺尾 一 (WASHIO,
Hajime).
- (74) 代理人: 特許業務法人原謙三国際特許事務所
(HARAKENZO WORLD PATENT & TRADEMARK);
〒5300041 大阪府大阪市北区天神橋 2 丁目北 2
番 6 号 大和南森町ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,

[続葉有]

(54) Title: LIQUID CRYSTAL DISPLAY DEVICE AND DRIVING METHOD THEREFOR

(54) 発明の名称: 液晶表示装置及びその駆動方法

[図11]



(57) Abstract: A liquid crystal display device is provided with a liquid crystal display panel for displaying an image and a backlight for applying light to the liquid crystal display panel. The brightness of the backlight is increased so as to compensate for a decrease in the display brightness of the liquid crystal display panel due to the discharge of electric charge retained in a pixel. Consequently, flicker in the display of the liquid crystal display panel can be suppressed without an increase in power consumption.

(57) 要約: 画像を表示する液晶表示パネルと、該液晶表示パネルに光を照射するバックライトとを備え、画素に保持される電荷の放電に起因する上記液晶表示パネルにおける表示輝度の低下分を補償するように、上記バックライトの輝度を高める。これにより、消費電力を増大させることなく、液晶表示パネルにおける表示のフリッカを抑制できる。

AA Surface brightness
BB Pixel charge quantity (panel transmissivity)
CC Backlight brightness
DD PWM signal
EE N frame
FF (N+1) frame
GG (N+2) frame

WO 2012/147662 A1



MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, 添付公開書類:
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, — 国際調査報告 (条約第 21 条(3))
ML, MR, NE, SN, TD, TG).

明 細 書

発明の名称：液晶表示装置及びその駆動方法

技術分野

[0001] 本発明は、液晶表示装置及びその駆動方法に関するものである。

背景技術

[0002] 近年、液晶表示装置には、画素に書き込まれた画像データを画素内のメモリ回路に保持して表示を行う液晶表示装置（以下、メモリ型液晶表示装置と称す）が提案されている（特許文献1等）。多階調の動画を表示する通常動作においては、データ信号線を介して画素に1フレームごとに新しい画像データに書き換えて表示を行う一方、静止画を表示するメモリ動作においては、書き換え用の画像データを供給することなく、メモリ回路に保持した画像データを用いて表示を行う。

[0003] そのため、メモリ動作においては、走査信号線およびデータ信号線を駆動する駆動回路の動作を停止させることが可能になるため、消費電力を大幅に削減することができる。したがって、メモリ動作は、携帯電話の待ち受け画面表示などの低消費電力化の要求が強い画像表示の際によく用いられる。

[0004] 特許文献1の液晶表示装置では、1画素ごとに1つのメモリ回路（図19のDM18）が設けられており、各メモリ回路に保持された画像データにより静止画表示を行う構成を有している。

先行技術文献

特許文献

[0005] 特許文献1：日本国公開特許公報「特開2002-229532号公報（2002年8月16日公開）」

発明の概要

発明が解決しようとする課題

[0006] このようなメモリ型液晶表示装置では、一般に、低消費電力化を実現するためにフレーム周波数（フレームレート）を低く設定している。しかし、フ

レーム周波数が低いと、図8に示すように、メモリ回路に保持されているメモリ回路内データの画素電荷量（画素電位）が、自然放電（リーク）により徐々に低下し、液晶表示パネルの透過率の低下に繋がる。そして、Nフレームにおいて低下した透過率は、次のN+1フレームにおける書き込み動作により、画素電荷量が上昇する（充電される）ことにより元の透過率に戻る。このような透過率の低下および上昇を繰り返すことにより、表示画面における輝度（表示輝度、表面輝度）が周期的に変化し、フリッカが視認されるという問題が生じる。

[0007] そこで、画素電荷量の低下を防ぐために、フレーム周波数を高くすることが考えられる。しかし、この方法では、消費電力が増大し、メモリ型液晶表示装置の本来の利点が失われてしまう。なお、このようなフリッカの問題は、メモリ回路を備えていない通常の液晶表示装置においても起こり得る。

[0008] 本発明は、上記従来の問題点に鑑みなされたものであり、その目的は、消費電力を増大させることなく、液晶表示パネルにおける表示のフリッカを抑制できる液晶表示装置及びその駆動方法を提供することにある。

課題を解決するための手段

[0009] 本発明に係る液晶表示装置およびその駆動方法は、上記の課題を解決するために、

画像を表示する液晶表示パネルと、該液晶表示パネルに光を照射するバックライトとを備え、

画素に保持される電荷の放電に起因する上記液晶表示パネルにおける表示輝度の低下分を補償するように、上記バックライトの輝度を高めることを特徴とする。

[0010] 液晶表示パネルの表示輝度（表面輝度）は、画素電荷量およびバックライト輝度に応じて変化するため、画素電荷量の低下に起因する表示輝度の低下分を、バックライト輝度の増加に起因する表示輝度の増加分で補償することにより、液晶表示パネルの表示輝度を一定に維持することができる。これにより、フリッカを抑制することができる。また、フレーム周波数を高くする

必要がないため、消費電力の増大を防ぐこともできる。

発明の効果

[0011] 以上のように、本発明に係る液晶表示装置及びその駆動方法では、画像を表示する液晶表示パネルと、該液晶表示パネルに光を照射するバックライトとを備え、画素に保持される電荷の放電に起因する上記液晶表示パネルにおける表示輝度の低下分を補償するように、上記バックライトの輝度を高める構成である。これにより、消費電力を増大させることなく、液晶表示パネルにおける表示のフリッカを抑制できる。

図面の簡単な説明

[0012] [図1]実施の形態1に係る液晶表示装置の全体構成を示すブロック図である。

[図2]図1の液晶表示装置における液晶表示パネルおよびバックライトの概略構成を示す断面図である。

[図3]R画素、G画素、およびB画素の3つの画素からなる表示画素の画素領域に形成される回路の構成を示す等価回路図である。

[図4]図1の液晶表示装置におけるメモリ回路の詳細な構成を示す等価回路図である。

[図5](a)～(h)は、1行目、2行目、3行目、m行目のゲートバスラインGL1、GL2、GL3、GLm、および1行目、2行目、3行目、m行目のメモリ駆動選択ラインSEL1、SEL2、SEL3、SELmの信号波形図である。

[図6]図4のメモリ回路におけるメモリ内データMDの値が「1」である表示画素について黒表示を行う場合の信号波形図である。

[図7]図4のメモリ回路におけるメモリ内データMDの値が「0」である表示画素について白表示を行う場合の信号波形図である。

[図8]従来のメモリ型液晶表示装置におけるメモリ回路に保持されているメモリ内データの画素電荷量の変化、および、このときの液晶表示パネルの透過率の低下を模式的に示す図である。

[図9]実施の形態1に係る液晶表示装置の画素電荷量およびバックライト輝度

の変化の様子を模式的に示す図である。

[図10]図1に示した液晶表示装置における、液晶表示パネルとバックライトとの関係を示すブロック図である。

[図11]図9にPWM信号を加えた図である。

[図12]変形例1に係る液晶表示装置の全体構成を示すブロック図である。

[図13]図12に示した液晶表示装置における、液晶表示パネルとバックライトとの関係を示すブロック図である。

[図14]実施の形態2に係る液晶表示装置の全体構成を示すブロック図である。

[図15]図14の液晶表示装置におけるメモリ回路の詳細な構成を示す等価回路図である。

[図16]図14の液晶表示装置におけるメモリ回路の構成を模式的に示すブロック図である。

[図17]図14の液晶表示装置におけるメモリ回路の書き込み動作を示すタイミングチャートである。

[図18]図14の液晶表示装置におけるメモリ回路の書き込み動作を示すタイミングチャートである。

[図19]従来の液晶表示装置における画素の等価回路図である。

発明を実施するための形態

[0013] 〔実施の形態1〕

本発明の一実施の形態について図面を用いて説明する。なお、以下では、メモリ回路（特にSRAM型）を備えた液晶表示装置（以下、単に「液晶表示装置」という。）を例に挙げて説明するが、本発明の液晶表示装置は、これに限定されるものではなく、メモリ回路を備えていない通常の液晶表示装置も含まれる。

[0014] 本実施の形態に係る液晶表示装置は、画素に書き込まれた画像データを画素内のメモリ回路に保持して、データ保持期間に、メモリ回路に保持された画像データにより表示を行うメモリ型液晶表示装置であり、例えば、携帯電

話の動作時の画面表示等に用いられる多色（多階調）表示モード（通常動作モード）と、携帯電話の待ち受け時の画面表示等に用いられるメモリ動作モードとを切り替えて動作する。なお、本液晶表示装置は、メモリ動作モードのみにより表示を行う液晶表示装置も含まれる。

[0015] また、本液晶表示装置は、液晶表示パネルの背面側に設けられた光源（バックライト）の輝度（バックライト輝度）を調整することにより、液晶表示パネルにおける表示輝度（表面輝度）を均一にして、フリッカを低減する構成を有する。

[0016] 図1は、本実施の形態に係る液晶表示装置1の全体構成を示すブロック図である。液晶表示装置1は、液晶表示パネル10、表示制御回路20、および、バックライト70（図2参照）を備えている。液晶表示パネル10には、ソースドライバ30（データ信号線駆動回路）、ゲートドライバ40（走査信号線駆動回路）、表示部50、および、供給電圧生成回路としてのメモリ駆動用ドライバ60が含まれている。

[0017] 表示制御回路20には、メモリ駆動制御部21、および、PWM信号生成部22（図1および図10参照）が含まれている。

[0018] 表示部50には、ソースバスライン（データ信号線）SL、ゲートバスライン（走査信号線）GL、後述するメモリ駆動選択ラインSEL、第1の電圧供給ラインAL、第2の電圧供給ラインBL、第1の電源ラインVLCH、および第2の電源ラインVLCが含まれている（図3参照）。なお、ソースバスラインSLはソースドライバ30に接続され、ゲートバスラインGLおよびメモリ駆動選択ラインSELはゲートドライバ40に接続され、第1の電圧供給ラインALおよび第2の電圧供給ラインBLはメモリ駆動用ドライバ60に接続されている。

[0019] 表示部50は、ゲートバスラインGLとソースバスラインSLとの交差点にそれぞれ対応して設けられた複数個の画素を含んでいる。各画素は、表示すべき画像に応じた電圧を後述の液晶容量に印加するための画素電極と、上記複数の画素に共通的に設けられた対向電極である共通電極と、画素電極お

よび共通電極の間に挟持された液晶層とからなっている。また、必要に応じて、画素電極および共通電極により形成される液晶容量に並列して保持容量が付加される。

[0020] また、表示部50には、R（赤色）用、G（緑色）用、およびB（青色）用の3つの画素（R画素、G画素、B画素）からなる表示画素ごとに、1ビットのデータの保持が可能な記憶回路としてのメモリ回路MRが設けられている。なお、表示画素は、さらにW画素やY画素などを含み、4つあるいはそれ以上の画素で構成されていても良い。

[0021] ここで、液晶表示装置1はノーマリーホワイト型であるものとして説明する。また、液晶表示装置1においては、駆動方法が「通常動作モード」と「メモリ動作モード」とで切り替えられる。

[0022] 表示制御回路20は、外部から送られる画像データDATと動作モード選択信号Mとを受け取り、デジタル映像信号DVと、表示部50における画像表示を制御するためのソーススタートパルス信号SSP、ソースクロック信号SCK、ラッチストロープ信号LS、ゲートスタートパルス信号GSP、ゲートクロック信号GCK、第1の供給電圧制御信号SAL、第2の供給電圧制御信号SBL、および、メモリ駆動制御信号SSELを出力する。また、表示制御回路20は、PWM信号生成部22により生成されたPWM（pulse width modulation）信号（駆動信号）を、バックライト70に供給する。PWM信号生成部22の詳細については、図11を用いて後述する。

[0023] バックライト70は、例えばLED（Light Emitting Diode：発光ダイオード）などで構成され、液晶表示パネル10の背面側に設けられている。

[0024] ソースドライバ30は、表示制御回路20から出力されたデジタル映像信号DV、ソーススタートパルス信号SSP、ソースクロック信号SCK、およびラッチストロープ信号LSを受け取り、各ソースバスラインSLに駆動用の映像信号（データ信号）を印加する。

[0025] ゲートドライバ40は、通常動作時には、全m本のゲートバスラインGLそれぞれを1水平走査期間ずつ順次に選択するために、表示制御回路20か

ら出力されたゲートスタートパルス信号GSPとゲートクロック信号GCKとに基づいて、アクティブな走査信号（ゲート信号）の各ゲートバスラインGLへの印加を、1垂直走査期間（1フレーム）を周期として繰り返す。

[0026] 通常動作からメモリ動作に切り替わる際には、ゲートドライバ40は、各ゲートバスラインGLを1水平走査期間ずつ順次に選択するために、表示制御回路20から出力されたゲートスタートパルス信号GSPとゲートクロック信号GCKとに基づいて、アクティブな走査信号を各ゲートバスラインGLに順次に印加するとともに、各メモリ駆動選択ラインSELを1水平走査期間ずつ順次に選択するために、表示制御回路20から出力されたメモリ駆動制御信号SSELとゲートクロック信号GCKとに基づいて、アクティブな信号を各メモリ駆動選択ラインSELに順次に印加する。

[0027] メモリ動作時には、ゲートドライバ40は、各ゲートバスラインGLへのアクティブな走査信号の印加を停止し、全て（m本）のメモリ駆動選択ラインSEL1～SELmにアクティブな信号を印加する。

[0028] メモリ駆動用ドライバ60は、表示制御回路20から出力された第1の供給電圧制御信号SALおよび第2の供給電圧制御信号SBLに基づいて、第1の電圧供給ラインALおよび第2の電圧供給ラインBLに電圧信号を印加する。

[0029] （表示画素の回路構成）

図2は、液晶表示パネル10およびバックライト70の概略構成を示す断面図である。なお、図2では、便宜上、各信号線は省略している。

[0030] 液晶表示パネル10は、図2に示すように、互いに対向して配置されたアクティブマトリクス基板11および対向基板12と、これら両基板11、12の間に設けられた液晶層13とを備えている。バックライト70は、液晶表示パネル10の背面側に設けられ、液晶表示パネル10に光を照射する。

[0031] アクティブマトリクス基板11は、ガラス基板14上に、互いに平行に延びるように設けられた複数本（m本）のゲートバスラインGLと、ゲートバスラインGLに直交する方向に互いに平行に延びるように設けられた複数本

のソースバスラインSLと、ゲートバスラインGLおよびソースバスラインSLの各交差部分に設けられたスイッチ素子のトランジスタTFT（図示せず）とを備えている。トランジスタTFTを覆うように層間絶縁膜15が積層され、その層間絶縁膜15の上層に画素電極16が設けられている。

[0032] 対向基板12は、ガラス基板17上にブラックマトリクス（図示せず）およびカラーフィルタ18が形成され、その上層に共通電極19（com、対向電極）が形成され、さらにこれを覆うように配向膜（図示せず）が形成されている。

[0033] 図3は、R画素、G画素、およびB画素の3つの画素からなる表示画素の画素領域に形成される回路（以下、「表示画素回路」と称す）の構成を示す等価回路図である。この表示画素回路は、3つの画素に共通的な構成の共通部50R、50Gおよび50Bと、記憶回路としてのメモリ回路MR、MGおよびMBとを備えている。

[0034] 共通部50R、50Gおよび50Bの構成については、R色用のR画素の共通部50Rの構成を例に挙げて説明する。共通部50Rは、N型TFTで実現されるスイッチSWR1、SWR3およびSWR4と、P型TFTで実現されるスイッチSWR2と、液晶容量51Rと、保持容量53Rとを備えている。液晶容量51Rおよび保持容量53Rの一端は画素電極55R（図2の符号16に相当）に接続されている。また、液晶容量51Rの他端は共通電極52（図2の符号19に相当）に接続され、保持容量53Rの他端は保持容量電極54に接続されている。

[0035] 共通部50R内のスイッチSWR1については、ゲート端子はゲートバスラインGLに接続され、ソース端子はソースバスラインSLRに接続され、ドレイン端子はスイッチSWR2のソース端子およびスイッチSWR4のソース端子に接続されている。スイッチSWR2およびスイッチSWR3については、ともにゲート端子がメモリ駆動選択ラインSELに接続され、ドレイン端子が画素電極55Rに接続されている。また、スイッチSWR3のソース端子はメモリ回路MRに接続されている。

[0036] 上記の構成により、スイッチSWR2およびスイッチSWR3により切替回路が実現されている。すなわち、スイッチSWR2およびスイッチSWR3（切替回路）は、画素電極55Rに与えられる電圧信号を、スイッチSWR1を介してソースバスラインSLRから与えられる電圧信号（映像信号）と、メモリ回路MRから与えられる電圧信号との間で切り替える。

[0037] （メモリ回路の回路構成）

次に、メモリ回路MRの詳細な構成について説明する。図4は、メモリ回路MRの詳細な構成を示す等価回路図である。このメモリ回路MRは、P型TFTとN型TFTとからなるCMOSスイッチSWM1およびSWM2と、N型TFTで実現されるスイッチSWM4およびSWM6と、P型TFTで実現されるスイッチSWM3、SWM5およびSWM7とを備えている。

[0038] スイッチSWM3およびSWM5のソース端子は、第1の電源ラインVLCHに接続されている。一方、スイッチSWM4およびSWM6のソース端子は、第2の電源ラインVLC Lに接続されている。スイッチSWM7のゲート端子は、ゲートバスラインGLに接続されている。スイッチSWM3およびSWM4からなる回路、および、スイッチSWM5およびSWM6からなる回路は、インバータ回路として機能し、スイッチSWM7はトランスファゲートとして機能している。

[0039] 上記の構成により、スイッチSWM3、SWM4、SWM5、SWM6、およびSWM7からなる回路は、1ビットのデータを保持するデータ保持回路59として機能している。

[0040] スイッチSWM1については、入力端子は第1の電圧供給ラインALに接続され、出力端子はスイッチSWR3のソース端子およびスイッチSWM2の出力端子に接続されている。スイッチSWM2については、入力端子は第2の電圧供給ラインBLに接続され、出力端子はスイッチSWR3のソース端子およびスイッチSWM1の出力端子に接続されている。

[0041] スイッチSWM1のN型TFTのゲート端子は、スイッチSWR4のドレイン端子およびデータ保持回路59に接続されている。スイッチSWM1の

P型TFTのゲート端子は、スイッチSWM2のN型TFTのゲート端子およびデータ保持回路59に接続されている。スイッチSWM2のN型TFTのゲート端子は、スイッチSWM1のP型TFTのゲート端子およびデータ保持回路59に接続されている。スイッチSWM2のP型TFTのゲート端子は、データ保持回路59に接続されている。

[0042] 上記の構成は、ソースバスラインSLRだけではなく、ソースバスラインSLGおよびSLBにも同様に構成されており、RGBそれぞれのデータがメモリ回路MR、MG、およびMBに格納される。

[0043] (駆動方法)

次に、図3、図4および図5を参照しつつ、液晶表示装置1の駆動方法について説明する。なお、液晶表示装置1にはm本のゲートバスラインが設けられているものとして説明する。図5は、1行目、2行目、3行目、m行目のゲートバスラインGL1、GL2、GL3、GLm、および1行目、2行目、3行目、m行目のメモリ駆動選択ラインSEL1、SEL2、SEL3、SELmの信号波形図である。本実施の形態においては、上述のとおり、通常動作モードとメモリ動作モードとの切り替えが行われる。この切り替えは、外部から表示制御回路20に送られる動作モード選択信号Mに基づいて行われる。以下、通常動作時の駆動方法、通常動作からメモリ動作に切り替える際の駆動方法、およびメモリ動作時の駆動方法について順に説明する。

[0044] (通常動作時の駆動方法)

図5において、時点t0から時点t1までは通常動作が行われている。通常動作時には、図5の(a)～(d)に示すように、各ゲートバスラインGL1～GLmに順に所定の期間ずつアクティブな走査信号が与えられる。一方、通常動作時には、メモリ駆動選択ラインSEL1～SELmにアクティブな信号が与えられることはない。

[0045] ここで、ある表示画素に着目すると、当該表示画素に対応して設けられているゲートバスラインGLにアクティブな走査信号が印加されると、スイッチSWR1、SWG1およびSWB1がオン状態になる。通常動作時にはメ

メモリ駆動選択ラインSELにアクティブな信号が与えられることはないので、スイッチSWR2、SWG2およびSWB2はオン状態、スイッチSWR3、SWG3、SWB3、および、SWR4、SWG4、SWB4はオフ状態になる。これにより、ソースバスラインSLR、SLG、およびSLBにそれぞれ印加されている映像信号に基づいて、液晶容量51R、51Gおよび51Bへの書き込みが行われる。このようにして、1フレーム期間内に全ての表示画素について液晶容量51R、51Gおよび51Bへの映像信号の書き込みが行われ、表示部50に所望の画像が表示される。

[0046] (通常動作からメモリ動作に切り替わる際の駆動方法)

図5において、時点t1から時点t2までの期間には、通常動作からメモリ動作に切り替えるための駆動が行われている。この期間には、図5の(a)～(d)に示すように、各ゲートバスラインGL1～GLmに順に所定の期間ずつアクティブな走査信号が与えられるとともに、図5の(e)～(h)に示すように、各メモリ駆動選択ラインSEL1～SELmに順に所定の期間ずつアクティブな信号が与えられる。

[0047] ここで、ある表示画素に着目すると、当該表示画素に対応して設けられているゲートバスラインGLにアクティブな走査信号が印加され、かつ、当該表示画素に対応して設けられているメモリ駆動選択ラインSELにアクティブな信号が印加されると、スイッチSWR1、SWG1およびSWB1はオン状態、スイッチSWR2、SWG2およびSWB2はオフ状態、スイッチSWR3、SWG3およびSWB3はオン状態になる。また、スイッチSWR4、SWG4およびSWB4はオン状態になる。これにより、ソースバスラインSLR、SLGおよびSLBに印加されている映像信号が、それぞれのメモリ回路MR、MGおよびMBに与えられ、当該映像信号はメモリ内データMDとしてメモリ回路MR、MGおよびMB内のデータ保持回路59に格納される。

[0048] このようにして、時点t1から時点t2までの期間に、全ての表示画素についてメモリ回路MR、MGおよびMGにメモリ内データMDが格納される

。なお、以下においては、映像信号を2値化した場合（論理レベルがハイレベルのデータと、論理レベルがローレベルのデータとに分けた場合）に、その論理レベルがハイレベルであればメモリ内データMDとして「1」がメモリ回路MR、MGおよびMBに格納され、当該論理レベルがローレベルであればメモリ内データMDとして「0」がメモリ回路MR、MGおよびMBに格納されるものとして説明する。

[0049] （メモリ動作時の駆動方法）

図5において、時点t2から時点t3まではメモリ動作が行われている。メモリ動作時には、図5の（a）～（d）に示すように、ゲートバスラインGL1～GLmにアクティブな走査信号が与えられることはない。このため、この期間中には、スイッチSWR1、SWG1およびSWB1は常にオフ状態となる。このように、スイッチSWR1、SWG1およびSWB1はオフ状態になるので、メモリ動作が行われている期間中にメモリ内データMDの値が、ソースバスラインSLR、SLGおよびSLBによって供給される映像信号の影響を受けることはない。

[0050] 一方、この期間中、図5の（e）～（h）に示すように、全てのメモリ駆動選択ラインSEL1～SELmにアクティブな信号が与えられる。このため、メモリ動作が行われている期間中には、スイッチSWR2、SWG2およびSWB2は常にオフ状態となり、スイッチSWR3、SWG3およびSWB3は常にオン状態となる。これにより、メモリ回路MR、MGおよびMB内のスイッチSWM1の出力端子またはスイッチSWM2の出力端子から出力される電圧信号に基づいて、液晶容量51R、51Gおよび51Bへの書き込みが行われる。このように、メモリ動作時には、液晶容量51R、51Gおよび51Bには、それぞれのメモリ回路MR、MGおよびMBの電圧信号に基づいて書き込みが行われる。このため、メモリ動作時には、白黒表示が行われる。以下、メモリ動作について例を挙げて詳しく説明する。

[0051] 図6は、メモリ内データMDの値が「1」である表示画素について黒表示を行う場合の信号波形図である。ところで、直流電圧の印加による液晶の劣

化を防ぐため、共通電極 5 2 については、通常動作時においてもメモリ動作時においても、反転駆動が行われる。すなわち、共通電極 5 2 の電位 V_{cont} は、所定の間隔で高電位と低電位とに切り替えられている。

[0052] データ保持回路 5 9 内のスイッチ SWM 3～SWM 7 のオン／オフ状態に着目すると、メモリ内データ MD が「1」の時、スイッチ SWM 3 はオフ状態となり、スイッチ SWM 4 はオン状態となる。このため、スイッチ SWM 4 を介して、第 2 の電源ライン V_{LCL} からデータ保持回路 5 9 内に低電位の電源電圧が与えられる。これにより、スイッチ SWM 5 はオン状態となり、スイッチ SWM 6 はオフ状態となる。その結果、スイッチ SWM 5 を介して、第 1 の電源ライン V_{LCH} からデータ保持回路 5 9 内に高電位の電源電圧が与えられる。また、上述のようにメモリ動作時にはゲートバスライン G_L にアクティブな信号が与えられることはないので、スイッチ SWM 7 については、メモリ内データ MD の値にかかわらずオン状態となっている。このため、メモリ動作が行われている期間中、メモリ内データ MD の値は保持される。

[0053] 以上のように、スイッチ SWM 4 を介してデータ保持回路 5 9 内に低電位の電源電圧が与えられるので、スイッチ SWM 1 の P 型 TFT はオン状態となり、スイッチ SWM 2 の N 型 TFT はオフ状態となる。一方、スイッチ SWM 5 を介してデータ保持回路 5 9 内に高電位の電源電圧が与えられ、かつ、スイッチ SWM 7 がオン状態となっているので、スイッチ SWM 1 の N 型 TFT はオン状態となり、スイッチ SWM 2 の P 型 TFT はオフ状態となる。これにより、スイッチ SWM 1 はオン状態となり、スイッチ SWM 2 はオフ状態となる。その結果、第 1 の電圧供給ライン AL から与えられる電圧（以下、「第 1 の供給電圧」という。） V_{AL} が画素の画素電極 5 5 R、5 5 G、および 5 5 B に印加される。

[0054] 本実施の形態においては、図 6 の（b）および（c）に示すように、共通電極 5 2 の電位 V_{cont} が高電位側に設定されている時（期間 T 1 1）には第 1 の供給電圧 V_{AL} の電位は低電位側に設定され、共通電極 5 2 の電位

Vcontが低電位側に設定されている時（期間T12）には第1の供給電圧VALの電位は高電位側に設定されている。このため、液晶容量51R、51Gおよび51Bには常に高い電圧が印加され、当該液晶容量51R、51Gおよび51Bを含む表示画素については黒表示が行われる。すなわち、期間T11では負極性（－）の黒表示、期間T12では正極性（＋）の黒表示となる。

[0055] 図7は、メモリ内データMDの値が「0」である表示画素について白表示を行う場合の信号波形図である。データ保持回路59内のスイッチSWM3～SWM7のオン／オフ状態に着目すると、メモリ内データMDが「0」の時、スイッチSWM3はオン状態となり、スイッチSWM4はオフ状態となる。このため、スイッチSWM3を介して、第1の電源ラインVLCHからデータ保持回路59内に高電位の電源電圧が与えられる。これにより、スイッチSWM5はオフ状態となり、スイッチSWM6はオン状態となる。その結果、スイッチSWM6を介して、第2の電源ラインVLC Lからデータ保持回路59内に低電位の電源電圧が与えられる。なお、スイッチSWM7については、メモリ内データMDの値が「1」の時と同様、オン状態となっている。このため、メモリ動作が行われている期間中、メモリ内データMDの値は保持される。

[0056] 以上のように、スイッチSWM3を介してデータ保持回路59内に高電位の電源電圧が与えられるので、スイッチSWM1のP型TFTはオフ状態となり、スイッチSWM2のN型TFTはオン状態となる。一方、スイッチSWM6を介してデータ保持回路59内に低電位の電源電圧が与えられ、かつ、スイッチSWM7がオン状態となっているので、スイッチSWM1のN型TFTはオフ状態となり、スイッチSWM2のP型TFTはオン状態となる。これにより、スイッチSWM1はオフ状態となり、スイッチSWM2はオン状態となる。その結果、第2の電圧供給ラインBLから与えられる電圧信号（以下、「第2の供給電圧」という。）が画素の画素電極55R、55Gおよび55Bに印加される。

[0057] 本実施の形態においては、図7の(b)および(d)に示すように、共通電極52の電位 V_{cont} が高電位側に設定されている時(期間T21)には第2の供給電圧 V_{BL} の電位は高電位側に設定され、共通電極52の電位 V_{cont} が低電位側に設定されている時(期間T22)には第2の供給電圧 V_{BL} の電位は低電位側に設定されている。このため、液晶容量51R、51Gおよび51Bには常に低い電圧が印加され、当該液晶容量51R、51Gおよび51Bを含む表示画素については白表示が行われる。すなわち、期間T21では正極性(+)の白表示、期間T22では負極性(-)の白表示となる。

[0058] なお、本実施の形態では、1つの表示画素が3つの画素(R画素、G画素、B画素)で構成されているが、これに限定されるものではなく、さらにW画素やY画素などを含み、4つあるいはそれ以上の画素で構成されていても良い。

[0059] また、本実施形態では、メモリ回路が3つの画素(R画素、G画素およびB画素)それぞれに設けられているが、これに限定されるものではなく、1つの画素(R画素、G画素あるいはB画素)のみに設けられていても良い。

[0060] 以上のような構成及び駆動方法を用いることにより、メモリ動作時に白黒表示を行うことができる。

[0061] ここで、メモリ型液晶表示装置では、図8に示したように、メモリ回路に保持されているメモリ内データMDの画素電荷量(画素電位)が自然放電(リーク)により徐々に低下することにより、液晶表示パネル10の透過率が低下する。そしてNフレームにおいて低下した透過率は、次のN+1フレームにおける書き込み動作により画素電荷量が上昇する(充電される)ことにより元の透過率に戻る。このような透過率の低下および上昇を繰り返すことにより、表示画面における輝度(表示輝度)が周期的に変化し、フリッカが視認されるという問題が生じる。

[0062] そこで、本実施の形態に係る液晶表示装置1では、上記放電に起因する透過率の低下を、バックライト輝度を高めることにより補償する構成を有して

いる。

[0063] 図9は、液晶表示装置1の画素電荷量（画素電位）およびバックライト輝度の変化の様子を模式的に示す図である。図9において、（a）は液晶表示パネル10の表示輝度の変化を示し、（b）は画素電荷量の変化を示し、（c）はバックライト輝度の変化を示している。

[0064] 液晶表示パネル10の表示輝度は、画素電荷量およびバックライト輝度に応じて変化するため、図9に示すように、画素電荷量の低下に起因する表示輝度の低下分を、バックライト輝度の増加に起因する表示輝度の増加分で補償することにより、液晶表示パネル10の表示輝度を一定に維持することができる。これにより、フリッカを抑制することができる。また、フレーム周波数を高くする必要がないため、消費電力の増大を防ぐこともできる。

[0065] 次に、図9の（c）に示したようなバックライト輝度を調整するための構成について説明する。

[0066] 図10は、図1に示した液晶表示装置1における、液晶表示パネル10とバックライト70との関係を示すブロック図である。

[0067] 表示制御回路20は、図1に示したように、PWM信号生成部22を備えている。

[0068] PWM信号生成部22は、自然放電に起因する液晶表示パネル10の輝度の変化量（低下量）に基づいて、目的の輝度を表示させるためのPWM信号を生成する。ここで、上記液晶表示パネル10の輝度の低下量は、フレーム周波数に基づいて予め算出することができるため、算出した輝度の低下量に応じた所望のPWM信号を生成することができる。例えば、液晶表示パネル10において設定したフレーム周波数と、PWM信号のパルス幅（あるいはデューティ比）とを予めテーブルに関連付けておく構成により実現することができる。PWM信号生成部22は、上記生成したPWM信号を、フレーム周期のタイミングに同期させてバックライト70に供給する。

[0069] 図11の（d）には、PWM信号生成部22により生成されたPWM信号の変化を示している。同図に示すように、PWM信号は、画素電荷量の低下

に伴ってパルス幅が大きくなり、これによりバックライトの輝度が高くなっていることが分かる。このようなPWM信号をバックライト70に供給することにより、液晶表示パネル10の表示輝度の低下（図8参照）を補償して均一化することができる（図11の（a）参照）。

[0070] ここで、上述した液晶表示装置1の構成では、1フレーム期間において、所定の周期で極性が反転する動作を行っているが、本発明の液晶表示装置はこれに限定されず、フレーム周波数と極性反転周期とが一致していてもよい。

[0071] また、1フレーム期間において、極性反転時にメモリ回路MRのメモリ内データMDをリフレッシュする構成とした場合は、極性反転周期に基づいてPWM信号のパルス幅を設定してもよい。

[0072] （変形例1）

図12は、変形例1に係る液晶表示装置1aの全体構成を示すブロック図である。また、図13は、図12に示した液晶表示装置1aにおける、液晶表示パネル10とバックライト70との関係を示すブロック図である。

[0073] 変形例1に係る液晶表示装置1aでは、上述の液晶表示装置1と比較すると、液晶表示パネル10に電荷量検出部10aが追加されている。

[0074] 電荷量検出部10aは、メモリ回路MRに保持されているメモリ内データMDにおける画素電荷量を検出し、検出結果を表示制御回路20のPWM信号生成部22に与える。例えば、電荷量検出部10aは、メモリ回路MRにおける、データ書き込み時の電荷量に対する、電荷の低下量を検出する。

[0075] PWM信号生成部22は、電荷量検出部10aから取得した検出結果（電荷の低下量）に基づいて、PWM信号のパルス幅を決定する。

[0076] このように、メモリ回路MRにおいて検出した画素電荷量（電荷の低下量）をフィードバックすることによって、より正確な補正值（バックライト輝度の増加量）を算出することができる。よって、液晶表示パネル10の表示輝度をより均一化できる。

[0077] また、本液晶表示装置1aでは、メモリ回路MRの画素電荷量に基づいて

バックライト輝度を調整できるため、フレーム周波数を、バックライト輝度とは無関係に設定することができる。例えば、フレーム周波数を、従来よりも低く設定してもよいし、一定値にせずに変動させてもよい。これにより、消費電力をさらに削減できる。

[0078] 〔実施の形態２〕

次に、本発明の他の実施の形態について図面を用いて説明する。以下では、ＤＲＡＭ型のメモリ回路を備えた液晶表示装置（以下、単に「液晶表示装置」という。）の構成について説明する。なお、説明の便宜上、実施の形態１において定義した用語については、特に断らない限り実施の形態２においてもその定義に則って用いるものとする。

[0079] 図１４は、本実施の形態に係る液晶表示装置２の全体構成を示すブロック図である。液晶表示装置２は、液晶表示パネル１０ｂと表示制御回路２０とバックライト７０（図２参照）とを備えている。液晶表示パネル１０ｂには、ゲートドライバ／ＣＳドライバ８０（走査信号線駆動回路／保持容量配線駆動回路）、制御信号バッファ回路９０、駆動信号発生回路／映像信号発生回路１００、デマルチプレクサ１１０、および、表示部１２０が含まれている。

[0080] 表示部１２０には、ソースバスライン（データ信号線）ＳＬ、ゲートバスライン（走査信号線）ＧＬ、ＣＳライン（保持容量配線）ＣＳＬ、データ転送制御線（データ転送線）ＤＴ、リフレッシュ出力制御線（リフレッシュ線）ＲＣ、および、出力信号線ｖｄが含まれている。なお、ソースバスラインＳＬはデマルチプレクサ１１０に接続され、ゲートバスラインＧＬおよびＣＳラインＣＳＬはゲートドライバ／ＣＳドライバ８０に接続され、データ転送制御線ＤＴおよびリフレッシュ出力制御線ＲＣは、制御信号バッファ回路９０に接続されている。

[0081] 表示部１２０は、ゲートバスラインＧＬとソースバスラインＳＬとの交差点にそれぞれ対応して設けられた複数個の画素を含んでいる。各画素は、表示すべき画像に応じた電圧を液晶容量に印加するための画素電極と、上記複

数の画素に共通的に設けられた対向電極である共通電極と、画素電極および共通電極の間に挟持された液晶層とからなっている。また、画素電極および共通電極により形成される液晶容量に並列して保持容量が付加される。

[0082] また、表示部120には、R（赤色）用、G（緑色）用、およびB（青色）用の3つの画素（R画素、G画素、B画素）からなる表示画素ごとに、1ビットのデータの保持が可能な記憶回路としてのメモリ回路MRが設けられている。なお、表示画素は、さらにW画素やY画素などを含み、4つあるいはそれ以上の画素で構成されていても良い。

[0083] ここで、液晶表示装置2はノーマリーホワイト型であるものとして説明する。また、液晶表示装置2においては、駆動方法が「通常動作モード」と「メモリ動作モード」とで切り替えられる。

[0084] 表示制御回路20は、外部から送られる画像データDATと動作モード選択信号Mとを受け取り、デジタル映像信号DVと、表示部120における画像表示を制御するためのソーススタートパルス信号SSP、ソースクロック信号SCK、および、ラッチストロブ信号LSを出力する。また、表示制御回路20は、PWM信号生成部22により生成されたPWM信号（駆動信号）を、バックライト70に供給する。

[0085] バックライト70は、例えばLED（Light Emitting Diode：発光ダイオード）などで構成され、液晶表示パネル10bの背面側に設けられている。

[0086] 駆動信号発生回路／映像信号発生回路100は、画像表示（通常動作）およびメモリ動作を行うための制御駆動回路であり、メモリ動作に用いられるタイミングのみならず、通常動作に用いられるソーススタートパルス信号SSP、ソースクロック信号SCK、ラッチストロブ信号LS、ゲートスタートパルス信号GSP、および、ゲートクロック信号GCKなどのタイミングを生成する回路を兼ねることができる。

[0087] 駆動信号発生回路／映像信号発生回路100は、通常動作モード（メモリ回路非動作）時にビデオ出力端子から多階調ビデオ信号を出力し、出力信号線vdおよびデマルチプレクサ110を介してソースバスラインSLを駆動

する。また、駆動信号発生回路／映像信号発生回路１００は、同時に、ゲートドライバ／ＣＳドライバ８０を駆動、制御する信号ｓ１を出力する。これによって各画素に画像データを書き込み、多階調の表示を行う。

[0088] また、駆動信号発生回路／映像信号発生回路１００は、メモリ動作時に、ビデオ出力端子から、画素内に保持する画像データを出力信号線ｖｄおよびデマルチプレクサ１１０を介して、ソースバスラインＳＬに送出するとともに、ゲートドライバ／ＣＳドライバ８０を駆動、制御する信号ｓ２および制御信号バッファ回路９０を駆動、制御する信号ｓ３を出力する。これによって、画素に画像データを書き込んで表示および保持したり、画素に保持された画像データを読み出したりする。

[0089] ただし、画素に書き込んでメモリ回路ＭＲに保持した画像データは表示に用いられるだけでもよいので、画素からの読み出し動作は必ずしも行われなくてよい。駆動信号発生回路／映像信号発生回路１００が、メモリ動作モードにおいてビデオ出力端子から出力信号線ｖｄ（ｋ）に出力する画像データは、第１の電位レベルと第２の電位レベルとで表される２値レベルである。

[0090] 表示制御回路２０は、駆動信号発生回路／映像信号発生回路１００に含まれていても良い。

[0091] デマルチプレクサ１１０は、出力信号線ｖｄに出力された画像データを、対応するソースバスラインＳＬに振り分けて出力する。

[0092] なお、駆動信号発生回路／映像信号発生回路１００およびデマルチプレクサ１１０は、一般的なソースドライバ（データ信号線駆動回路）としての機能も有する。以下では、必要に応じて、ソースドライバとも言う。

[0093] 上記の動作は、通称ＣＳドライビングと呼ばれる駆動方法であり、液晶表示を実現するための画素電極とそれに液晶を介して対峙するコモン（共通）電極（ＣＯＭ）とにより形成される液晶容量と、画素内に画素電極とＣＳライン（保持容量配線）ＣＳＬとで形成される保持容量（補助容量）とが独立して液晶を駆動する方法である。一方、他に一般的な駆動方法として、液晶容量に接続されている共通電極ＣＯＭと保持容量に接続されているＣＳライ

ンCSLの電圧とが同期して変化する駆動方法や、共通電極COMとCSラインCSLとが同電位であり変化するタイミングが同じ駆動方法や、共通電極COMとCSラインCSLとが異なる電位であるが、変化するタイミングが同じようにする駆動方法などがある。

[0094] (メモリ動作時の駆動方法)

次に、メモリ回路MRを有する液晶表示装置2のメモリ動作について、メモリ回路MRの構成とともに説明する。なお、メモリ動作では、画素に書き込まれたデータ信号電位(画像データ)をメモリ回路MRで保持し、データ保持期間にリフレッシュ動作を行いながら表示を行う。

[0095] 図15は、液晶表示装置2に係るメモリ回路MRの構成を示す等価回路図である。

[0096] メモリ回路MRは、スイッチ回路SW、第1データ保持部DS1、データ転送部TS、第2データ保持部DS2、および、リフレッシュ出力制御部RSを備えている。

[0097] スwitch回路SWは、Nチャネル型のTF TであるトランジスタN1(第1トランジスタ)からなる。第1データ保持部DS1は容量Ca(第1保持容量)からなる。データ転送部TSは転送素子としてのNチャネル型のTF TであるトランジスタN2(第2トランジスタ)からなる。第2データ保持部DS2は容量Cb(第2保持容量)からなる。リフレッシュ出力制御部RSは、Nチャネル型のTF TであるトランジスタN3(第4トランジスタ)と、Nチャネル型のTF TであるトランジスタN4(第3トランジスタ)とからなる。容量Caは容量Cbよりも容量値が大きくなるように設定されている。

[0098] 図15のメモリ回路MRでは、全てのトランジスタがNチャネル型のTF T(電界効果トランジスタ)で構成されている。

[0099] また、各メモリ回路MRを駆動する信号線として、前述のゲートバスラインGL、データ転送制御線DT、リフレッシュ出力制御線RC、ソースバスラインSL、および、CSラインCSLが設けられている。

- [0100] トランジスタN1のゲート端子（制御端子）はゲートバスラインGLに接続され、トランジスタN1のソース端子はソースバスラインSLに接続され、トランジスタN1のドレイン端子は容量Caの一端であるノードPIX（保持ノード）に接続されている。容量Caの他端はCSラインCSLに接続されている。トランジスタN1がON状態であるときは、スイッチ回路SWは導通状態となり、トランジスタN1がOFF状態であるときは、スイッチ回路SWは遮断状態となる。
- [0101] トランジスタN2のゲート端子はデータ転送制御線DTに接続され、トランジスタN2のソース端子はノードPIXに接続され、トランジスタN2のドレイン端子は容量Cbの一端であるノードMRY（保持ノード）に接続されている。容量Cbの他端はCSラインCSLに接続されている。トランジスタN2がON状態であるときは、データ転送部TSは転送動作を行う状態となり、トランジスタN2がOFF状態であるときは、データ転送部TSは非転送動作を行う状態となる。
- [0102] トランジスタN3のゲート端子はリフレッシュ出力制御部RSの入力端子INとしてノードMRYに接続され、トランジスタN3のソース端子はデータ転送制御線DTに接続され、トランジスタN3のドレイン端子はトランジスタN4のソース端子に接続されている。トランジスタN4のゲート端子はリフレッシュ出力制御線RCに接続され、トランジスタN4のドレイン端子はリフレッシュ出力制御部RSの出力端子OUTとしてノードPIXに接続されている。すなわち、トランジスタN3とトランジスタN4とは、リフレッシュ出力制御部RSの入力とリフレッシュ出力制御部RSの出力との間において、トランジスタN3がリフレッシュ出力制御部RSの入力側に配置されるように、互いに直列に接続されている。なお、トランジスタN3とトランジスタN4との互いの接続位置は入れ替わっていてもよく、トランジスタN3とトランジスタN4とは、リフレッシュ出力制御部RSの入力とリフレッシュ出力制御部RSの出力との間において、互いに直列に接続されていれ
- ばよい。

- [0103] トランジスタN4がON状態であるときは、リフレッシュ出力制御部RSは第1の動作を行う状態に制御され、トランジスタN4がOFF状態であるときは、リフレッシュ出力制御部RSは第2の動作を行う状態に制御される。トランジスタN3はNチャネル型であるため、リフレッシュ出力制御部RSが第1の動作を行うときは、アクティブ状態となる制御情報すなわちアクティブレベルは、Highであり、非アクティブ状態となる制御情報すなわち非アクティブレベルは、Lowである。
- [0104] 第1の動作は、第2データ保持部DS2に保持されている2値レベルが第1の電位レベルであるか第2の電位レベルであるかという制御情報に応じて、リフレッシュ出力制御部RSへの入力を取り込んでリフレッシュ出力制御部RSの出力として第1データ保持部DS1に供給するアクティブ状態となるか、リフレッシュ出力制御部RSの出力を停止する非アクティブ状態となるかを選択する動作である。
- [0105] 第2の動作は、上記制御情報に関わらずリフレッシュ出力制御部RSの出力を停止する動作である。
- [0106] なお、ノードPIXと対向電極（共通電極）COMとの間に、液晶容量C_lcが接続されている。
- [0107] 図16は、メモリ回路MRの構成を模式的に示すブロック図である。
- [0108] メモリ回路MRは、スイッチ回路SW、第1データ保持部DS、データ転送部TS、第2データ保持部DS2、リフレッシュ出力制御部RS、および、供給源VSを備えている。
- [0109] また、メモリ回路MRには、ソースバスラインSLに相当するデータ入力線IN、ゲートバスラインGLに相当するスイッチ制御線SC、データ転送制御線DT、および、リフレッシュ出力制御線RCが設けられている。
- [0110] スwitch回路SWは、ゲートドライバ／CSドライバ80によりスイッチ制御線SCを介して駆動されることによって、データ入力線INと第1データ保持部DS1との間の導通と遮断とを選択的に行う。
- [0111] 第1データ保持部DS1は、第1データ保持部DS1に入力される2値レ

ベルを保持する。

[0112] データ転送部TSは、制御信号バッファ回路90によりデータ転送制御線DTを介して駆動されることによって、第1データ保持部DS1に保持されている2値レベルを第1データ保持部DS1が保持したまま第2データ保持部DS2へ転送する転送動作と、上記転送動作を行わない非転送動作とを選択的に行う。なお、データ転送制御線DTに供給される信号は全メモリ回路MRに共通であるので、データ転送制御線DTは必ずしも行ごとに設けられて制御信号バッファ回路90によって駆動される必要はなく、駆動信号発生回路／映像信号発生回路100やその他のものによって駆動されてもよい。

[0113] 第2データ保持部DS2は、第2データ保持部DS2に入力される2値レベルを保持する。

[0114] リフレッシュ出力制御部RSは、制御信号バッファ回路90によりリフレッシュ出力制御線RCを介して駆動されることによって第1の動作を行う状態または第2の動作を行う状態に選択的に制御される。なお、リフレッシュ出力制御線RCに供給される信号は全メモリ回路MRに共通であるので、リフレッシュ出力制御線RCは必ずしも行ごとに設けられて制御信号バッファ回路90によって駆動される必要はなく、駆動信号発生回路／映像信号発生回路100やその他のものによって駆動されてもよい。

[0115] 供給源VSは、リフレッシュ出力制御部RSの入力に、設定された電位の供給を行う。

[0116] (メモリ回路MRの動作)

次に、上記構成のメモリ回路MRの動作について、タイミングチャートを用いて具体的に説明する。なお、ここでは、メモリ回路MRの基本的な動作説明を主とするため、寄生容量に起因した電位変動は考慮しないものとする。

[0117] 図17および図18に、メモリ回路MRのデータの書き込み動作を示す。本実施の形態では、表示部120の各行を線順次に駆動（走査）する。従って、書き込み期間T1は行ごとに決められており、i行の書き込み期間T1

を $T1i$ と表記する。図 17 では書き込み期間 $T1i$ に第 1 のデータとしての「1」= $HIGH$ が書き込まれる場合を示し、図 18 では書き込み期間 $T1i$ に第 2 のデータとしての「0」= LOW が書き込まれる場合を示している。

[0118] 図 17 においては、ゲートバスライン $GL(i)$ 、データ転送制御線 $DT(i)$ 、および、リフレッシュ出力制御線 $RC(i)$ には、制御信号バッファ回路 90 から $HIGH$ (アクティブレベル) と LOW (非アクティブレベル) とからなる 2 値レベルの電位が印加される。上記 2 値レベルの $HIGH$ 電位および LOW 電位については、上記の各線に個別に設定されてもよい。ソースバスライン $SL(j)$ には、デマルチプレクサ 110 を介して駆動信号発生回路／映像信号発生回路 100 から、ゲートバスライン $GL(i)$ の $HIGH$ 電位より低い $HIGH$ と LOW とからなる 2 値レベルが出力される。データ転送制御線 $DT(i)$ の $HIGH$ 電位は、ソースバスライン $SL(j)$ の $HIGH$ 電位と、ゲートバスライン $GL(i)$ の $HIGH$ 電位とのいずれかに等しく、データ転送制御線 $DT(i)$ の LOW 電位は、上記 2 値レベルの LOW 電位に等しい。また、 CS ライン $CSL(i)$ が供給する電位 (CS 電位) は一定である。なお、 i および j は、1 以上の整数とする。

[0119] データの書き込み動作に対しては、書き込み期間 $T1i$ (通常動作モード) とリフレッシュ期間 $T2$ (メモリ動作モード) とが設けられている。書き込み期間 $T1i$ は行ごとに決められた時刻 twi から開始される。リフレッシュ期間 $T2$ は全行のメモリ回路 MR へのデータ書き込みが終了した後に、全行に対して時刻 tr から一斉に開始される。書き込み期間 $T1i$ は、メモリ回路 MR に保持させようとするデータを書き込む期間であり、順に連続する期間 $t1i$ および期間 $t2i$ からなる。リフレッシュ期間 $T2$ は、メモリ回路 MR に書き込んだデータをリフレッシュしながら保持する期間であり、順に連続する期間 $t3 \sim$ 期間 $t14$ を有している。

[0120] 書き込み期間 $T1i$ において、期間 $t1i$ ではゲートバスライン $GL(i)$ およびデータ転送制御線 $DT(i)$ の電位がともに $HIGH$ となる。リフ

レッシュ出力制御線RC (i) の電位はLowである。これによりトランジスタN1、N2がON状態になるため、スイッチ回路SWは導通状態、データ転送部TSは転送動作する状態となり、ノードPIXにソースバスラインSL (j) に供給された第1の電位レベル（ここではHighとする）が書き込まれる。期間t2iでは、ゲートバスラインGL (i) の電位がLowとなる一方、データ転送制御線DT (i) の電位はHighを持続する。リフレッシュ出力制御線RC (i) の電位はLowである。これによりトランジスタN1がOFF状態になるため、スイッチ回路SWは遮断状態になる。また、トランジスタN2がON状態を持続するため、データ転送部TSは転送動作する状態を維持する。従って、ノードPIXからノードMRYに第1の電位レベルが転送されるとともに、ノードPIX、MRYはソースバスラインSL (j) から切り離される。

[0121] 次に、リフレッシュ期間T2が開始される。リフレッシュ期間T2では、ソースバスラインSL (j) の電位は、第1の電位レベルであるHighとされる。また、ゲートバスラインGL (i)、データ転送制御線DT (i)、および、リフレッシュ出力制御線RC (i) については、全行について以下に説明する駆動が行われる。すなわち、全メモリ回路MRについて一斉にリフレッシュ動作を行う（以下、これを「全リフレッシュ動作」と呼ぶことがある）。

[0122] リフレッシュ期間T2において、期間t3では、ゲートバスラインGL (i) の電位がLowとなり、データ転送制御線DT (i) の電位がLowとなり、リフレッシュ出力制御線RC (i) の電位がLowとなる。これにより、トランジスタN2がOFF状態となるため、データ転送部TSは非転送動作を行う状態となり、ノードPIXとノードMRYとは互いに切り離される。ノードPIXとノードMRYとには、ともにHighが保持される。

[0123] 期間t4では、ゲートバスラインGL (i) の電位がHighとなり、データ転送制御線DT (i) の電位がLowを持続し、リフレッシュ出力制御線RC (i) の電位がLowを持続する。これにより、トランジスタN1が

ON状態となるため、スイッチ回路SWが導通状態となり、ノードPIXにソースバスラインSL(j)から再びHigh電位が書き込まれる。

[0124] 期間t5では、ゲートバスラインGL(i)の電位がLowとなり、データ転送制御線DT(i)の電位がLowを持続し、リフレッシュ出力制御線RC(i)の電位がLowを持続する。これにより、トランジスタN1がOFF状態となるため、スイッチ回路SWが遮断状態となり、ノードPIXは、ソースバスラインSL(j)から切り離されてHighを保持する。

[0125] 期間t6では、ゲートバスラインGL(i)の電位がLowを持続し、データ転送制御線DT(i)の電位がLowを持続し、リフレッシュ出力制御線RC(i)の電位がHighになる。これにより、トランジスタN4がON状態になり、リフレッシュ出力制御部RSは第1の動作を行う。また、ノードMRYの電位がHighであることからトランジスタN3はON状態であるので、リフレッシュ出力制御部RSがアクティブ状態となり、データ転送制御線DT(i)からトランジスタN3、N4を介してノードPIXにLow電位が供給される。

[0126] 期間t7では、ゲートバスラインGL(i)の電位がLowを持続し、データ転送制御線DT(i)の電位がLowを持続し、リフレッシュ出力制御線RC(i)の電位がLowになる。これにより、トランジスタN4がOFF状態になるので、リフレッシュ出力制御部RSは第2の動作を行う状態となり、ノードPIXは、データ転送制御線DT(i)から切り離されてLowを保持する。

[0127] 期間t8では、ゲートバスラインGL(i)の電位がLowを持続し、データ転送制御線DT(i)の電位がHighになり、リフレッシュ出力制御線RC(i)の電位がLowを持続する。これにより、トランジスタN2がON状態となるため、データ転送部TSが転送動作する状態となる。このとき、容量Caと容量Cbとの間で電荷の移動が起こり、ノードPIXおよびノードMRYの両方の電位がLowとなる。ノードPIXの電位は、容量CbからトランジスタN2を介して容量Caに正電荷が移動することにより、

若干の電圧 ΔV_x だけ上昇するが、Lowの電位範囲内にある。

- [0128] この期間 t_8 はリフレッシュされた2値データを、データ転送部TSを介して互いに接続された第1データ保持部DS1と第2データ保持部DS2との両方によって保持する期間であり、長く設定することが可能である。
- [0129] 期間 t_9 では、ゲートバスラインGL(i)の電位がLowを持続し、データ転送制御線DT(i)の電位がLowになり、リフレッシュ出力制御線RC(i)の電位がLowを持続する。これにより、トランジスタN2がOFF状態となるため、データ転送部TSが非転送動作を行う状態となり、ノードPIXとノードMRYとは互いに切り離される。ノードPIXとノードMRYとには、ともにLowが保持される。
- [0130] 期間 t_{10} では、ゲートバスラインGL(i)の電位がHighになり、データ転送制御線DT(i)の電位がLowを持続し、リフレッシュ出力制御線RC(i)の電位がLowを持続する。これにより、トランジスタN1がON状態となるため、スイッチ回路SWは導通状態となり、ノードPIXにソースバスラインSL(j)から再びHigh電位が書き込まれる。
- [0131] 期間 t_{11} では、ゲートバスラインGL(i)の電位がLowになり、データ転送制御線DT(i)の電位がLowを持続し、リフレッシュ出力制御線RC(i)の電位がLowを持続する。これにより、トランジスタN1がOFF状態となるため、スイッチ回路SWは遮断状態となり、ノードPIXは、ソースバスラインSL(j)から切り離されてHighを保持する。
- [0132] 期間 t_{12} では、ゲートバスラインGL(i)の電位がLowを持続し、データ転送制御線DT(i)の電位がLowを持続し、リフレッシュ出力制御線RC(i)の電位がHighになる。これにより、トランジスタN4がON状態になるため、リフレッシュ出力制御部RSは第1の動作を行う状態となる。また、ノードMRYの電位がLowであることからトランジスタN3はOFF状態であるので、リフレッシュ出力制御部RSは非アクティブ状態となり、出力を停止した状態となる。従って、ノードPIXはHighを保持したままとなる。

- [0133] 期間 t_{13} では、ゲートバスライン $GL(i)$ の電位が Low を持続し、データ転送制御線 $DT(i)$ の電位が Low を持続し、リフレッシュ出力制御線 $RC(i)$ の電位が Low になる。これにより、トランジスタ $N4$ は OFF 状態となるため、ためりリフレッシュ出力制御部 RS は第2の動作を行う状態となり、ノード PIX は $High$ を保持する。
- [0134] 期間 t_{14} では、ゲートバスライン $GL(i)$ の電位が Low を持続し、データ転送制御線 $DT(i)$ の電位が $High$ になり、リフレッシュ出力制御部 RS の電位が Low を持続する。これにより、トランジスタ $N2$ が ON 状態となるため、データ転送部 TS は転送動作する状態となる。このとき、容量 C_a と容量 C_b との間で電荷の移動が起こり、ノード PIX およびノード MRY の両方の電位が $High$ となる。ノード PIX の電位は、容量 C_a からトランジスタ $N2$ を介して容量 C_b に正電荷が移動することにより、若干の電圧 ΔV_y だけ低下するが、 $High$ の電位範囲内にある。
- [0135] この期間 t_{14} はリフレッシュされた2値データを、データ転送部 TS を介して互いに接続された第1データ保持部 $DS1$ と第2データ保持部 $DS2$ との両方によって保持する期間であり、長く設定することが可能である。
- [0136] 以上の動作により、ノード PIX の電位は、期間 $t_{1i} \sim$ 期間 t_5 および期間 $t_{10} \sim$ 期間 t_{14} で $High$ 、期間 $t_6 \sim$ 期間 t_9 で Low となり、ノード MRY の電位は、期間 $t_{1i} \sim$ 期間 t_7 および期間 t_{14} で $High$ 、期間 $t_8 \sim$ 期間 t_{13} で Low となる。
- [0137] この後、リフレッシュ期間 $T2$ を継続する場合には、期間 $t_3 \sim$ 期間 t_{14} の動作を繰り返す。新たなデータを書き込む場合には、リフレッシュ期間 $T2$ を終了して全リフレッシュ動作モードを解除する。
- [0138] 以上が、図17についての説明である。
- [0139] なお、全リフレッシュ動作の命令を、外部からの信号ではなく、発振器等にて内部で発生させたクロックにより生成するようにしてもよい。そうすることで外部システムが一定時間毎にリフレッシュ命令を入力する必要がなくなり、柔軟なシステム構築ができるという利点がある。メモリ回路 MR を用

いたダイナミックメモリ回路においては、全リフレッシュ動作を、ゲートバスラインGL (i) ごとにスキャンすることによって行う必要がなく、アレイ全体に一括で行うことができるため、一般の従来のダイナミックメモリ回路においてソースバスラインSL (j) の電位を破壊読み出ししながらリフレッシュするのに必要となるような周辺回路を削減することができる。

[0140] 次に、図18についての説明を行う。

[0141] 図18では、書き込み期間T1iにメモリ回路MRに第2の電位レベルとしてのLowを書き込むが、書き込み期間T1iにソースバスラインSL (j) の電位をLowとする他は、各期間における、ゲートバスラインGL (i)、データ転送制御線DT (i)、および、リフレッシュ出力制御線RC (i) の電位変化は、図17と同様である。

[0142] これにより、ノードPIXの電位は、期間t1i～期間t3および期間t12～期間t14でLow、期間t4～期間t11でHighとなり、ノードMRYの電位は、期間t1i～期間t7および期間t14でLow、期間t8～期間t13でHighとなる。

[0143] ここで、図15の液晶容量C1cは、ノードPIXと共通電極COMとの間に液晶層が配置されてなる容量である。すなわち、ノードPIXは画素電極に接続されている。このとき、容量Caは画素の保持容量としても機能する。また、スイッチ回路SWを構成するトランジスタN1は画素の選択素子としても機能する。共通電極（対向電極）COMは、図15のメモリ回路MRを構成する各回路が形成されるマトリクス基板に対向する対向基板上に設けられる。ただし、共通電極COMはマトリクス基板と同一基板上にあってもよい。

[0144] メモリ回路MRにおいて、多階調表示モードでは、画素に2値レベルよりも電位レベル数の多いデータ信号を供給して、リフレッシュ出力制御部RSにアクティブ状態となる第1の動作を行わせない状態で表示を行えばよい。多階調表示モードでは、データ転送制御線DT (i) の電位をLowに固定することにより容量Caのみを保持容量として機能させてもよいし、データ

転送制御線DT (i) の電位をHighに固定することにより、容量Caと容量Cbとを合わせて保持容量として機能させてもよい。

[0145] また、リフレッシュ出力制御線RC (i) の電位をLowに固定してトランジスタN4をOFF状態に保持することにより、もしくは、データ転送制御線DT (i) の電位をトランジスタN3がOFF状態となるように高く設定することにより、データ転送制御線DT (i) の電位が第1データ保持部DS1に蓄積された電荷によって決められる液晶容量C_{lc}の表示階調に影響を与えないようにすることができ、メモリ機能を持たない液晶表示装置と同一の表示性能を実現することができる。

[0146] これに対して、メモリ動作モードでは、第1データ保持部DS1の電位に応じた表示を行うことができる。液晶はAC的に極性を反転させない場合、焼きつきや液晶の劣化を引き起こすため、液晶をオンしているとき（白表示）および液晶をオフしているとき（黒表示）のどちらの場合でも、液晶に印加させる電圧の絶対値を同じにしながら極性を反転させる必要がある。そのため、対向電極COMの電位V_{com}は、正極性駆動時の画素電位と対向電位V_{com}との電位差と、負極性駆動時の画素電位と対向電位V_{com}との電位差とが等しくなるように設定される（最適対向電位）。

[0147] なお、図17および図18では、共通電極COMの電位は、トランジスタN1がON状態となるごとにHighとLowとの間で反転するように駆動される。ここで、共通電極COMのHigh電位は上記2値レベルのHigh電位に等しく、共通電極COMのLow電位は上記2値レベルのLow電位に等しいとすると、共通電極COMの電位がLowであるときに、ノードPIXの電位がLowならば正極性の黒表示、ノードPIXの電位がHighならば正極性の白表示となり、共通電極COMの電位がHighであるときに、ノードPIXの電位がLowならば負極性の白表示、ノードPIXの電位がHighならば負極性の黒表示となる。

[0148] 従って、ノードPIXの電位がリフレッシュされるごとに、表示階調をほぼ維持したまま液晶印加電圧の向きが反転するように液晶が駆動されること

になり、液晶印加電圧の実効値が正負で一定となる液晶の交流駆動が可能になる。また、共通電極COMの電位（2値）はともに、データ信号電位の最小値よりも大きく、データ信号電位の最大値よりも小さい構成とすることもできる。また、共通電極COMの電位は、一定の値に設定されていても良い。

[0149] 以上のように、本実施の形態によれば、液晶表示装置2に多色階調表示モードと白黒階調表示（中間調表示）モードとの両方の機能を持たせることができる。また、メモリ動作時には、静止画など時間変化の少ない画像を表示することで、映像信号発生回路で多階調画像を表示するためのアンプ等の回路やデータ供給動作を停止させることができるため、低消費電力を実現することができる。また、メモリ動作時には、画素内で電位（画素電位）をリフレッシュすることができるため、再度ソースバスラインSLを充放電しながら画素のデータを書き換える必要がないため、消費電力を削減することができる。また、画素内でデータ極性を反転することができるため、極性反転時に反転したデータをソースバスラインSLに充放電しながらデータを書き換える必要がないため、消費電力を削減することができる。

[0150] ここで、メモリ型液晶表示装置では、図8に示したように、メモリ回路に保持されているメモリ内データMDの画素電荷量（画素電位）が自然放電（リーク）により徐々に低下することにより、液晶表示パネル10bの透過率が低下する。そしてNフレームにおいて低下した透過率は、次のN+1フレームにおける書き込み動作により画素電荷量が上昇する（充電される）ことにより元の透過率に戻る。このような透過率の低下および上昇を繰り返すことにより、表示画面における輝度が周期的に変化し、フリッカが視認されるという問題が生じる。この問題は、リフレッシュ動作を行う本液晶表示装置2においても同様であり、特にリフレッシュ動作の周期が長い場合に顕著となる。

[0151] そこで、本実施の形態に係る液晶表示装置2では、実施の形態1に係る液晶表示装置1と同様、上記放電に起因する透過率の低下を、バックライト輝

度を高めることにより補償する構成を有している。

[0152] すなわち、液晶表示パネル 10b の表示輝度は、画素電荷量およびバックライト輝度に応じて変化するため、図 9 に示すように、画素電荷量の低下に起因する表示輝度の低下分を、バックライト輝度の増加に起因する表示輝度の増加分で補償することにより、液晶表示パネル 10b の表示輝度を一定に維持する。これにより、フリッカを抑制することができる。また、フレーム周波数を高くする必要がないため、消費電力の増大を防ぐこともできる。以下、具体的な構成を説明する。

[0153] 表示制御回路 20 は、図 14 に示すように、PWM 信号生成部 22 を備えている。

[0154] PWM 信号生成部 22 は、自然放電に起因する液晶表示パネル 10b の輝度の変化量（低下量）に基づいて、目的の輝度を表示させるための PWM 信号を生成する。ここで、上記液晶表示パネル 10b の輝度の低下量は、フレーム周波数に基づいて予め算出することができるため、算出した輝度の低下量に応じた所望の PWM 信号を生成することができる。例えば、液晶表示パネル 10b において設定したフレーム周波数と、PWM 信号のパルス幅（あるいはデューティ比）とを予めテーブルに関連付けておく構成により実現することができる。PWM 信号生成部 22 は、上記生成した PWM 信号を、フレーム周期のタイミングに同期させてバックライト 70 に供給する。

[0155] 図 11 の（d）には、PWM 信号生成部 22 により生成された PWM 信号の変化を示している。同図に示すように、PWM 信号は、画素電荷量の低下に伴ってパルス幅が大きくなり、これによりバックライトの輝度が高くなっていることが分かる。このような PWM 信号をバックライト 70 に供給することにより、液晶表示パネル 10b の表示輝度の低下（図 8 参照）を補償して均一化することができる（図 11 の（a）参照）。

[0156] なお、本液晶表示装置 2 の PWM 信号生成部 22 では、液晶表示パネル 10b の輝度の低下量を、リフレッシュ動作の周期に基づいて算出する構成としても良い。これにより、算出した輝度の低下量に応じた所望の PWM 信号

を生成することができる。例えば、液晶表示パネル 10b において設定したリフレッシュ動作の周期と、PWM信号のパルス幅（あるいはデューティ比）とを予めテーブルに関連付けておく構成により実現することができる。PWM信号生成部 22 は、上記生成した PWM信号を、リフレッシュ動作の周期のタイミングに同期させてバックライト 70 に供給する。

[0157] なお、本液晶表示装置 2 に、上記変形例 1 に示した電荷量検出部 10a（図 13 参照）を追加してもよい。

[0158] 本発明の実施の形態に係る液晶表示装置では、上記バックライトを駆動する駆動信号のパルス幅を広げることにより上記バックライトの輝度を高める構成とすることもできる。これにより、簡易な構成により、バックライト輝度を調整することができる。

[0159] 本発明の実施の形態に係る液晶表示装置では、上記駆動信号のパルス幅は、フレーム周波数に基づいて設定されている構成とすることもできる。

[0160] 本発明の実施の形態に係る液晶表示装置では、上記駆動信号は、PWM信号であることが好ましい。

[0161] 本発明の実施の形態に係る液晶表示装置では、
上記画素に保持された電荷量を検出する電荷量検出部を備え、
上記電荷量検出部により検出された電荷量に基づいて、上記駆動信号のパルス幅を決定する構成とすることもできる。

[0162] 上記の構成によれば、電荷量検出部により検出された電荷量に応じた駆動信号を生成することができるため、より正確な補正值（バックライト輝度の増加量）を算出することができる。よって、液晶表示パネルにおける表示のフリッカを確実に抑制することができる。

[0163] また、上記の構成では、画素の電荷量に基づいてバックライト輝度を調整できるため、フレーム周波数を、バックライト輝度とは無関係に設定することができる。例えば、フレーム周波数を、従来よりも低く設定してもよいし、一定値にせずに変動させてもよい。これにより、消費電力をさらに削減できる。

- [0164] 本発明の実施の形態に係る液晶表示装置では、上記駆動信号は、PWM信号であって、上記PWM信号は、上記画素に保持される電荷量の低下に伴ってパルス幅が大きくなっている構成とすることもできる。
- [0165] 本発明の実施の形態に係る液晶表示装置では、各画素に、画像データを保持するメモリ回路が設けられているとともに、該メモリ回路に保持された画像データに基づいて画像を表示する構成とすることもできる。
- [0166] 上記の構成によれば、メモリ型液晶表示装置に適用することができる。
- [0167] 本発明の実施の形態に係る液晶表示装置では、画像データの書き込み後のデータ保持期間にリフレッシュ動作を行う構成とすることもできる。
- [0168] 本発明の実施の形態に係る液晶表示装置では、上記メモリ回路に保持された画像データの極性を反転させながらリフレッシュ動作を行う構成とすることもできる。
- [0169] 本発明の実施の形態に係る液晶表示装置では、データ信号線を介して供給された画像データに基づき表示を行う通常動作モードと、上記メモリ回路に保持された画像データに基づき表示を行うメモリ動作モードとを含む構成とすることもできる。
- [0170] 本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

産業上の利用可能性

- [0171] 本発明の液晶表示装置は、メモリ回路を備えた液晶表示装置に好適に用いることができる。

符号の説明

- [0172] 1、1 a、2 液晶表示装置
1 0、1 0 b 表示パネル
1 0 a 電荷量検出部
2 0 表示制御回路

2 1	メモリ駆動制御部
2 2	PWM信号生成部
3 0	ソースドライバ（データ信号線駆動回路）
4 0	ゲートドライバ（走査信号線駆動回路）
5 0	表示部
6 0	メモリ駆動用ドライバ
7 0	バックライト
8 0	ゲートドライバ／CSドライバ
9 0	制御信号バッファ回路
1 0 0	駆動信号発生回路／映像信号発生回路
1 1 0	デマルチプレクサ
1 2 0	表示部
GL	ゲートバスライン（走査信号線）
SL	ソースバスライン（データ信号線）
CSL	CSライン（保持容量配線）
MR	メモリ回路

請求の範囲

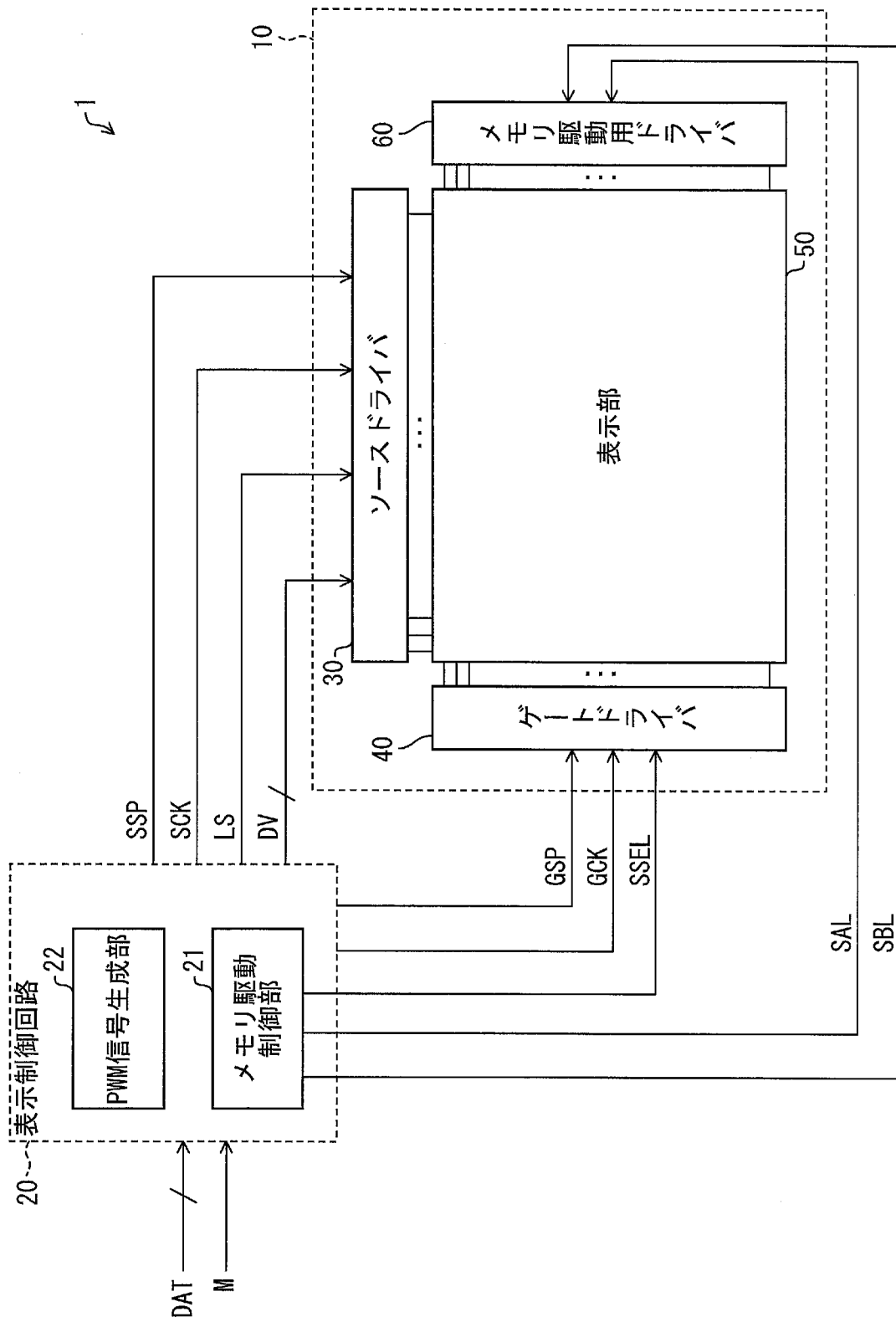
- [請求項1] 画像を表示する液晶表示パネルと、該液晶表示パネルに光を照射するバックライトとを備え、
- 画素に保持される電荷の放電に起因する上記液晶表示パネルにおける表示輝度の低下分を補償するように、上記バックライトの輝度を高めることを特徴とする液晶表示装置。
- [請求項2] 上記バックライトを駆動する駆動信号のパルス幅を広げることにより上記バックライトの輝度を高めることを特徴とする請求項1に記載の液晶表示装置。
- [請求項3] 上記駆動信号のパルス幅は、フレーム周波数に基づいて設定されていることを特徴とする請求項2に記載の液晶表示装置。
- [請求項4] 上記駆動信号は、PWM信号であることを特徴とする請求項2に記載の液晶表示装置。
- [請求項5] 上記画素に保持された電荷量を検出する電荷量検出部を備え、
- 上記電荷量検出部により検出された電荷量に基づいて、上記駆動信号のパルス幅を決定することを特徴とする請求項2に記載の液晶表示装置。
- [請求項6] 上記駆動信号は、PWM信号であって、
- 上記PWM信号は、上記画素に保持される電荷量の低下に伴ってパルス幅が大きくなっていることを特徴とする請求項2または5に記載の液晶表示装置。
- [請求項7] 各画素に、画像データを保持するメモリ回路が設けられているとともに、該メモリ回路に保持された画像データに基づいて画像を表示することを特徴とする請求項1に記載の液晶表示装置。
- [請求項8] 画像データの書き込み後のデータ保持期間にリフレッシュ動作を行うことを特徴とする請求項7に記載の液晶表示装置。
- [請求項9] 上記メモリ回路に保持された画像データの極性を反転させながらリフレッシュ動作を行うことを特徴とする請求項8に記載の液晶表示装

置。

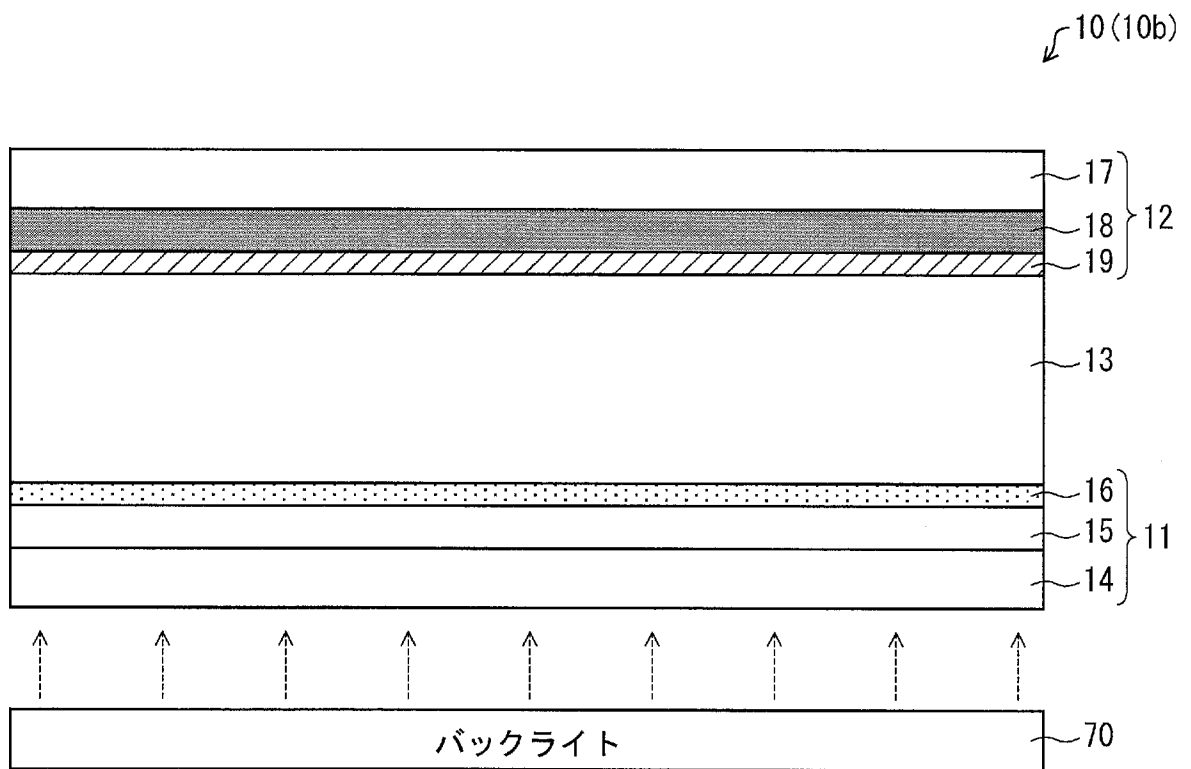
[請求項10] データ信号線を介して供給された画像データに基づき表示を行う通常動作モードと、上記メモリ回路に保持された画像データに基づき表示を行うメモリ動作モードとを含むことを特徴とする請求項7に記載の液晶表示装置。

[請求項11] 画像を表示する液晶表示パネルと、該液晶表示パネルに光を照射するバックライトとを備えた液晶表示装置の駆動方法であって、
画素に保持される電荷の放電に起因する上記液晶表示パネルにおける表示輝度の低下分を補償するように、上記バックライトの輝度を高めることを特徴とする液晶表示装置の駆動方法。

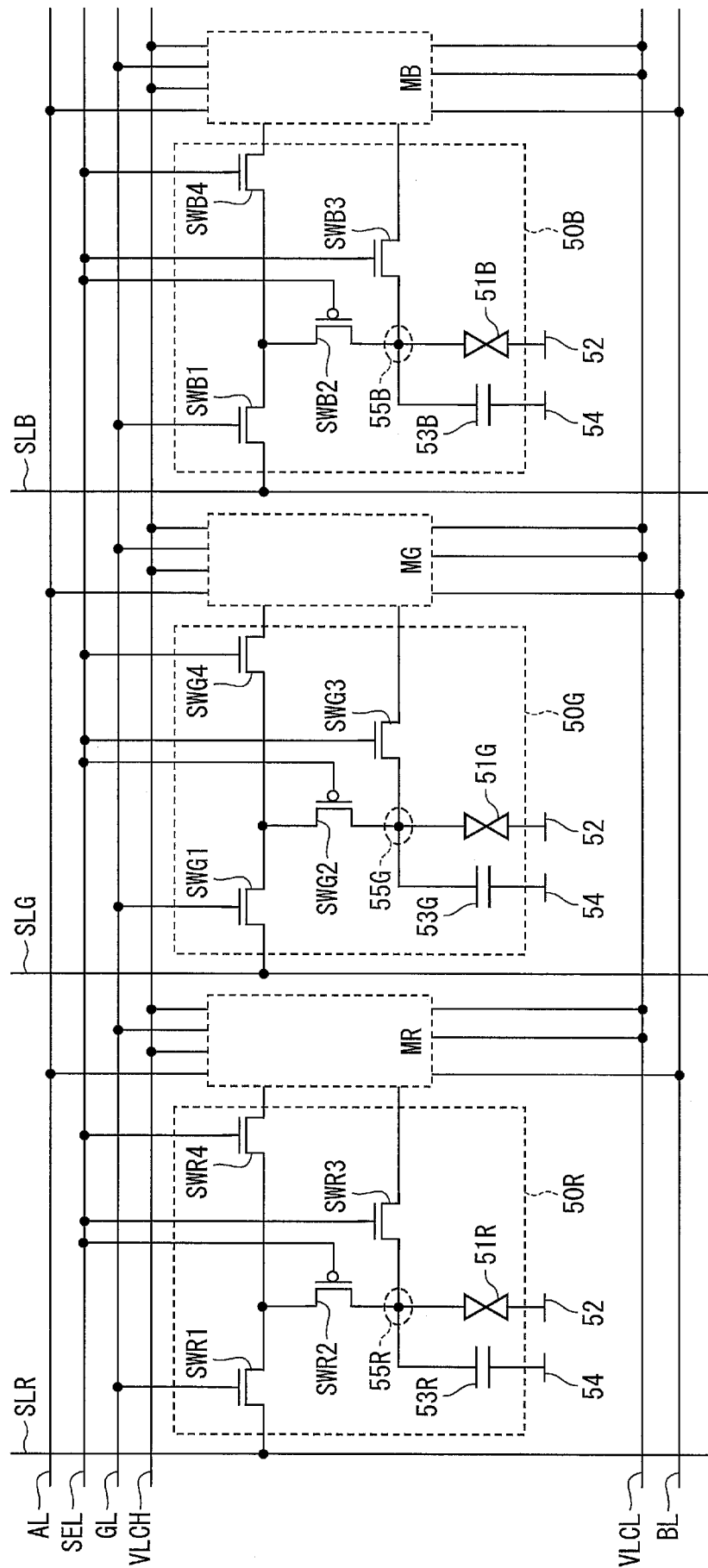
[図1]



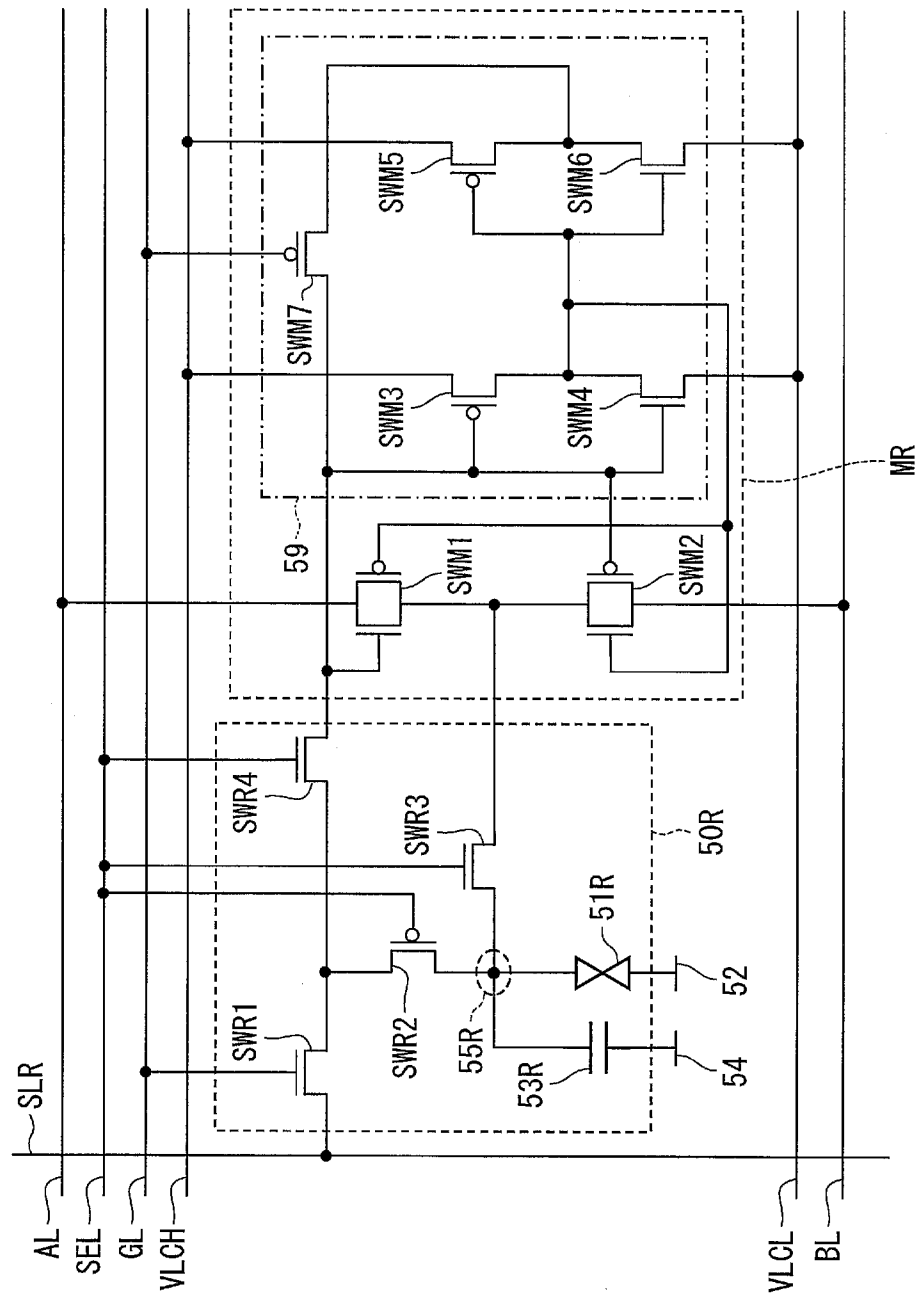
[図2]



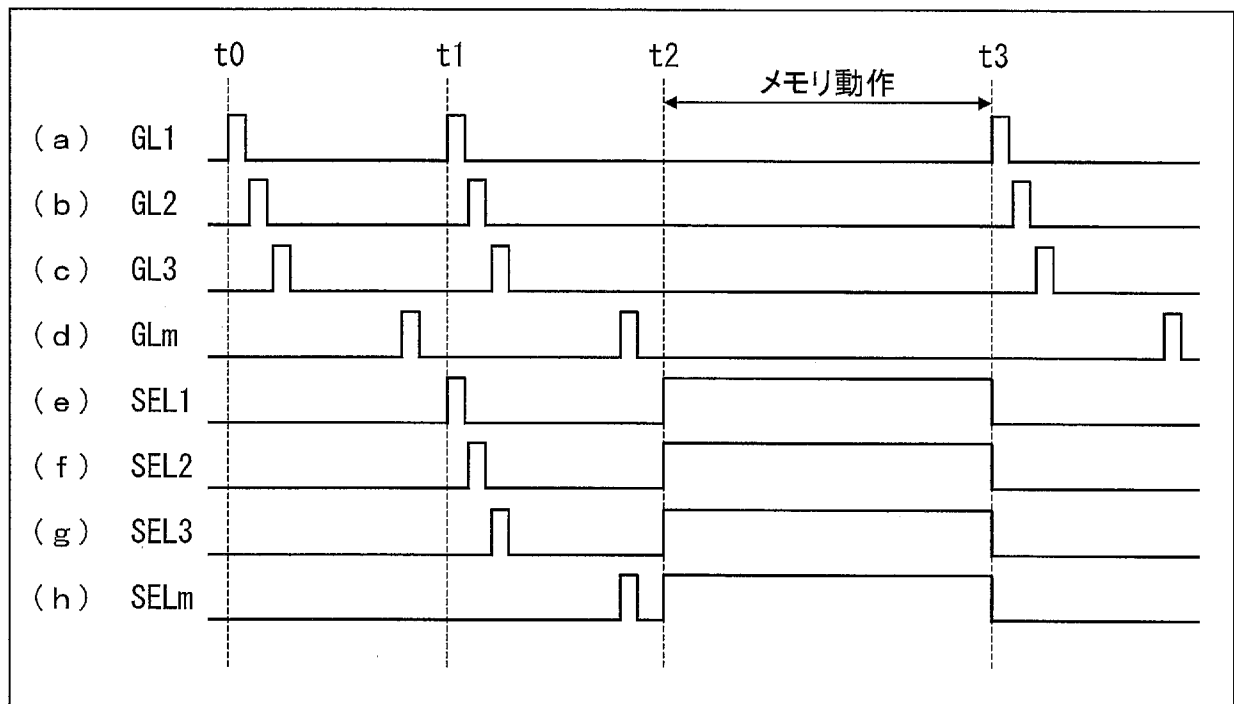
[図3]



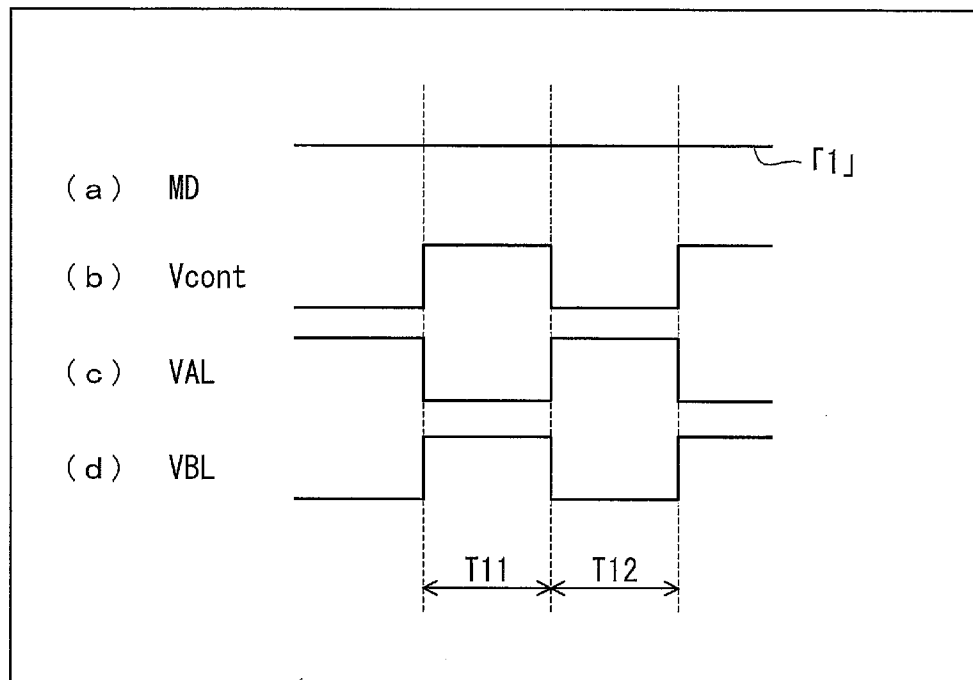
[図4]



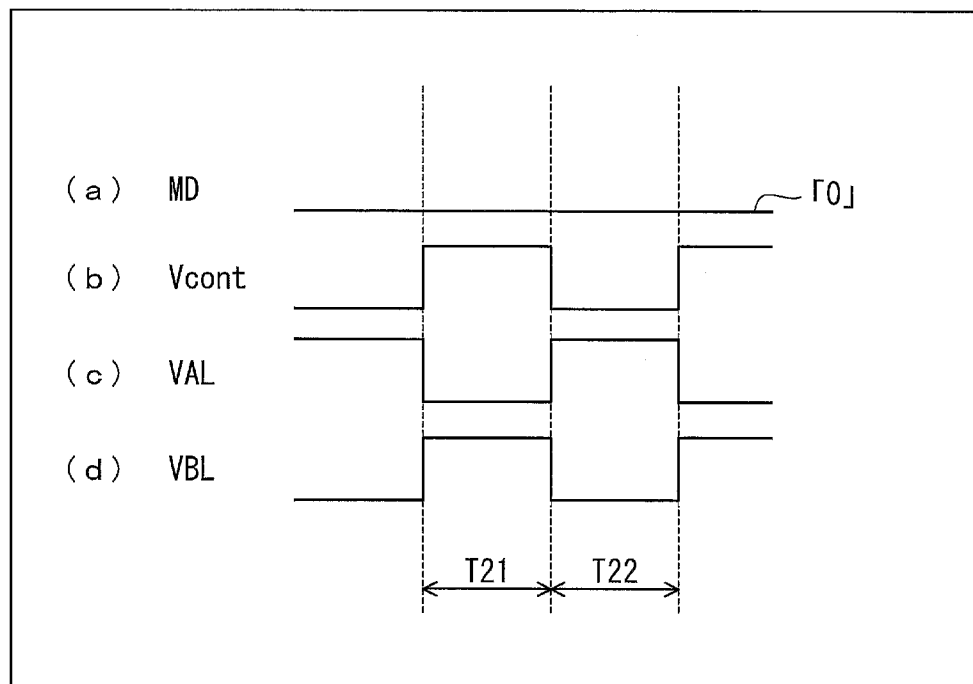
[図5]



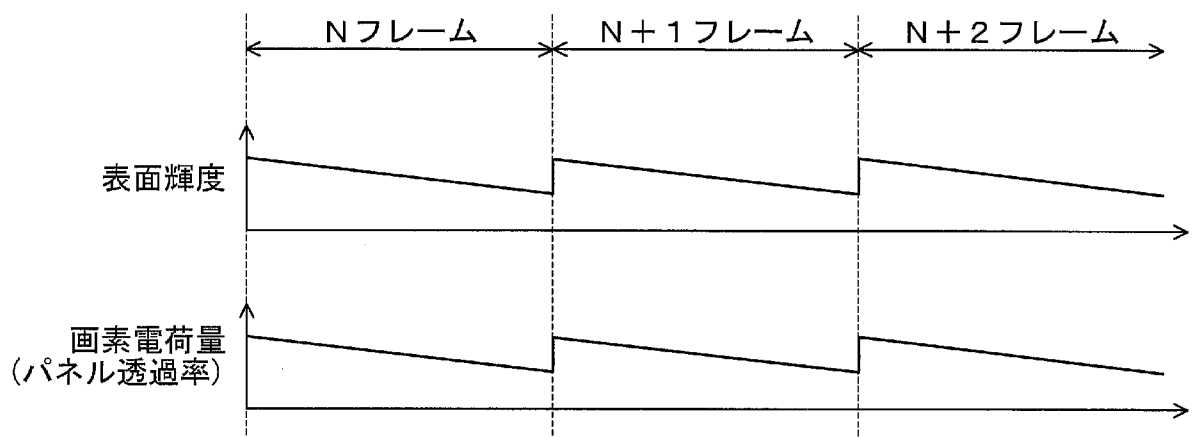
[図6]



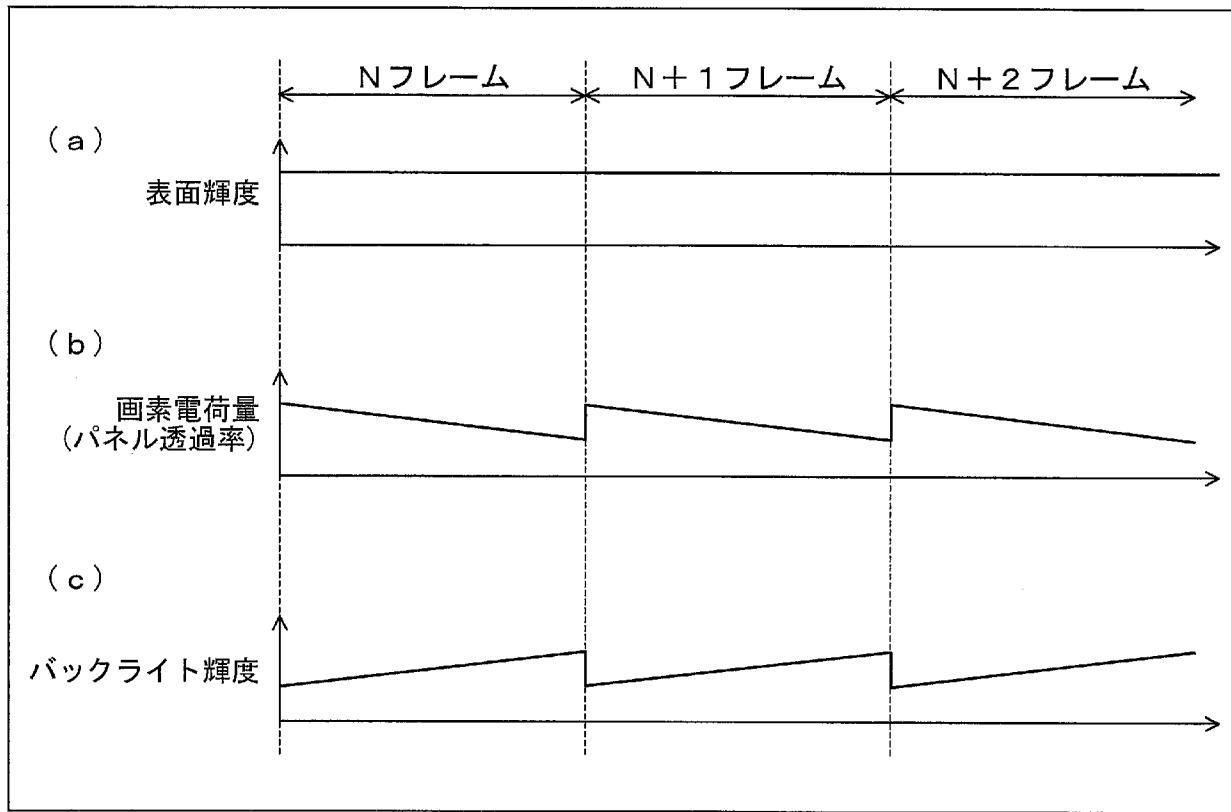
[図7]



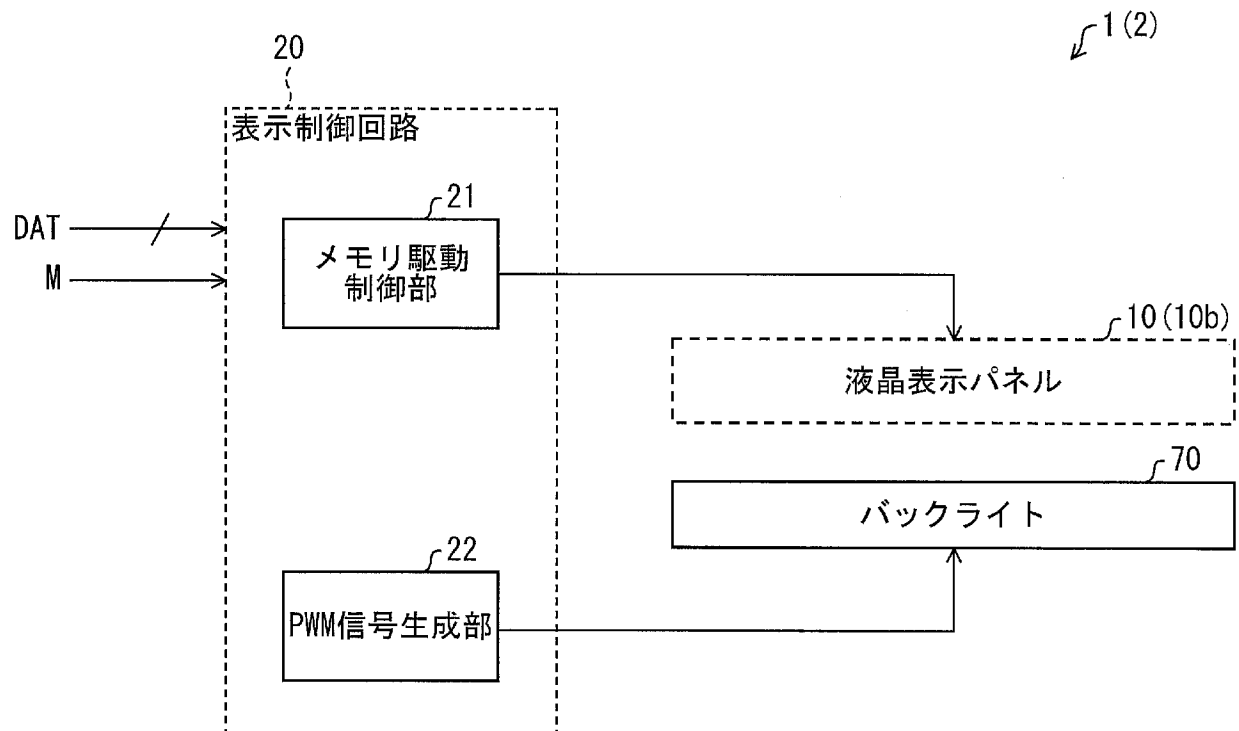
[図8]



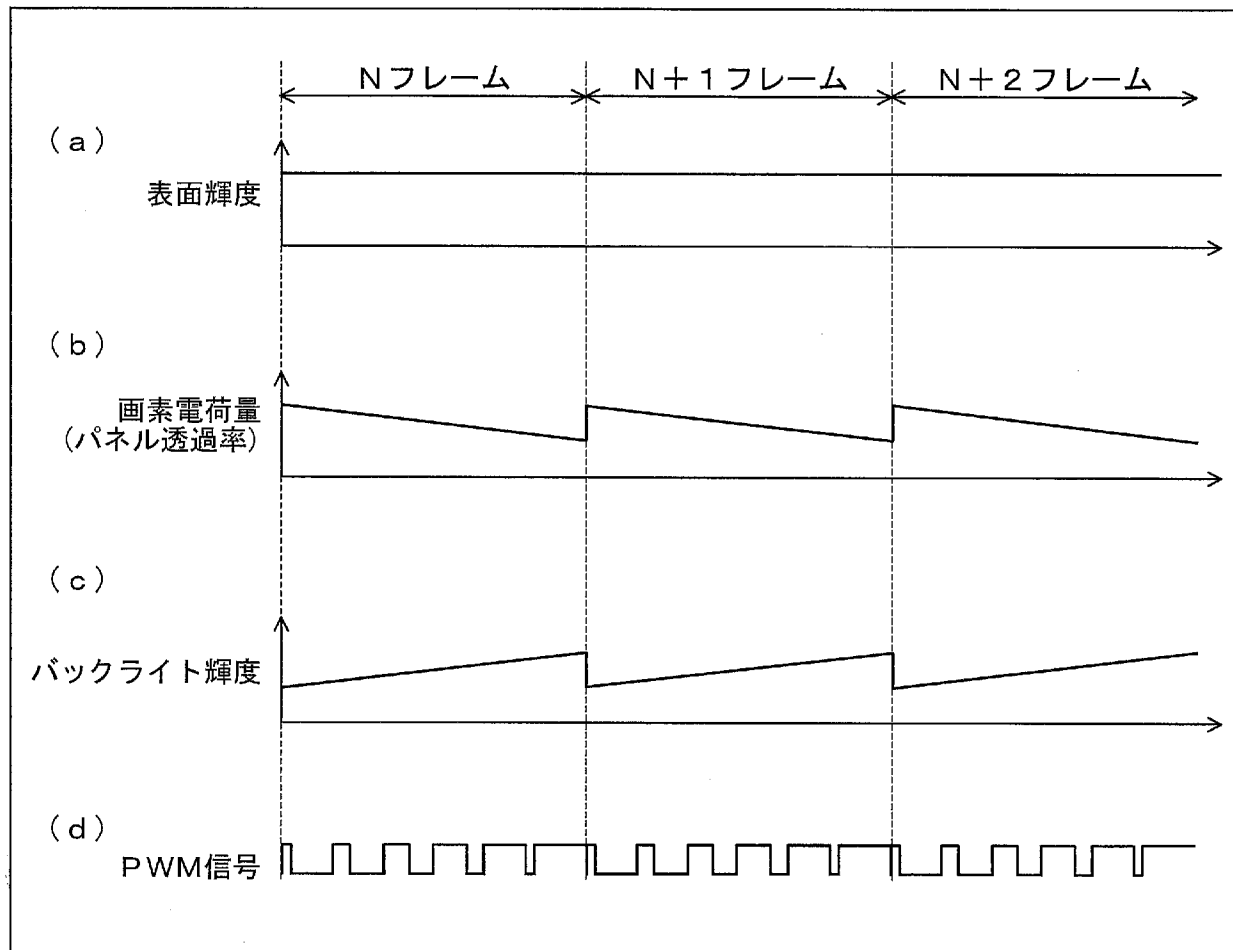
[図9]



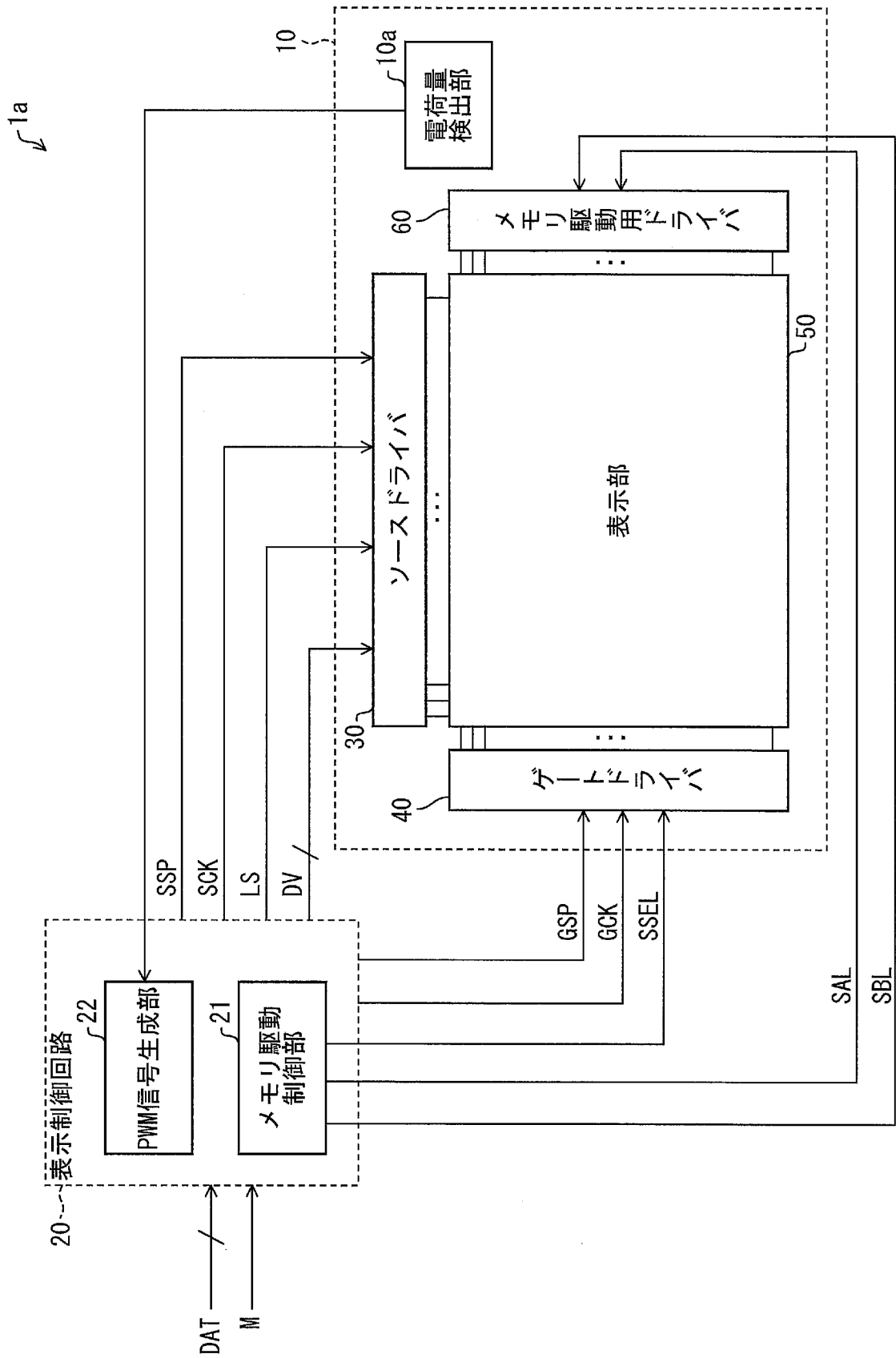
[図10]



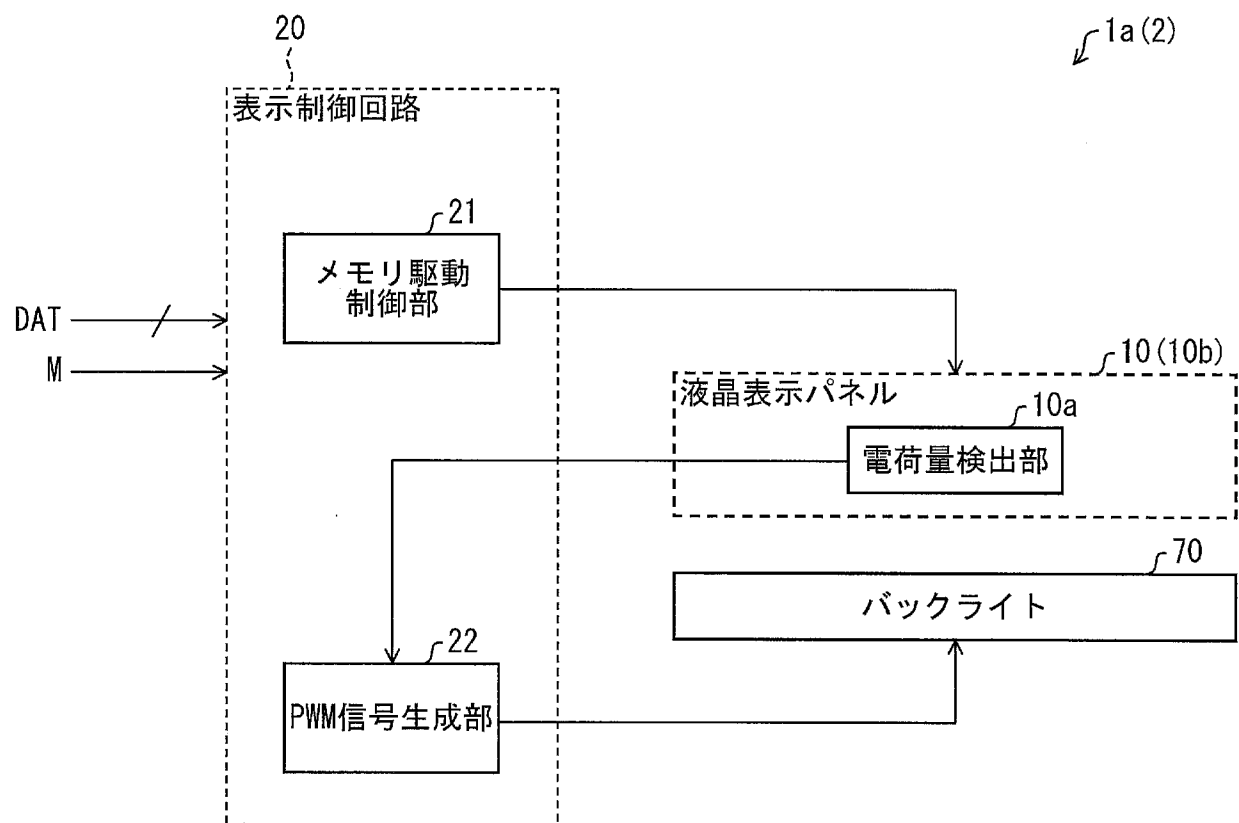
[図11]



[図12]



[図13]



[図14]

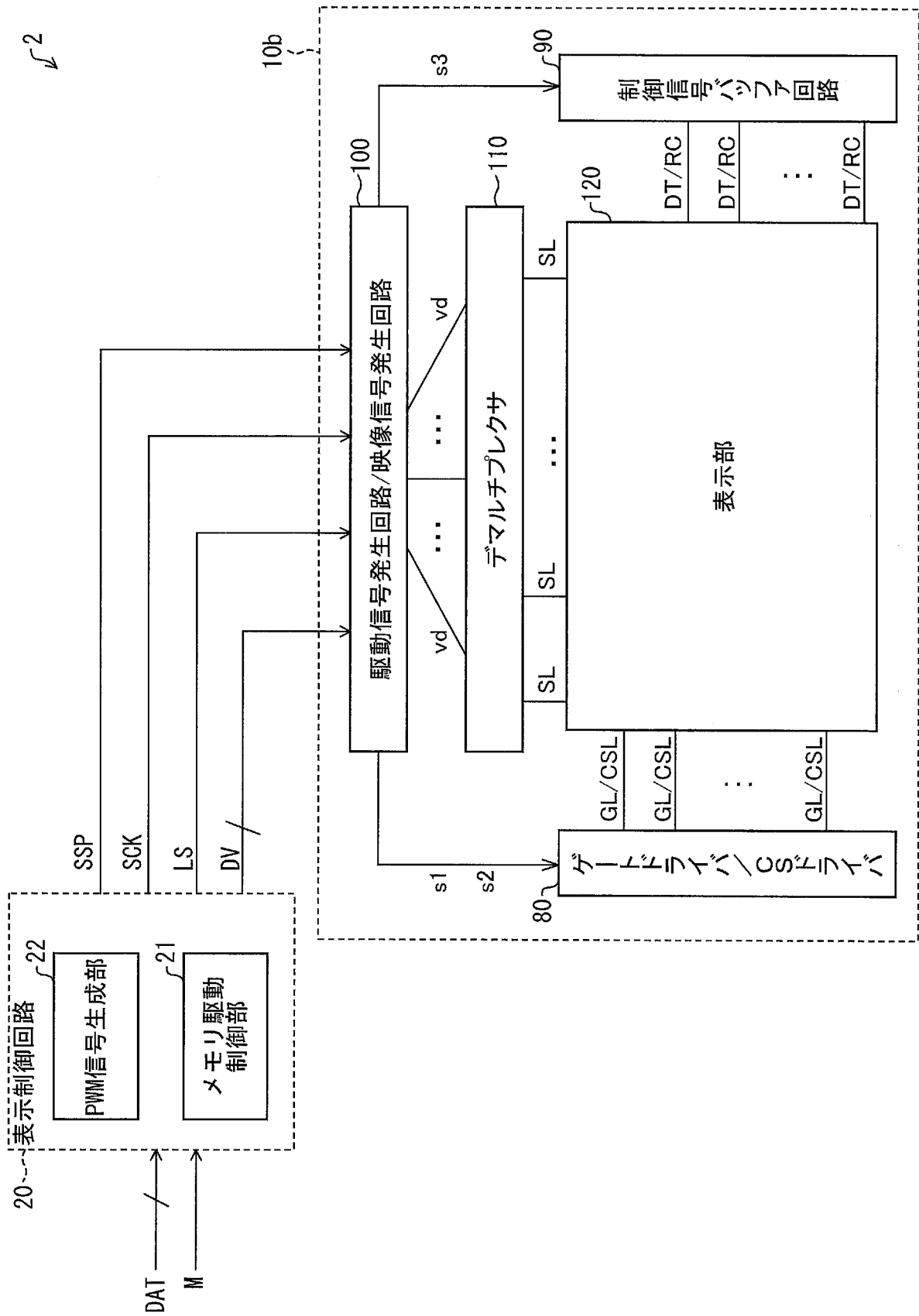
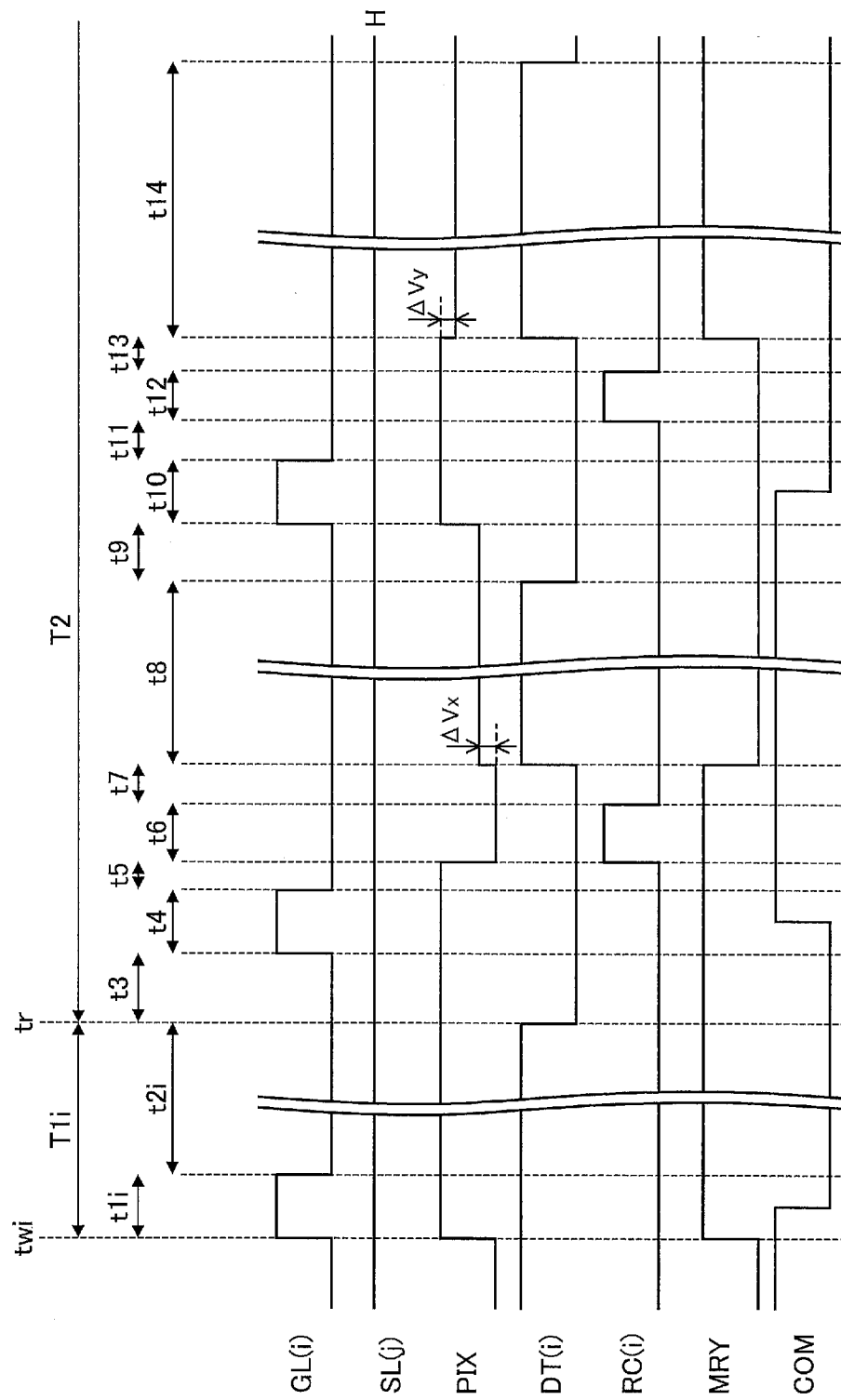
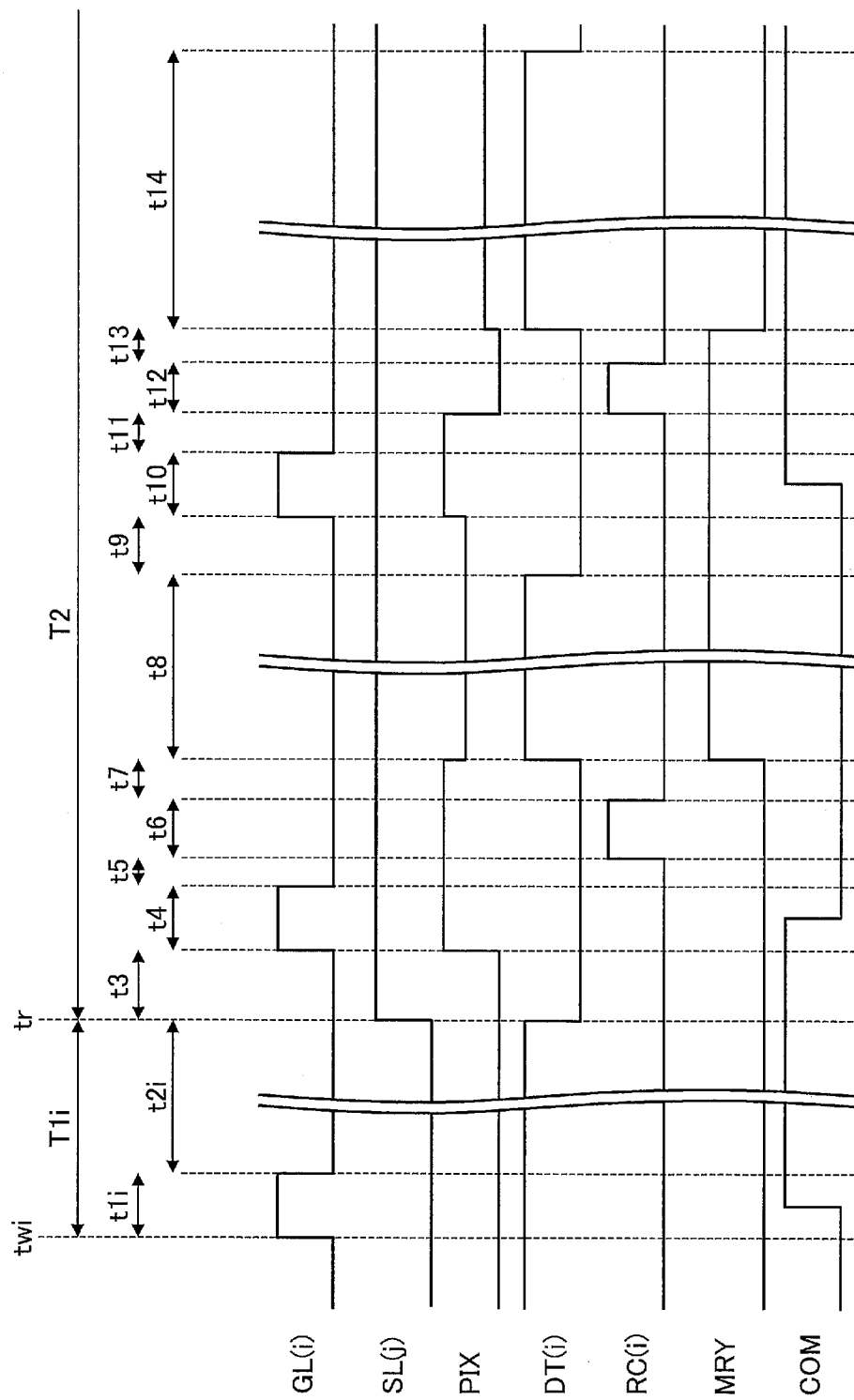


Fig. 1 is a block diagram of a semiconductor device. The device includes an IN data input line, a switch circuit (SW), a first data holding section (DS1), a data transfer section (TS), and a second data holding section (DS2). The IN data input line is connected to the switch circuit (SW). The switch circuit (SW) is controlled by an SC (switch control) signal. The switch circuit (SW) is connected to the first data holding section (DS1). The first data holding section (DS1) is controlled by a CS (chip select) signal. The first data holding section (DS1) is connected to the data transfer section (TS). The data transfer section (TS) is controlled by a DT (data transfer control) signal. The data transfer section (TS) is connected to the second data holding section (DS2). The second data holding section (DS2) is controlled by a CS (chip select) signal. The second data holding section (DS2) is connected to a refresh output control section (RS). The refresh output control section (RS) is controlled by a refresh output control line (RC) and a power supply (VS). The refresh output control section (RS) is connected to the first data holding section (DS1) and the second data holding section (DS2).

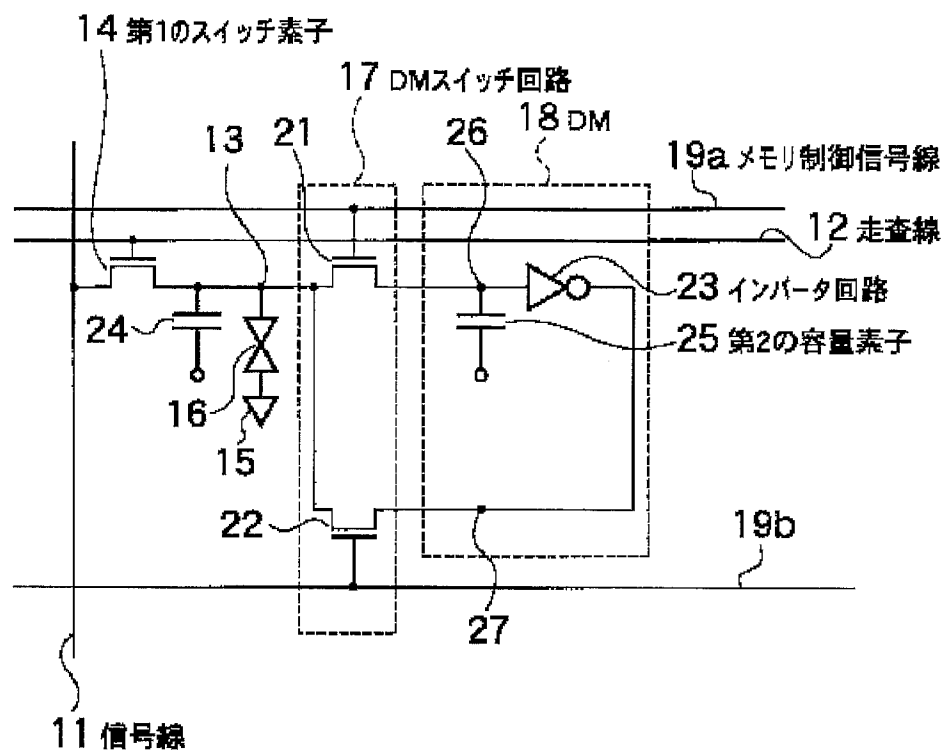
[図17]



[図18]



[図19]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/060777

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i, G09G3/34(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/36, G02F1/133, G09G3/20, G09G3/34

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012

Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2003-255914 A (Matsushita Electric Industrial Co., Ltd.), 10 September 2003 (10.09.2003), paragraphs [0032] to [0034]; fig. 8 to 9 (Family: none)	1, 11 2-10
Y	JP 2007-286501 A (Sony Corp.), 01 November 2007 (01.11.2007), fig. 1 to 2, 5 & US 2007/0247415 A1 & KR 10-2007-0103680 A & CN 101059609 A	2-6
Y	JP 3-12633 A (Hitachi, Ltd.), 21 January 1991 (21.01.1991), fig. 7 (Family: none)	5-6

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21 May, 2012 (21.05.12)Date of mailing of the international search report
29 May, 2012 (29.05.12)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/060777

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2010/035548 A1 (Sharp Corp.), 01 April 2010 (01.04.2010), fig. 5 to 8 & EP 2328013 A1 & CN 102124404 A	7-10
P,X	WO 2011/064878 A1 (NEC Display Solutions, Ltd.), 03 June 2011 (03.06.2011), entire text; all drawings (Family: none)	1,11

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i, G09G3/34(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G09G3/36, G02F1/133, G09G3/20, G09G3/34

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2003-255914 A (松下電器産業株式会社) 2003.09.10, 段落【0032】-【0034】, 図8-9 (ファミリーなし)	1, 11 2-10
Y	JP 2007-286501 A (ソニー株式会社) 2007.11.01, 図1-2, 5 & US 2007/0247415 A1 & KR 10-2007-0103680 A & CN 101059609 A	2-6
Y	JP 3-12633 A (株式会社日立製作所) 1991.01.21, 第7図 (ファミリーなし)	5-6

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 1 . 0 5 . 2 0 1 2

国際調査報告の発送日

2 9 . 0 5 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

森口 忠紀

2 G

4 4 0 2

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	W0 2010/035548 A1 (シャープ株式会社) 2010.04.01, 図5-8 & EP 2328013 A1 & CN 102124404 A	7-10
P, X	W0 2011/064878 A1 (NECディスプレイソリューションズ株式会社) 2011.06.03, 全文全図 (ファミリーなし)	1, 11