

(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2017-113619

(P2017-113619A)

(43) 公開日 平成29年6月29日 (2017.6.29)

(51) Int.Cl.	F I	テーマコード (参考)
A 6 1 M 37/00 (2006.01)	A 6 1 M 37/00 5 5 O	4 C 1 6 7
H O 1 L 25/04 (2014.01)	H O 1 L 25/04 Z	
H O 1 L 25/18 (2006.01)		

審査請求 有 請求項の数 13 O L 外国語出願 (全 16 頁)

(21) 出願番号	特願2017-57587 (P2017-57587)	(71) 出願人	514043872
(22) 出願日	平成29年3月23日 (2017.3.23)		マイクロチップス バイオテック, インコーポレイテッド
(62) 分割の表示	特願2014-527350 (P2014-527350) の分割		アメリカ合衆国, マサチューセッツ州 O 2 4 2 1, レキシントン, スプリング ストリート 1 2 8, スイート 3 1 0
原出願日	平成24年8月27日 (2012.8.27)	(74) 代理人	100079108
(31) 優先権主張番号	61/527, 482		弁理士 稲葉 良幸
(32) 優先日	平成23年8月25日 (2011.8.25)	(74) 代理人	100109346
(33) 優先権主張国	米国 (US)		弁理士 大貫 敏史
		(72) 発明者	ファッラ, ロバート
			アメリカ合衆国, マサチューセッツ州 O 1 7 2 0, アクトン, カンターベリー ヒル ロード 1 1 5
		F ターム (参考)	4C167 AA74 BB26 BB62 CC05

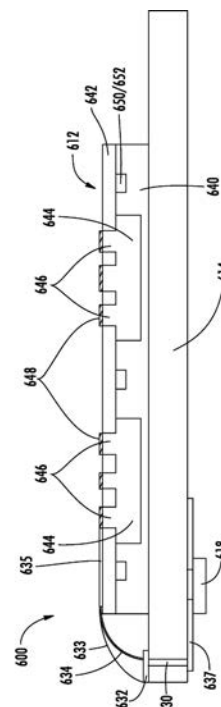
(54) 【発明の名称】 空間効率的な封じ込めデバイスおよびこれを作成する方法

(57) 【要約】

【課題】 封じ込めデバイスならびに製造および組立の方法を提供する。

【解決手段】 デバイスは、電氣的に作動して開くことができる封じ込めリザーバと、生体適合性基板を含む第1の電子プリント回路基板 (PCB) とを含む少なくとも1つのマイクロチップ素子を含む。第1のPCBは、1つまたは複数の電子部品が固定された第1の側と、マイクロチップ素子が電気接続において1つまたは複数の電子部品に固定された対向する第2の側と、を有してもよい。デバイスは第2のPCBと、第1のPCBを第2のPCBと共に固定するハウジングリングとをさらに含んでもよい。マイクロチップ素子は、マイクロリザーバであってもよく、かつ／または製剤もしくはセンサ素子を含んでもよい複数の封じ込めリザーバを含んでもよい。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

電氣的に作動して開くことができる封じ込めリザーバを含む第 1 のマイクロチップ素子と、

生体適合性基板を含む第 1 の電子プリント回路基板（PCB）であって、前記第 1 の PCB が 1 つまたは複数の電子部品が固定された第 1 の側と、前記少なくとも 1 つのマイクロチップ素子が電気接続において前記 1 つまたは複数の電子部品に固定された対向する第 2 の側と、を有する第 1 の電子プリント回路基板（PCB）と、を含む、封じ込めデバイス。

【請求項 2】

前記第 1 の PCB の前記生体適合性基板がセラミックである、請求項 1 に記載の封じ込めデバイス。

【請求項 3】

前記セラミックがアルミナである、請求項 2 に記載の封じ込めデバイス。

【請求項 4】

前記第 1 の PCB が、前記 1 つまたは複数の電子部品の少なくとも 1 つを前記第 1 のマイクロチップ素子に電氣的に接続する少なくとも 1 つのビアを含む、請求項 1 に記載の封じ込めデバイス。

【請求項 5】

前記少なくとも 1 つのビアが前記第 1 の PCB の前記第 2 の側の金属化導電性表面に電氣的に接続されており、前記金属化導電性表面が前記第 1 のマイクロチップ素子にワイヤボンド接合されている、請求項 4 に記載の封じ込めデバイス。

【請求項 6】

前記封じ込めリザーバが製剤またはセンサ素子を含むマイクロリザーバである、請求項 1 ～ 5 のいずれか一項に記載の封じ込めデバイス。

【請求項 7】

生体適合性基板を含む第 2 の電子プリント回路基板（PCB）であって、前記第 2 の PCB が、1 つまたは複数の電子部品が固定された第 1 の側と、対向する第 2 の側とを有する第 2 の電子プリント回路基板（PCB）と、

前記第 1 の PCB を前記第 2 の PCB と共に固定するハウジングリングと、をさらに含む、

前記第 1 の PCB の前記第 1 の側が前記第 2 の PCB の前記第 1 の側の方に面した関係で配向される、請求項 1 に記載の封じ込めデバイス。

【請求項 8】

前記第 1 の PCB の前記生体適合性基板および前記第 2 の PCB の前記生体適合性基板が前記第 1 の PCB および前記第 2 の PCB それぞれの前記第 2 の側の前記外部表面を形成する、請求項 7 に記載の封じ込めデバイス。

【請求項 9】

前記ハウジングリングが生体適合性金属で形成され、前記第 1 の PCB の前記電子部品および前記第 2 の PCB の前記電子部品を前記ハウジングリング内において気密的に密閉する、請求項 8 に記載の封じ込めデバイス。

【請求項 10】

前記第 1 の PCB および前記第 2 の PCB それぞれの前記生体適合性基板がセラミックである、請求項 9 に記載の封じ込めデバイス。

【請求項 11】

前記セラミックがアルミナである、請求項 10 に記載の封じ込めデバイス。

【請求項 12】

前記第 2 の PCB の第 2 の側がアンテナを含む、請求項 7 に記載の封じ込めデバイス。

【請求項 13】

前記第 2 の PCB の第 2 の側が、電氣的に作動して開くことができる封じ込めリザーバ

10

20

30

40

50

を含む第 2 のマイクロチップ素子を含む、請求項 7 に記載の封じ込めデバイス。

【請求項 1 4】

前記第 1 のマイクロチップ素子の前記封じ込めリザーバが製剤またはセンサ素子を含むマイクロリザーバである、請求項 7 ～ 1 3 のいずれか一項に記載の封じ込めデバイス。

【請求項 1 5】

第 1 の側と、対向する第 2 の側と、それらの中に延在する少なくとも 1 つの孔とを有するシリコン基板であって、前記第 1 の側が、前記少なくとも 1 つの孔を塞ぐ導電性のリザーバキャップを含む、シリコン基板と、

高分子またはガラスまたは他のセラミック材料で形成された主基板であって、前記主基板が、閉端部壁と、開端部と、前記閉端部壁と前記開端部との間に延在する少なくとも 1 つの側壁とによって画定される少なくとも 1 つのリザーバを有する主基板と、

前記少なくとも 1 つのリザーバ内に配置されるリザーバ内容物と、を含み、

リザーバ内容物の制御された放出または露出のために前記リザーバの前記開端部が前記少なくとも 1 つの孔に流体連通するように前記シリコン基板の前記第 2 の側が前記主基板に気密的に接合する、マイクロチップデバイス素子。

【請求項 1 6】

前記主基板が、前記主基板の高分子、ガラスまたは他のセラミック材料の少なくとも一部の上に金属コーティングを含む、請求項 1 5 に記載のデバイス。

【請求項 1 7】

前記金属コーティングが前記少なくとも 1 つのリザーバの前記少なくとも 1 つの側壁および／または前記閉端部壁をコーティングする、請求項 1 6 に記載のデバイス。

【請求項 1 8】

前記シリコン基板の前記第 2 の側がその上に形成された少なくとも 1 つのリング構造を含む、請求項 1 5 に記載のデバイス。

【請求項 1 9】

前記少なくとも 1 つのリング構造が金または別の金属を含む、請求項 1 8 に記載のデバイス。

【請求項 2 0】

前記主基板が少なくとも 1 つの溝構造を含み、前記少なくとも 1 つのリング構造と前記少なくとも 1 つの溝構造とが気密接合部を共に形成する、請求項 1 6 に記載のデバイス。

【請求項 2 1】

前記少なくとも 1 つの溝構造内のおよび／または前記少なくとも 1 つの溝構造内に隣接する前記主基板の前記表面が金属コーティングを含む、請求項 2 0 に記載のデバイス。

【請求項 2 2】

前記金属コーティングが金を含む、請求項 2 1 に記載のデバイス。

【請求項 2 3】

マイクロチップデバイス素子を作成する方法であって、

第 1 の側と、対向する第 2 の側と、それらの中に延在する少なくとも 1 つの孔とを有するシリコン基板を微細加工するステップであって、前記第 1 の側が前記少なくとも 1 つの孔を塞ぐ導電性のリザーバキャップを含む、ステップと、

閉端部壁と、開端部と、前記閉端部壁と前記開端部との間に延在する少なくとも 1 つの側壁とによって画定される少なくとも 1 つのリザーバを有する主基板を形成するために高分子またはガラスまたは他のセラミック材料を鋳造または成形するステップと、

リザーバ内容物を前記少なくとも 1 つのリザーバ内に提供するステップと、

前記リザーバの前記開端部が前記少なくとも 1 つの孔に流体連通するように前記シリコン基板を前記主基板に接合するステップと、

を含む、方法。

【請求項 2 4】

前記微細加工するステップが、前記シリコン基板の前記第 2 の側に少なくとも 1 つのリング構造を形成するステップをさらに含む、請求項 2 3 に記載の方法。

【請求項 25】

前記主基板が少なくとも 1 つの溝構造を含み、前記接合するステップが、前記少なくとも 1 つのリング構造を前記少なくとも 1 つの溝構造と共に冷間圧接するステップを含む、請求項 24 に記載の方法。

【請求項 26】

封じ込めデバイスを組み立てる方法であって、
電氣的に作動して開くことができる封じ込めリザーバを含む第 1 のマイクロチップ素子を用意するステップと、
前記第 1 のマイクロチップ素子を、生体適合性基板を含む第 1 の電子プリント回路基板（PCB）の第 1 の側に固定するステップと、
前記第 1 のマイクロチップ素子を前記第 1 の PCB の第 2 の側に固定された 1 つまたは複数の電子部品に電氣的に接続するステップと、
を含む、方法。

10

【請求項 27】

前記電氣的に接続するステップがワイヤボンディングを含む、請求項 26 に記載の方法。

【請求項 28】

前記第 1 の PCB の前記生体適合性基板がセラミックである、請求項 26 に記載の方法。

【請求項 29】

前記セラミックがアルミナである、請求項 28 に記載の方法。

20

【請求項 30】

前記第 1 の PCB が、前記 1 つまたは複数の電子部品の少なくとも 1 つを前記第 1 のマイクロチップ素子に電氣的に接続する少なくとも 1 つのビアを含む、請求項 26 に記載の方法。

【請求項 31】

前記少なくとも 1 つのビアが前記第 1 の PCB の前記第 2 の側の金属化導電性表面に電氣的に接続されており、前記金属化導電性表面が前記第 1 のマイクロチップ素子にワイヤボンディング接合されている、請求項 26 に記載の方法。

【請求項 32】

生体適合性基板を含む第 2 の電子プリント回路基板（PCB）を用意するステップであって、前記第 2 の PCB が、1 つまたは複数の電子部品が固定された第 1 の側と、対向する第 2 の側とを有する、ステップと、

30

前記第 1 の PCB の前記第 1 の側が前記第 2 の PCB の前記第 1 の側の方に面して配向された状態でハウジングリングを前記第 1 の PCB と前記第 2 の PCB とに固定するステップと、

をさらに含む、請求項 26 ～ 31 のいずれか一項に記載の方法。

【請求項 33】

前記封じ込めリザーバが製剤またはセンサ素子を含むマイクロリザーバである、請求項 32 に記載の方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

関連出願の相互参照

本出願は、2011 年 8 月 25 に出願された米国仮特許出願第 61/527,482 号明細書の利益を主張する。本出願はその全体を参照によって本願明細書に組み込む。

【背景技術】

【0002】

本開示は、一般に、物質またはサブコンポーネントを後の露出または放出のために閉じ込めるための封じ込めリザーバを有する植え込み医療デバイスなどの医療デバイスを含む

50

がそれに限定されない封じ込めデバイスに関する。特に、本開示は、改良した封じ込めデバイス、および空間効率的なデバイス組み立てを含むがそれに限定されない、改良した封じ込めデバイスを製造する方法ならびにマイクロチップ封じ込めデバイス素子を作製するための改良した方法に関する。

【0003】

ペースメーカおよび植え込み型除細動器などの典型的な植え込み医療デバイスは、制御電子機器、電源および他のデバイス専用部品を含む2つ以上のハウジング構成要素または外殻を備えて設計される。また、デバイス内および外に電気接続を提供するためにヘッダが使用される。ハウジングおよびヘッダまたはフィードスルーは、一般に生体適合性でない内部構成要素と体液との間における液体または気体交換を防止するために気密となるように設計される。しかしながら、エポキシベースのヘッダを備えた特定のインプラントは長期間の気密性を実現しないことに留意されたい。植え込みデバイスの設計および製造方法は気密性を確実にする目的のために発展してきた。

【0004】

MicroCHIPS Inc. はバイオセンサまたは薬剤を含むリザーバアレイを含むマイクロチップを基に植え込みデバイスを設計および製造する。図1は、マイクロチップアセンブリ12を含む植え込み式医療デバイス10内の部品を組み立てるための可能な従来の手法を示す。マイクロチップアセンブリ12はマイクロチップ素子とも呼ばれ、マイクロリザーバを含む。そのそれぞれは、インビボでの制御された送達のための薬剤またはインビボでの制御された露出のためのセンサを含んでもよい。マイクロチップアセンブリ12はハウジング14に溶接されたフィードスルー16に取り付けられている。そのようなマイクロチップアセンブリまたは素子については、例えば、Uhl andらに付与された米国特許第7,510,551号明細書およびSantini Jr.らに付与された米国特許第7,604,628号明細書に記載されている。フィードスルー16は、アルミナディスク上およびアルミナディスク内の金属化表面に冶金的にろう付けされた導電性のピンを含む。一般的なピンカウントは100超であり、より複雑な設計では400超とされうる。そのような設計の結果、各ピンの接続部が漏出点(leak point)となる可能性がある。

【0005】

加えて、各フィードスルーピンはハウジング内部の電子部品に電氣的に接続される。いくつかの設計では、ピンから回路までワイヤを使用する一方で、図示される設計では、フィードスルー16を従来のプラスチック回路基板18に直接取り付ける。これら電気接続では導通を確実にするために試験を必要とする。その結果、ピンカウントはフィードスルーのコストに影響し、植え込みデバイス内のフィードスルーピンの数が増加するにつれてコストは増加する。したがって、この複雑な設計要件、結果的な製造および必要とされる受入試験ゆえにフィードスルーは高額な部品である。

【0006】

フィードスルー、またはハウジング構成要素に取り付けられたヘッダに基にした従来の植え込みデバイス設計の別の欠点は、いくつかの別個の部品がアセンブリを構成するため、結果として形成されるデバイスの総容量が所望とするものよりも大きいことである。

【0007】

さらに、体内および体外に無線で情報を伝達するために高周波を使用する電子ベースの植え込みデバイスはアンテナを必要とする。アンテナが従来の金属ハウジング内に配置される場合には高周波が大幅に減衰されるため、アンテナは、一般に、既存のフィードスルーまたは本出願に専用の別のフィードスルーを使用してハウジングの表面上に配置される。

【0008】

したがって、従来の設計の植え込み医療デバイスに付随する前述の欠点の任意のものまたは全てを排除するか軽減することが望ましかろう。ある特定のニーズにおいては、改良したハウジング気密性（例えば、より少数の潜在的漏洩路(potential leak

10

20

30

40

50

k paths))、より簡単な構造およびより小さな全体デバイス体積を提供することが望ましかろう。

【0009】

別の態様では、Santini Jr. らに付与された米国特許第7,604,628号明細書に教示されるようなマイクロチップベースのリザーバデバイスの作製において、使用がより簡単でより費用対効果の高い精度の高い製造方法を使用してより大きなリザーバ容量を提供することが望ましかろう。例えば、マイクロチップ素子内においてマイクロリザーバを画定する壁を形成するために深掘り反応性イオンエッチング(DRIE: deep reactive ion etching)法を使用する必要を低減または排除することが有用であろう。

10

【発明の概要】

【課題を解決するための手段】

【0010】

第1の態様では、電氣的に作動して開くことができる封じ込めリザーバを含む第1のマイクロチップ素子と、生体適合性基板を含む第1の電子プリント回路基板(PCB)とを含む封じ込めデバイスが提供される。第1のPCBは、1つまたは複数の電子部品が固定された第1の側と、少なくとも1つのマイクロチップ素子が電気接続において1つまたは複数の電子部品に固定された対向する第2の側とを有してもよい。デバイスは、生体適合性基板を含む第2の電子プリント回路基板(PCB)と、第1のPCBを第2のPCBと共に固定するハウジングリングとをさらに含んでもよい。第2のPCBは、1つまたは複数の電子部品が固定された第1の側と、対向する第2の側とを有してもよく、第1のPCBの第1の側を第2のPCBの第1の側の方に面した関係で配向してもよい。好適な実施形態では、第1のマイクロチップ素子は複数の封じ込めリザーバを含む。封じ込めリザーバはマイクロリザーバであってもよく、好適な実施形態においては、製剤またはセンサ素子を含む。

20

【0011】

別の態様では、(i)第1の側と、対向する第2の側と、それらの中に延在する少なくとも1つの孔とを有するシリコン基板であって、第1の側が、少なくとも1つの孔を塞ぐ導電性のリザーバキャップを含むシリコン基板と、(ii)高分子またはガラスまたは他のセラミック材料で形成された主基板であって、主基板が、閉端部壁と、開端部と、閉端部壁と開端部との間に延在する少なくとも1つの側壁とによって画定される少なくとも1つのリザーバを有する主基板と、(iii)少なくとも1つのリザーバ内に配置されるリザーバ内容物であって、リザーバ内容物の制御された放出または露出のためにリザーバの開端部が少なくとも1つの孔に流体連通するようにシリコン基板の第2の側が主基板に気密的に接合するリザーバ内容物と、を含むマイクロチップデバイス素子が提供される。一実施形態においては、シリコン基板の第2の側はその上に形成された少なくとも1つのリング構造を有し、主基板は少なくとも1つの溝構造を有し、少なくとも1つのリング構造と少なくとも1つの溝構造は冷間圧接などによって気密接合部を共に形成する。

30

【0012】

さらに別の態様においては、マイクロチップデバイス素子を作製するための方法が提供される。実施形態では、この方法は、(i)第1の側と、対向する第2の側と、それらの中に延在する少なくとも1つの孔とを有するシリコン基板を微細加工するステップであって、第1の側が少なくとも1つの孔を塞ぐ導電性のリザーバキャップを含む、ステップと、(ii)閉端部壁と、開端部と、閉端部壁と開端部との間に延在する少なくとも1つの側壁とによって画定される少なくとも1つのリザーバを有する主基板を形成するために高分子またはガラスまたは他のセラミック材料を鋳造または成形するステップと、(iii)リザーバ内容物を少なくとも1つのリザーバ内に提供するステップと、(iv)リザーバの開端部が少なくとも1つの孔に流体連通するようにシリコン基板を主基板に接合するステップと、を含む。

40

【0013】

50

さらに別の態様においては、封じ込めデバイスを組み立てる方法が提供される。実施形態では、方法は、(i)電気的に作動して開くことができる封じ込めリザーバを含む第1のマイクロチップ素子を用意するステップと、(ii)第1のマイクロチップ素子を、生体適合性基板を含む第1の電子プリント回路基板(PCB)の第1の側に固定するステップと、(iii)第1のマイクロチップ素子を第1のPCBの第2の側に固定された1つまたは複数の電子部品に電気的に接続するステップと、を含む。一実施形態において、方法は、生体適合性基板を含む第2の電子プリント回路基板(PCB)を用意するステップであって、第2のPCBが1つまたは複数の電子部品が固定された第1の側と、対向する第2の側とを有するステップと、第1のPCBの第1の側が第2のPCBの第1の側の方に面して配向された状態でハウジングリングを第1のPCBと第2のPCBとに固定するステップと、をさらに含んでもよい。

10

【図面の簡単な説明】

【0014】

【図1】マイクロチップアセンブリを含む先行技術の封じ込めデバイスの分解斜視図である。

【図2A】一実施形態によるマイクロチップアセンブリを含む組み立て後の封じ込めデバイスの断面図である。

【図2B】図2Aに示される封じ込めデバイスの一部の分解断面図である。

【図3】図2Aに示される封じ込めデバイスを含む分解斜視図である。

【図4】一実施形態による封じ込めデバイスの一部の拡大断面図である。

20

【図5A】一実施形態によるマイクロチップ素子アセンブリの断面図である。

【図5B】図5Aに示されるマイクロチップ素子アセンブリの分解断面図である。

【図6】一実施形態によるマイクロチップアセンブリを含む組み立て後の封じ込めデバイスの一部の断面拡大図である。

【発明を実施するための形態】

【0015】

本明細書中に記載される封じ込めデバイスおよびアセンブリは、数ある利点の中でも、組み立て後のデバイスの空間効率の大幅な向上を提供する。特定の実施形態においては、デバイスおよび方法は、有利には、高価で複雑なフィードスルーの必要を排除し、フィードスルーおよび金属ハウジングの排除によるより薄いインプラントを提供し、多くのフィードスルーピンおよび電気接続を排除することにより信頼性の向上を提供し、気密インターフェースの数を削減することにより信頼性の向上を提供し、機能性を確認するための試験を簡略化し、より簡単な組み立てを提供する。これは、封じ込めデバイスが人または動物被検者内における長期間の植え込み用の植え込み式医療デバイスである実施形態において特に重要となりうる。

30

【0016】

本明細書中において提供される封じ込めデバイスは、図2Aおよび図2Bに示される封じ込めデバイス110を含む以下の例示的な実施形態を参照することによりさらに理解することができる。デバイスは、電気的に作動して開くことができる封じ込めリザーバ(図示せず)を含む第1のマイクロチップ素子112と、第1の電子プリント回路基板(PCB)114と、第2のPCB116とを含む。第1のPCB114は生体適合性基板を含み、1つまたは複数の電子部品118が固定される第1の側と、少なくとも1つのマイクロチップ素子112が電気接続において1つまたは複数の電子部品118に固定される対向する第2の側とを有する。第2のPCB116は生体適合性基板を含み、1つまたは複数の電子部品118が固定される第1の側を有する。第2のPCB116の対向する第2の側は、任意選択で、アンテナまたは1つまたは複数の追加のマイクロチップ素子(図示せず)を含んでもよい。

40

【0017】

「電子プリント回路基板」(PCB)は、当技術分野において公知の導電性経路、トラックまたは信号トレースを使用して電子部品を機械的に支持し、かつ電気的に接続する基

50

板を意味する。好適な実施形態では、PCBは生体適合性の、気密な基板材料を含む。適切なそのような材料は、アルミナおよび窒化ケイ素などのセラミックスを含む。多層アルミナPCBは成功裏に設計および製造されている。例えば、米国特許出願公開第2003/0034564号明細書を参照のこと。これら積層構造は、導電性層と、誘電層と、酸化アルミニウム (Al_2O_3 、アルミナ) とを低温同時焼成法において組み合わせた結果であってもよい。アルミナは低温同時焼成セラミック (LTCC: low temperature co-fired ceramic) と呼ばれる。これら生体適合性セラミックスは、また、気密バリアとして機能し、従来の金属ハウジング要素の必要を排除する。

【0018】

本明細書では、用語「生体適合性」は、一般に、患者等の人または動物被検者への長期間の植え込みに適した構造の材料を意味する。そのような構造の材料は植え込み医療デバイスの技術において公知である。

【0019】

本明細書では、用語「気密シール」は、デバイスの有効寿命にわたり、化学物質（例えば、水分、水、酸素等）の、デバイスリザーバ等のデバイスの1つまたは複数の隔室への望ましくない侵入またはそこからの望ましくない侵出を防止することを意味する。本明細書の目的では、ヘリウム (He) を $1 \times 10^{-9} \text{ atm} \cdot \text{cc} / \text{秒未満}$ の割合で透過する材料／シールが気密と称される。

【0020】

第1のPCB114および第2のPCB116は、ハウジングリング120内の第1のPCB114および第2のPCB116の電子部品118を気密的に密閉する、生体適合性金属で形成されたハウジングリング120によって共に固定してもよい。ハウジングリング120は、チタンまたはステンレス鋼などの生体適合性金属または合金で作製してもよい。ハウジングリング構造は、PCBの周縁部を囲むように、およびPCBを所望の構成に共に固定するように構成されている。望ましくは、ハウジングリングならびに第1および第2のPCBの少なくとも外側に面した表面は生体適合性材料で形成されている。好適な実施形態においては、ハウジングリングの、PCBとのインターフェースは、ハウジングリング内の第1のPCBおよび第2のPCBの電子部品ならびに第1のPCBと第2のPCBとの間の電子部品を絶縁する気密シールを形成する。ハウジングリングは第1のPCBおよび第2のPCBに溶接してもよい。生体適合性樹脂122（例えば、エポキシ樹脂）を第1のマイクロチップ素子112および第1のPCB114の一部分上に配置してもよい。実施形態では、封じ込めデバイス110はその中に配置された他の適切な電子または電気部品124を含んでもよい。

【0021】

一実施形態において、封じ込めデバイスは生体適合性セラミック材料を含む単一のPCBを有する。このような実施形態では、PCBの、マイクロチップ素子から遠位の側を生体適合性エポキシコーティングまたは他の生体適合性コーティング材料で被覆してもよい。このコーティングは、アンテナ、バッテリー（含まれる場合）等を含むが、それらに限定されない電子部品を被覆する。このコーティングは多層としてもよく、かつそれは材料がいずれの電子部品の動作を妨げない限りは気密材料を含んでもよい。

【0022】

封じ込めデバイスは任意の適切な数のマイクロチップ素子（例えば、1～6つ）を含んでもよく、かつ各マイクロチップ素子は複数の別個のリザーバ（例えば、10～750個のリザーバ）を含んでもよいと理解される。また、デバイス1つ当たりにより多数のマイクロチップ素子およびより少数のまたはより多数のリザーバが想定される。

【0023】

2つのマイクロチップ素子を有する封じ込めデバイスの一実施形態が図3に示される。デバイス200は、2つのマイクロチップ素子212と、第1のPCB214と、第2のPCB216とを含む。電子部品218は第1のPCB214の第1の側に固定され、マ

マイクロチップ素子 2 1 2 は第 1 の P C B 2 1 4 の対向する第 2 の側上に固定される。電子部品 2 1 8 は、また、第 2 の P C B 2 1 6 の第 1 の側上に固定される。アンテナまたはより多数のマイクロチップ素子を第 2 の P C B の対向する第 2 の側 2 2 6 に固定してもよい。第 1 の P C B 2 1 4 と第 2 の P C B 2 1 6 とを共に固定するために、ならびに電子部品 2 1 8 を第 1 および第 2 の P C B とハウジングリング 2 2 0 との間の内部に気密的に密閉するためにハウジングリング 2 2 0 が使用される。このアセンブリでは、デバイスハウジングが P C B および内部電子機器の追加のハウジングの必要および大部分を排除するため、好ましくは生体適合性気密材料を含む P C B の露出側が倍になる。図 4 を参照して以下に説明するように、第 1 の P C B 2 1 4 の第 1 の側および第 2 の P C B 2 1 6 の第 1 の側の電子部品 2 1 8 はマイクロチップ素子 2 1 2 と電気（動作）通信している。

10

【0024】

電子部品 1 1 8 および電子部品 1 2 4 は、封じ込めデバイスのいくつかの機能のいずれかを提供する。実施例には、リザーバを電氣的に作動してそれを開き、かつ、例えば、リザーバ内に配置されたセンサ、または封じ込めデバイスから遠隔的に配置された別のデバイスと通信させるための制御部（例えば、マイクロプロセッサ）および電源（例えば、バッテリーまたはコンデンサ）を含むがそれらに限定されない。他の電子部品は、例えば、遠隔測定ハードウェア、コンデンサ、トランジスタおよびダイオードならびにリザーバキャップを作動するための制御手段を含んでもよい。制御手段は、入力源、マイクロプロセッサ、タイマ、デマルチプレクサ（またはマルチプレクサ）を含んでもよい。一実施形態では、電子部品は、搭載ストレージコンデンサを充電するためのエネルギーを無線で受信するための部品を含み、これにより、封じ込めデバイスに搭載される電子部品の空間要件をさらに低減してもよい。

20

【0025】

マイクロチップ素子 1 1 2 の封じ込めリザーバを、当技術分野において公知とされうる種々の方式で開く／作動するように構成してもよい。一実施形態において、参照により本明細書中に組み込む米国特許第 7, 5 1 0, 5 5 1 号明細書および米国特許第 7, 6 0 4, 6 2 8 号明細書に記載されるように、封じ込めリザーバは電氣的に作動され開くように構築および構成されている。

【0026】

P C B／電子部品とマイクロチップ素子との間の電気接続の一実施形態が図 4 に示される。この図は、2 つの封じ込めリザーバ 3 4 4 を含むマイクロチップ素子 3 1 2 の一部を示す。各リザーバ 3 4 4 は、リザーバキャップ 3 4 8 で塞がれる開口部を有する。リザーバ 3 4 4 は少なくとも部分的に基板 3 4 3 内に形成され、開口部に対向する閉端部とその間の側壁とを有する。マイクロチップ素子 3 1 2 は P C B 3 1 4 の第 1 の側に固定され、電子部品 3 1 8 は P C B 3 1 4 の対向側に固定される。P C B 3 1 4 は、電子部品 3 1 8 をマイクロチップ素子 3 1 2 に電氣的に接続するビア 3 3 0 を含む。ビア 3 3 0 は、P C B 3 1 4 上の金属化導電性表面 3 3 2 A, 3 3 2 B に機械的および電氣的に接続され、マイクロチップ素子 3 1 2 は金属化導電性表面 3 3 2 A にワイヤボンダ結合 3 3 4 される。連結部を固定し、かつ保護するために生体適合性コーティング物質 3 3 6 がワイヤボンダ上に塗布され、一般に、P C B 3 1 4 の表面の一部およびマイクロチップ素子 3 1 2 の一部をコーティングするが、リザーバキャップ 3 4 8 はコーティングしない。コーティング物質 3 3 6 は、エポキシなどの高分子であっても他の樹脂であってもよい。

30

40

【0027】

一実施形態においては、参照により本明細書中に組み込む米国特許第 7, 5 1 0, 5 5 1 号明細書および米国特許第 7, 6 0 4, 6 2 8 号明細書に記載されるように、リザーバキャップは電氣的に作動され開くように構築および構成されている。リザーバキャップを、単一層または積層構造を含んでもよい金属フィルムで形成してもよい。例えば、リザーバキャップは、金、白金、チタンまたはそれらの組み合わせを含んでもよい。他の実施形態においては、リザーバキャップは、機械的な機構または電気化学的な機構によって作動されるまたは開かれるように構成することができる。

50

【0028】

マイクロチップ素子の封じ込めリザーバは、一般に、500 μ L以下（例えば、250 μ L未満、100 μ L未満、50 μ L未満、25 μ L未満、10 μ L未満等）の容量を有するリザーバを意味する「マイクロリザーバ」であってもよい。別の実施形態では、封じ込めリザーバは、一般に、500 μ L超（例えば、600 μ L超、750 μ L超、900 μ L超、1 mL超等）および5 mL未満（例えば、4 mL未満、3 mL未満、2 mL未満、1 mL未満等）の容量を有するリザーバを意味する「マクロリザーバ」である。用語「リザーバ」および「封じ込めリザーバ」は、いずれか一方に限定されることが明示的に示されない限りはマイクロリザーバおよびマクロリザーバの双方を含むものとする。

【0029】

第2の態様においては、改良したマイクロチップ素子およびそれらを製造するための方法が提供される。好適な実施形態では、マイクロチップデバイス素子は、高分子またはガラスまたは他のセラミック材料で形成された比較的より厚い主基板に接合される比較的薄いシリコン基板を含む。有利には、リザーバをシリコン基板よりもむしろ主基板内に画定することによって、リザーバを、ドライ反応性イオンエッチング（DRIE: dry reactive ion etching）以外の手法を使用して形成してもよい。これは、DRIE法が高額であるという理由のためだけでなく、従来の手法下においては、リザーバキャップフィルムの堆積後に実施されるDRIE法によりリザーバキャップフィルムが後の処理に不必要にさらされ、許容可能な（例えば、気密）リザーバキャップの収率に悪影響を及ぼすおそれがあるという理由から重要である。

【0030】

さらに、確実な密閉機能（positive sealing features）（例えば、金シールリング）をシリコン基板に添加することによって、これが高耐性のマイクロフィーチャ（micro features）の全てをシリコン基板のみに保持し、これがさらには、他の、場合によってはより低い公差の製造プロセスによって作製される主基板を利用可能にする。このようにして、リザーバをより深く作製することができ、それによって、単位リザーバペイロードを増加する。一実施形態において、主基板は、従来のリザーバよりも深く、かつDRIEを使用することにより容易に可能となるものよりも平滑な側壁を有するリザーバの形成を可能にするセラミック材料または高分子材料を使用して鋳造法または成形法により作製される。この鋳造または成形された基板は、その後、シリコン基板上の確実な密閉機能との接合のために、その中に形成された密封溝内およびその周囲に金めっきを施してもよい。

【0031】

マイクロチップ素子の例示的な実施形態が図5Aおよび図5Bに示される。マイクロチップ素子412は主基板440およびシリコン基板442を含み、それらは互いに接合される。シリコン基板442は、第1の側と、対向する第2の側と、それらの中に延在する孔446とを有する。各リザーバ444に対して3つの孔446が示される。シリコン基板442の第1の側は、リザーバが開かれる必要があるまで孔を塞ぐリザーバキャップ448を含む。好適な実施形態では、リザーバキャップ448は導電性である。例えば、リザーバキャップは金属フィルムの形態であってもよい。シリコン基板、孔およびリザーバキャップは当技術分野において公知の微細加工技術を使用して作製することができる。例えば、金属リザーバキャップによって塞がれるポリシリコン基板内の孔を形成するために米国特許第7,604,628号明細書に記載されているフォトリソグラフィ、エッチングおよび堆積技術を使用してよい。

【0032】

この図では、主基板440は2つのリザーバ444を含む。各リザーバは、閉端部壁と、開端部と、閉端部壁と開端部との間に延在する少なくとも1つの側壁とによって画定される。上に述べたように、主基板444は、当技術分野において公知の成形、鋳造、超微細加工および蓄積または積層技術を含むが、これらに限らない任意の適切なプロセスによって高分子またはガラスまたは他のセラミック材料で形成される。一実施形態においては

、主基板は低温同時焼成セラミックス（L T C C : l o w t e m p e r a t u r e c o - f i r e d c e r a m i c s）で／によって作製される。それは、例えば、気密性、生体適合性、接合および／またはリザーバ内容物適合性、安定性または放出を提供するまたは向上するために基板の全体または一部上のコーティング層をさらに含んでもよい。コーティング層の目的に応じて、それをリザーバの内側、リザーバの外側または両方に塗布してもよい。可能なコーティング材料の例には、金などの生体適合性金属材料およびパリレンなどの高分子を含む。

【0033】

主基板440とシリコン基板442はリザーバ444を気密的に密閉するための任意の適切な方法を使用して共に接合される。このようにして、リザーバ444の開端部はリザーバ内容物の制御された放出または露出のために孔446と流体連通する。好適な実施形態では、基板は、参照により本明細書中に組み込む米国特許第8,191,756号明細書に記載されるような冷間圧接法を使用して互いに気密的に密閉される。図5Aおよび図5Bに示すように、シリコン基板442の第2の側は、その上に形成されたリング構造452を含み、主基板440の第1の側は溝450を含む。これら接合機能部は共に圧縮され、個々のリザーバを囲む、冷間圧接接合部（c o l d w e l d b o n d）、気密シールを形成する。リング構造452は、金または別の金属層をシリコン基板上に堆積させることによって形成してもよい。溝450をシリコンにエッチングしてもよく、その後、金属リングと同じ材料の金属化層でコーティングしてもよい。例えば、シリコン基板および主基板の接合面（i n t e r f a c i n g s u r f a c e s）のいずれかまたは両方内／上に他の正および負の接合機能部が提供されるこの実施形態の変形形態が想定される。

【0034】

主基板は、一般に、シリコン基板よりも比較的厚く、リザーバ側壁高さ（または深さ）の全てまたは少なくとも大部分（50%超）は主基板によって画定される。一実施形態では、シリコン基板は、基板の接合面における主基板の厚みの5%～50%の厚みを有する。

【0035】

図4または図5Aに図示しないが、リザーバ344およびリザーバ444はそれぞれ、その中に配置されるリザーバ内容物を含む。封じ込めリザーバは、選択した時間における気密封じ込めおよび後の放出または露出が必要な本質的にあらゆる物質またはデバイス構成要素を貯蔵するように構成することができる。リザーバ内容物は、例えば、化学試薬、製剤またはセンサもしくは電極などのその構成要素であってもよい。一実施形態では、単一のデバイスは、バイオセンサを含む少なくとも1つの封じ込めリザーバと、製剤を含む少なくとも1つのリザーバとを含む。種々のリザーバ内容物の実施例は、例えば、米国特許第7,510,551号明細書、米国特許第7,497,855号明細書、米国特許第7,604,628号明細書、米国特許第7,488,316号明細書および国際出願PCT WO 2012/027137号明細書に記載されている。

【0036】

マイクロチップ素子612を含む封じ込めデバイス600の例示的な実施形態が図6に示される。封じ込めデバイス600は、電子部品618をマイクロチップ素子612に電氣的に接続するビア630を有するセラミックPCB614を含む。電子部品618はセラミックPCB614の第1の側に固定され、マイクロチップ素子612は第1のPCB614の対向する第2の側に固定される。ビア630は第1のPCB614の第1の側の金属化導電性表面632に電氣的に接続する。マイクロチップ素子612の電気回路635はワイヤボンダ634によって金属化表面632に電氣的に接続され、エポキシ633がワイヤボンダ634をコーティングする。セラミックPCB614の第2の側は、また、電子部品618に電氣的に接続された金属化導電性表面637を含む。この図に示さないが、封じ込めデバイス600は、複数のPCBならびに複数のビア、電子部品およびワイヤボンダを含んでもよい。

【0037】

マイクロチップ素子612は主基板640およびシリコン基板642を含む。主基板640およびシリコン基板642はリング構造および溝構造舌部650／652の接合面における／その近傍における冷間圧接によって共に接合される。リザーバ644はシリコン基板612内に画定される孔646と流体連通する開端部を有する主基板640内に画定される。導電性のリザーバキャップ648は孔646およびリザーバ644を密閉的に被覆する。

【0038】

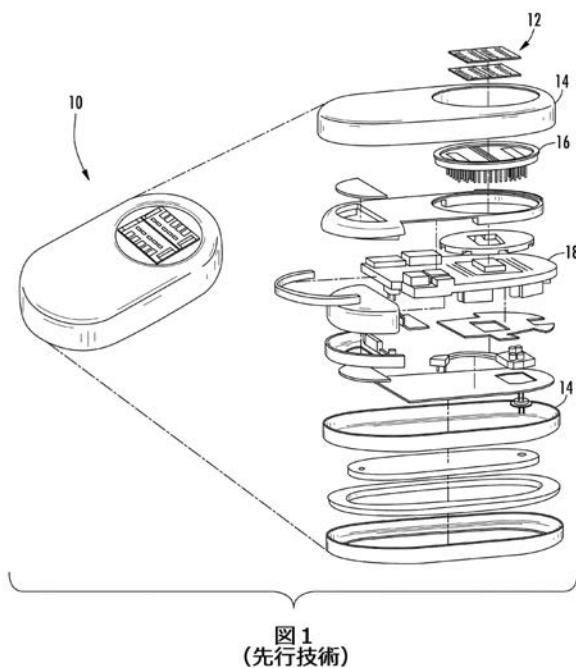
この封じ込めデバイス600は、図2Aおよび図3に示されるアセンブリに類似する第2のセラミックPCBおよび金属ハウジングリングをさらに含んでもよい。

10

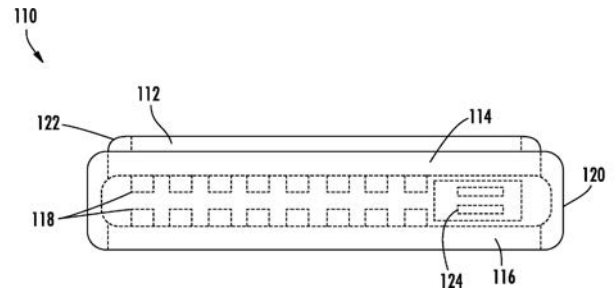
【0039】

本明細書中に記載される方法およびデバイスの改良形態および変形形態は前述の詳細な説明から当業者には明白であろう。そのような改良形態および変形形態は添付の特許請求の範囲の範囲内にあるものとする。

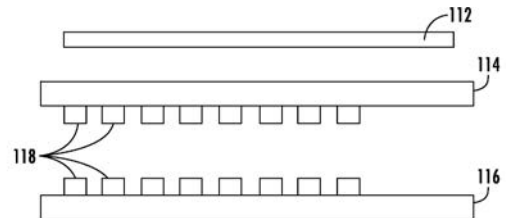
【図1】



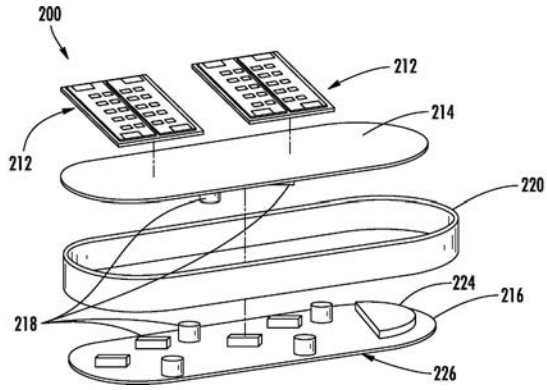
【図2A】



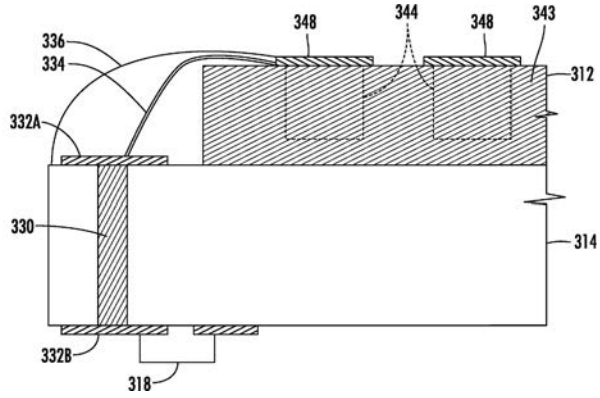
【図2B】



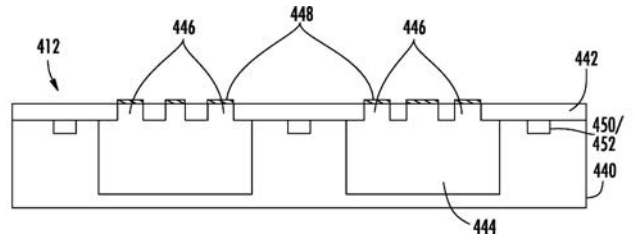
【図 3】



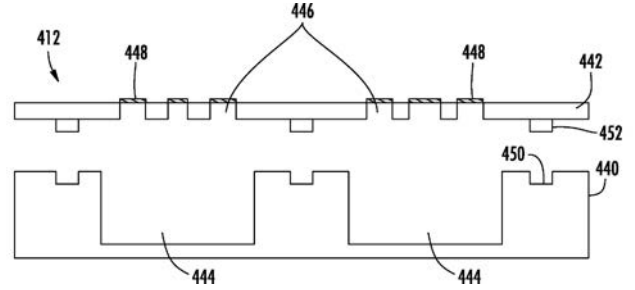
【図 4】



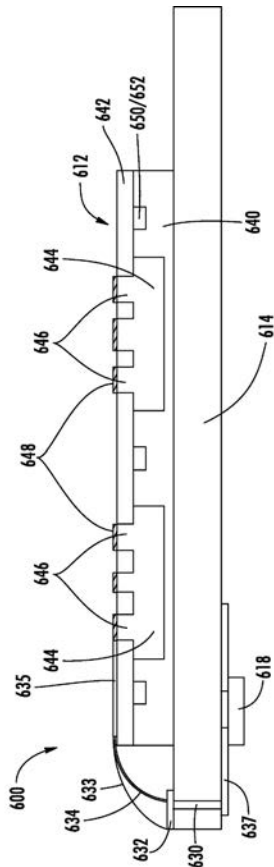
【図 5 A】



【図 5 B】



【図 6】



【手続補正書】

【提出日】平成29年3月24日(2017.3.24)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 の側と、対向する第 2 の側と、それらの中に延在する少なくとも 1 つの孔とを有するシリコン基板であって、前記第 1 の側が、前記少なくとも 1 つの孔を塞ぐ導電性のリザーバキャップを含む、シリコン基板と、

高分子またはガラスまたは他のセラミック材料で形成された主基板であって、前記主基板が、閉端部壁と、開端部と、前記閉端部壁と前記開端部との間に延在する少なくとも 1 つの側壁とによって画定される少なくとも 1 つのリザーバを有する主基板と、

前記少なくとも 1 つのリザーバ内に配置されるリザーバ内容物と、を含み、

リザーバ内容物の制御された放出または露出のために前記リザーバの前記開端部が前記少なくとも 1 つの孔に流体連通するように前記シリコン基板の前記第 2 の側が前記主基板に気密的に接合する、マイクロチップデバイス素子。

【請求項 2】

前記主基板が、前記主基板の高分子、ガラスまたは他のセラミック材料の少なくとも一部の上に金属コーティングを含む、請求項 1 に記載のマイクロチップデバイス素子。

【請求項 3】

前記金属コーティングが前記少なくとも 1 つのリザーバの前記少なくとも 1 つの側壁および／または前記閉端部壁をコーティングする、請求項 2 に記載のマイクロチップデバイス素子。

【請求項 4】

前記シリコン基板の前記第 2 の側がその上に形成された少なくとも 1 つのリング構造を含む、請求項 1 に記載のマイクロチップデバイス素子。

【請求項 5】

前記少なくとも 1 つのリング構造が金または別の金属を含む、請求項 4 に記載のマイクロチップデバイス素子。

【請求項 6】

前記主基板が少なくとも 1 つの溝構造を含み、前記少なくとも 1 つのリング構造と前記少なくとも 1 つの溝構造とが気密接合部を共に形成する、請求項 4 に記載のマイクロチップデバイス素子。

【請求項 7】

前記少なくとも 1 つの溝構造内のおよび／または前記少なくとも 1 つの溝構造内に隣接する前記主基板の前記表面が金属コーティングを含む、請求項 6 に記載のマイクロチップデバイス素子。

【請求項 8】

前記金属コーティングが金を含む、請求項 7 に記載のマイクロチップデバイス素子。

【請求項 9】

前記リザーバの内容物が製剤を含む、請求項 1 から 8 のいずれか 1 の請求項に記載のマイクロチップデバイス素子。

【請求項 10】

マイクロチップデバイス素子を作成する方法であって、

第 1 の側と、対向する第 2 の側と、それらの中に延在する少なくとも 1 つの孔とを有するシリコン基板を微細加工するステップであって、前記第 1 の側が前記少なくとも 1 つの孔を塞ぐ導電性のリザーバキャップを含む、ステップと、

閉端部壁と、開端部と、前記閉端部壁と前記開端部との間に延在する少なくとも1つの側壁とによって画定される少なくとも1つのリザーバを有する主基板を形成するために高分子またはガラスまたは他のセラミック材料を鋳造または成形するステップと、

リザーバ内容物を前記少なくとも1つのリザーバ内に提供するステップと、

前記リザーバの前記開端部が前記少なくとも1つの孔に流体連通するように前記シリコン基板を前記主基板に接合するステップと、
を含む、方法。

【請求項11】

前記微細加工するステップが、前記シリコン基板の前記第2の側に少なくとも1つのリング構造を形成するステップをさらに含む、請求項10に記載の方法。

【請求項12】

前記主基板が少なくとも1つの溝構造を含み、前記接合するステップが、前記少なくとも1つのリング構造を前記少なくとも1つの溝構造と共に冷間圧接するステップを含む、請求項11に記載の方法。

【請求項13】

前記リザーバの内容物が製剤を含む、請求項10から12のいずれか1の請求項に記載の方法。

【外国語明細書】
2017113619000001.pdf