

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ G11C 17/00 G11C 16/06	(45) 공고일자 (11) 등록번호 (24) 등록일자	1999년03월30일 특0172532 1998년10월24일
(21) 출원번호 (22) 출원일자	특1995-035938 1995년10월18일	(65) 공개번호 (43) 공개일자
		특1997-023453 1997년05월30일

(73) 특허권자 현대전자산업주식회사 김주용
 (72) 발명자 경기도 이천군 부발읍 아미리 산 136-1
 권규완
 (74) 대리인 경기도 이천군 부발읍 아미리 산 148-1 현대아파트 109-107
 최승민, 신영무

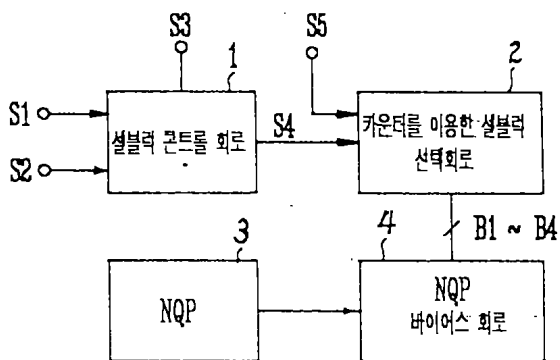
심사관 : **권인희**

(54) 플래시 메모리 장치

요약

본 발명은 플래시 메모리장치에 관한 것으로서, 셀 어레이를 다수의 셀블럭으로 분할시켜 NQP 회로로 셀을 구동시킬때 걸리는 부하(load)를 최소화 시킬수 있도록 하므로써, 원하는 레벨의 NQP 전압을 신속하게 얻을 수 있도록 한 플래시 메모리 장치에 관한 것이다.

대표도



명세서

[발명의 명칭]

플래시 메모리 장치

[도면의 간단한 설명]

제1도는 종래의 플래시 메모리 장치를 설명하기 위해 도시한 구성도.

제2도는 본 발명에 따른 플래시 메모리 장치의 블록도.

제3도는 본 발명에 따른 셀블럭 콘트롤 회로의 상세 회로도.

제4도는 본 발명에 따른 셀블럭 선택 회로의 상세 회로도.

제5도는 본 발명에 따른 네가티브 차지 펌프의 바이어스 회로도.

* 도면의 주요부분에 대한 부호의 설명

1 : 셀블럭 콘트롤회로

2 : 셀블럭 선택회로

3 : NQP회로

4 : NQP 바이어스 구동회로

51 내지 54 : 제1 내지 제4셀블럭

55 내지 58 : 제1 내지 제4NQP 구동회로

[발명의 상세한 설명]

본 발명은 플래시 메모리장치에 관한 것으로, 특히 셀어레이를 다수의 셀 블럭으로 분할시켜 네가티브 차

지퍼프(NQP : 이하 NQP라함)로 셀을 구동시킬때, NQP에 걸리는 부하(loading)를 최소화 시킬수 있도록 한 플래쉬 메모리 장치에 관한 것이다.

일반적으로 스택 메모리셀(stack memory cell)을 이용하는 플래쉬 메모리(Flash memory)소자에 있어서, 종래의 셀 소거방법을 제1도를 통해 동작을 설명하면 다음과 같다.

제1도는 종래의 플래쉬 메모리 장치를 설명하기 위해 도시한 구성도로서, NQP(12)에 셀어레이(11)가 접속된다. NQP(12)로 셀어레이(11)를 구동시킬때 모든 셀이 동시에 구동되게 된다. 이와같이 종래에는 모든 셀을 동시에 구동시키게 되어 셀의 집적도가 큰 플래쉬 메모리 소자의 소거 및 소거확인 동작시 원하는 레벨의 NQP 전압을 신속하게 얻을수 없는 단점이 있다. 그러므로 셀의 집적도가 커진만큼 증가되는 부하(loading)를 구동하기 위해서는 더욱 강력한 NQP를 필요로 하게 된다.

따라서 본 발명은 셀어레이를 다수의 셀 블록으로 분할시켜 NQP로 셀을 구동시킬 때 걸리는 부하(loading)를 최소화 시킬수 있도록 하므로써 상술한 단점을 해소할수 있는 플래쉬 메모리 장치를 제공하는데 그 목적이 있다.

상술한 목적을 달성하기 위한 본 발명은 각기다른 다수의 제어신호를 입력으로 하는 셀블럭 콘트를 회로와, 상기 셀블럭 콘트회로의 출력신호 및 소거신호의 입력에 따라 다수의 셀블럭중 어느 한 셀블럭을 선택하기 위한 셀블럭 선택회로와, NQP회로에 접속되며 상기 셀블럭 선택회로의 출력신호에 따라 셀블럭을 선택적으로 구동시키는 NQP 바이어스 구동회로로 구성되는 것을 특징으로 한다.

이하, 본 발명을 첨부된 도면을 참고하여 상세히 설명하기로 한다.

제2도는 본 발명에 따른 플래쉬 메모리장치의 블록도로서, 다수의 각기다른 제어신호(S1 내지 S3)를 입력으로 하는 셀블럭 콘트회로(1)와, 상기 셀블럭 콘트회로(1)의 출력신호(S4) 및 소거신호(S5)의 입력에 따라 다수의 셀블럭중 어느 한 셀블럭을 선택하기 위한 셀블럭 선택회로(2)와, NQP회로(3)에 접속되며 상기 셀블럭 선택회로(2)의 출력신호에 따라 셀블럭을 선택적으로 구동시키는 NQP 바이어스 회로(4)로 구성된 플래쉬 메모리 장치의 동작을 제3도 및 제5도를 통해 설명하면 다음과 같다.

제5도는 본 발명에 따른 네가티브 차지 펌프의 바이어스 구동회로도로서, NQP(3)의 출력단자(Dout)로 부터 제1 내지 제4NQP 구동회로(55 내지 58)의 출력신호를 입력으로 하는 제1 내지 제4패스 트랜지스터(P1 내지 P4)를 통해 제1 내지 제4셀블럭(51 내지 54)이 접속된다. 상기 제1 내지 제4NQP 구동회로(55 내지 58)는 상기 다수의 패스 트랜지스터(P1 내지 P4)의 입력단자 및 NQP의 출력단자간에 각각 직렬접속되며 캐패시터(C11 및 C12, C21 및 C22, C31 및 C2, C41 및 C42) 및 낸드게이트(ND11 및 ND12, ND21 및 ND22, ND31 및 ND32, ND41 및 ND42)를 통해 각각의 셀블럭 선택신호(B1 내지 B4) 및 기준클럭신호(S2 및 S2b)의 입력에 따라 교호로 동작되는 PMOS 트랜지스터(P11 및 P12, P21 및 P22, P31 및 P32, P41 및 P42)로 구성된다. 상기 다수의 셀블럭(51 내지 54)을 선택적으로 소거동작을 실시하기 위해서는 제4도에서 소거신호(S5)가 로우(low)에서 하이(high)상태로 천이된다. 이때 쇼트 펄스(short pulse)를 발생시키는 라이징 엣지 검출회로(rising edge detector : 41)에 의해 제1 및 제2플립플롭(42 및 43)이 리셋(reset)되게 된다. 그러므로 상기 제1 및 제2플립플롭(42 및 43)의 출력은 모두 로우상태로 되어 낸드게이트(ND1 및 ND3)의 어느 한 입력단자로 각각 공급되게 된다. 또한 상기 하이상태의 소거신호(S5)는 낸드게이트(ND1 및 ND3)의 다른 한 입력단자로 공급되게 된다. 그리고 상기 하이상태의 소거신호(S5)가 인버터(G1)를 통해 낸드게이트(ND2 및 ND4)의 어느 한 입력단자로 공급되게 된다. 상기 낸드게이트(ND2 및 ND4)의 다른 한 입력단자에는 노말 어드레스 신호(An 및 An+1)가 공급된다. 그러므로 소거동작시 상기 낸드게이트(ND2 및 ND4)의 출력은 항상 하이상태를 유지 하게 된다. 그러므로 상기 낸드게이트(ND1 및 ND2)의 출력을 입력으로 하는 낸드게이트(ND5)의 출력은 하이상태로 된다. 또한 상기 낸드게이트(ND3 및 ND4)의 출력을 입력으로 하는 낸드게이트(ND6)의 출력 또한 하이 상태로 된다. 이때 상기 낸드게이트(ND5 및 ND6)의 출력 및 인버터(G2 및 G3)를 경유한 상기 낸드게이트(ND5 및 ND6)의 출력을 입력으로 하는 블럭선택 디코더(44)에서 제1셀블럭신호(B1)를 선택 하게 된다. 그러므로 상기 제1셀블럭(51)이 선택되어 제3도에서 소거 상태 카운터(31)가 소거 바이어싱(erase biasing)신호(X), 소거 확인동작신호(Y) 및 소거 비교신호(Z)를 입력으로 하여 L-H 펄스부(32)를 통해 소거동작이 진행되는 동안 제2 내지 제4셀블럭(52 내지 54)은 디스에이블 되게 된다. 상기 제1셀블럭(51)에서 소거 바이어싱(erase biasing) 및 소거 확인동작이 패스되면 셀블럭 소거신호(S1)가 하이상태로 된다. 상기 블럭 소거신호(S1) 및 기준클럭신호(S2)가 인버터(G4 및 G5) 및 노아게이트(NOR1)를 통해 로우-하이-로우 상태의 쇼트펄스인 클럭신호(S4)를 발생시키게 된다. 상기 클럭신호(S4)는 제4도의 제1플립플롭(42)으로 입력되어 상기 제1 및 제2플립플롭(42 및 43)의 출력신호를 변환시켜 제1셀블럭신호(B1)를 디스에이블 시키고 제2셀블럭신호(B2)를 선택하게 된다. 이때 제3도에서 소거 종료신호(S3)에 의해 소거 상태 카운터(31)는 또다시 소거 바이어싱 상태로 되도록 리셋 되게 된다. 그러므로 제2셀블럭(22)은 상기 제1셀블럭(52)과 마찬가지로 소거 바이어싱(erase biasing) 및 소거 확인동작이 진행된다. 이와같은 방법으로 마지막 블럭인 제4셀블럭(54)까지 집 소거를 시행하게 된다. 이때 제3도에서 마지막 블럭(54)의 소거동작이 끝나게 되면 낸드게이트(ND7) 및 인버터(G6)를 통해 소거 종료신호(S3)를 하이상태로 발생시켜 소거동작을 종료하게 된다.

상술한 바와같이 본 발명에 의하면 셀어레이를 다수의 셀블럭으로 분할시켜 NQP로 셀을 구동시킬 때 부하(loading)를 최소화 시킬수 있도록 하므로써, 원하는 레벨의 NQP 전압을 신속하게 얻을수 있고, 셀의 드라이브(drive)능력을 향상시킬수 있는 탁월한 효과가 있다.

(57) 청구의 범위

청구항 1

플래쉬 메모리 장치에 있어서, 다수의 각기다른 제어신호를 입력으로 하는 셀블럭 콘트를 회로와, 상기 셀블럭 콘트회로의 출력 신호 및 소거신호의 입력에 따라 다수의 셀블럭중 어느 한 셀블럭을 선택 하기 위한 셀블럭 선택회로와, 네가티브 차지퍼프 회로에 접속되며 상기 셀블럭 선택회로의 출력신호에 따라 셀블럭을 선택적으로 구동시키는 네가티브 차지퍼프 바이어스 구동회로를 구비하는 것을 특징으로 하는 플래쉬 메모리 장치.

청구항 2

제1항에 있어서, 상기 셀블럭 콘트롤 회로는 블럭 소거신호 및 기준 클럭신호를 입력으로 하여 셀블럭 선택회로를 구동시키기 위한 클럭신호를 발생시키도록 구성되는 것을 특징으로 하는 플래쉬 메모리 장치.

청구항 3

상기 셀블럭 콘트롤 회로는 새로운 셀블럭이 선택될때 소거상태를 소거 바이어싱 상태로 스테이트 카운터를 리셋 시키도록 구성되는 것을 특징으로 하는 플래쉬 메모리 장치.

청구항 4

제1항에 있어서, 상기 셀블럭 콘트롤 회로는 최종블럭의 소거동작이 끝났을때 소거종료 신호를 발생 시키도록 구성되는 것을 특징으로하는 플래쉬 메모리 장치.

청구항 5

제1항에 있어서, 상기 셀블럭 선택회로는 소거신호를 입력으로 하는 라이징 엣지 검출회로와, 상기 라이징 엣지 검출회로의 출력신호 및 상기 셀블럭 콘트롤회로의 출력신호인 클럭신호에 따라 제1 및 제2플리플롭 회로의 출력신호가 변화되어 다수의 셀블럭중 어느 한 셀블럭을 선택하도록 하는 블럭선택 디코더로 구성되는 것을 특징으로 하는 플래쉬 메모리 장치.

청구항 6

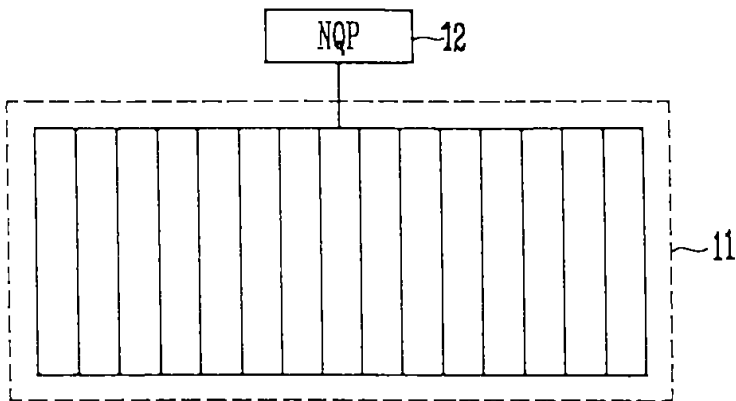
제1항에 있어서, 상기 셀블럭 선택회로는 소거신호에 의해 스테이트 카운터 출력이 선택되도록 구성되는 것을 특징으로 하는 플래쉬 메모리 장치.

청구항 7

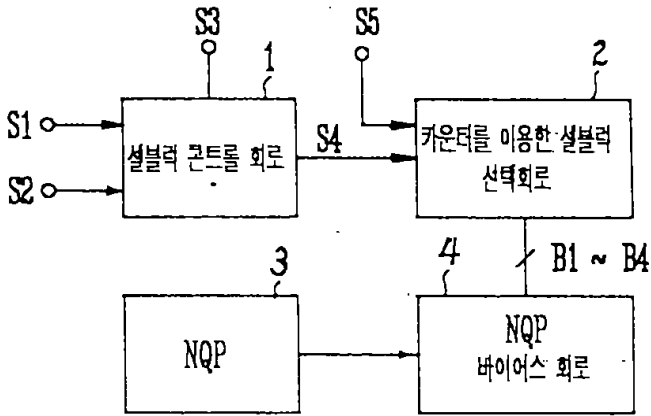
제1항에 있어서, 상기 네가티브 차지펌프 바이어스 구동회로는 네가티브 차지펌프의 출력단자로부터 다수의 네가티브 차지펌프 구동회로의 출력신호를 입력으로 하는 다수의 패스 트랜지스터를 통해 다수의 셀블럭이 대응하여 접속구성되는 것을 특징으로하는 플래쉬 메모리 장치.

청구항 8

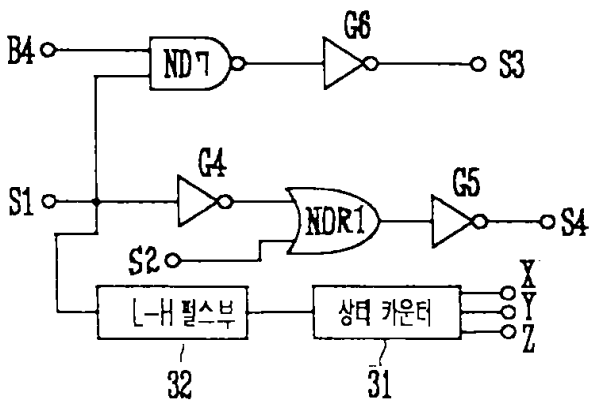
제7항에 있어서, 상기 다수의 네가티브 차지펌프 구동회로는 상기 다수의 패스 트랜지스터의 입력단자 및 네가티브 차지펌프의 출력단자간에 각각 직렬접속되며 캐패시터 및 낸드게이트를 통해 각각의 셀블럭 선택신호 및 기준클럭 신호의 입력에 따라 교호로 동작되는 PMOS 트랜지스터로 구성되는 것을 특징으로하는 플래쉬 메모리 장치.

도면**도면1**

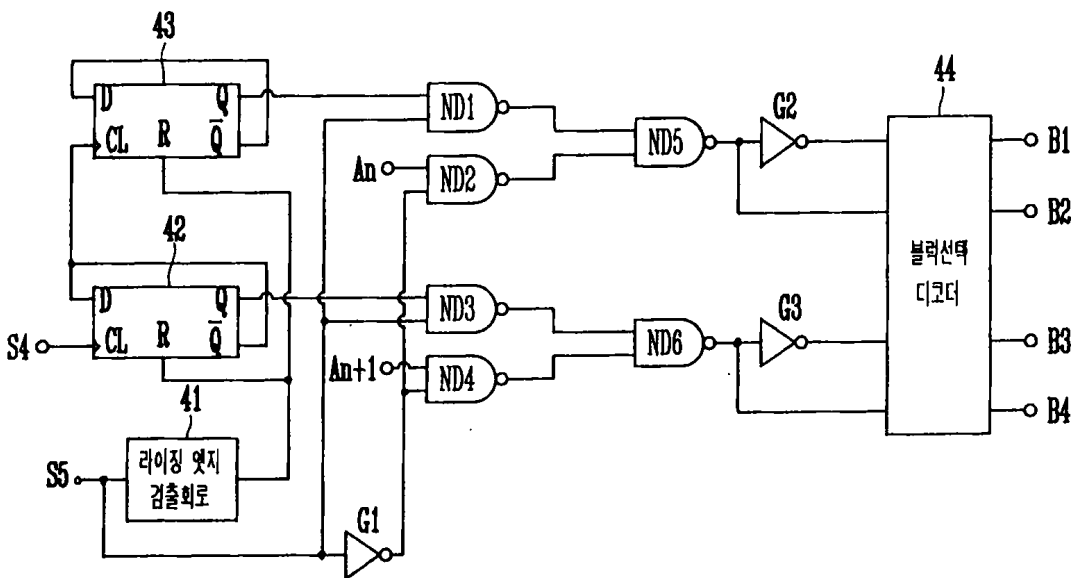
도면2



도면3



도면4



도면5

