

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号  
特開2012-156458  
(P2012-156458A)

(43) 公開日 平成24年8月16日 (2012.8.16)

(51) Int.Cl.

F I

テーマコード (参考)

HO 1 S 5/068 (2006.01) HO 1 S 5/068 2 G 0 8 6

GO 1 M 11/00 (2006.01) GO 1 M 11/00 R 5 F 1 7 3

審査請求 未請求 請求項の数 7 O L (全 12 頁)

(21) 出願番号 特願2011-16585 (P2011-16585)

(22) 出願日 平成23年1月28日 (2011.1.28)

(71) 出願人 000006507  
横河電機株式会社  
東京都武蔵野市中町2丁目9番32号

(72) 発明者 前田 実  
東京都武蔵野市中町2丁目9番32号 横  
河電機株式会社内

Fターム(参考) 2G086 CC03 CC05 CC06  
5F173 SA17 SC02 SE01 SE02 SF02  
SF32 SF43 SF73 SG04 SG05  
SJ10 SJ12 SJ13

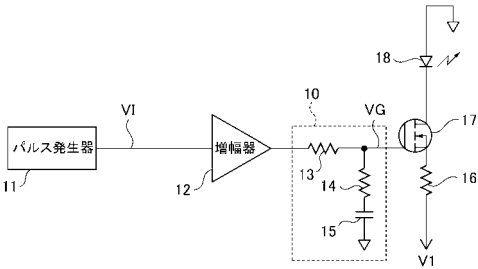
(54) 【発明の名称】 レーザダイオード駆動回路および光時間領域反射測定器

(57) 【要約】

【課題】 一様な光出力レベルの高速光パルス列を生成し得るレーザダイオード駆動回路、並びに、レーザダイオードの温度依存性による光出力レベルのバラツキを抑制して高精度測定を可能とした光時間領域反射測定器を提供する。

【解決手段】 レーザダイオード18の駆動電流をオンオフ制御するスイッチング素子（FET17）と、増幅器12で増幅されたパルス信号を積分してスイッチング素子の制御電極（FET17のゲート電極）に供給する積分回路10と、を備え、レーザダイオード18の温度依存性による光出力レベルの低下分を積分回路10の積分動作によって相殺する。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

レーザダイオードの駆動電流をオンオフ制御するスイッチング素子と、  
パルス信号を積分して前記スイッチング素子の制御電極に供給する積分回路と、  
を備えたことを特徴とするレーザダイオード駆動回路。

**【請求項 2】**

前記パルス信号を出力するパルス発生器と、前記パルス信号を増幅する増幅器と、を備え、

前記積分回路は、前記増幅器で増幅されたパルス信号を積分して前記スイッチング素子の制御電極に供給することを特徴とする請求項 1 に記載のレーザダイオード駆動回路。

10

**【請求項 3】**

前記パルス信号を出力するパルス発生器と、入力信号を増幅して前記スイッチング素子の制御電極に供給する増幅器と、を備え、

前記積分回路は、前記パルス信号を積分して前記増幅器に供給することを特徴とする請求項 1 に記載のレーザダイオード駆動回路。

**【請求項 4】**

前記パルス信号を出力するパルス発生器と、入力信号を増幅する増幅器と、を備え、

前記積分回路は、

前記パルス信号を積分して前記増幅器に供給する第 1 積分回路と、

前記増幅器で増幅されたパルス信号を積分して前記スイッチング素子の制御電極に供給する第 2 積分回路と、

20

を備えることを特徴とする請求項 1 に記載のレーザダイオード駆動回路。

**【請求項 5】**

前記積分回路または第 1 積分回路および第 2 積分回路、並びに前記スイッチング素子を持つ組を複数組並列接続したことを特徴とする請求項 2 ~ 請求項 4 の何れか 1 項に記載のレーザダイオード駆動回路。

**【請求項 6】**

前記積分回路、第 1 積分回路または第 2 積分回路は、

一端に積分すべき信号が入力される第 1 抵抗と、

一端が前記第 1 抵抗の他端と接続される第 2 抵抗と、

30

一端が前記第 2 抵抗の他端と接続され、他端が電源電位と接続されるキャパシタと、

を備え、前記第 1 抵抗の他端から積分信号を出力することを特徴とする請求項 1 ~ 請求項 5 の何れか 1 項に記載のレーザダイオード駆動回路。

**【請求項 7】**

測定対象に入射させるべきパルス光を出力するパルス光源と、前記パルス光源から出力されるパルス光を前記測定対象に入射させて得られる反射光または散乱光を受光する受光手段と、を備え、前記受光手段から出力される受光信号に基づき前記測定対象の長さ方向における所定物理量を測定する光時間領域反射測定器であって、

請求項 1 ~ 請求項 6 の何れか 1 項に記載のレーザダイオード駆動回路により駆動されるレーザダイオードを前記パルス光源として備えることを特徴とする光時間領域反射測定器

40

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、一様な光出力レベルの高速光パルス列を生成し得るレーザダイオード駆動回路、並びに、レーザダイオードの温度依存性による光出力レベルのバラツキを抑制して高精度測定を可能とした光時間領域反射測定器に関する。

**【背景技術】****【0002】**

光信号によってデータ通信等を行なう光通信システムでは、光信号を伝送する光ファイ

50

バを監視することが重要になっており、光ファイバの敷設、保守等において、光時間領域反射測定器（OTDR：Optical Time-Domain Reflect-meter）が用いられている。この光時間領域反射測定器は、測定コネクタを介して測定対象の光ファイバに対してパルス光を入力し、光ファイバからの反射光および後方散乱光のレベルおよび受光時間を測定することで、光ファイバの断線、損失等の状態を測定するものである。

#### 【0003】

また、近年においては、符号変調した光パルス列を光ファイバに入射させ、光ファイバからの反射光または散乱光を受光して得られる受光信号に対して復調（逆拡散処理）を行うことで、SN比（信号対雑音比）を改善すると共に、ダイナミックレンジを向上させる光時間領域反射測定器も実現されている。

10

#### 【0004】

このような光時間領域反射測定器において、光ファイバに入射させるべきパルス光を出力するパルス光源として、例えば図8に示すようなものがある。図8は所謂レーザダイオード駆動回路の構成であり、パルス信号VIを生成するパルス発生器11と、パルス信号VIを増幅する増幅器92と、レーザダイオード98と、レーザダイオード98の駆動電流を調整する抵抗96と、レーザダイオード98の駆動電流をオンオフ制御するFET（電界効果トランジスタ）97と、を備えた構成である。

#### 【0005】

この従来のレーザダイオード駆動回路では、図9に示すように、パルス発生器11でパルス列（図9（a）参照）が生成され、増幅器92で増幅された信号がFET97のゲート電極に印加される（図9（b）参照）。これによりFET97がオンオフ制御され、FET97がオン時にレーザダイオード98に駆動電流が流れ（図9（c）参照）、レーザダイオード98が発光して、図9（d）に示すような光パルスが得られる。

20

#### 【先行技術文献】

#### 【特許文献】

#### 【0006】

【特許文献1】特開平8-236849号公報

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【0007】

ところで、レーザダイオードには温度依存性があることが知られている。つまり、レーザダイオードに流れる電流によりレーザダイオード素子自体が自己発熱し、例えば図9（d）に示すように、先行の光パルスの出力レベルに比べて後続の光パルスの出力レベルが下がってしまうこととなる。特に、光時間領域反射測定器において符号変調した光パルス列を用いる場合には、各光パルスの出力レベルが異なってしまうと、復調（逆拡散処理）において誤差が生じ、結果として測定精度が低下するという事情があった。

30

#### 【0008】

このようなレーザダイオードの温度依存性に対処する従来手法として、例えば、ペルチェ素子を用いてレーザダイオードの温度自体を一定に保つよう温度補償を行うことが一般的に知られている。しかしながら、光時間領域反射測定器では高速光パルス列（符号変調光パルス列の周期は概ね数十[ナノ秒]）を使用するので、このペルチェ素子による温度補償だけでは応答が追いつかない。

40

#### 【0009】

また、特開平8-236849号公報にも開示されているように、レーザダイオード駆動回路において、光出力を一定にするためのAPC回路を用いる構成もあるが、APC回路は光出力のモニタ信号に基づくフィードバック制御であることから応答が遅く、その結果、高速光パルス列の出力レベルがばらついてしまうという事情があった。

#### 【0010】

本発明は、上記従来の事情に鑑みてなされたものであって、一様な光出力レベルの高速光パルス列を生成し得るレーザダイオード駆動回路を提供することを目的としている。

50

## 【 0 0 1 1 】

また、本発明の他の目的は、レーザダイオードの温度依存性による光出力レベルのバラツキを抑制して高精度測定を可能とした光時間領域反射測定器を提供することにある。

## 【課題を解決するための手段】

## 【 0 0 1 2 】

上記課題を解決するために、本発明に係るレーザダイオード駆動回路は、レーザダイオードの駆動電流をオンオフ制御するスイッチング素子と、パルス信号を積分して前記スイッチング素子の制御電極に供給する積分回路と、を備えたことを特徴とする。

## 【 0 0 1 3 】

また、上記発明において、前記パルス信号を出力するパルス発生器と、前記パルス信号を増幅する増幅器と、を備え、前記積分回路は、前記増幅器で増幅されたパルス信号を積分して前記スイッチング素子の制御電極に供給することを特徴とする。

10

## 【 0 0 1 4 】

また、上記発明において、前記パルス信号を出力するパルス発生器と、入力信号を増幅して前記スイッチング素子の制御電極に供給する増幅器と、を備え、前記積分回路は、前記パルス信号を積分して前記増幅器に供給することを特徴とする。

## 【 0 0 1 5 】

また、上記発明において、前記パルス信号を出力するパルス発生器と、入力信号を増幅する増幅器と、を備え、前記積分回路は、前記パルス信号を積分して前記増幅器に供給する第1積分回路と、前記増幅器で増幅されたパルス信号を積分して前記スイッチング素子の制御電極に供給する第2積分回路と、を備えたことを特徴とする。

20

## 【 0 0 1 6 】

また、上記発明において、前記積分回路または第1積分回路および第2積分回路、並びに前記スイッチング素子を持つ組を複数組並列接続したことを特徴とする。

## 【 0 0 1 7 】

また、上記発明において、前記積分回路、第1積分回路または第2積分回路は、一端に積分すべき信号が入力される第1抵抗と、一端が前記第1抵抗の他端と接続される第2抵抗と、一端が前記第2抵抗の他端と接続され、他端が電源電位と接続されるキャパシタと、を備え、前記第1抵抗の他端から積分信号を出力することを特徴とする。

## 【 0 0 1 8 】

30

さらに、測定対象に入射させるべきパルス光を出力するパルス光源と、前記パルス光源から出力されるパルス光を前記測定対象に入射させて得られる後方散乱光を受光する受光手段と、を備え、前記受光手段から出力される受光信号に基づき前記測定対象の長さ方向における所定物理量を測定する光時間領域反射測定器であって、請求項1～請求項6の何れか1項に記載のレーザダイオード駆動回路により駆動されるレーザダイオードを前記パルス光源として備えたことを特徴とする。

## 【発明の効果】

## 【 0 0 1 9 】

本発明に係るレーザダイオード駆動回路によれば、一様な光出力レベルの高速光パルス列を生成し得るレーザダイオード駆動回路を提供することができる。また、本発明に係る光時間領域反射測定器によれば、レーザダイオードの温度依存性による光出力レベルのバラツキを抑制して高精度測定を可能とした光時間領域反射測定器を提供することができる。

40

## 【図面の簡単な説明】

## 【 0 0 2 0 】

【図1】本発明の実施例に係るレーザダイオード駆動回路の構成図である。

【図2】実施例のレーザダイオード駆動回路における各種信号波形を例示する説明図である。

【図3】本発明の実施例に係る光時間領域反射測定器の構成図である。

【図4】変形例1に係るレーザダイオード駆動回路の構成図である。

50

【図 5】変形例 2 に係るレーザダイオード駆動回路の構成図である。

【図 6】変形例 3 に係るレーザダイオード駆動回路の構成図である。

【図 7】変形例 4 に係るレーザダイオード駆動回路の構成図である。

【図 8】従来のレーザダイオード駆動回路の構成図である。

【図 9】従来のレーザダイオード駆動回路における各種信号波形を例示する説明図である。

【発明を実施するための形態】

【0021】

以下、本発明に係る好適な実施の形態について、図面を参照しながら詳細に説明する。

【実施例】

【0022】

図 1 は本発明の一実施例に係るレーザダイオード駆動回路の構成図であり、図 2 は本実施例のレーザダイオード駆動回路における各種信号波形を例示する説明図である。なお、図 1 において図 8（従来例）と重複する部分には同一の符号を附する。

【0023】

図 1 において、本実施例のレーザダイオード駆動回路は、パルス信号  $V_I$  を生成するパルス発生器 11 と、パルス信号  $V_I$  を増幅する増幅器 12 と、レーザダイオード 18 と、レーザダイオード 18 の駆動電流を調整する抵抗 16 と、レーザダイオード 18 の駆動電流をオンオフ制御する FET（電界効果トランジスタ）17 と、増幅器 12 で増幅されたパルス信号を積分して FET 17 のゲート電極に供給する積分回路 10 と、を備えて構成されている。

【0024】

なお本実施例では、特許請求範囲にいうスイッチング素子として n 型 MOS-FET（電界効果トランジスタ）を使用しており、制御電極はゲート電極となる。したがって、レーザダイオード 18 のアノードは接地電位に、カソードは FET 17 のドレイン電極にそれぞれ接続される。また、積分回路 10 は、一端に積分すべき信号（増幅器 12 で増幅されたパルス信号）が入力される第 1 抵抗 13 と、一端が第 1 抵抗 13 の他端と接続される第 2 抵抗 14 と、一端が第 2 抵抗 14 の他端と接続され、他端が電源電位（接地電位）と接続されるキャパシタ 15 と、を備えた構成である。

【0025】

本実施例のレーザダイオード駆動回路では、図 2 に示すように、パルス発生器 11 でパルス列（図 2（a）参照）が生成され、増幅器 12 で増幅された信号が積分回路 10 に供給される（図 9（b）の破線参照）。積分回路 10 では、第 1 抵抗 13 のインピーダンスと第 2 抵抗 14 およびキャパシタ 15 の直列インピーダンスとで分配された電圧が出力される。すなわち、パルスの立ち上がり時には、第 1 抵抗 13 と第 2 抵抗 14 とで分配された電圧が出力され、その後積分回路 10 の時定数に従って徐々に増加していき、積分回路 10 の出力、即ち FET 17 のゲート電圧  $V_G$  は図 2（b）に示す如くなる。

【0026】

また、FET 17 のゲート電圧  $V_G$  が FET 97 のスレッショルド電圧  $V_{th}$  を超えた時点で FET 97 がオンし、ゲート電圧  $V_G$  がスレッショルド電圧  $V_{th}$  を下回った時点で FET 97 がオフとなり、レーザダイオード 18 の駆動電流は図 2（c）に示す如くなる。さらに、レーザダイオード 18 からは、図 2（d）に示すように、駆動電流に応じた光出力レベルの光パルスが発せられることとなる。

【0027】

なお、積分回路 10 を構成する各素子のパラメータはレーザダイオード 18 の種別に応じて定まり、予め行われる（シミュレーション）実験によって、光パルス列の光出力レベルが一樣となるように第 1 抵抗 13、第 2 抵抗 14 およびキャパシタ 15 の値が設定されているものとする。つまり、レーザダイオード 18 の温度依存性（レーザダイオード 18 に流れる駆動電流による自己発熱）による光出力レベルの低下分が積分回路 10 の積分動作によって相殺されるように各素子のパラメータが設定される。具体的数値を例示すれば

10

20

30

40

50

、例えば光パルス列の周期が約 20 [ ナノ秒 ] の場合、第 1 抵抗 13 および第 2 抵抗 14 はそれぞれ 10 ~ 数百 [     ] 程度の値に、キャパシタ 15 の容量値は 100 [ pF ] 程度の値にそれぞれ設定される。

【 0028 】

以上説明したように、本実施例のレーザダイオード駆動回路では、レーザダイオード 18 の駆動電流をオンオフ制御するスイッチング素子 ( FET 17 ) と、増幅器 12 で増幅されたパルス信号を積分してスイッチング素子の制御電極 ( FET 17 のゲート電極 ) に供給する積分回路 10 と、を備え、レーザダイオード 18 の温度依存性による光出力レベルの低下分を積分回路 10 の積分動作によって相殺するようにしたので、一様な光出力レベルの高速光パルス列を生成し得るレーザダイオード駆動回路を実現することができる。

10

【 0029 】

なお、レーザダイオード 18 の温度依存性による光出力レベルの低下をキャンセルする他の手法として、例えば、パルス発生器 11 の出力側に DA 変換器を付加して、パルス信号 VI の 1 つ 1 つのパルスの振幅を調整して光出力レベルの低下分を補う構成も考えられる。しかしながら、この構成では高速動作の DA 変換器を必要とし、また付随回路も必要となるため、回路部品が増えると共に装置コストも上昇してしまう。これに対して、本実施例のレーザダイオード駆動回路では、積分回路 10 の追加のみで済むことから、より簡単な構成で装置コストを抑制しつつ、一様な光出力レベルの高速光パルス列を生成し得るレーザダイオード駆動回路を実現することができる。

【 0030 】

20

次に、以上説明した実施例のレーザダイオード駆動回路を備えた光時間領域反射測定器について説明する。本発明に係る光時間領域反射測定器は、上記レーザダイオード駆動回路により駆動されるレーザダイオード 18 をパルス光源として備え、該パルス光源から出力される高速光パルス列を測定対象である光ファイバ 112 に入射させ、得られる反射光または散乱光を受光して、該受光信号に基づき光ファイバ 112 の長さ方向における所定物理量 ( 損失量等 ) を測定するものである。

【 0031 】

図 3 は本発明の実施例に係る光時間領域反射測定器の構成図である。同図において、パルス発生器 11、レーザダイオード駆動回路 101、光方向性結合器 102、光電変換器 103、増幅器 104、AD 変換器 105、信号処理部 106 および表示部 107 を備えた構成である。

30

【 0032 】

ここで、パルス発生器 11 は、例えばゴーレイ符号 ( Golay code ) やバーカー符号 ( Barker code ) 等で符号変調したパルス信号を出力する。そして、上述したレーザダイオード駆動回路 101 の構成により、レーザダイオード 18 からは、符号変調した一様な光出力レベルの高速光パルス列が発せられる。

【 0033 】

また、光方向性結合器 102 は、測定コネクタ 111 を介して光パルス列を光ファイバ 112 に向けて透過させるとともに、光ファイバ 112 からの戻り光を光電変換器 103 に向けて射出する。なお、光ファイバ 112 からの戻り光には、後方レイリー散乱光、フレネル反射光等が含まれる。

40

【 0034 】

また、光電変換器 103 は、光方向性結合器 102 を介した光ファイバ 112 からの戻り光を電気信号に変換して増幅器 104 に出力する。ここで、光ファイバ 112 からの戻り光、特に後方レイリー散乱光は極めて微弱なため、光電変換器 103 には高感度の APD ( アバランシェ・フォトダイオード ) を用いることが多い。APD に対する印加電圧 ( 逆バイアス ) を増加させることで増倍度を高くすることができ、これにより受光手段を高感度にする事ができる。

【 0035 】

また、増幅器 104 は、光電変換器 103 から出力される電気信号 ( 受光信号 ) を所定

50

の増幅率で増幅してA D変換器105に出力する。A D変換器105は、増幅器104から出力される受光信号（アナログ信号）をサンプリングしてデジタル信号（受光データ）に変換して信号処理部106に出力する。なお、A D変換器105から出力される受光データは、光ファイバ112からの戻り光の強度変化を示す時系列データとなる。

【0036】

また、信号処理部106は、A D変換器105から出力される受光データに対して復調（逆拡散）処理、平均化処理、レベル補正処理、並びにその他の演算処理を施すことにより光ファイバ112の長さ方向における所定物理量（損失量等）およびその分布を求める。また、表示部107は、C R Tまたは液晶表示装置等で具現され、信号処理部106で求められた光ファイバ112の長さ方向における所定物理量の分布等を表示する。

10

【0037】

上記構成において、パルス光源（レーザダイオード18）から出力された高速光パルス列は、光方向性結合器102を介して光ファイバ112に入射され光ファイバ112中を伝播する。光パルスが光ファイバ112中を伝播することによって後方レイリー散乱光が発生し、光パルスが光ファイバ112の他端に至るとフレネル反射光が発生する。これら後方レイリー散乱光およびフレネル反射光を含む戻り光は、光方向性結合器102を介して光電変換器103に入射して受光信号に変換される。

【0038】

光電変換器103から出力された受光信号は増幅器104で増幅された後に、A D変換器105に入力され、所定タイミング信号に同期したサンプリングによりデジタル信号の受光データに変換される。A D変換器105で変換された受光データは、信号処理部106に入力され、復調（逆拡散）処理、平均化処理、レベル補正処理、並びにその他の演算処理が施され、これにより、光ファイバ112の長さ方向における所定物理量（損失量等）およびその分布が求められて表示部107に表示されることとなる。

20

【0039】

以上説明したように、本実施例の光時間領域反射測定器においては、パルス光源（レーザダイオード18）から一様な光出力レベルの高速光パルス列が発せられるので、復調（逆拡散）処理における誤差や歪みを抑制することができ、結果として高精度に損失量等の測定が可能な光時間領域反射測定器を実現することができる。

【0040】

30

なお、本実施例では光時間領域反射測定器（O T D R）の基本的な構成について例示したが、これに限定されることなく種々の変形、変更が可能である。例えば、光ファイバのブリルアン散乱光の周波数シフト量が歪みに比例して変化することを利用して、光ファイバの歪み分布を測定するB - O T D R（Brillouin Optical Time-Domain Reflect-meter）に適用した場合には、光ファイバ内に発生する歪みとその位置を光ファイバ片端から連続的に測定して、光ファイバの歪み量を高精度に測定することができる。

【0041】

また、ラマン散乱光を構成する2成分、つまり入射光よりも低い周波数側へシフトしたストークス成分と入射光よりも高い周波数側へシフトした反ストークス成分との各強度の相対関係（例えば、強度比等）が光ファイバの温度に依存することを利用して、光ファイバの温度分布を測定するR - O T D R（Raman Optical-Time Domain Reflect-meter）に適用した場合には、戻り光の戻り時間から光ファイバの長手方向における位置を検出して、光ファイバの長手方向における温度分布を検出することで、光ファイバの温度を高精度に測定することができる。

40

（変形例1）

【0042】

次に、本発明に係るレーザダイオード駆動回路の種々の変形について説明する。図4は本発明の変形例1に係るレーザダイオード駆動回路の構成図である。なお、図4において図1（実施例）と重複する部分には同一の符号を附する。図4において、本変形例のレーザダイオード駆動回路は、パルス信号V Iを生成するパルス発生器11と、パルス信号V

50

I を積分して出力する積分回路 20 と、積分回路 20 の出力を増幅する増幅器 22 と、レーザダイオード 18 と、抵抗 16 と、FET 17 と、を備えて構成されている。また、積分回路 20 は、一端にパルス信号 V I が入力される第 1 抵抗 23 と、一端が第 1 抵抗 23 の他端と接続される第 2 抵抗 24 と、一端が第 2 抵抗 24 の他端と接続され、他端が電源電位（接地電位）と接続されるキャパシタ 25 と、を備えた構成である。

【0043】

実施例では積分回路 10 を増幅器 12 と FET 17 との間に挿入した構成（図 1）としたのに対し、本変形例では積分回路 10 をパルス発生器 11 と FET 17 との間に挿入した構成としている。本変形例の構成によっても、実施例と同様に、レーザダイオード 18 の温度依存性による光出力レベルの低下分が積分回路 20 の積分動作によって相殺されるように積分回路 20 の各素子のパラメータを設定することで、レーザダイオード 18 から一様な光出力レベルの高速光パルス列が発せられるようにすることができる。

10

（変形例 2）

【0044】

次に、図 5 は本発明の変形例 2 に係るレーザダイオード駆動回路の構成図である。なお、図 5 において図 1（実施例）と重複する部分には同一の符号を附する。図 5 において、本変形例のレーザダイオード駆動回路は、パルス信号 V I を生成するパルス発生器 11 と、パルス信号 V I を積分して出力する第 1 積分回路 30 と、積分回路 20 の出力を増幅する増幅器 32 と、増幅器 32 の出力を積分して FET 17 のゲート電極に供給する第 2 積分回路 31 と、レーザダイオード 18 と、抵抗 16 と、FET 17 と、を備えて構成されている。

20

【0045】

また、第 1 積分回路 30 は、一端にパルス信号 V I が入力される第 1 抵抗 33 と、一端が第 1 抵抗 33 の他端と接続される第 2 抵抗 34 と、一端が第 2 抵抗 34 の他端と接続され、他端が電源電位（接地電位）と接続されるキャパシタ 35 と、を備えた構成であり、第 2 積分回路 31 は、一端に増幅器 32 の出力が入力される第 1 抵抗 36 と、一端が第 1 抵抗 36 の他端と接続される第 2 抵抗 37 と、一端が第 2 抵抗 37 の他端と接続され、他端が電源電位（接地電位）と接続されるキャパシタ 38 と、を備えた構成である。

【0046】

本変形例では、第 1 積分回路 30 をパルス発生器 11 と増幅器 32 との間に挿入し、第 2 積分回路 31 を増幅器 32 と FET 17 との間に挿入した構成としている。本変形例の構成によっても、レーザダイオード 18 の温度依存性による光出力レベルの低下分が第 1 積分回路 30 および第 2 積分回路 31 の積分動作によって相殺されるように第 1 積分回路 30 および第 2 積分回路 31 の各素子のパラメータを設定することで、レーザダイオード 18 から一様な光出力レベルの高速光パルス列が発せられるようにすることができる。なお、実施例および変形例 1 と比較して調整可能な回路パラメータが倍に増えることにより、きめ細かく調整することができ、レーザダイオード 18 から発せられる光出力レベルのバラツキをより低減することができる。

30

（変形例 3）

【0047】

次に、図 6 は本発明の変形例 3 に係るレーザダイオード駆動回路の構成図である。なお、図 6 において図 1（実施例）と重複する部分には同一の符号を附する。図 6 において、本変形例のレーザダイオード駆動回路は、パルス信号 V I を生成するパルス発生器 11 と、パルス信号 V I を増幅する増幅器 42 と、増幅器 42 の出力を積分して出力する第 1 積分回路 41 および第 2 積分回路 51 と、レーザダイオード 18 と、第 1 電流調整用抵抗 46 および第 2 電流調整用抵抗 56 と、第 1 FET 47 および第 2 FET 57 と、を備えて構成されている。

40

【0048】

また、第 1 積分回路 41 は、一端にパルス信号 V I が入力される第 1 抵抗 43 と、一端が第 1 抵抗 43 の他端と接続される第 2 抵抗 44 と、一端が第 2 抵抗 44 の他端と接続さ

50



れ、他端が電源電位（接地電位）と接続されるキャパシタ４５と、を備えた構成であり、第２積分回路５１は、一端にパルス信号ＶＩが入力される第１抵抗５３と、一端が第１抵抗５３の他端と接続される第２抵抗５４と、一端が第２抵抗５４の他端と接続され、他端が電源電位（接地電位）と接続されるキャパシタ５５と、を備えた構成である。

【００４９】

本変形例では、積分回路、ＦＥＴおよび電流調整用抵抗を２組並列接続した構成としている。本変形例の構成によっても、レーザダイオード１８の温度依存性による光出力レベルの低下分が第１積分回路４１および第２積分回路５１の積分動作によって相殺されるように第１積分回路４１および第２積分回路５１の各素子のパラメータを設定することで、レーザダイオード１８から一様な光出力レベルの高速光パルス列が発せられるようにすることができる。なお、実施例および変形例１と比較して調整可能な回路パラメータが倍に増えることにより、きめ細かく調整することができ、レーザダイオード１８から発せられる光出力レベルのバラツキをより低減することができる。

（変形例４）

【００５０】

次に、図７は本発明の変形例４に係るレーザダイオード駆動回路の構成図である。なお、図７において図１（実施例）と重複する部分には同一の符号を附する。図７において、本変形例のレーザダイオード駆動回路は、パルス信号ＶＩを生成するパルス発生器１１と、パルス信号ＶＩを増幅する増幅器６２と、増幅器６２の出力を積分して出力する積分回路６０と、レーザダイオード１８と、抵抗６６と、バイポーラトランジスタ６７と、を備えて構成されている。

【００５１】

本変形例では、特許請求範囲にいうスイッチング素子としてバイポーラトランジスタを使用しており、制御電極はベース電極となる。また、積分回路６０は、一端に増幅器６２で増幅されたパルス信号が入力される第１抵抗６３と、一端が第１抵抗６３の他端と接続される第２抵抗６４と、一端が第２抵抗６４の他端と接続され、他端が電源電位（接地電位）と接続されるキャパシタ６５と、を備えた構成である。

【００５２】

本変形例の構成によっても、レーザダイオード１８の温度依存性による光出力レベルの低下分が積分回路６０の積分動作によって相殺されるように積分回路６０の各素子のパラメータを設定することで、レーザダイオード１８から一様な光出力レベルの高速光パルス列が発せられるようにすることができる。

【００５３】

また、上述した変形例１～変形例４のレーザダイオード駆動回路により駆動されるレーザダイオード１８をパルス光源として、光時間領域反射測定器を構成した場合には、実施例と同様に、レーザダイオード１８から一様な光出力レベルの高速光パルス列が発せられるので、復調（逆拡散）処理における誤差や歪みを抑制することができ、結果として高精度に物理量（損失、歪みまたは温度等）の測定が可能な光時間領域反射測定器を実現することができる。

（その他の変形）

【００５４】

以上、本発明の好ましい実施例および変形例について詳述したが、本発明に係るレーザダイオード駆動回路および光時間領域反射測定器は、上述した実施例および変形例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形、変更が可能である。

【００５５】

例えば、実施例および変形例１～変形例３では、スイッチング素子としてｎ型ＭＯＳ－ＦＥＴを使用した但、ｐ型ＭＯＳ－ＦＥＴで代替しても良い。この場合、パルス信号ＶＩの極性は逆となり、レーザダイオード１８のアノードはＦＥＴ１７のドレイン電極に、カソードは接地電位にそれぞれ接続される。また、変形例４ではｎｐｎトランジスタを使用

10

20

30

40

50

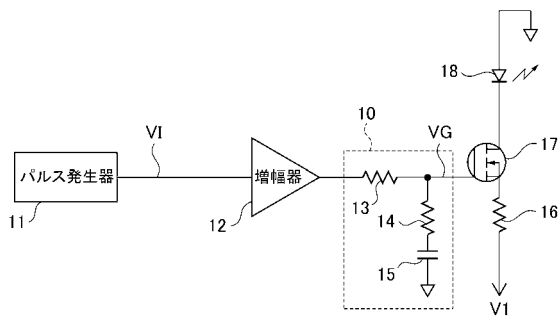
したが、 $pnp$ トランジスタで代替しても良い。この場合、パルス信号 $V_I$ の極性は逆となり、レーザダイオード18のアノードは $pnp$ トランジスタのコレクタ電極に、カソードは接地電位にそれぞれ接続される。さらに、スイッチング素子としては、 $MOS-FET$ やバイポーラトランジスタに限定されることなく、他のスイッチング素子を使用することも可能である。

# 【符号の説明】

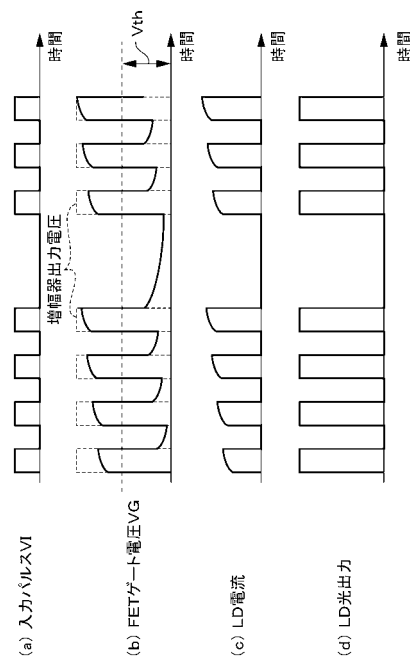
## 【0056】

- |                            |                    |    |
|----------------------------|--------------------|----|
| 10, 20, 30, 31, 41, 51, 60 | 積分回路               |    |
| 11                         | パルス発生器             |    |
| 12, 22, 32, 42, 62         | 増幅器                | 10 |
| 13, 23, 33, 36, 43, 53, 63 | 第1抵抗               |    |
| 14, 24, 34, 37, 44, 54, 64 | 第2抵抗               |    |
| 15, 25, 35, 38, 45, 55, 65 | キャパシタ              |    |
| 16, 46, 56, 66             | (電流調整用)抵抗          |    |
| 17, 47, 57                 | $FET$ (電界効果トランジスタ) |    |
| 67                         | バイポーラトランジスタ        |    |
| 101                        | レーザダイオード駆動回路       |    |
| 102                        | 光方向性結合器            |    |
| 103                        | 光電変換器              |    |
| 104                        | 増幅器                | 20 |
| 105                        | $AD$ 変換器           |    |
| 106                        | 信号処理部              |    |
| 107                        | 表示部                |    |
| 112                        | 光ファイバ              |    |

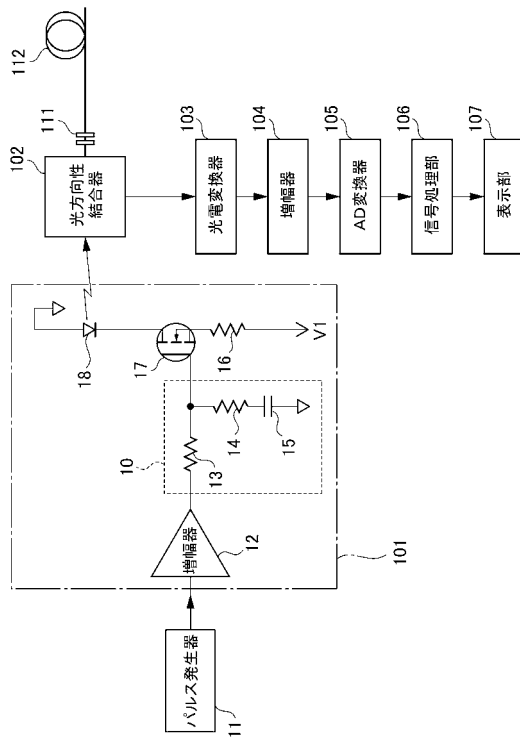
【図1】



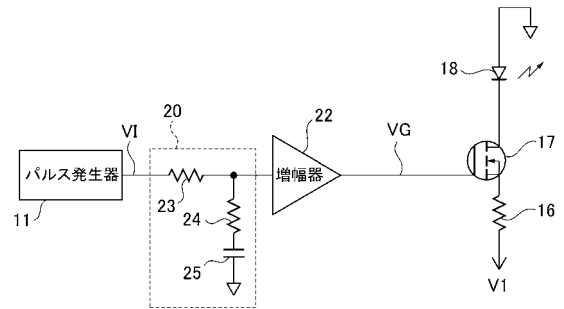
【図2】



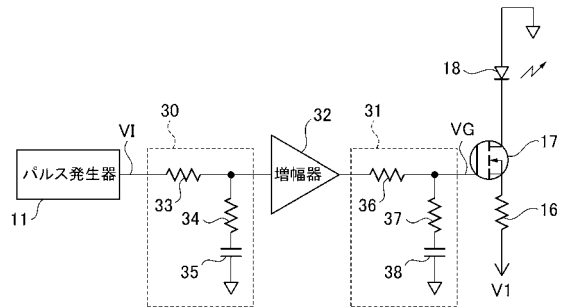
【 図 3 】



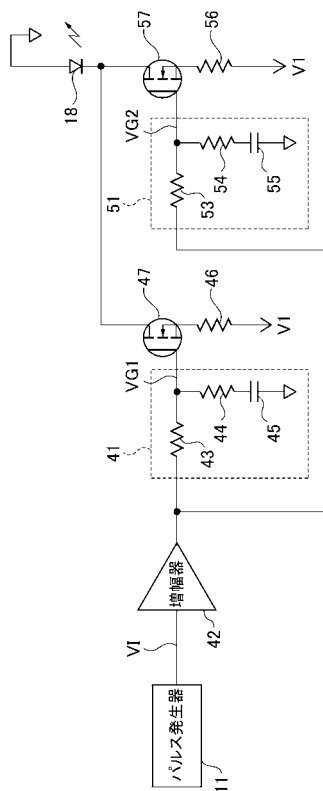
【 図 4 】



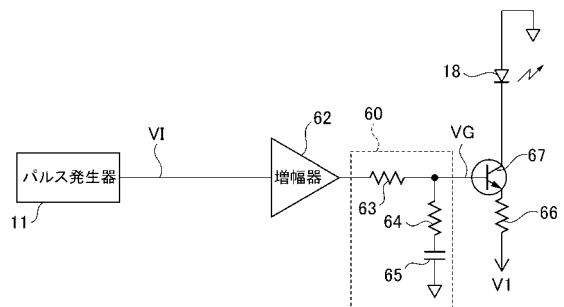
【 図 5 】



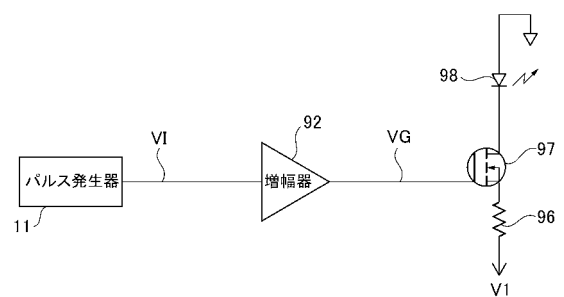
【 図 6 】



【 図 7 】



【圖 8】



【図 9】

