

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号
特表2025-509946
(P2025-509946A)

(43)公表日 令和7年4月11日(2025.4.11)

(51)国際特許分類
H 0 2 M 3/155(2006.01)
H 0 2 M 3/07 (2006.01)

F I
H 0 2 M 3/155
H 0 2 M 3/07

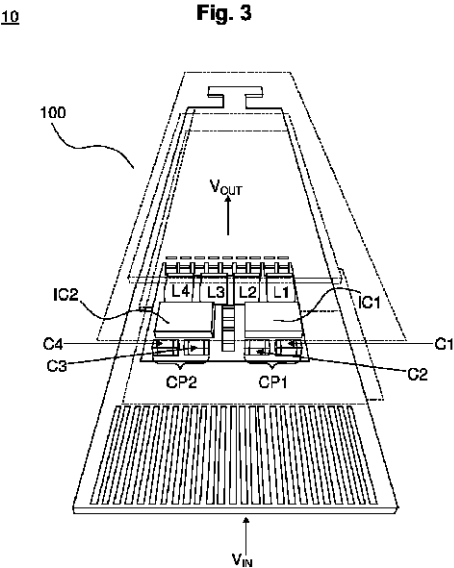
テーマコード (参考)
5 H 7 3 0

審査請求 未請求 予備審査請求 有 (全26頁)			
(21)出願番号	特願2024-556105(P2024-556105)	(71)出願人	000006231
(86)(22)出願日	令和5年3月21日(2023.3.21)		株式会社村田製作所
(85)翻訳文提出日	令和6年11月12日(2024.11.12)		京都府長岡京市東神足1丁目10番1号
(86)国際出願番号	PCT/US2023/064783	(74)代理人	100107984
(87)国際公開番号	WO2023/183819		弁理士 廣田 雅紀
(87)国際公開日	令和5年9月28日(2023.9.28)	(74)代理人	100182305
(31)優先権主張番号	63/321,930		弁理士 廣田 鉄平
(32)優先日	令和4年3月21日(2022.3.21)	(74)代理人	100096482
(33)優先権主張国・地域又は機関	米国(US)		弁理士 東海 裕作
(81)指定国・地域	AP(BW,CV,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV	(74)代理人	100131093
	最終頁に続く		弁理士 堀内 真
		(74)代理人	100150902
			弁理士 山内 正子
		(74)代理人	100141391
			弁理士 園元 修一
			最終頁に続く

(54)【発明の名称】 寄生を低減した電力変換のための方法、装置、集積回路及びプリント回路基板

(57)【要約】

装置が、バックコンバータ回路を有する集積回路と、集積回路に接続されたインダクタとを有するプリント回路基板を備えることができる。



【特許請求の範囲】

【請求項 1】

電力変換のためのプリント回路基板（PCB）であって、
複数の集積回路であって、前記複数の集積回路の各集積回路がバックコンバータ回路を有する、前記複数の集積回路と、
前記複数の集積回路の各集積回路に接続された複数のインダクタと
を備える、前記 PCB。

【請求項 2】

前記複数の集積回路の各集積回路が、対応する端子によって前記複数のインダクタの各インダクタに接続される、請求項 1 に記載の PCB。

10

【請求項 3】

各対応する端子が、前記複数の集積回路の各集積回路の共通の側に配置される、請求項 2 に記載の PCB。

【請求項 4】

前記複数の集積回路が互いに隣接している、請求項 1 ～ 3 のいずれかに記載の PCB。

【請求項 5】

前記複数のインダクタが、前記複数の集積回路の共通の側において互いに隣接している、請求項 1 ～ 4 のいずれかに記載の PCB。

【請求項 6】

前記複数の集積回路の各集積回路が、対応する充電ポンプに接続される、請求項 1 ～ 5 のいずれかに記載の PCB。

20

【請求項 7】

各対応する充電ポンプが、1 又は 2 以上のキャパシタを備える、請求項 6 に記載の PCB。

【請求項 8】

電力変換のためのプリント回路基板（PCB）であって、
第 1 の集積回路及び第 2 の集積回路であって、前記第 1 の集積回路及び前記第 2 の集積回路が各々、バックコンバータ回路を含み、前記第 1 の集積回路及び前記第 2 の集積回路が互いに隣接して配置される、前記第 1 の集積回路及び前記第 2 の集積回路と、
前記第 1 の集積回路に接続される第 1 のインダクタ及び第 2 のインダクタと、
前記第 2 の集積回路に接続される第 3 のインダクタ及び第 4 のインダクタと、
を備える、前記 PCB。

30

【請求項 9】

前記第 1 の集積回路が、第 1 の対応する端子によって前記第 1 のインダクタに接続され、前記第 1 の集積回路が、第 2 の対応する端子によって前記第 2 のインダクタに接続され、
前記第 2 の集積回路が、第 3 の対応する端子によって前記第 3 のインダクタに接続され、前記第 2 の集積回路が、第 4 の対応する端子によって前記第 4 のインダクタに接続される、請求項 8 に記載の PCB。

【請求項 10】

前記第 1 の端子、前記第 2 の端子、前記第 3 の端子及び前記第 4 の端子の各々が、前記複数の集積回路の各集積回路の共通の側に配置される、請求項 9 に記載の PCB。

40

【請求項 11】

前記第 1 のインダクタ、前記第 2 のインダクタ、前記第 3 のインダクタ及び前記第 4 のインダクタが、前記第 1 の集積回路及び前記第 2 の集積回路の共通の側で互いに隣接している、請求項 8 ～ 10 のいずれかに記載の PCB。

【請求項 12】

前記第 1 の集積回路が第 1 のチャージポンプに接続され、前記第 2 の集積回路が第 2 のチャージポンプに接続される、請求項 8 ～ 11 のいずれかに記載の PCB。

【請求項 13】

50

前記第 1 のチャージポンプ及び前記第 2 のチャージポンプが各々 1 又は 2 以上のキャパシタを備える、請求項 1 2 に記載の P C B。

【請求項 1 4】

電力変換のためのプリント回路基板（P C B）であって、
バックコンバータ回路を有する集積回路と、
前記集積回路に結合されたインダクタと、
を備える、前記 P C B。

【請求項 1 5】

請求項 1 ～ 1 4 のいずれかに記載の P C B を備える装置。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本開示は、電力変換に関し、より詳細には、寄生損失を低減した電力変換のための方法、装置、集積回路及びプリント回路基板に関する。

【背景技術】

【0 0 0 2】

多くの電子製品、特にモバイルコンピューティング及び／又は通信製品並びに構成要素（例えば、ノートブックコンピュータ、ウルトラブックコンピュータ、タブレットデバイス、L C D 及び L E D ディスプレイ）は、複数の電圧レベルを必要とする。例えば、無線周波数送信機のための電力増幅器は、比較的高い電圧（例えば、1 2 ボルト（V）以上）を必要とし得るが、論理回路は、低い電圧レベル（例えば、1 ～ 2 V）を必要とし得る。いくつかの他の回路は、中間電圧レベル（例えば、5 ～ 1 0 V）を必要とし得る。電力変換器は、電子製品における様々な構成要素の電力要件を満たすために、バッテリー等の共通電源からより低い又はより高い電圧を生成するためにしばしば用いられる。

【発明の概要】

【0 0 0 3】

本開示の実施形態は、寄生損失を低減した電力変換のための方法、装置、集積回路及びプリント回路基板を提供することができる。

【0 0 0 4】

上記の包括的な説明及び以下の詳細な説明は、例示的及び説明的なものにすぎず、請求の範囲に記載の本発明を限定するものではないことが理解されよう。

【図面の簡単な説明】

【0 0 0 5】

【図 1】本開示の実施形態による、電力変換のための例示的なコントローラのブロック図である。

【図 2】本開示の実施形態による、電力スイッチを有する例示的なコントローラの回路図である。

【図 3】本開示の実施形態による、電力変換のための例示的な装置の斜視図である。

【図 4】本開示の実施形態による、電力変換のための例示的なプリント回路基板の上面図である。

【図 5】開示される実施形態による、電力変換のための例示的なプリント回路基板の上面図である。

【図 6】プリント回路基板層の電気信号及び光信号の図である。

【図 7 A】本開示の実施形態による、電力変換のための集積回路の例示的な部分の斜視図である。

【図 7 B】本開示の実施形態による、図 7 A の電力変換のための集積回路の例示的な部分の拡張斜視図である。

【図 7 C】本開示の実施形態による、図 7 A 及び図 7 B の電力変換のための集積回路の例示的な部分の側面図である。

【図 8】本開示の実施形態による、電力変換のための例示的な集積回路の断面図である。

10

20

30

40

50

【図 9】本開示の実施形態による、電力変換のための例示的な集積回路の断面図である。

【図 10】本開示の実施形態による、電力変換のための集積回路の例示的な部分の上面図である。

【図 11】本開示の実施形態による、電力変換のための例示的なリードフレームの上面図である。

【図 12】本開示の実施形態による、電力変換のための例示的なリードフレームの底面図である。

【図 13】本開示の実施形態による、電力変換のための集積回路の一部分の例示的なトランジスタの上面図である。

【図 14】本開示の実施形態による、図 13 のトランジスタの例示的な部分の上面図である。

【図 15】本開示の実施形態による、集積回路の例示的な再配線層の上面図である。

【図 16】本開示の実施形態による、電力変換のための集積回路の一部分の例示的なトランジスタの上面図である。

【図 17】本開示の実施形態による、図 16 のトランジスタの例示的な部分の上面図である。

【図 18】本開示の実施形態による、図 16 のトランジスタの例示的な部分の上面図である。

【図 19】本開示の実施形態による、図 16 のトランジスタの例示的な部分の上面図である。

【図 20】本開示の実施形態による、図 16 のトランジスタの例示的な部分の上面図である。

【図 21】本開示の実施形態による、図 16 のトランジスタの例示的な部分の上面図である。

【図 22】本開示の実施形態による、図 21 のトランジスタの例示的な部分の上面図である。

【図 23】本開示の実施形態による、電力変換のための集積回路又はコントローラを備える例示的な装置の回路図である。

【発明を実施するための形態】

【0006】

以下の開示は、提供される主題の異なる特徴を実施するための異なる例示的な実施形態又は例を提供する。本開示を説明するために、構成要素及び構成の特定の単純化された例が以下に説明される。これらの実施形態は例であり、限定を意図したものではない。加えて、本開示は、様々な例において、参照符号及び／又は文字を繰り返す場合がある。この繰り返しは、単純性及び明確性の目的であり、それ自体、論じられる様々な実施形態及び／又は構成間の関係を指示するものではない。

【0007】

本明細書において使用される用語は、一般に、当該技術分野における、及び各用語が用いられる特定の状況における通常の意味を有する。本明細書において論じられる任意の用語の例を含む本明細書における例の使用は例示にすぎず、本開示の又は任意の例示の用語の範囲及び意味をいかなる形でも限定しない。同様に、本開示は、本明細書において与えられる様々な実施形態に限定されない。

【0008】

「第 1」、「第 2」等の用語は、様々な要素について説明するために本明細書で用いられ得るが、これらの要素は、これらの用語によって限定されるべきではない。これらの用語は、ある要素を別の要素から区別するために用いられる。例えば、実施形態の範囲から逸脱することなく、第 1 の要素を第 2 の要素と称することができ、同様に、第 2 の要素は、第 1 の要素と称することができる。本明細書において用いられるとき、「及び／又は」という用語は、関連する列挙された項目のうちの 1 又は 2 以上の任意の組合せ及び全ての組合せを含む。

10

20

30

40

50

【0009】

本明細書では、「下」、「下方」、「下部」、「底部」、「上方」、「上部」、「頂部」、「～の方」等の空間的相対語が、図面に図示されるある要素、機構の別の要素又は機構との関係を説明する説明しやすさのために用いられている場合がある。これらの空間的相対語は、図面に示される向きに加えて、使用時又は操作時のデバイスの異なる向きも包含することが意図されている。装置は他の向き（90度回転又は他の向き）とされる場合があり、本明細書において用いられる空間的相対記述語は同様にそれに応じて解釈することができる。

【0010】

本開示において、「結合された」という用語は、「電氣的に結合された」と称される場合もあり、「接続された」という用語は、「電氣的に接続された」と称される場合がある。「結合された」及び「接続された」は、2又は3以上の要素が相互に協働又は相互作用することを示すために用いることもできる。

【0011】

電力コンバータは、電流経路のうちの1又は2以上において、高電流（high current）を受けるか、送達（deliver）するか、又はこれを用いて動作することができる。高電流における電力送達経路及び動作は、性能に負の影響を及ぼす寄生損失を受けやすい可能性がある。寄生損失は、 I^2 とRとの積として記述することができ、「I」は電流であり、「R」は抵抗である。電流が増大すると、電力損失がより顕著になる。例えば、特定のバックコンバータの電力送達経路及び高電流が、寄生損失に起因して電力変換効率を低減させる可能性がある。追加の制約は、望ましくない寄生損失をさらに深刻化させる場合がある。例えば、ダイ空間が限定されることにより、信号がプリント回路基板（PCB, printed circuit board）上で広がり、必要に応じてルーティングされることが促される場合がある。

【0012】

例えば、いくつかの用途（例えば、サーバ、ルータ等）において、光ケーブルは、小型フォームファクタプラグابل（SFP, small form-factor pluggable）モジュール（例えば、伝送率が、毎秒200ギガビット（G）超、400G超、200G超等である光送受信機、クアッドSFP（QSFP, quad SFP）、オクタルSFP（OSFP, octal SFP）、二方向QSFP28（BIDI QSFP28, bidirectional QSFP28）、QSFP二重密度（QSFP-DD, QSFP double density）用途）を用いてインタフェースすることができる。これらのモジュールは、高性能で動作するために、高電流（例えば、20アンペア（A））及び低電圧（例えば、0.5ボルト（V））の出力を要する。しかしながら、高電流、低電圧の経路は、PCBにおいて寄生損失の影響を非常に受けやすい。さらに、SFPモジュールは、狭く長いPCBを用い、これにより、PCBにおける望ましくない寄生損失がさらに深刻化する場合がある。

【0013】

通常のSFPモジュールは、寄生損失を被る場合がある。例えば、通常のSFPモジュールは、接続された主要信号処理特定用途向け集積回路（ASIC, application-specific integrated circuit）について、入力電圧（例えば、20Aにおいて3.3V～0.5V）を出力電圧に変換するために、1又は2以上のインダクタに接続された単一の集積回路を用いる。単一の集積回路の1又は2以上の端子が1又は2以上のインダクタに接続され、これが主要信号処理ASICにさらに接続される。通常、単一の集積回路及び1又は2以上のインダクタによってASICに提供される電流を増大させるために、集積回路の複数の側に端子が配置される。しかしながら、複数の端子を非常に近接させて用いて、電流を単一の集積回路からインダクタに転送する結果として、電流経路に沿ったいわゆる「電流集中（current crowding）」が生じる。電流集中は、電流密度を増大させることにより、PCBにおける寄生損失の増大を引き起こす場合がある。

【0014】

数ある中でも、開示される実施形態は、入力電圧からの電流を1又は2以上の集積回路

10

20

30

40

50

にルーティングすることによってそのような寄生損失を低減することができ、各集積回路はバックコンバータ回路を備える。例えば、1又は2以上の集積回路は、PCBの幅に沿って互いに隣接して配置され、各集積回路における電流集中が低減又は除去されるようにすることができる。いくつかの実施形態では、各集積回路は、対応する端子によって、1又は2以上のインダクタに接続することができる。例えば、各端子は、各集積回路の同じ又は共通の側に配置され、1又は2以上のインダクタの各インダクタが、1又は2以上の集積回路の同じ又は共通の側において互いに隣接するようにすることができる。開示される実施形態は、PCBの幅にわたって、入力電圧から1又は2以上の端子に電流をルーティングすることによって、1又は2以上の集積回路のうちの任意のものにおける電流集中を低減又は除去し、それによって、寄生損失を低減又は除去し、PCBにおける効率を増大させることができる。

10

【0015】

開示される実施形態は、バックコンバータのためのインダクタ要件を低減する設計を含むことができる。例えば、実施形態は、各バックコンバータに提供される入力電圧を低減するために、各集積回路の一部に、又は別個の集積回路に1又は2以上のチャージポンプを備えることができる。

【0016】

この配置は、バックコンバータのインダクタ要件を低減するため（例えば、各インダクタは、2.5mm×2.0mm×1.2mmの寸法を有することができる）、実施形態が、比較的高い入力電圧（例えば、3.3V）であっても、バックコンバータのためにチップインダクタを用いることが可能になる。例えば、各集積回路は、対応するチャージポンプに接続し、各チャージポンプが、入力電圧が対応するバックコンバータに提供される前に、この入力電圧をステップダウンすることができる。バックコンバータがステップダウン電圧を用いて動作することを可能にすることにより、関連インダクタに対する要求を低減することができ、それによって、追加の空間を占めるより大きなインダクタの代わりにチップコンダクタを用いることができる。

20

【0017】

本開示の実施形態は、これらの課題に対処し、これらの利点を提供することができるが、述べられる問題及び特徴は、例であることを意図され、本開示の請求項及び範囲を限定するものではない。実際に、開示される実施形態は、課題に対処し、明示的に挙げられていない利点を提供することができる。

30

【0018】

図1は、開示される実施形態による、電力変換のためのPCB（例えば、図3、図4のPCB100等）の例示的な集積回路又はコントローラ（例えば、図3、図4の集積回路IC1、集積回路IC2、集積回路IC_N等）のブロック図1100である。図1に示すように、集積回路又はコントローラは、端子LX1及び端子LX2によって表される二重出力を有する2相チャージポンプを提供することができる。2つの集積回路が用いられるとき、2つの集積回路は、合計4つの端子（例えば、端子LX1、端子LX2、端子LX3及び端子LX4）を用いることができることを理解すべきである。集積回路又はコントローラは、入力電圧VINと、キャパシタC1、C2（例えば、フライングキャパシタ）を有するチャージポンプとを備えることができる。集積回路又はコントローラは、端子VX、LX1、LX2及びPGNDを有することができる。集積回路又はコントローラは、補償端子COMP、イネーブル入力EN、同期端子SYNC、及びフィードバック端子FBを有することができる。PCB100は、トランジスタMH1、MH2、ML1及びML2を備えることができる。

40

【0019】

いくつかの実施形態では、本開示の様々な図面において繰り返される参照符号及び／又は文字は、互いに関係し、図面が互いに関係することを示すことを理解すべきである。いくつかの他の実施形態において、この繰り返しは、それ自体、論じられる様々な実施形態及び／又は構成間の関係を指示するものではない。

50

【0020】

図2は、開示される実施形態による、電力変換のためのPCB（例えば、PCB100）の集積回路又はコントローラ（例えば、集積回路IC1、集積回路IC2、集積回路ICN）を備える例示的な装置の回路図1200である。図2に示すように、集積回路又はコントローラは、入力電圧VIN及び出力電圧VXを有することができる。集積回路又はコントローラは、端子PGND、C1、C2、P1及びP2を有することができる。集積回路又はコントローラは、トランジスタM11、M21、M31、M41、M12、M22、M32及びM42を備えることができる。

【0021】

いくつかの実施形態では、本開示の様々な図面において繰り返される参照符号及び／又は文字は、互いに関係し、図面が互いに関係することを示すことを理解すべきである。いくつかの他の実施形態において、この繰り返しは、それ自体、論じられる様々な実施形態及び／又は構成間の関係を指示するものではない。

【0022】

図3は、開示される実施形態による、電力変換のための例示的な装置10（例えば、SFPMジュール）の斜視図である。図4は、開示される実施形態による、電力変換のための例示的なPCB100の上面図である。図3に示すように、装置10はPCB100を備えることができる。図3及び図4に示すように、PCB100は、チャージポンプCP1、チャージポンプCP2、集積回路IC1、集積回路IC2、インダクタL1、インダクタL2、インダクタL3及びインダクタL4を有することができる。チャージポンプCP1は、キャパシタC1及びキャパシタC2を有することができる。チャージポンプCP2は、キャパシタC3及びキャパシタC4を備えることができる。集積回路IC1及び集積回路IC2は各々、電力変換のためのバックコンバータ回路を含むことができる。いくつかの実施形態では、PCB100はキャパシタC5を備えることができる。いくつかの実施形態では、キャパシタ（例えば、キャパシタC1、C2、C3、C4又はC5）は、22マイクロファラッド（ μF ）キャパシタとすることができる。

【0023】

図5は、開示される実施形態による、電力変換のための例示的なPCBの上面図である。いくつかの実施形態では、電力コンバータは、ASICの下に配置することができる。いくつかの実施形態では、PCBは、図5において点線で示されるような二重PCB層を有することができる。例えば、PCBは第1のPCB層510及び第2のPCB層520を有することができ、第2のPCB層520は、デジタル信号プロセッサ（DSP, digital signal processor）コンポーネント、送信用光サブアセンブリ（TOSA, transoptical subassembly）、及び受信用光サブアセンブリ（ROSA, receiver optical subassembly）を備えることができる。二重PCBは、より小さいインダクタを有する単一のPCB層に適合しない場合がある、より背の高いインダクタを有する設計を可能にする。用途は、上記で説明した実施形態及び以下にさらに説明される実施形態から利益を得ることができる。

【0024】

図6は、第2のPCB層520の電気信号及び光信号の図である。TOSAは、1又は2以上のドライバ及び1又は2以上のレーザダイオードLDを有することができる。ROSAは、1又は2以上のトランスインピーダンス増幅器TIA及び1又は2以上のフォトダイオードPDを有することができる。

【0025】

図4に示すように、集積回路IC1は、端子LX1によってインダクタL1に接続し、端子LX2によってインダクタL2に接続することができる。同様に、集積回路IC2は、端子LX3によってインダクタL3に接続し、端子LX4によってインダクタL4に接続することができる。いくつかの実施形態では、インダクタ（例えば、インダクタL1、L2、L3又はL4）は、インダクタの一方の側に、チップインダクタが接続するピンを備えることができる。インダクタの他方の側は、電力スイッチを介して、ピン（例えば、

10

20

30

40

50

VXピン)又はグラウンドピン(例えば、端子GND1、GND2、GND3又はGND4)に接続することができる。いくつかの実施形態では、集積回路IC1及びインダクタL1は、入力電圧VIN-1を出力電圧VOUTに変換することができ、集積回路IC1及びインダクタL2は、入力電圧VIN-2を出力電圧VOUTに変換することができる。同様に、集積回路IC2及びインダクタL3は、入力電圧VIN-3を出力電圧VOUTに変換することができ、集積回路IC2及びインダクタL4は、入力電圧VIN-4を出力電圧VOUTに変換することができる。1つの例において、VIN-1～VIN-4は、共通のソースから供給される入力電圧を受けてもよい。別の例において、VIN-1～VIN-4は、複数のソースから供給される入力電圧を受けてもよい。

【0026】

いくつかの実施形態では、PCB100のレイアウトは、PCB100の特定の導電経路に沿った寄生損失を低減又は除去するように設計することができる。例えば、バックコンバータとインダクタとの間に端子を有して形成された電界効果トランジスタ(FET, field effect transistor)は、バックコンバータの集積回路における電流集中によって生じる寄生損失の影響を特に受けやすい場合がある。数ある中でも、開示される実施形態は、入力電圧からの電流を集積回路IC1及び集積回路IC2にルーティングすることによってそのような望ましくない寄生損失を低減することができる。集積回路IC1及びIC2は、PCB100の幅に沿って互いに隣接して配置され、集積回路IC1及びIC2における電流集中が低減又は除去されるようにすることができる。

【0027】

開示される実施形態は、非クリティカルパスを犠牲にして集積回路(IC, integrated circuit)のクリティカルパスを最適化することによって寄生損失を有利に低減することができる。低いデューティサイクル(例えば、50%未満)で動作するバックコンバータは、高側の電流経路(例えば、MH1)よりも良好な効率のために、低側のFET電流経路(例えば、ML1)により依存する。例えば、開示される実施形態は、集積回路の別の側におけるスイッチからチャージポンプ(例えば、チャージポンプCP1又はCP2)への非クリティカルパスLX-MH1-VXを犠牲にして、集積回路の1つの側におけるスイッチから端子(例えば、端子LX1、LX2、LX3又はLX4)への集積回路(例えば、集積回路IC1、IC2又はICN)のクリティカルパスGND-ML1-LXを最適化することができる。開示される実施形態は、リードフレームを用いてクリティカルパスと非クリティカルパスとの間の距離を橋渡しすることによって、寄生損失を低減することができる。例えば、チャージポンプ及び集積回路はリードフレームを用いることができる。

【0028】

図3及び図4に示すように、端子GND1、GND2、GND3及びGND4は、インダクタL1、L2、L3及びL4が、集積回路IC1及びIC2の同じ側又は共通の側で互いに隣接するように、集積回路IC1及びIC2の同じ側又は共通の側に配置することができる。開示される実施形態は、PCB100の幅にわたって、入力電圧から端子GND1、GND2、GND3及びGND4に電流をルーティングすることによって集積回路IC1及びIC2における電流集中を低減又は除去し、それによって、寄生損失を低減又は除去し、PCB100における電力変換効率を増大させることができる。すなわち、端子GND1、GND2、GND3及びGND4は、PCB100の幅にわたって配置され、入力電圧からインダクタL1、L2、L3及びL4の各インダクタに転送される電流は低密度電流であり、結果として、PCB100における低抵抗性損失となる。端子GND1、GND2、GND3、GND4、LX1、LX2、LX3及びLX4は、PCB100の幅にわたって互いに隣接して配置されるため、入力電圧からの電流は、有利には最大化され、インダクタL1、L2、L3又はL4のうちの任意のものに集中することを阻止することができる。

【0029】

インダクタL1、L2、L3及びL4は、小さなパッケージを特徴とすることができる

10

20

30

40

50

チップインダクタとすることができ、電力変換及び高周波数回路を含む様々な用途に用いることができる。チップインダクタは、電子デバイスの集積回路における使用のためのチップのフォームファクタで提供されるインダクタとすることができ、チップインダクタは、電力コンバータ、RF送受信機、コンピュータ、及び他の電子デバイスにおいて用いることができる。例示的なチップインダクタは、ワイヤ巻線を有するフェライト磁心を有することができるか、又は複数の配線層を有することができる。チップインダクタは、電圧を保持する利点を提供することができ、フィルタ回路及び共振回路を形成するのに用いることができる。従来の別々のインダクタと比較して、チップインダクタはより小型にすることができ、より軽量にすることができ、

【0030】

図3及び図4は、2つの集積回路及び4つのインダクタを示しているが、本開示の実施形態はそのような構成に限定されないことが理解されるべきである。例えば、任意の数の集積回路（例えば、1又は2以上の集積回路）及び任意の数のインダクタ（例えば、1又は2以上のインダクタ）の組合せを本開示において用いることができる。

【0031】

図3及び図4に示すように、PCB100は、入力電圧 V_{IN-1} 及び V_{IN-2} をステップダウンするためのチャージポンプCP1を備えることができ、チャージポンプCP1は、キャパシタC1及びC2と併せて集積回路IC1によって形成される二相チャージポンプとすることができ、各相は2で除算される。集積回路IC1は、キャパシタC1及びC2に接続される電力スイッチを備えることができる。例えば、チャージポンプCP1は、2で除算された二相チャージポンプ（divided-by-two dual phase charge pump）を形成することができる。同様に、集積回路IC2は、キャパシタC3及びC4に接続される電力スイッチを備えることができ、チャージポンプCP2は、2で除算された二相チャージポンプを形成することができる。

【0032】

チャージポンプCP1は、入力電圧 V_{IN-1} 及び V_{IN-2} と集積回路IC1との間に配置することができる。同様に、PCB100は、入力電圧 V_{IN-3} 及び V_{IN-4} をステップダウンするためのチャージポンプCP2を備えることができ、チャージポンプCP2は、キャパシタC3及びC4と併せて集積回路IC2によって形成される二相チャージポンプとすることができ、各相は2で除算される。チャージポンプCP2は、入力電圧 V_{IN-3} 及び V_{IN-4} と集積回路IC2との間に配置することができる。

【0033】

集積回路IC1は、インダクタL1及びL2と併せて、第1のバックレギュレータを形成することができる。同様に、集積回路IC2は、インダクタL3及びL4と併せて、第2のバックレギュレータを形成することができる。集積回路IC1及び集積回路IC2は、それぞれ第1及び第2のバックレギュレータのための電力スイッチを備えることができる。

【0034】

チャージポンプCP1は、入力電圧 V_{IN-1} 及び V_{IN-2} を、集積回路IC1に提供される前にステップダウンすることができる。同様に、チャージポンプCP2は、入力電圧 V_{IN-3} 及び V_{IN-4} を、集積回路IC2に提供される前にステップダウンすることができる。バックコンバータに対する入力電圧がより低いことにより、インダクタL1、L2、L3及びL4に対する要求を低減することができる。したがって、いくつかの実施形態では、インダクタL1、L2、L3及びL4は、追加の空間を占める、より大きなインダクタの代わりに、チップインダクタによって実施することができる。

【0035】

いくつかの実施形態では、電流は、対応するチャージポンプ（例えば、チャージポンプCP1）から集積回路（例えば、集積回路IC1）上の端子（例えば、端子GND1又はGND2）に非同時に転送することができる。例えば、電流は、チャージポンプCP1から端子GND2への電流転送がない時点に、チャージポンプCP1から端子GND1に転

10

20

30

40

50

送することができる。この動作は、任意の端子又はインダクタにおける電流集中から負の寄生損失をさらに低減又は除去し、それによって電力変換効率を増大させることができる。この非同時電流転送は、端子 GND 2、GND 3 又は GND 4 で同時に行うことができる。

【0036】

集積回路（例えば、集積回路 IC 1、IC 2 又は IC_N）は、いくつかの利点を提供し、図 3 及び図 4 に示される、チャージポンプ及びバックレギュレータを形成するようにキャパシタ及びインダクタに接続する電力スイッチを備えるが、本開示は、チャージポンプを有しない PCB 100 のレイアウトを含み得ることを理解すべきである。チャージポンプを有しない本明細書に記載の実施形態は、PCB 100 における寄生損失を低減又は除去することができる。さらに、図 3 及び図 4 は 2 つのチャージポンプを示しているが、本開示は、実施形態を 2 つのチャージポンプに制限せず、任意の数のチャージポンプ（例えば、1 又は 2 以上のチャージポンプ）を用いることができることを理解すべきである。1 又は 2 以上のチャージポンプは、単一相、二相、又は N 相として動作することができる。他の例において、任意の数のレギュレータを用いることができる（例えば、1 又は 2 以上のバックレギュレータ、Cuk コンバータ、マルチレベル等）。1 又は 2 以上のレギュレータは、単一相、二相、又は N 相として動作することができる。

10

【0037】

電力変換中、電流が、チャージポンプ C 1 から、導電線 111 及び 113 を通じて集積回路 IC 1 に流れることができ、電流は、チャージポンプ C 2 から、導電線 112 及び 114 を通じて集積回路 IC 2 に流れることができる。他の導電線及び端子が示されているが、図 4 においてラベル付けされておらず、これらは、導電線 111、112、113 及び 114 並びに端子 GND 1、GND 2、GND 3、GND 4、LX 1、LX 2、LX 3 及び LX 4 に類似した方式で動作することを理解すべきである。

20

【0038】

開示される実施形態は、チャージポンプからバックコンバータへ方向における電力変換を説明したが、開示される実施形態は、反対方向における電力変換（例えば、バックコンバータからチャージポンプへ方向であり、逆方向に実行されるバックコンバータはブーストコンバータと称される）にも適用可能であることを理解すべきである。

【0039】

開示される実施形態は、SFP モジュールに関して説明されたが、開示される実施形態は、例えば、PCB の合計利用可能幅又は領域が制限されている任意の高電流低出力電圧用途等の他の用途にも適用可能である（ただし、開示される実施形態はそのような用途に限定されない）ことを理解すべきである。

30

【0040】

いくつかの実施形態では、本開示の様々な図面において繰り返される参照符号及び／又は文字は、互いに関係し、図面が互いに関係することを示すことを理解すべきである。いくつかの他の実施形態において、この繰り返しは、それ自体、論じられる様々な実施形態及び／又は構成間の関係を指示するものではない。

【0041】

図 7 A は、開示される実施形態による、IC の一部分（例えば、IC の一部分）の斜視図であり、図 7 B は IC の一部分の展開斜視図であり、図 7 C は、IC の一部分の側面図である。図 7 A、図 7 B 及び図 7 C に示すように、集積回路 IC_N（例えば、図 3 又は図 4 の集積回路 IC 1 又は IC 2）は、ピラー 302（例えば、銅のピラー）によってリードフレーム 301 に取り付けることができる。

40

【0042】

いくつかの実施形態では、本開示の様々な図面において繰り返される参照符号及び／又は文字は、互いに関係し、図面が互いに関係することを示すことを理解すべきである。いくつかの他の実施形態において、この繰り返しは、それ自体、論じられる様々な実施形態及び／又は構成間の関係を指示するものではない。

50

【0043】

図8は、開示される実施形態による、ICの一部（例えば、ICの一部、図7A、図7B及び図7CのICの一部等）の断面図である。図8に示すように、集積回路IC_N（例えば、図3又は図4の集積回路IC₁又はIC₂、図7A、図7B、図7Cの集積回路IC_N等）は、ダイ303（例えば、シリコンダイ）及びインターコネクト304を備えることができる。集積回路IC_Nは、ピラー302（例えば、図7A、図7B及び図7Cのピラー302等）によってリードフレーム301（例えば、図7A、図7B及び図7Cのリードフレーム301等）に取り付けることができる。集積回路IC_N、リードフレーム301及びピラー302は、材料（例えば、成形材料、絶縁材料等）によってカプセル化することができる。リードフレーム301は、入力電圧からの電流のルーティングを改善し、それによって電流集中を低減し、PCB100における望ましくない寄生損失を低減又は除去する厚い金属（例えば、150マイクロメートルの銅）を備えることができる。

10

【0044】

いくつかの実施形態では、本開示の様々な図面において繰り返される参照符号及び／又は文字は、互いに関係し、図面が互いに関係することを示すことを理解すべきである。いくつかの他の実施形態において、この繰り返しは、それ自体、論じられる様々な実施形態及び／又は構成間の関係を指示するものではない。

【0045】

図9は、開示される実施形態による、集積回路（IC）の一部（例えば、ICの一部、図7A、図7B、図7C及び図8におけるICの一部等）の断面図である。図9に示すように、PCBの一部は、集積回路IC_N（例えば、図3又は図4の集積回路IC₁又はIC₂、図7A、図7B、図7C、図8の集積回路IC_N等）及びピラー302（例えば、図7A、図7B、図7C及び図8のピラー302等）を有する。ICは、ピラー302をリードフレーム301（例えば、図7A、図7B、図7C、図8のリードフレーム301等）に接合するために、ピラー302の第1の端部上にはんだ306を有することができる。ICは、第1の端部の反対の、ピラー302の第2の端部に、ピラー302（及びリードフレーム301）を集積回路IC_Nに接続するためのアンダーバンプメタライゼーション（UBM）307を備えることができる。

20

【0046】

図9に示すように、集積回路IC_Nは、PCBの様々な構成要素を接続又は結合するための再配線層（RDL）308（例えば、銅金属インターコネクト）及び金属層309を備えることができる。集積回路IC_Nは、UBM307とRDL308との間の絶縁層310（例えば、ポリイミド）、RDL308と絶縁層312（例えば、Si₃N₄）との間の絶縁層311（例えば、ポリイミド）を備えることができ、絶縁層312は、絶縁層311と金属層309との間にあり得る。絶縁層310は、ピラー302及びUBM307の周りに又はその付近に開口部310Aを備えることができ、絶縁層311は、RDL308及び金属層309の周りに又はその付近に開口部311Aを備えることができ、絶縁層312は、金属層309の周りに又はその付近に開口部312Aを備えることができる。集積回路IC_Nは、1又は2以上のデバイス314及び基板315（例えば、シリコン基板）を有するバックエンド（BEOL, back end of line）層313を備えることができる。

30

40

【0047】

いくつかの実施形態では、本開示の様々な図面において繰り返される参照符号及び／又は文字は、互いに関係し、図面が互いに関係することを示すことを理解すべきである。いくつかの他の実施形態において、この繰り返しは、それ自体、論じられる様々な実施形態及び／又は構成間の関係を指示するものではない。

【0048】

図10は、開示される実施形態による、ICの一部（例えば、ICの一部、図7A、図7B、図7C、図8及び図9におけるICの一部等）の上面図である。図10に示

50

すように、PCBの一部は、集積回路IC1、インダクタL1、並びに端子GND1、GND2、GND、LX1及びLX2を備えることができる。上記で説明したように、電流の流れ601は、集積回路IC1からインダクタL1へ方向に示される。図10は、トランジスタMH2及びトランジスタML2を備える、PCBにおいて形成される電界効果トランジスタ(FET)を示す。開示される実施形態は、端子GND1及び端子LX1を用いて形成されているトランジスタを備える。いくつかの実施形態では、このコンバータ(光送受信機)の用途の場合、PCBは、0.4ミリオーム(mOhm)の抵抗を有することができ、リードフレームは、0.4mOhmの抵抗を有することができ、トランジスタは、1.5mOhm又は2.1mOhmの抵抗を有することができ、ダイ金属は、1.5mOhmの抵抗を有することができるが、他の抵抗も可能である。

10

【0049】

いくつかの実施形態では、本開示の様々な図面において繰り返される参照符号及び／又は文字は、互いに関係し、図面が互いに関係することを示すことを理解すべきである。いくつかの他の実施形態において、この繰り返しは、それ自体、論じられる様々な実施形態及び／又は構成間の関係を指示するものではない。

【0050】

図11は、開示される実施形態による、リードフレーム301(例えば、図7A、図7B、図7C、図8、図9のリードフレーム301等)の上面図700である。図11に示すように、リードフレーム301はめっき領域701を含む。リードフレーム301の上面図700は、端子C1、C2及びVX、入力電圧VIN、並びに端子GND、LX1、LX2、P1及びP2へのICの接続について示す。リードフレーム301の上面図700は、トランジスタM11、M12、M21、M22、M31、M32、M41、M42、MH1、MH2、ML1及びML2を示す。リードフレーム301は、入力電圧からの電流のルーティングを改善し、それによって電流集中を低減し、PCB100における望ましくない寄生損失を低減又は除去する厚い金属(例えば、150マイクロメートルの銅)を有することができる。

20

【0051】

いくつかの実施形態では、本開示の様々な図面において繰り返される参照符号及び／又は文字は、互いに関係し、図面が互いに関係することを示すことを理解すべきである。いくつかの他の実施形態において、この繰り返しは、それ自体、論じられる様々な実施形態及び／又は構成間の関係を指示するものではない。

30

【0052】

図12は、開示される実施形態による、リードフレーム301(例えば、図7A、図7B、図7C、図8、図9、図11のリードフレーム301等)の底面図800である。図12に示すように、リードフレーム301は、下半分のエッチング領域801及びむき出しの銅領域(bare copper areas)802を含む。

【0053】

いくつかの実施形態では、本開示の様々な図面において繰り返される参照符号及び／又は文字は、互いに関係し、図面が互いに関係することを示すことを理解すべきである。いくつかの他の実施形態において、この繰り返しは、それ自体、論じられる様々な実施形態及び／又は構成間の関係を指示するものではない。

40

【0054】

図13は、開示される実施形態による、ICの一部(例えば、ICの一部、図7A、図7B、図7C、図8、図9及び図10におけるICの一部等)のトランジスタMH2及びML2の上面図である。図13は、トランジスタMH2及びML2の第1の図900Aと、トランジスタMH2及びML2の第2の図900Bとを含む。第1の図900Aは、集積回路IC1の縁部IC1E、金属層309、中間VXノード、並びに端子LX2及びGND2を示す。第2の図900Bは、集積回路IC1の縁部IC1E、ピラー302、RDL308、ソースS、ドレインD、中間VXノード、並びに端子LX2及びGND2を示す。第1の図900A及び第2の図900Bは、それぞれ、図14に示す部分1

50

001A及び1001Bを含む。

【0055】

いくつかの実施形態では、本開示の様々な図面において繰り返される参照符号及び／又は文字は、互いに関係し、図面が互いに関係することを示すことを理解すべきである。いくつかの他の実施形態において、この繰り返しは、それ自体、論じられる様々な実施形態及び／又は構成間の関係を指示するものではない。

【0056】

図14は、開示される実施形態による、トランジスタMH2及びML2の部分1001A及び1001Bの上面図である。部分1001Aは、金属層309、絶縁層311の開口部311A、絶縁層312Aの開口部312A、ソースS及びドレインDを示す。部分1001Bは、絶縁層310の開口部310A、RDL308、UBM307、ピラー302、ソースS及びドレインDを示す。

10

【0057】

いくつかの実施形態では、本開示の様々な図面において繰り返される参照符号及び／又は文字は、互いに関係し、図面が互いに関係することを示すことを理解すべきである。いくつかの他の実施形態において、この繰り返しは、それ自体、論じられる様々な実施形態及び／又は構成間の関係を指示するものではない。

【0058】

図15は、開示される実施形態による、集積回路（例えば、集積回路IC1、IC2、ICN）のRDL（例えば、RDL308）の上面図1500である。図15に示すように、RDLの上面図1500は、端子C1、C2及びVX、入力電圧VIN、並びに端子PGND、LX1、LX2、P1及びP2への集積回路の接続について示す。RDLの上面図1500は、補償ピンCOMP、イネーブル入力EN、同期ピンSYNC、フィードバックピンFB及びパワーグッドピンPGOODを示す。いくつかの実施形態では、端子PGND及びGNDは同義である。

20

【0059】

図16は、開示される実施形態による、ICの一部（例えば、ICの一部、図7A、図7B、図7C、図8、図9及び図10におけるPCBの一部等）のトランジスタML2の上面図である。図16は、図17、図18、図19、図20及び図21に示す、ソース側、ドレイン側及び部分1601を示す。

30

【0060】

図17は、開示される実施形態による、トランジスタML2の部分1601の上面図である。部分1601は、第1の金属層、第1の金属層と第2の金属層との間のビア、ソースS及びドレインDを示す。

【0061】

図18は、開示される実施形態による、トランジスタML2の部分1601の上面図である。部分1601は、第2の金属層、第2の金属層と第3の金属層との間のビア、ソースS及びドレインDを示す。

【0062】

図19は、開示される実施形態による、トランジスタML2の部分（portion）1601の上面図である。部分1601は、第3の金属層、第3の金属層と第4の金属層との間のビア、ソースS及びドレインDを示す。

40

【0063】

図20は、開示される実施形態による、トランジスタML2の部分1601の上面図である。部分1601は、上部金属層（例えば、金属層309）、絶縁層（例えば、絶縁層310、311及び／又は312）、開口部（例えば、開口部310A、311A及び／又は312A）、ソースS及びドレインDを示す。

【0064】

図21は、開示される実施形態による、トランジスタML2の部分1601の上面図である。部分1601は、図22に示すポリシリコン層、拡散層及び部分（portion）2

50

100を示す。

【0065】

図22は、開示される実施形態による、トランジスタML2の部分2100の上面図である。部分2100は、ゲートG、ソースS及びドレインDを示す。

【0066】

図23は、開示される実施形態による、電力変換のためのPCB(PCB100)の集積回路又はコントローラ(集積回路IC1、IC2、ICN)を備える例示的な装置の回路図2300である。図23に示すように、集積回路又はコントローラは、入力電圧VINと、チャージキャパシタC1、C2、P1及びP2(例えば、フライングキャパシタ)を有するチャージポンプとを備えることができる。集積回路又はコントローラは、端子VX、GND、及びPGNDを備えることができる。集積回路又はコントローラは、補償端子COMP、イネーブル入力EN、同期端子SYNC、フィードバック端子FB、及びパワーグッドピンPGOODを備えることができる。集積回路又はコントローラは、トランジスタMH1、MH2、ML1及びML2を備えることができる。PCB100は、バックコンバータBuck及び出力電圧VOUTを備えることができる。

【0067】

いくつかの実施形態では、本開示の様々な図面において繰り返される参照符号及び／又は文字は、互いに関係し、図面が互いに関係することを示すことを理解すべきである。いくつかの他の実施形態において、この繰り返しは、それ自体、論じられる様々な実施形態及び／又は構成間の関係を指示するものではない。

【0068】

上記の本明細書では、実装態様ごとに変わり得る多数の具体的な詳細に関して実施形態を説明してきた。記載した実施形態に対する特定の適応及び変更がなされ得る。本明細書を検討し、本明細書に開示される本開示を実践することで他の実施形態が当業者に明らかになり得る。また、図に示すステップの順序は、例示目的にすぎず、ステップの特定の順序に限定されることを意図しない。そのため、これらのステップは、同じ方法を実装しながら異なる順序で実行され得ることを当業者であれば理解することができる。

【0069】

明確にするために別個の実施形態の文脈で説明されている明細書の特定の特徴は、単一の実施形態において組み合わせて提供することもできることが理解される。逆に、簡潔にするために単一の実施形態の文脈で説明されている明細書の様々な特徴は、明細書の任意の他の説明される実施形態において、別個に若しくは任意の好適な下位組合せで、又は好適な形で提供することもできる。様々な実施形態の文脈において説明される特定の特徴は、実施形態がこれらの要素なしでは動作不可能でない限り、実施形態の本質的な特徴と解釈されるものではない。

【0070】

実施形態は、以下の項を用いてさらに説明することができる。

1. 電力変換のためのプリント回路基板(PCB)であって、
バックコンバータ回路を有する集積回路と、

集積回路に接続されたインダクタと、

を含む、PCB。

2. 電力変換のためのプリント回路基板(PCB)であって、

複数の集積回路であり、複数の集積回路の各集積回路がバックコンバータ回路を含む、
複数の集積回路と、

複数の集積回路の各集積回路に接続された複数のインダクタと、

を含む、PCB。

3. 複数の集積回路の各集積回路が、対応する端子によって複数のインダクタの各インダクタに接続される、項2のPCB。

4. 各対応する端子が、複数の集積回路の各集積回路の共通の側に配置される、項3のPCB。

5. 複数の集積回路が互いに隣接している、項2のPCB。
6. 複数のインダクタが、複数の集積回路の共通の側において互いに隣接している、項2のPCB。
7. 複数の集積回路の各集積回路が、対応する充電ポンプに接続される、項2のPCB。
8. 各対応する充電ポンプが、1又は2以上のキャパシタを備える、項7のPCB。
9. 項1～8のいずれかのPCBを備える装置。
10. 電力変換のためのプリント回路基板(PCB)であって、
第1の集積回路及び第2の集積回路であり、第1の集積回路及び第2の集積回路が各々、バックコンバータ回路を含み、第1の集積回路及び第2の集積回路が互いに隣接して配置される、第1の集積回路及び第2の集積回路と、
第1の集積回路に接続される第1のインダクタ及び第2のインダクタと、
第2の集積回路に接続される第3のインダクタ及び第4のインダクタと、
を含む、PCB。
11. 第1の集積回路が、第1の対応する端子によって第1のインダクタに接続され、第1の集積回路が、第2の対応する端子によって第2のインダクタに接続され、
第2の集積回路が、第3の対応する端子によって第3のインダクタに接続され、第2の集積回路が、第4の対応する端子によって第4のインダクタに接続される、項10のPCB。
12. 第1の端子、第2の端子、第3の端子及び第4の端子の各々が、複数の集積回路の各集積回路の共通の側に配置される、項10のPCB。
13. 第1のインダクタ、第2のインダクタ、第3のインダクタ及び第4のインダクタが、第1の集積回路及び第2の集積回路の共通の側で互いに隣接している、項10のPCB。
14. 第1の集積回路が第1のチャージポンプに接続され、第2の集積回路が第2のチャージポンプに接続される、項10のPCB。
15. 第1のチャージポンプ及び第2のチャージポンプが各々1又は2以上のキャパシタを備える、項14のPCB。
16. 項10～15のいずれかのPCBを備える装置。

【図面】

【図1】

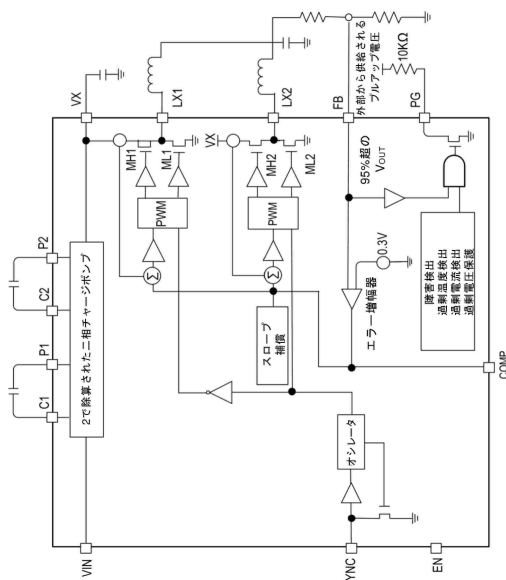


Fig. 1

【図2】

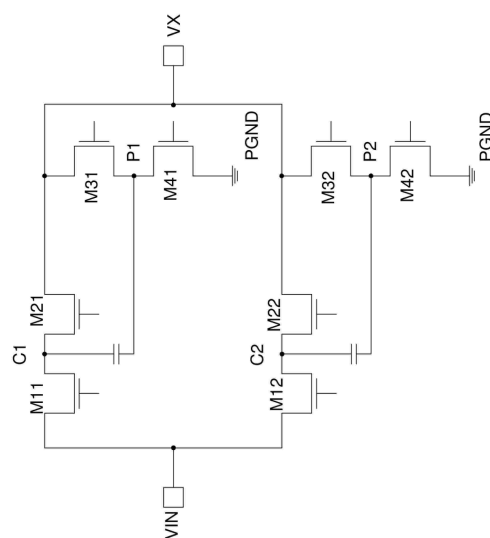


Fig. 2

【図 3】

10

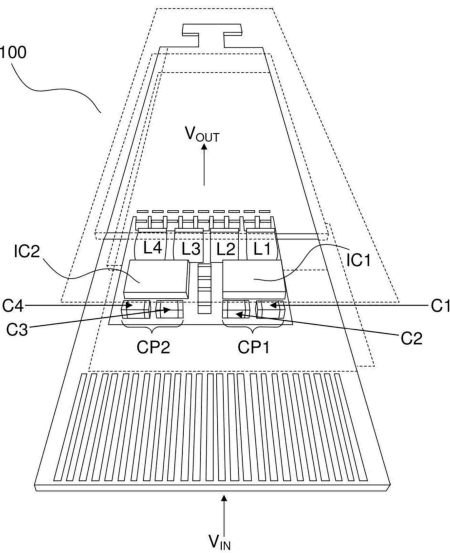


Fig. 3

【図 4】

10

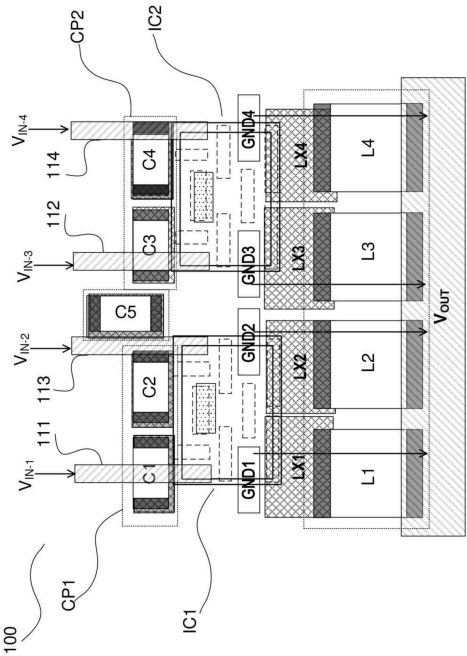


Fig. 4

【図 5】

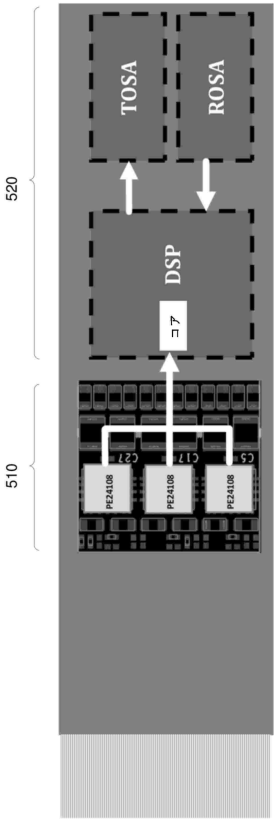


Fig. 5

【図 6】

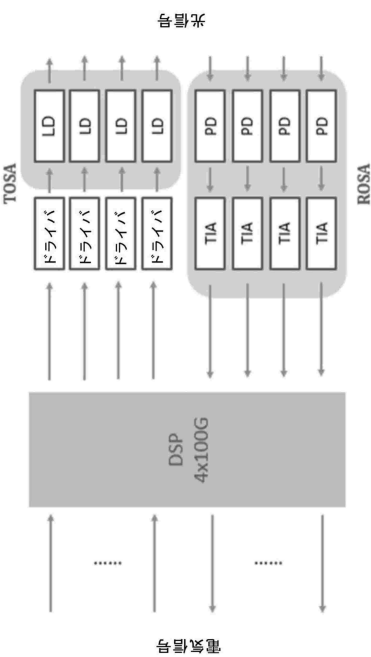


Fig. 6

10

20

30

40

50

【図 7 A】

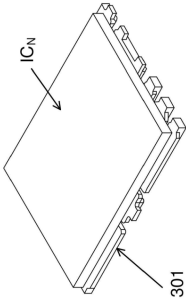


FIG. 7A

【図 7 B】

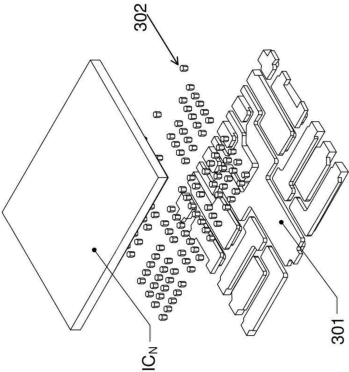


FIG. 7B

【図 7 C】

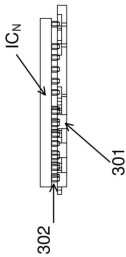


FIG. 7C

【図 8】

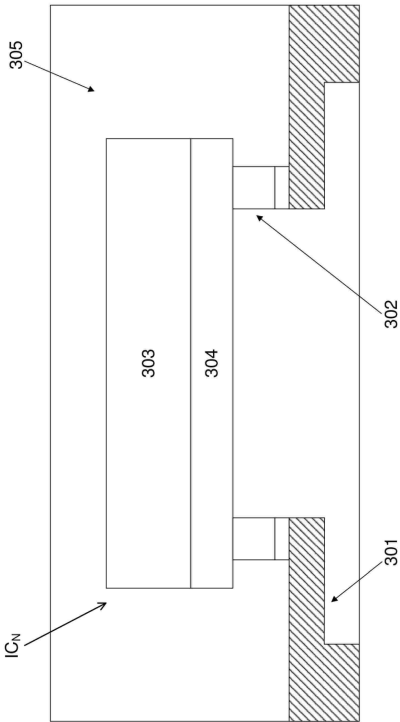


Fig. 8

10

20

30

40

50

【圖 9】

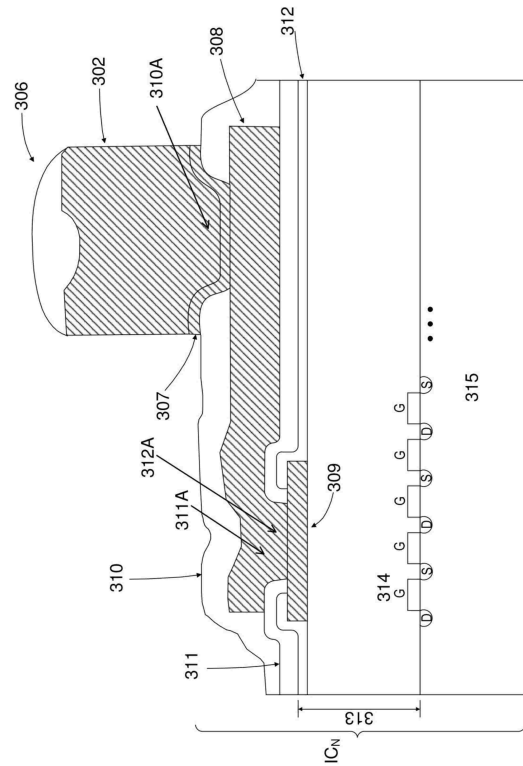


Fig. 9

【図 10】

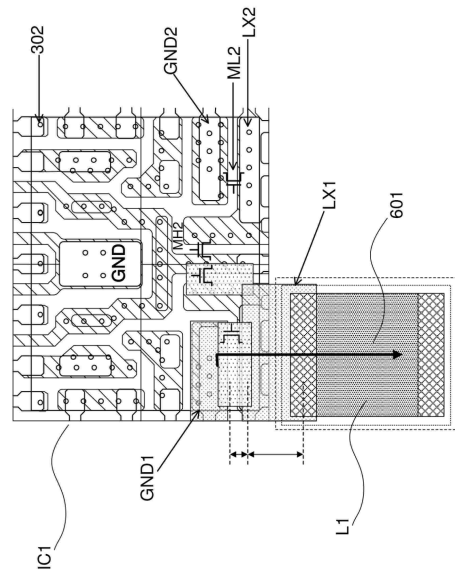


Fig. 10

10

20

【図 1 1】

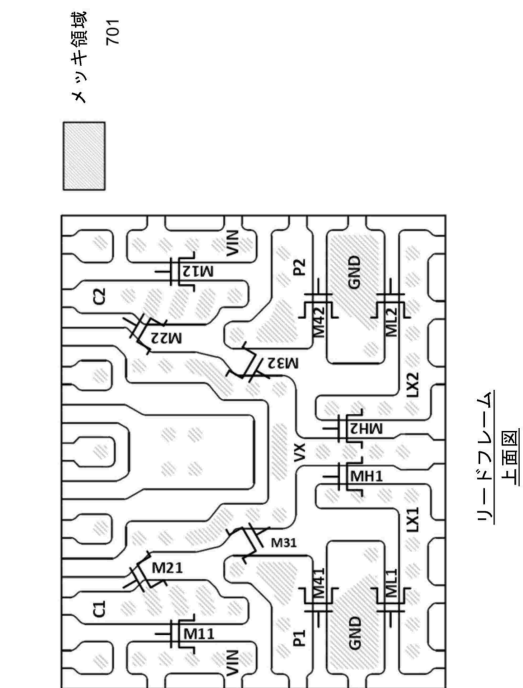


Fig. 11

【圖 12】

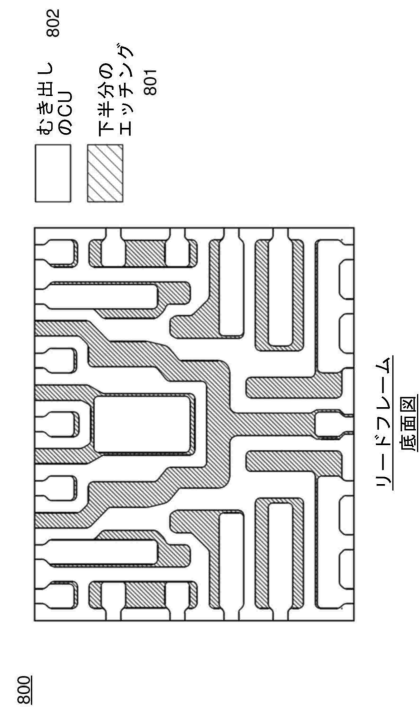


Fig. 12

30

40

50

【図 17】

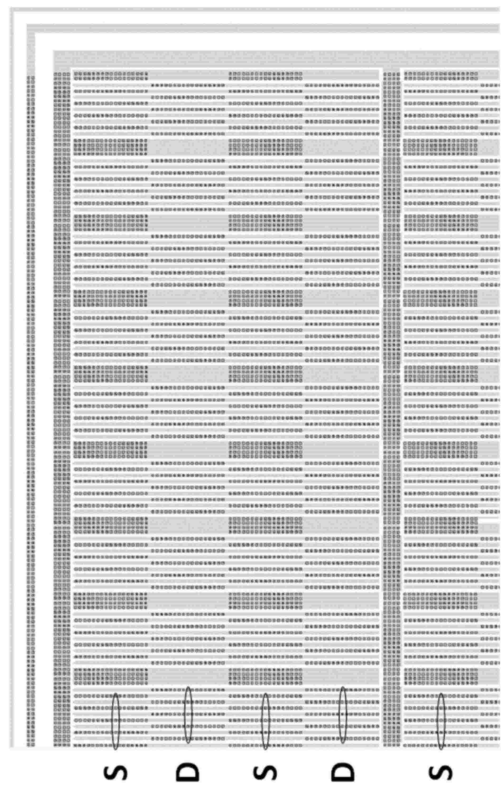


Fig. 17

【図 18】

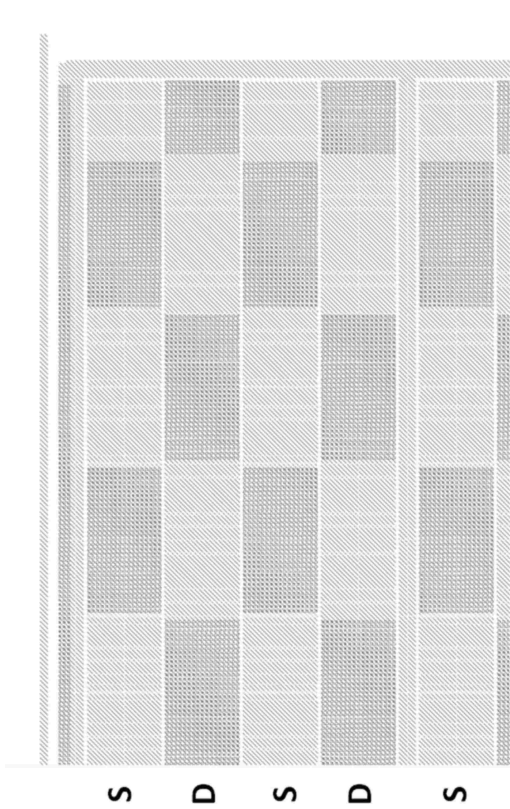


Fig. 18

【図 19】

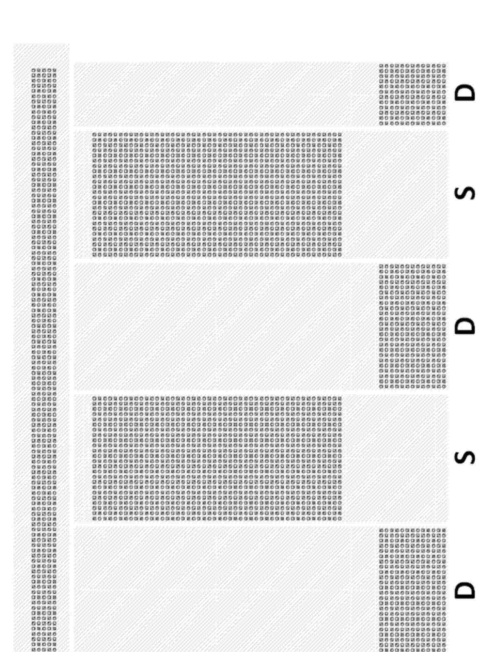


Fig. 19

【図 20】

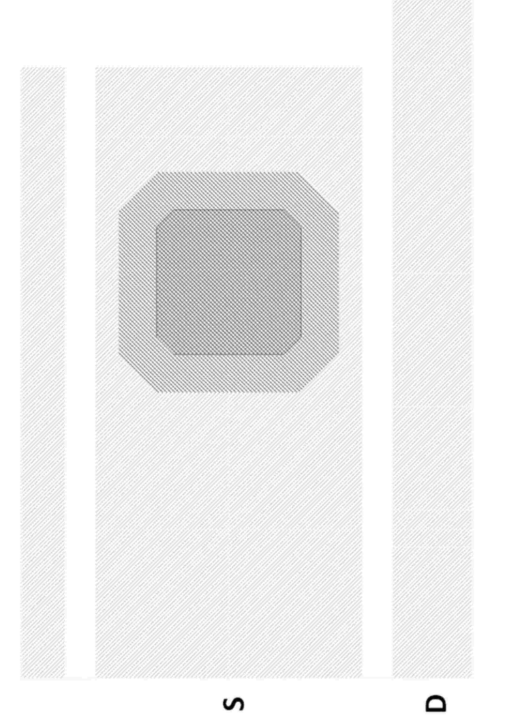


Fig. 20

10

20

30

40

50

【図 2 1】

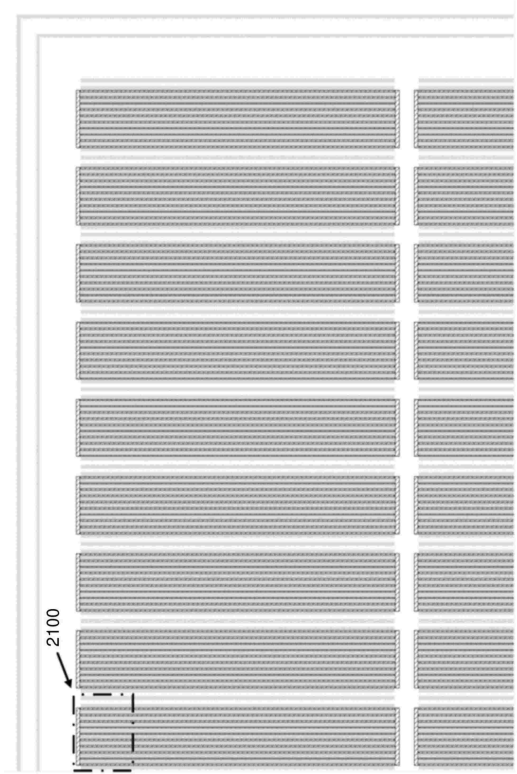


Fig. 21

【図 2 2】

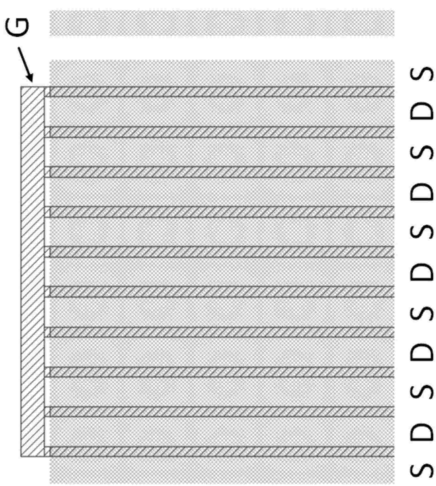


Fig. 22

【図 2 3】

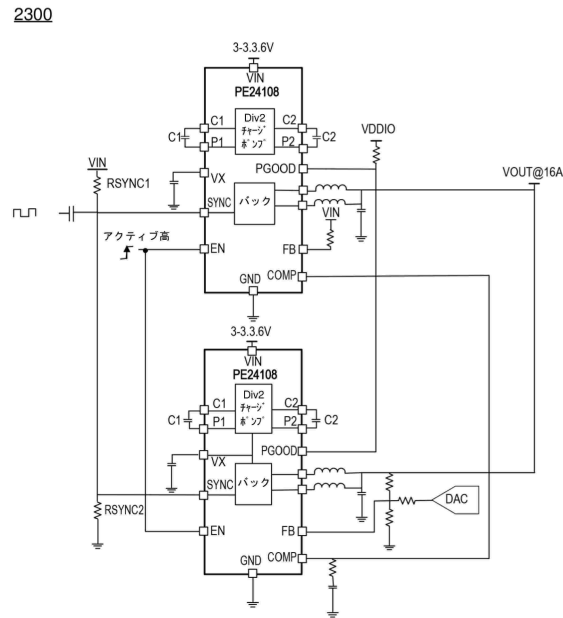


Fig. 23

10

20

30

40

50

【手続補正書】

【提出日】令和6年1月19日(2024.1.19)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

電力変換のためのプリント回路基板（PCB）であって、

10

複数の集積回路であって、前記複数の集積回路の各集積回路がバックコンバータ回路を有する、前記複数の集積回路と、

複数のインダクタであって、前記複数のインダクタの各インダクタが前記複数の集積回路のそれぞれの集積回路に接続され、前記複数の集積回路の各集積回路が対応する端子によって前記複数のインダクタの各インダクタに接続され、各対応する端子が前記複数の集積回路の各集積回路の共通の側に配置される、前記複数のインダクタと

を備える、前記PCB。

【請求項2】

前記複数の集積回路が互いに隣接している、請求項1に記載のPCB。

【請求項3】

20

前記複数のインダクタが、前記複数の集積回路の共通の側において互いに隣接している、請求項1又は2に記載のPCB。

【請求項4】

前記複数の集積回路の各集積回路が、対応する充電ポンプに接続される、請求項1～3のいずれかに記載のPCB。

【請求項5】

各対応する充電ポンプが、1又は2以上のキャパシタを備える、請求項4に記載のPCB。

【請求項6】

前記複数の集積回路の共通の側に、互いに隣接する複数のアース端子をさらに含み、前記複数のアース端子が、前記複数のインダクタにさらに隣接する、請求項1～5のいずれかに記載のPCB。

30

【請求項7】

前記複数のアース端子にルーティングされ、前記PCBの幅にわたって前記それぞれの対応する端子及び前記複数のインダクタにさらにルーティングされる入力電圧を受けるように構成される、請求項6に記載のPCB。

【請求項8】

電力変換のためのプリント回路基板（PCB）であって、

第1の集積回路及び第2の集積回路であり、前記第1の集積回路及び前記第2の集積回路が各々、バックコンバータ回路を含み、前記第1の集積回路及び前記第2の集積回路が互いに隣接して配置される、第1の集積回路及び第2の集積回路と、

40

前記第1の集積回路に接続される第1のインダクタ及び第2のインダクタと、

前記第2の集積回路に接続される第3のインダクタ及び第4のインダクタと、

を備え、

前記第1の集積回路が、第1の対応する端子によって前記第1のインダクタに接続され、前記第1の集積回路が、第2の対応する端子によって前記第2のインダクタに接続され、前記第2の集積回路が、第3の対応する端子によって前記第3のインダクタに接続され、前記第2の集積回路が、第4の対応する端子によって前記第4のインダクタに接続され、前記第1の端子、前記第2の端子、前記第3の端子及び前記第4の端子の各々が、前記複数の集積回路の各集積回路の共通の側に配置される、前記PCB。

50

【請求項 9】

前記第 1 のインダクタ、前記第 2 のインダクタ、前記第 3 のインダクタ及び前記第 4 のインダクタが、前記第 1 の集積回路及び前記第 2 の集積回路の共通の側で互いに隣接している、請求項 8 に記載の P C B。

【請求項 10】

前記第 1 の集積回路が第 1 のチャージポンプに接続され、前記第 2 の集積回路が第 2 のチャージポンプに接続される、請求項 8 又は 9 に記載の P C B。

【請求項 11】

前記第 1 のチャージポンプ及び前記第 2 のチャージポンプが各々 1 又は 2 以上のキャパシタを備える、請求項 10 に記載の P C B。

10

【請求項 12】

第 1 のアース端子が前記第 1 の端子に接続され、第 2 のアース端子が前記第 2 の端子に接続され、第 3 のアース端子が前記第 3 の端子に接続され、第 4 のアース端子が前記第 4 の端子に接続される、請求項 8 ～ 11 のいずれかに記載の P C B。

【請求項 13】

前記第 1、第 2、第 3 及び第 4 のアース端子にルーティングされ、前記 P C B の幅にわたって前記第 1、第 2、第 3 及び第 4 の端子及びインダクタそれぞれにさらにルーティングされる入力電圧を受けるように構成される、請求項 12 に記載の P C B。

【請求項 14】

電力変換のためのプリント回路基板（P C B）であって、
バックコンバータ回路を含む集積回路と、
前記集積回路に接続された複数のインダクタであって、前記集積回路が、対応する端子によって前記複数のインダクタの各インダクタに接続され、各対応する端子が複数の集積回路の各集積回路の共通の側に配置される、複数のインダクタと、
を備える、前記 P C B。

20

【請求項 15】

請求項 1 ～ 14 のいずれかに記載の P C B を備える装置。

30

40

50

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2023/064783

A. CLASSIFICATION OF SUBJECT MATTER

INV. H05K1/02

ADD. H02M3/155 H02M3/158 H01L25/11 H05K1/18 H05K3/34

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 10 504 848 B1 (PARTO PARVIZ [US]) 10 December 2019 (2019-12-10) figure 6 column 25, line 20 - line 27 column 25, line 32 - line 36 column 19, line 37 - line 44 column 19, line 48 - line 50 -----	1-15
A	WO 2018/148218 A1 (FARADAY SEMI LLC [US]) 16 August 2018 (2018-08-16) the whole document -----	1-15

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

11 July 2023

Date of mailing of the international search report

19/07/2023

Name and mailing address of the ISA/

European Patent Office, P.B. 5618 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Engel, Lukas

INTERNATIONAL SEARCH REPORT				International application No PCT/US2023/064783	
Information on patent family members					
Patent document cited in search report		Publication date	Patent family member(s)		Publication date
US 10504848	B1	10-12-2019	US 10504848	B1	10-12-2019
			US 2020350255	A1	05-11-2020

WO 2018148218	A1	16-08-2018	CN 110383661	A	25-10-2019
			CN 115765433	A	07-03-2023
			JP 7221221	B2	13-02-2023
			JP 2020511110	A	09-04-2020
			WO 2018148218	A1	16-08-2018

10

20

30

40

50

フロントページの続き

,MC,ME,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,
ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,C
O,CR,CU,CV,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IQ,I
R,IS,IT,JM,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,MG,MK,MN,MU,MW
,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL
,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

(74)代理人 100221958

弁理士 篠田 真希恵

(74)代理人 100192441

弁理士 渡辺 仁

(72)発明者 シュチェジンスキー グレゴリー

アメリカ国 9 2 1 2 1 カリフォルニア サン ディエゴ キャロル パーク ドライブ 9 3 6 9

(72)発明者 ユー ティム ウェン ファイ

アメリカ国 9 2 1 2 1 カリフォルニア サン ディエゴ キャロル パーク ドライブ 9 3 6 9

(72)発明者 ウェルド ジョン

アメリカ国 9 2 1 2 1 カリフォルニア サン ディエゴ キャロル パーク ドライブ 9 3 6 9

F ターム (参考) 5H730 AS05 BB01 BB13 BB57 BB82 BB88 DD04 EE13 EE59 FD01

ZZ04 ZZ11 ZZ12