



(12) 发明专利

(10) 授权公告号 CN 101162755 B

(45) 授权公告日 2011.04.13

(21) 申请号 200610147028.3

G11C 11/16 (2006.01)

(22) 申请日 2006.11.13

(56) 对比文件

(30) 优先权数据

328845/2005 2005.11.14 JP

276259/2006 2006.10.10 JP

CN 1542844 A, 2004.11.03, 说明书第 6 页第 19 行至第 8 页第 12 行、附图 1A.

全文.

US 6174737 B1, 2001.01.16, 全文.

US 2004/0063223 A1, 2004.04.01, 说明书第 0009 段至第 0025 段、附图 1-8.

(73) 专利权人 瑞萨电子株式会社

地址 日本神奈川县

审查员 王晓峰

(72) 发明人 古田阳雄 松田亮史 上野修一

黑岩丈晴

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华

(51) Int. Cl.

H01L 43/08 (2006.01)

H01L 43/12 (2006.01)

H01L 27/22 (2006.01)

H01L 27/105 (2006.01)

H01L 21/822 (2006.01)

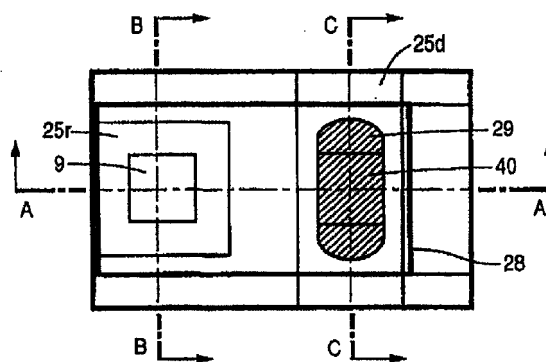
权利要求书 3 页 说明书 18 页 附图 48 页

(54) 发明名称

半导体器件和制造半导体器件的方法

(57) 摘要

一种半导体器件及其制造方法, 这种半导体器件具有包括 TMR 膜的存储单元, 利用它不会使存储器精度退化。在平面图中数字线的形成区的部分中的 TMR 下电极上相对应的区内, 选择地形成 TMR 元件 (TMR 膜、TMR 上电极)。TMR 上电极由 30nm 至 100nm 的 Ta 形成, 并且在制造过程时还起硬掩模的作用。在 TMR 元件的整个表面和 TMR 下电极的上表面上形成由 LT-SiN 形成的夹层绝缘膜, 并且形成覆盖包括 TMR 下电极的侧表面的整个表面而且包括 LT-SiN 的夹层绝缘膜。形成覆盖整个表面而且包括 SiO₂ 的夹层绝缘膜。



1. 一种半导体器件，包括：

在半导体衬底 (100) 上方的存储单元区域中形成的存储单元 (MC)，并且包括下电极 (28)、隧道磁致电阻 (TMR) 膜 (29) 以及上电极 (31) 的层叠结构，所述 TMR 膜和所述上电极在所述下电极的部分上方形成；

抗氧化膜 (30)，至少覆盖所述下电极的上表面和所述 TMR 膜的侧表面；

在所述抗氧化膜上方形成的第一氧化硅膜 (33)；

在下电极之下形成的读线 (25r)；

在所述读线之上并且所述下电极之下形成的夹层绝缘膜 (26a, 26b)，其具有暴露所述读线的上表面的第一开口 (9)；

在所述读线上方的第一开口中形成的第一金属插件 (10)，其电连接到所述读线和所述下电极；并且

其中所述夹层绝缘膜包括第一夹层绝缘膜 (26a) 以及形成在所述第一夹层绝缘膜上方的第二夹层绝缘膜 (26b)，

所述第一夹层绝缘膜包括与所述第二夹层绝缘膜不同的材料，并且

所述抗氧化膜和所述第一夹层绝缘膜包括相同的材料。

2. 按照权利要求 1 的半导体器件，其中：

所述抗氧化膜包括上层膜 (32) 和下层膜 (30)，并且

所述上层膜覆盖所述下电极的侧表面以及所述下层膜的侧表面。

3. 按照权利要求 1 的半导体器件，其中：

所述上电极包括包含了与所述下电极相同的材料的传导硬掩膜层，并且其厚度为 30nm 至 100nm。

4. 按照权利要求 1 的半导体器件，其中

所述第一夹层绝缘膜和所述抗氧化膜包括氮化硅膜；并且

所述第二夹层绝缘膜包括氧化硅膜。

5. 按照权利要求 1 的半导体器件，进一步包括：

在所述存储单元区域中的存储单元上方形成的位线 (34)，电连接到所述上电极；

在外围区域中、并且在与所述读线相同的层中形成的第一布线 (25)；

形成在所述第一布线上方并且形成在与所述第一夹层绝缘膜相同的层中的第三夹层绝缘膜 (26a)，其具有暴露所述第一布线的上表面的第三开口 (50)；

形成在所述第三夹层绝缘膜上方并且形成在与所述第二夹层绝缘膜相同的层中的第四夹层绝缘膜 (26b)，其具有在所述第三开口上方的第四开口 (50)；

形成在所述第四夹层绝缘膜上方的第二氧化硅膜 (33)，其具有在所述第四开口上方的第五开口 (49)；

形成在所述第三、第四、第五开口 (49, 50) 中的第三金属插件 (46)；

形成在所述第二氧化硅膜上方并且形成在与所述位线相同的层中的第二布线 (34)，其通过所述第三金属插件与所述第一布线电连接；

其中所述第一夹层绝缘膜 (26a)、所述第三夹层绝缘膜 (26a) 以及所述抗氧化膜 (30) 包括氮化硅膜；

所述第二夹层绝缘膜包括氧化硅膜。

6. 按照权利要求 5 的半导体器件，进一步包括：

在形成在所述第一氧化硅膜和所述抗氧化膜中的第二开口 (39, (40)) 中形成的第二金属插件 (40, (34))，所述第二金属插件电连接所述上电极和所述位线。

7. 一种制造半导体器件的方法，包括步骤：

(a) 在半导体衬底上方的存储单元区域中形成读线 (25r)；

(b) 在所述读线上方形成夹层绝缘膜 (26a, 26b)；

(c) 形成穿透所述读线上方的所述夹层绝缘膜的第一通孔 (9)；

(d) 形成嵌入所述第一通孔的第一金属插件 (10)；

(e) 在包括所述第一通孔的所述夹层绝缘膜上方形成包括下电极 (28)、TMR 膜 (29) 以及上电极 (30) 的层叠结构；

(f) 对所述上电极和所述 TMR 膜层进行构图；

(g) 形成覆盖所述下电极、所述上电极和所述 TMR 膜的第一抗氧化膜；

(h) 在所述第一抗氧化膜 (30) 覆盖所述上电极和所述 TMR 膜之后，对所述第一抗氧化膜和所述下电极进行构图；

(i) 在所述第一抗氧化膜上方形成第一氧化硅膜 (33)；

其中所述层叠结构中的下电极 (28) 通过所述第一金属插件 (10) 电连接到所述读线 (25r)；

其中所述夹层绝缘膜包括第一夹层绝缘膜 (26a) 以及形成在所述第一夹层绝缘膜上方的第二夹层绝缘膜 (26b)，

所述第一夹层绝缘膜包括与所述第二夹层绝缘膜不同的材料，并且

所述抗氧化膜和所述第一夹层绝缘膜包括相同的材料。

8. 按照权利要求 7 的制造半导体器件的方法，进一步包括步骤：

步骤 (h) 之后、步骤 (i) 之前的步骤 (j)，形成覆盖所述第一抗氧化膜的侧表面和所述下电极的侧表面的第二抗氧化膜；

其中所述步骤 (i) 包括在所述第二抗氧化膜上方形成第一氧化硅膜的步骤。

9. 按照权利要求 7 的制造半导体器件的方法，其中：

所述上电极包括与所述下电极相同的传导材料，并且其厚度为 30nm 至 100nm；并且所述步骤 (f) 包括步骤：

(f-1) 对所述上电极层进行构图；和

(f-2) 将所述上电极用作硬掩模层，对所述 TMR 膜层进行构图。

10. 按照权利要求 7 的制造半导体器件的方法，其中：

所述抗氧化膜包括在低于或等于 300°C 下形成的氮化硅膜。

11. 按照权利要求 7 的制造半导体器件的方法，其中：

所述第一夹层绝缘膜和所述抗氧化膜包括氮化硅膜；并且

所述第二夹层绝缘膜包括氧化硅膜。

12. 按照权利要求 7 的制造半导体器件的方法，其中

所述步骤 (a) 包括在外围区域形成第一布线 (25)；

所述步骤 (b) 包括在所述外围区域形成所述夹层绝缘膜 (26a, 26b)；

所述步骤 (i) 包括在所述外围区域中的所述夹层绝缘膜上方形成所述第一氧化硅膜

(33)。

13. 按照权利要求 7 的制造半导体器件的方法，进一步包括步骤：

在步骤 (j) 之后的步骤 (k)，在所述外围区域中的所述第一布线上方形形成穿透所述第一氧化硅膜 (33) 的第二通孔 (49)；

(l) 在所述第二通孔上方形成穿透所述夹层绝缘膜 (26) 的第三通孔 (50)；

(m) 形成嵌入所述第二通孔和所述第三通孔的第二金属插件 (46)；

(n) 形成与所述存储单元区域中的所述上电极电连接的位线 (34) 和通过外围区域中的所述第二金属插件 (46) 与所述第一布线 (25) 电连接的第二布线 (34)。

半导体器件和制造半导体器件的方法

[0001] 相关申请及交叉引用

[0002] 本申请要求 2005 年 11 月 14 日提交的日本专利申请 No.2005-328845, 和 2006 年 10 月 10 日提交的 No.2006-276259 的优先权, 其内容在此通过参考引入本申请。

技术领域

[0003] 本发明涉及一种具有如 TMR(隧道磁致电阻)那样的存储器件的半导体器件, 以及其制造方法。

背景技术

[0004] MRAM 是一种通过用电子具有的自旋来存储信息而保持数据的存储器, 并且形成电路以便可能进行随机存取。有一种使用 GMR(巨型磁致电阻)、TMR 和 CMR(庞大磁致电阻)作为基本物理现象的类型。

[0005] TMR 是一种使用以两层磁膜将一个绝缘层夹在中间的结构中所观察的电阻变化现象的类型。在将一个绝缘层夹在中间的上和下磁层的自旋状态下, 流过上磁层-绝缘层-底磁层的电流(即 TMR 的电阻)发生变化。当上和下磁层的两个自旋状态平行时, 电阻变小, 而如果为逆平行时, 电阻变大。电阻的这个变化能执行信息存储。有作为文献的专利参考 1, 它公开了具有这样 TMR 元件的磁存储设备, 以及其制造方法。还有称为如 TMR 元件相同结构的元件的 MTJ(磁致隧道结)元件的结构。在下文, “TMR 元件”不仅包括 TMR 元件, 而且在本申请说明书内广泛地包括 MTJ 元件。

[0006] [专利参考 1] 日本未审专利公开 No.2003-243630

[0007] 发明内容

[0008] 然而, 当对形成 TMR 元件的 TMR 膜(将一个绝缘层夹在中间的上和下磁层)的下引出电极(LS(局部带))进行处理时, 有一个问题, 即发生通过 TMR 膜的上侧和下侧的磁层的漏泄电流, 并且变得不可能使 TMR 膜固定为预定电阻变化率, 而且正常存储操作变得不可能, 并且通过对 TMR 膜的上和下磁层的沉积材料进行蚀刻, 由于外界物质的沉积, 将使存储器精度退化。

[0009] 本发明为了解决上述问题而实现。它致力获得具有一种存储单元的半导体器件, 以及其制造方法, 这种存储单元包括 TMR 膜, 利用它不会使存储器精度退化。

[0010] 按照关于本发明的权利要求 1 的半导体器件具有一个存储单元, 它在一个半导体衬底上方形成, 并且包括一个 TMR 膜及一个上电极和一个下电极的层叠结构, 上电极在下电极上方的部分中形成; 一个对于存储单元至少覆盖下电极的上表面和 TMR 膜的侧表面而形成的抗氧化膜; 和一个在抗氧化膜上方形成的氧化膜。

[0011] 按照关于本发明的权利要求 6 的半导体器件具有一个存储单元, 它在一个半导体衬底上方形成, 并且包括一个 TMR 膜及一个上电极和一个下电极的层叠结构, 上电极在下电极上方的部分中形成; 一个在平面图中与 TMR 膜分开预定距离并且在下电极下方形成的读线; 和一个在读线上方形成并且将读线和下电极电连接的金属插件。

[0012] 按照关于本发明的权利要求 8 的半导体器件具有一个存储单元，它在一个半导体衬底上方形成，并且包括一个 TMR 膜及一个上电极和一个下电极的层叠结构，上电极在下电极上方的部分中形成；其中上电极是一个使用与下电极相同的材料形成的硬掩模层，它具有导电性，并且它的厚度为 30nm 至 100nm。

[0013] 按照关于本发明的权利要求 9 的半导体器件的制造方法具有步骤：(a) 在一个半导体衬底上方形成一个 TMR 膜及一个上电极和一个下电极的层叠结构，上电极在下电极上方的部分中形成；(b) 使上电极和 TMR 膜构图；(c) 形成一个覆盖下电极、上电极和 TMR 膜的第一抗氧化膜；(d) 在第一抗氧化膜覆盖上电极和 TMR 膜之后，使第一抗氧化膜和下电极构图；和 (e) 在整个表面中形成一个氧化膜。

[0014] 按照关于本发明的权利要求 14 的半导体器件的制造方法具有步骤：(a) 在一个半导体衬底上方形成一个读线；(b) 在读线上方形成一个夹层绝缘膜；(c) 形成一个穿透读线上方的夹层绝缘膜的通孔；(d) 形成一个嵌入通孔的金属插件；和 (e) 在包括通孔的夹层绝缘膜上方形成一个下电极、一个 TMR 膜和一个上电极的层叠结构；其中下电极通过金属插件与读线电连接，而且还包括步骤：(f) 使上电极和 TMT 膜构图；其中使构图之后的 TMR 膜形成为在平面图中与读线分开预定距离。

[0015] 按照关于本发明的权利要求 16 的半导体器件的制造方法具有步骤：(a) 在半导体衬底上方形成一个下电极、一个 TMR 膜和一个上电极的层叠结构；(b) 使上电极构图；和 (c) 将上电极用作一个硬掩模层，使 TMR 膜构图。

[0016] 按照关于本发明的权利要求 17 的半导体器件具有一个第一夹层绝缘膜，其在一个半导体衬底之上形成；一个下层布线，穿透第一夹层绝缘膜并且选择地形成；和一个第二夹层绝缘膜，在包括下层布线的第一夹层绝缘膜上方形成；其中第二夹层绝缘膜具有一个通孔，在那里下层布线的至少一部分构成底部；而且还包括一个下电极，在通孔的底部和侧表面及在第二夹层绝缘膜上方形成；其中下电极通过通孔与下层布线电连接；而且还包括一个 TMR 元件，在下电极上方的部分上方选择地形成，并且包括一个 TMR 膜和一个上电极的层叠结构；和一个绝缘膜，在包括通孔的内部的下电极上方形成；其中绝缘膜和下电极两者沿一致方向在第二夹层绝缘膜上方具有一个侧表面；并且下电极的侧表面沿一致方向与绝缘膜的侧表面相对应，或下电极的侧表面由绝缘膜压下。

[0017] 按照关于本发明的权利要求 26 的半导体器件的制造方法具有步骤：(a) 在一个半导体衬底之上形成一个第一夹层绝缘膜；(b) 选择地形成一个下层布线，穿透第一夹层绝缘膜；(c) 在包括下层布线的第一夹层绝缘膜上方形成一个第二夹层绝缘膜；和 (d) 形成一个通孔，穿透下层布线上方的第二夹层绝缘膜；其中通孔的底部成为下层布线的至少一部分；而且还包括步骤：(e) 在通孔的底部和侧表面及第一夹层绝缘膜上方形成一个下电极；其中下电极通过通孔与下层布线电连接；而且还包括步骤：(f) 在第二夹层绝缘膜上方的下电极上方选择地形成一个 TMR 元件，用作一个 TMR 膜和一个上电极的层叠结构；(g) 在包括通孔的下电极上方形成一个绝缘膜；(h) 在绝缘膜上方形成一个构图的抗蚀剂；(i) 通过将抗蚀剂用作掩模而同时蚀刻下电极和绝缘膜，并且使下电极和绝缘膜构图；和 (j) 除去抗蚀剂。

[0018] 因为至少覆盖下电极的上表面和 TMR 膜的侧表面，并且形成抗氧化膜，所以当

在一个抗氧化膜上形成一个氧化膜时，按照权利要求 1 的半导体器件能确实地抑制下电极的上表面和 TMR 膜的侧表面氧化。结果，能得到具有一个 TMR 膜的存储单元，利用它不会使存储器精度退化。

[0019] 因为读线和下电极通过一个金属插件电连接，所以与读线和下电极直接电连接的情况比较，按照权利要求 6 的半导体器件执行这样效果，能以足够平度形成一个下电极，并且能以足够精度形成一个存储单元。

[0020] 按照权利要求 8 的半导体器件能将一个上电极用作一个硬掩模，并且因为单独地形成一个硬掩模的步骤变得不必要，所以它能致力于简化制造过程。因为以 30nm 至 100nm 相对薄的厚度形成上电极，所以能致力于使在上电极形成时施加于 TMR 膜的应力得到释放，并且 TMR 膜的磁性不降级。因为使用相同材料形成上电极和下电极，所以当将上电极用作硬掩模层而蚀刻 TMR 膜时，下电极能操作为蚀刻阻止器。

[0021] 按照权利要求 9 的半导体器件的制造方法在步骤 (c) 形成第一抗氧化膜，其至少覆盖下电极的上表面和侧表面及 TMR 膜的侧表面。因此，当在步骤 (e) 在第一抗氧化膜上形成一个氧化膜时，它能确实地抑制下电极的上表面和侧表面及 TMR 膜的侧表面氧化。结果，能得到具有一个 TMR 膜的存储单元，利用它不会使存储器精度退化。

[0022] 因为在按照权利要求 14 的半导体器件的制造方法中，在步骤 (d) 将金属插件嵌入通孔，所以执行这样的效果，能在一个夹层绝缘膜上以足够的平度形成一个下电极，而不受通孔的影响，并且能以足够精度形成一个存储单元。

[0023] 在步骤 (c)，因为通过将一个上电极用作一个硬掩模层，使单独地形成一个硬掩模的步骤变得不必要，所以按照权利要求 16 的半导体器件的制造方法能致力于简化制造过程。因为以 30nm 至 100nm 的相对薄的厚度形成上电极，所以能致力于使在上电极形成时施加于 TMR 膜的应力得到释放，并且 TMR 膜的磁特性不降级。因为使用相同材料形成上电极和下电极，所以当将上电极用作硬掩模层而蚀刻 TMR 膜时，下电极能操作为一个蚀刻阻止器。

[0024] 关于按照本发明的权利要求 17 的半导体器件，在一个通孔中的下电极上形成绝缘膜。因此，因为在下电极处理之后的制造过程中，通过与处理绝缘膜同时地处理下电极，使通孔中的下电极受到绝缘膜的保护，所以能避免对通孔下方的下层布线的损坏，并且能致力于提高产量。

[0025] 因为下电极的侧表面沿一致方向与绝缘膜的侧表面相对应，或变为从绝缘膜压下，所以即使同时处理绝缘膜和下电极，也不会对下电极的工作形状有不良影响。

[0026] 在步骤 (i)，按照本发明的权利要求 26 的半导体器件的制造方法通过将抗蚀剂用作掩模而同时地蚀刻下电极和绝缘膜，并且使下电极和绝缘膜构图。因此，因为在步骤 (i) 执行之后通孔中的下电极受到绝缘膜保护，所以在步骤 (j) 运行阶段，能避免对通孔下方的下层布线的损坏，并且能致力于提高所完成半导体器件的产量。

附图说明

[0027] 图 1 是表示 MRAM 的存储单元部分的平面结构的平面图，它是本发明的实施例 1 的半导体器件；

[0028] 图 2 是表示图 1 的 A-A 截面的横截面图；

- [0029] 图 3 是表示实施例 1 的 MRAM 的全部层中的截面结构的横截面图；
- [0030] 图 4(a) 至图 26(d) 是表示实施例 1 的 MRAM 的制造方法的横截面图；
- [0031] 图 27 是表示 MRAM 的存储单元部分的平面结构的平面图，它是本发明的实施例 2 的半导体器件；
- [0032] 图 28 是表示图 27 的 A-A 截面的横截面图；
- [0033] 图 29 是表示实施例 2 的 MRAM 的全部层中的截面结构的横截面图；
- [0034] 图 30(a) 至图 44(d) 是表示实施例 2 的 MRAM 的制造方法的横截面图；
- [0035] 图 45 是表示 MRAM 结构的轮廓的说明图；
- [0036] 图 46 是表示与 MRAM 的存储器件、上 Cu 布线和下 Cu 布线的连接关系的细节的横截面图；
- [0037] 图 47 至图 49 是表示用于获得通孔 LS 连接结构的 LS 步骤的横截面图；
- [0038] 图 50 是表示 MRAM 的存储单元部分的结构横截面图，它是本发明的实施例 3 的半导体器件；
- [0039] 图 51 是表示实施例 3 的半导体器件的效果的横截面图；
- [0040] 图 52 是表示 TMR 元件的抗磁力与绝缘膜的形成温度的曲线图；
- [0041] 图 53 是表示 TMR 元件的各向异性磁场与绝缘膜的形成温度的曲线图；
- [0042] 图 54 和图 55 是表示实施例 3 的半导体器件的效果的横截面图；
- [0043] 图 56 是表示实施例 3 的其他方式的横截面图；和
- [0044] 图 57 至图 63(b) 是表示实施例 3 的 MRAM 的制造方法的部分的横截面图。
- [0045] 具体实施方式
- [0046] (实施例 1)
- [0047] (结构)
- [0048] 图 1 是表示 MRAM 的存储单元部分的平面结构的平面图，它是本发明的本实施例 1 的半导体器件，以及图 2 是表示图 1 的 A-A 截面的横截面图。
- [0049] 如图 1 所示，TMR 膜 29 假定为纵长形，其中在平面图中四角为圆形。如图 2 所示，在 TMR 膜 29 之下形成 TMR 下电极 28，并且在 TMR 膜 29 上形成 TMR 上电极 31。存储单元 MC 包括这些 TMR 下电极 28、TMR 膜 29 和 TMR 上电极 31。为了说明方便，在本说明书中可能将 TMR 膜 29 和 TMR 上电极 31 合并，并且可能将它表达为 TMR 元件 5。TMR 膜 29 例如包括从上部开始的一个铁磁层、一个非磁层和一个铁磁层的层叠结构。铁磁层包括磁膜，它例如包括 NiFe、CoFeB 和 CoFe，以及非磁层例如包括铝膜或氧化镁。
- [0050] 图 3(a)、图 3(b) 和图 3(c) 是表示实施例 1 的 MRAM 的全部层的截面结构的横截面图。图 3(a) 与图 1 的 A-A 截面等效，图 3(b) 与图 1 的 B-B 截面等效，以及图 3(c) 与图 1 的 C-C 截面等效。在下文，参考图 1 至图 3(c) 说明实施例 1 的 MRAM 的结构。
- [0051] 在半导体衬底 100 的上层部分中选择地形成元件隔离区 2，并且元件隔离区 2 与 2 之间的阱区 1w 起晶体管形成区的作用。在上述晶体管形成区中，跨越沟道区 1c 形成一对源 / 漏区 14 和 14，在沟道区 1c 上层叠栅绝缘膜 11 和栅电极 12，以及在栅电极 12 的侧表面中形成 2 层结构的侧壁 13。分别在源 / 漏区 14 和栅电极 12 上形成硅化钴区 15。
- [0052] 通过这些沟道区 1c、栅绝缘膜 11、栅电极 12、侧壁 13 和源 / 漏区 14，形成在

读出时候用于选择的 MOS 晶体管 Q1。

[0053] 将包括 MOS 晶体管 Q1 的全部半导体衬底 100 上部分表面覆盖，并且形成包括一个 SiO_2 等的氧化膜的夹层绝缘膜 16。穿透夹层绝缘膜 16，形成接触插件 17，并且使它与一对源 / 漏区 14 和 14 中的一个硅化钴区 15 电连接。

[0054] 在夹层绝缘膜 16 上，层叠氮化膜 41 和包括一个氧化膜的夹层绝缘膜 18，选择地形成 Cu 布线 19，其穿透氮化膜 41 和夹层绝缘膜 18，以及使 1 的 Cu 布线 19 与接触插件 17 电连接。

[0055] 在包括 Cu 布线 19 的夹层绝缘膜 18 上，层叠氮化膜 42 及包括一个氧化膜的夹层绝缘膜 20 和 21。形成穿透氮化膜 42 和夹层绝缘膜 20 的微孔 52，和穿透夹层绝缘膜 21 的布线孔 62，并且在微孔 52 和布线孔 62 中嵌入形成 Cu 布线 22。使 Cu 布线 22 与 Cu 布线 19 电连接（以上 1 的 Cu 布线 19 与接触插件 17 电连接）。

[0056] 在包括 Cu 布线 22 的夹层绝缘膜 21 上，层叠氮化膜 43 及包括一个氧化膜的夹层绝缘膜 23 和 24。穿透氮化膜 43 和夹层绝缘膜 23 形成微孔 53，穿透夹层绝缘膜 24 形成布线孔 63，并且在微孔 53 和布线孔 63 中嵌入形成 Cu 布线 25（读线 25r，数字线 25d）。使读线 25r 与 Cu 布线 22（Cu 布线 22 位于接触插件 17 上）电连接。

[0057] 在包括 Cu 布线 25 的夹层绝缘膜 24 上，层叠包括一个氮化膜的夹层绝缘膜 26a 和包括一个氧化膜的夹层绝缘膜 26b。在平面图中与读线 25r 的形成区的一部分相对应的夹层绝缘膜 26a 和 26b 中，形成通孔 9。通过在夹层绝缘膜 26b 及通孔 9 的底部和侧表面上选择地形成 TMR 下电极 28，使 TMR 下电极 28 与读线 25r 电连接。因为 TMR 下电极 28 包括钽 (Ta)，其具有与 TMR 膜 29 的晶格相近的晶格距，所以它能减小在 TMR 膜 29 上产生的畸变。TMR 下电极 28 可以称为引出布线 (LS(局部带))，它与读线 25r 和 TMR 膜 29 电连接。

[0058] 在平面图中与数字线的 25d 的形成区的部分中的 TMR 下电极 28 上相对应的区中，选择地形成 TMR 元件 5 (TMR 膜 29，TMR 上电极 31)。TMR 上电极 31 由 30nm 至 100nm 厚的钽 (Ta) 形成，并且在制造过程的时候也起一个硬掩模的作用。

[0059] 而且在 TMR 元件 5 的整个表面和 TMR 下电极 28 的上表面上形成包括 LT(低温)-SiN 的夹层绝缘膜 30。形成覆盖包括 TMR 下电极 28 的侧表面的整个表面并且包括 LT-SiN 的夹层绝缘膜 32。形成覆盖整个表面并且包括 SiO_2 的夹层绝缘膜 33。

[0060] 在夹层绝缘膜 33 的上层部分中选择地形成用作位线的 Cu 布线 34。在平面图中其中形成 TMR 元件 5 的区的部分中，穿透夹层绝缘膜 30、夹层绝缘膜 32 和夹层绝缘膜 33，并且形成通孔 40。通过在这个通孔 40 中也嵌入 Cu 布线 34，使 Cu 布线 34 和 TMR 上电极 31 电连接。而且在包括 Cu 布线 34 的夹层绝缘膜 33 上的整个表面上，形成钝化膜 35。

[0061] 实施例 1 的 MRAM 假定为以上结构，并且具有以下所示的第一和第二特征。

[0062] 第一特征是除从 LT-SiN 形成的夹层绝缘膜 30 之外，它还用夹层绝缘膜 32 覆盖 TMR 下电极 28 的上表面和侧表面的全部及 TMR 元件 5 的侧表面。

[0063] 虽然在沉积包括 SiO_2 的夹层绝缘膜 33 的时候，包括 LT-SiN 的夹层绝缘膜 30 和 32 起抗氧化膜的作用，但是仅在夹层绝缘膜 30 的情况下，当 TMR 膜 29 的侧表面变薄时，它有时难以足够地起抗氧化膜的作用。然而，在实施例 1 中，通过用两层的夹层绝

缘膜 30 和 32 保护 TMR 膜 29，能展示足够的抗氧化功能。因为将 TMR 下电极 28 的上表面和侧表面覆盖，并且形成夹层绝缘膜 30 和 32，所以对于 TMR 下电极 28 也能展示足够的抗氧化功能。

[0064] 另外，因为在处理 TMR 下电极 28 的时候夹层绝缘膜 30 覆盖了 TMR 元件 5 的全部侧表面，所以通过确实地保护存储单元 MC 的侧表面，特别是 TMR 膜 29，它能防止由蚀刻沉积材料而引起外界物质粘附，以及漏泄电流发生。

[0065] 因为在小于 300℃ 的比较低温度下形成 LT-SiN，所以在制造夹层绝缘膜 30 和 32 的时候不会使 TMR 膜 29 的磁性降级。

[0066] 第二特征是在制造过程的时候通过将 30nm 至 100nm 厚的 Ta 用作 TMR 上电极 31，使得有可能用作一个硬掩模的要点。

[0067] 按照本第二特征，TMR 上电极 31 能用作一个硬掩模，单独地形成一个硬掩模的步骤变得不必要，并且能致力于简化制造过程。因为 TMR 上电极 31 的厚度由比较薄的 30nm 至 100nm 的厚度形成，所以能致力于使在形成 TMR 上电极 31 时施加于 TMR 膜 29 的应力得到释放，并且不会使 TMR 膜 29 的磁性降级。

[0068] 通过用相同材料 (Ta) 形成 TMR 下电极 28 和 TMR 上电极 31，当通过将 TMR 上电极 31 用作掩模来处理 TMR 时，使 TMR 下电极 28 起阻止器的作用，并且获得能以足够图形形成精度而形成 TMR 膜 29 的效果。

[0069] (制造方法)

[0070] 图 4(a) 至图 26(d) 是表示实施例 1 的 MRAM 的制造方法的横截面图。在这些图中，“(a)”与图 1 的 A-A 截面等效，“(b)”与图 1 的 B-B 截面等效，以及“(c)”与图 1 的 C-C 截面等效。图 12(a) 至图 26(d) 中的“(d)”表示外围电路部分的截面。在下文，参考这些图说明实施例 1 的 MRAM 的制造方法。

[0071] 首先，如图 4(a) 至图 4(c) 所示，在半导体衬底 100 的上层部分中选择地形成元件隔离区 2。元件隔离区 2 与 2 之间的半导体衬底 100 的上层部分成为活性区 1，其中形成晶体管等。

[0072] 而且如图 5(a) 至图 5(c) 所示，在半导体衬底 100 的上层部分中通过引入第一导电型的杂质，形成阱区 1w。

[0073] 其次，如图 6(a) 至图 6(c) 所示，在阱区 1w 上形成栅绝缘膜 11，并且在栅绝缘膜 11 上选择地形成栅电极 12。在栅电极 12 之下的阱区 1w 的前表面指定为沟道区 1c。

[0074] 然后，如图 7(a) 至图 7(c) 所示，与栅电极 12 自对准地注入和扩散第二导电型（与第一导电型相对的导电型）的杂质，并且在栅电极 12 的侧表面中形成 2 层结构的侧壁 13 之后，与栅电极 12 和侧壁 13 自对准地注入和扩散第二导电型的杂质。这样在沟道区 1c 附近形成具有一个延伸区的源 / 漏区对 14 和 14。结果，形成包括沟道区 1c、栅绝缘膜 11、栅电极 12 和源 / 漏区 14 的 MOS 晶体管 Q1。

[0075] 其次，如图 8(a) 至 8(c) 所示，分别在源 / 漏区 14 和 14 及栅电极 12 的前表面上形成硅化钴区 15。

[0076] 然后，如图 9(a) 至图 9(c) 所示，在整个表面中形成夹层绝缘膜 16，穿透夹层绝缘膜 16，并且选择地形成接触插件 17。这个接触插件 17 与一对源 / 漏区 14 和 14 中的一个硅化钴区 15 电连接。

[0077] 如图 10 所示, 在整个表面上层叠氮化膜 41 和夹层绝缘膜 18(它是一个氧化膜), 在其上穿透氮化膜 41 和夹层绝缘膜 18, 并且在其中选择地形成 Cu 布线 19。结果, 使 Cu 布线 19 的一部分与接触插件 17 电连接。因而, 形成作为第一层金属布线的 Cu 布线 19。

[0078] 然后, 如图 11(a) 至图 11(c) 所示, 通过整个表面层叠氮化膜 42 及夹层绝缘膜 20 和 21(它是一个氧化膜), 在其上穿透氮化膜 42 和夹层绝缘膜 20, 并且在其中选择地形成微孔 52。穿透包括微孔 52 的区上的夹层绝缘膜 21, 选择地形成布线孔 62, 在此之后, 嵌入微孔 52 和布线孔 62, 并且形成 Cu 布线 22。使 Cu 布线 22 与 Cu 布线 19 电连接(Cu 布线 19 与接触插件 17 电连接)。因而, 使用镶嵌技术形成作为第二层金属布线的 Cu 布线 22。

[0079] 然后, 如图 12(a) 至图 12(d) 所示, 形成氮化膜 43 及夹层绝缘膜(它包括一个氧化膜) 23 和 24, 在整个表面上穿透氮化膜 43 和夹层绝缘膜 23, 并且在其中选择地形成微孔 53。穿透包括微孔 53 的区上的夹层绝缘膜 24 穿透, 并且选择地形成布线孔 63。然后, 嵌入微孔 53 和布线孔 63, 并且形成 Cu 布线 25(读线 25r, 数字线 25d)。而且使读线 25r 与 Cu 布线 22 电连接。因而, 使用镶嵌技术形成作为第三层金属布线的 Cu 布线 25。

[0080] 如图 12(d) 所示, 而且在一个外围区中, 在半导体衬底 100 上形成与 MOS 晶体管 Q1 等效的 MOS 晶体管 Q2, 在各第一至第三层金属布线中形成 Cu 布线 19、Cu 布线 22 和 Cu 布线 25。

[0081] 然后, 如图 13(a) 至 13(d) 所示, 在整个表面中形成夹层绝缘膜 26a 和 26b, 穿透存储单元部分中读线 25r 的区上的部分, 并且选择地形成通孔 9。

[0082] 而且如图 14(a) 至图 14(d) 所示, 在整个表面上层叠应该构成 TMR 下电极 28、TMR 膜 29 和 TMR 上电极 31 的层。在这种情况下, 通过在通孔 9 的底部和侧表面中形成 TMR 下电极 28, 使 TMR 下电极 28 与读线 25r 电连接。

[0083] 在这种情况下, 通过形成 30nm 至 100nm 比较薄的厚度的上电极 31, 能致力于使在 TMR 上电极 31 形成时施加于 TMR 膜 29 的应力得到释放, 并且不会使 TMR 膜 29 的磁性降级。如上所述, TMR 下电极 28 和 TMR 上电极 31 用 Ta 作为构造材料, 例如, 它们由溅射技术形成。

[0084] 然后, 如图 15(a) 至图 15(d) 所示, 在使用未说明的构图的抗蚀剂使 TMR 上电极 31 构图之后, 通过使构图的 TMR 上电极 31 制成一个硬掩模, 对 TMR 膜 29 进行蚀刻, 并且完成 TMR 元件 5。在蚀刻情况下, 包括如 TMR 上电极 31 相同 Ta 的 TMR 下电极 28 起蚀刻阻止器的作用。

[0085] 因而, 因为通过将 TMR 上电极 31 用作一个硬掩模而使单独地形成硬掩模的步骤变得不必要, 所以能致力于简化制造过程。

[0086] 在用一个抗蚀剂掩模进行蚀刻的时候, 通过灰化和净化处理以使 TMR 膜 29 的抗蚀剂除去, 而不使破坏元件特性的有机物质系的沉积材料粘附在 TMR 膜 29 等的侧壁上, 也不会有磁膜的降级。

[0087] 其次, 如图 16(a) 至图 16(d) 所示, 通过小于 300°C 的低温条件在整个表面中形成包括 LT-SiN 的夹层绝缘膜 30, 并且如图 17(a) 至图 17(d) 所示, 形成抗蚀剂 45, 其构

图为可以仅覆盖存储单元的形成区。

[0088] 而且如图 18(a) 至图 18(d) 所示, 通过将构图的抗蚀剂 45 用作一个掩膜, 对 TMR 下电极 28 和夹层绝缘膜 30 进行蚀刻, 使 TMR 下电极 28 构图, 并且如图 19(a) 至图 19(d) 所示, 除去抗蚀剂 45。这里, 在将构图的抗蚀剂 45 用作一个掩膜而对夹层绝缘膜 30 进行蚀刻, 并且除去抗蚀剂 45 之后, 通过使夹层绝缘膜 30 作为一个硬掩膜而可以使 TMR 下电极 28 构图。从而, 能仍以高精度使 TMR 下电极 28 构图。

[0089] 其次, 如图 20(a) 至图 20(d) 所示, 通过小于 300°C 的低温条件在整个表面中形成包括 LT-SiN 的夹层绝缘膜 32。结果, 用夹层绝缘膜 30 和 32 覆盖 TMR 膜 29 和 TMR 下电极 28 的侧表面区。

[0090] 其次, 如图 21(a) 至图 21(d) 所示, 在整个表面中形成包括 SiO₂ 的夹层绝缘膜 33。在这种情况下, 因为 TMR 膜 29 的侧表面区用夹层绝缘膜 30 和 32 加以覆盖, 所以在形成夹层绝缘膜 33 的时候能完全地展示抗氧化功能。因此, 在形成夹层绝缘膜 33 的时候不会损坏 TMR 膜 29。因为 TMR 下电极 28 的上表面和侧表面被覆盖, 并且形成了夹层绝缘膜 30 和 32, 所以也对 TMR 下电极 28 展示出足够的抗氧化功能。

[0091] 因为作为夹层绝缘膜 30 和 32 的形成材料的 LT-SiN 是通过比较低的低于 300°C 的低温条件而形成的, 所以不会使 TMR 膜 29 的磁性降级。

[0092] 然后, 如图 22(a) 至图 22(d) 所示, 通过对夹层绝缘膜 33 执行 CMP 处理而实行夹层绝缘膜 33 的整平。

[0093] 然后, 如图 23(a) 至图 23(d) 所示, 在 TMR 元件 5 的上部分形成穿透夹层绝缘膜 33 的通孔 39。如图 23(d) 所示, 在外围区中 Cu 布线 25 的部分的上层中形成通孔 49。

[0094] 而且如图 24(a) 至图 24(d) 所示, 对位线形成选择地实行夹层绝缘膜 33 的蚀刻除去。在这种情况下, 还实行通孔 39 之下的夹层绝缘膜 30 和 32 的蚀刻除去, 并且形成通孔 40。实行通孔 49 之下的夹层绝缘膜 30 和 32 的蚀刻除去, 并且形成通孔 50。

[0095] 其次, 如图 25(a) 至图 25(d) 所示, 通过对包括通孔 40 和 50 的已经实行蚀刻除去的夹层绝缘膜 33 的区嵌 Cu 布线 34, 形成位线。结果, 在存储电路区中, 使 Cu 布线 34 通过通孔 40 与 TMR 元件 5 (TMR 上电极 31) 电连接, 并且使 Cu 布线 34 与外围电路区中的 Cu 布线 25 电连接。因而, 形成作为第四层金属布线的 Cu 布线 34。

[0096] 最后, 如图 26(a) 至图 26(d) 所示, 通过在整个表面中形成钝化膜 35, 完成实施例 1 的 MRAM (包括一个外围电路)。

[0097] 虽然在实施例 1 中表示了在第三层和第四层金属布线中形成存储单元电路 (存储单元 MC、位线 (Cu 布线 34) 等) 的例子, 但是它可以制成为在第一层和第二层金属布线部分的部分中形成存储单元电路。它可以由五层或更多层形成。

[0098] (实施例 2)

[0099] (结构)

[0100] 图 27 是表示 MRAM 的存储单元部分的平面结构的平面图, 它是本发明的实施例 2 的半导体器件, 以及图 28 是表示图 27 的 A-A 截面的横截面图。

[0101] 图 29(a) 至图 29(c) 是表示在实施例 2 的 MRAM 的全部层中的截面结构的横截面图, 图 29(a) 与图 27 的 A-A 截面等效, 图 29(b) 与图 27 的 B-B 截面等效, 以及图 29(c) 与图 27 的 C-C 截面等效。在下文, 参考图 27 至图 29(c) 说明实施例 2 的 MRAM 的结

构。因为从半导体衬底 100 至作为第三层金属布线的 Cu 布线 25 的结构，和从夹层绝缘膜 33 至钝化膜 35 的结构与如图 1 至图 3(c) 所示的实施例 1 的 MRAM 的那样结构相同，所以省略说明。

[0102] 在包括 Cu 布线 25 的夹层绝缘膜 24 上，层叠夹层绝缘膜 26a 和 26b，在平面图中与读线 25r 的形成区的部分相对应的夹层绝缘膜 26a 和 26b 中，形成通孔 9，将这个通孔 9 填满，并且形成 Cu 插件 10。

[0103] 在包括 Cu 插件 10 的夹层绝缘膜 26b 上，选择地形成 TMR 下电极 28。因此，使 TMR 下电极 28 通过 Cu 插件 10 与读线 25r 电连接。TMR 下电极 28 包括钽 (Ta)，以便与 TMR 膜 29 取得晶格的一致性。TMR 下电极 28 可以称为引出布线 (LS(局部带))，它将读线 25r 和 TMR 膜 29 电连接。

[0104] 在平面图中在 TMR 下电极 28 上与数字线 25d 的形成区的部分相对应的区，选择地形成 TMR 元件 5 (TMR 膜 29，TMR 上电极 31)。TMR 上电极 31 由 30nm 至 100nm 厚的钽 (Ta) 形成，并且在制造过程时也起硬掩模的作用。

[0105] 而且在 TMR 元件 5 的整个表面和 TMR 下电极 28 的上表面上，形成由 LT-SiN 形成的夹层绝缘膜 30。将包括 TMR 下电极 28 的侧表面的整个表面覆盖，并且形成包括 LT-SiN 的夹层绝缘膜 32。形成将整个表面覆盖并且包括 SiO₂ 的夹层绝缘膜 33。

[0106] 实施例 2 的 MRAM 假定以上结构，具有与上述实施例 1 相同的第一和第二特征，并且执行如实施例 1 相同的效果。

[0107] 实施例 2 的 MRAM 具有以下第三特征。在通孔 9 中嵌入并形成 Cu 插件 10，并且第三特征是致力于通过这个 Cu 插件 10 而在 TMR 下电极 28 与读线 25r 之间的电连接的要点。

[0108] 因为通过具有第三特征而在通孔 9 中嵌入 Cu 插件 10，所以执行这样效果，能以足够平度形成 TMR 下电极 28，而不受通孔 9 影响，并且能以足够精度形成存储单元 MC。

[0109] 在下文，与实施例 1 的结构比较，说明上述效果。因为在实施例 1 的情况下也在通孔 9 中形成 TMR 下电极 28，随着通孔 9 与 TMR 元件 5 的形成位置之间的距离变近，TMR 下电极 28 的平度在通孔 9 的影响下而恶化。

[0110] 另一方面，应用实施例 2 的结构，因为在通孔 9 中嵌入 Cu 插件 10，并且在通孔 9 中不形成 TMR 下电极 28，而与通孔 9 和 TMR 元件 5 的距离无关，所以能以足够的平度形成 TMR 下电极 28。也就是，实施例 2 的结构更适合微型制造。

[0111] 在 Cu 插件 10 右上 (即读线 25r 的上部) 形成 TMR 元件 5 的其他结构认为是与实施例 2 的结构接近的结构。如在 Cu 插件 10 上形成的具有上述其他结构的 TMR 下电极 28 相对，应用实施例 2 的结构，在夹层绝缘膜 26b 上形成 TMR 下电极 28，并且能使实施例 2 的结构以足够的平度形成 TMR 下电极 28。因为在上述其他结构的情况下，与读线 25d 直接位于 TMR 元件 5 之下有关，数字线 25r 和 TMR 元件 5 的距离不可避免地变远，所以也具有一个使写入缺陷趋于产生的减小表面。

[0112] (制造方法)

[0113] 图 30(a) 至图 44(d) 是表示实施例 2 的 MRAM 的制造方法的横截面图。在这些图中，“(a)”表示图 27 的 A-A 截面，“(b)”表示图 27 的 B-B 截面，“(c)”表示图

27 的 C-C 截面, 以及 “(d)” 表示外围电路部分的截面。在下文, 参考这些图说明实施例 2 的 MRAM 的制造方法。

[0114] 在经过由实施例 1 的图 4(a) 至图 12(d) 所示的步骤之后, 如图 30 所示, 在整个表面中形成夹层绝缘膜 26a 和 26b, 穿透存储单元部分中读线 25r 的区上的部分, 并且选择地形成通孔 9。

[0115] 然后, 如图 31(a) 至图 31(d) 所示, 使用镶嵌技术将通孔 9 填充, 并且形成 Cu 插件 10。

[0116] 而且如图 32(a) 至图 32() 所示, 在整个表面上层叠应该构成 TMR 下电极 28、TMR 膜 29 和 TMR 上电极 31 的层。在这种情况下, 使 TMR 下电极 28 通过 Cu 插件 10 与读线 25r 电连接。通过形成 30nm 至 100nm 比较薄的厚度的上电极 31, 能致力于使在形成 TMR 上电极 31 时施加于 TMR 膜 29 的应力得到释放, 并且不会使 TMR 膜 29 的磁性降级。如上所述, TMR 下电极 28 和 TMR 上电极 31 用 Ta 作为构造材料, 例如, 它们由溅射技术形成。

[0117] 因为如上所述在通孔 9 中不形成 TMR 下电极 28, 所以在夹层绝缘膜 26b 和 Cu 插件 10 上能以足够平度形成 TMR 下电极 28。

[0118] 然后, 如图 33(a) 至图 33(d) 所示, 在使 TMR 上电极 31 构图之后, 通过将构图的 TMR 上电极 31 作为一个硬掩模, 对 TMR 膜 29 进行蚀刻, 并且完成 TMR 元件 5。在蚀刻情况下, 与 TMR 上电极 31 相同的 Ta 所形成的 TMR 下电极 28 起蚀刻阻止器的作用。

[0119] 因而, 通过将 TMR 上电极 31 用作一个硬掩模, 单独地形成一个硬掩模的步骤变得不必要, 并且能致力于简化制造过程。

[0120] 在用抗蚀剂掩模进行蚀刻的时候, 通过灰化和净化处理以使 TMR 膜 29 的抗蚀剂除去, 而没有使元件特性恶化的有机物质系的沉积材料粘附在 TMR 膜 29 的侧壁等上, 则也不会有磁膜的降级。

[0121] 其次, 如图 34(a) 至图 34(d) 所示, 在整个表面中形成包括 LT-SiN 的夹层绝缘膜 30, 并且如图 35(a) 至图 35(d) 所示, 形成抗蚀剂 45, 其被构图以仅将存储单元 MC 的形成区覆盖。

[0122] 而且如图 36(a) 至图 36(d) 所示, 通过将构图的抗蚀剂 45 用作一个掩模, 对 TMR 下电极 28 和夹层绝缘膜 30 进行蚀刻, 使 TMR 下电极 28 构图, 并且如图 37(a) 至图 37(d) 所示, 除去抗蚀剂 45。

[0123] 其次, 如图 38(a) 至图 38(d) 所示, 在整个表面中形成包括 LT-SiN 的夹层绝缘膜 32。结果, 在用夹层绝缘膜 30 和 32 覆盖 TMR 膜 29 的侧表面区的同时, 用夹层绝缘膜 32 覆盖 TMR 下电极 28 的侧表面区。

[0124] 其次, 如图 39(a) 至图 39(d) 所示, 在整个表面中形成包括 SiO₂ 的夹层绝缘膜 33。在这种情况下, 因为用夹层绝缘膜 30 和 32 覆盖 TMR 膜 29 的侧表面区, 所以在形成夹层绝缘膜 33 时能完全地展示抗氧化功能。因此, 在形成夹层绝缘膜 33 时不会损坏 TMR 膜 29。

[0125] 另外, 因为在处理 TMR 下电极 28 时夹层绝缘膜 30 覆盖了 TMR 元件 5 的全部侧表面, 所以通过确实地保护存储单元 MC 的侧表面, 特别是 TMR 膜 29, 能防止由于蚀

刻沉积材料而带来的外界物质粘附，以及漏泄电流发生。

[0126] 然后，如图 40(a) 至 40(d) 所示，通过对夹层绝缘膜 33 执行 CMP 处理，实行夹层绝缘膜 33 的整平。

[0127] 然后，如图 41 所示，在 TMR 元件 5 的上部形成穿透夹层绝缘膜 33 的通孔 39。如图 41(d) 所示，在外围区中 Cu 布线 25 的部分的上层中形成通孔 49。

[0128] 而且如图 42(a) 至图 42(d) 所示，对位线形成选择地实行夹层绝缘膜 33 的蚀刻除去。在这种情况下，实行将通孔 39 之下的夹层绝缘膜 30 和 32 也蚀刻除去，形成通孔 40，实行将通孔 49 之下的夹层绝缘膜 30 和 32 蚀刻除去，并且形成通孔 50。

[0129] 其次，如图 43 所示，通过在对包括通孔 40 和 50 的夹层绝缘膜 33 执行了蚀刻除去的区嵌入 Cu 布线 34，形成位线。结果，在存储电路区中，使 Cu 布线 34 通过通孔 40 与 TMR 元件 5(TMR 上电极 31) 电连接，并且使 Cu 布线 34 与外围电路区中的 Cu 布线 25 电连接。因而，形成作为第四层金属布线的 Cu 布线 34。

[0130] 最后，如图 44(a) 至图 44(d) 所示，通过在整个表面中形成钝化膜 35，完成实施例 2 的 MRAM(包括外围电路)。

[0131] (实施例 3)

[0132] (前提技术)

[0133] 图 45 是表示 MRAM 结构的轮廓的说明图。如该图所示，以矩阵形式安排多个存储器件 102。沿列方向(图中倾斜水平方向)形成两个或多个上 Cu 布线 134，它将以列单元的存储器件 102 电连接，沿行方向(图中倾斜纵向方向)形成两个或多个下 Cu 布线 125，并且它将每行的 TMR 元件 105 电连接。

[0134] 图 46 是表示存储器件 102 与上 Cu 布线 134 和下 Cu 布线 125(读线 125r，数字线 125d)的连接关系的细节的横截面图。如该图所示，穿透半导体衬底 100(它没有说明但在图 3 等中所见)之上形成的氧化膜 124 的内部，并且选择地形成下 Cu 布线 125。在包括下 Cu 布线 125 的氧化膜 124 上，层叠氮化硅膜 126a 和氧化膜 126b。在平面图中与读线 125r 的形成区的部分相对应的夹层绝缘膜 126a 和 126b 中，形成通孔 109(局部通孔)。通过在夹层绝缘膜 126b 及通孔 109 的底部和侧表面上选择地形成用作引出布线(LS(局部带))的 TMR 下电极 158，使 TMR 下电极 158 与读线 125r 电连接。

[0135] 在平面图中 TMR 下电极 158 上与数字线 125d 的形成区的部分相对应的区中选择地形成 TMR 元件 105(TMR 膜 129，TMR 上电极 131)。存储器件 102 包括 TMR 元件 105 和 TMR 下电极 158。TMR 膜 129 具有从上部开始的铁磁层 129a、非磁层 126b 和铁磁层 129c 的层叠结构。

[0136] 而且形成氧化膜 133，它将包括 TMR 元件 105 的整个表面覆盖，并且包括 SiO₂。

[0137] 在氧化膜 133 的上层部分中选择地形成用作位线的上 Cu 布线 134。穿透氧化膜 133，并且在平面图中其中形成 TMR 元件 105 的区，形成通孔 140。通过将上 Cu 布线 134 也嵌入这个通孔 140，使上 Cu 布线 134 和 TMR 上电极 131 电连接。

[0138] 如上所述，图 46 表示了通过在通孔 109 中形成 TMR 下电极 158 而使下 Cu 布线 125(读线 125r)和 TMR 元件 105(TMR 膜 129)电连接的一般结构(在下文将它写作“通孔 LS 连接结构”)。

[0139] 为了获得图 46 所示的结构，要通过一般包括以下 (1) 至 (9) 的制造过程。

[0140] (1) 在包括下 Cu 布线 125 的氧化膜 124 上沉积氮化硅膜 126a 和氧化膜 126b。

[0141] (2) 选择地形成穿透氮化硅膜 126a 和氧化膜 126b 的通孔 109。

[0142] (3) 在包括通孔 109 的氧化膜 126b 上沉积用作 TMR 下电极 158 的金属薄膜。

[0143] (4) 在氧化膜 126b 上的 TMR 下电极 158 上沉积 TMR 元件 105 的形成层。

[0144] (5) 使 TMR 元件 105 构图。

[0145] (6) 使以上 (3) 形成的金属薄膜构图，并且形成 TMR 下电极 158。

[0146] (7) 在整个表面上沉积氧化膜 133。

[0147] (8) 选择地形成穿透氧化膜 133 的通孔 140 和上 Cu 布线 134 的形成区。

[0148] (9) 在嵌入和沉积上 Cu 布线 134 之后，实行 CMP 处理。

[0149] 假定上述步骤 (6) 称为 LS 步骤，并且在这个 LS 步骤有以下所示的问题。

[0150] 图 47 至图 49 是表示用于获得通孔 LS 连接结构 (参考图 46) 的 LS 步骤的横截面图。在下文，参考这些图说明 LS 步骤。

[0151] 如图 47 所示，在半导体衬底之上形成的氧化膜 124 形成之后，选择地形成穿透氧化膜 124 的下 Cu 布线 125 (读线 125r，数字线 125d)。在整个表面中形成氮化硅膜 126a 和氧化膜 126b 之后，形成穿透氮化硅膜 126a 和氧化膜 126b，并且将读线 125r 的一部分用作底部的通孔 109。在通孔 109 的底部和侧表面及氧化膜 126b 上形成 TMR 下电极 158 之后，得到 TMR 元件 105 (TMR 膜 129，TMR 上电极 131)。在整个表面中形成抗蚀剂 155 之后，通过形成开口 156 以将每个元件的 TMR 下电极 158 分开，使抗蚀剂 155 构图。

[0152] 而且如图 48 所示，通过将抗蚀剂 155 用作掩模而对 TMR 下电极 158 进行蚀刻，使 TMR 下电极 158 构图。然后，灰化处理除去抗蚀剂 155。

[0153] 如图 48 所示，在这情况下，存在担心源，即在 TMR 膜 129 的侧壁由于反应而形成包括聚合物、磁膜等的侧壁反应部分 159。如图 49 所示，在通孔 109 的通孔底端部分区 171，存在担心源，即在 TMR 下电极 158 之下的下 Cu 布线 125 (读线 125r) 的一部分被腐蚀，并且从 TMR 下电极 158 的超薄膜形成部分的部分或无膜形成部分 168 产生 Cu 腐蚀部分 160。

[0154] 这样的担心源是由于用于覆盖特性的 TMR 下电极 158 没有改进通孔 109 中的嵌入形成的能力，原因要点是在通孔 109 中嵌入和形成 TMR 下电极 158 的部分，以及要点是 TMR 下电极 158 的厚度具有限制。TMR 下电极 158 的厚度发生限制是因为用作 TMR 元件 105 的基础层的 TMR 下电极 158 的厚度限制为 100nm 或更小，这是因为关于在 TMR 下电极 158 上形成的 TMR 元件 105，特性受到作为基础层的 TMR 下电极 158 的粗糙度的影响。

[0155] 因此，因为在通孔底端部分区 171 的 TMR 下电极 158 中将会发生超薄膜形成部分或无膜形成部分 168 的可能性高，所以在对抗蚀剂 155 进行灰化的时候，从超薄膜形成部分或无膜形成部分 168 至下 Cu 布线 125 的 Cu 腐蚀的担心源不能忽视。

[0156] 结果，由于上述担心源的现实，不能完全地实现 TMR 下电极 158 与读线 125r 之间的电连接，而存在导致布线失败的问题。实施例 3 致力于解决这个问题。

[0157] (实施例 3 的结构)

[0158] 图 50 是表示 MRAM 的存储单元部分的结构横截面图，它是本发明的实施例

3 的一个半导体器件。在图 50 中, 表示了其中在两个 TMR 形成区 103、104 (第一和第 TMR 形成区) 中分别形成相同结构的 TMR 元件 105 (第一和第 TMR 元件) 的结构。

[0159] 如该图所示, 穿透作为第一夹层绝缘膜的氧化膜 124, 并且在每个 TMR 形成区 103、104 中选择地形成读线 125r 和数字线 125d, 它们形成下 Cu 布线 125 (下层布线)。虽然通过层叠结构在半导体衬底 100 之上形成实施例 3 的 MRAM 以及实施例 1 的 MRAM, 但是为了说明该图仅表示和说明从氧化膜 124 开始的上部结构。氧化膜 124 与实施例 1 的夹层绝缘膜 24 (例如参考图 3) 等效。

[0160] 而且在包括下 Cu 布线 125 的氧化膜 124 上层叠包括 SiO_2 的氮化硅膜 126a (第一部分夹层绝缘膜) 和氧化膜 126b (第二部分夹层绝缘膜), 并且氮化硅膜 126a 和氧化膜 126b 形成第二夹层绝缘膜。

[0161] 在每个 TMR 形成区 103、104 中, 在平面图中与读线 125r 的形成区的部分相对应的夹层绝缘膜 126a 和 126b 中, 形成通孔 109 (局部通孔)。在每个 TMR 形成区 103、104 中, 通过在夹层绝缘膜 126b 及通孔 109 的底部和侧表面上选择地形成用作 LS 的 TMR 下电极 128, 使 TMR 下电极 128 与读线 125r 电连接。

[0162] 通过在 TMR 形成区 103、104 边界及其邻近区中形成的开口 147 (距离 d_1), 使 TMR 形成区 103 的 TMR 下电极 128 (第一下电极) 和 TMR 形成区 104 的 TMR 下电极 128 (第二下电极) 相互分开。

[0163] 在平面图中在 TMR 形成区 103、104 的各 TMR 下电极 128 上与数字线 125d 的形成区的部分相对应的区中, 选择地形成 TMR 元件 105 (TMR 膜 129, TMR 上电极 131)。TMR 膜 129 例如包括从上部开始的铁磁层 129a、非磁层 129b 和铁磁层 129c 的层叠结构。

[0164] 而且将 TMR 下电极 128 的上表面及 TMR 元件 105 的侧表面和上表面覆盖, 并且形成绝缘膜 130。作为绝缘膜 130, 可以考虑氮化膜 (SiN)、氧化膜 (SiO_2 , GeO , Al_2O_3) 等。

[0165] 使用在小于 300°C 的低温下形成的绝缘材料, 形成绝缘膜 130。例如, 在低温下形成的氮化膜 (LT (低温)- SiN) 等可以认为是绝缘膜 130。

[0166] 而且将包括绝缘膜 130 的整个表面覆盖, 并且形成包括 SiO_2 且作为第三夹层绝缘膜的氧化膜 133。在这种情况下, 氧化膜 133 由和氧化膜 126b 具有相同化学物类的材料形成。通过和氧化膜 126b 相同内容的制造过程, 完全地制造氧化膜 133。

[0167] 通过在开口 147 中也形成氧化膜 133, 彻底地实行 TMR 形成区 103 的 TMR 下电极 128 和 TMR 形成区 104 的 TMR 下电极 128 的绝缘分开。

[0168] 在氧化膜 133 的上层部分中选择地形成用作位线的上 Cu 布线 134。在平面图中在每个 TMR 形成区 103、104 中, 在其中形成 TMR 元件 105 的区, 穿透氧化膜 133 和绝缘膜 130, 并且形成通孔 140。通过在这个通孔 140 中也嵌入上 Cu 布线 134, 使上 Cu 布线 134 和 TMR 上电极 131 电连接。

[0169] 如上所述, 假定通过在通孔 109 中形成 TMR 下电极 128 而使下 Cu 布线 125 (读线 125r) 和 TMR 元件 105 (TMR 膜 129) 电连接的通孔 LS 连接结构。

[0170] (效果)

[0171] 图 51 是表示实施例 3 的半导体器件的效果的横截面图。如该图所示, 即使在通孔底端部分区 107 中的 TMR 下电极 128 的部分中发生超薄膜形成部分或无膜形成部分

148, 因为在通孔 109 中的 TMR 下电极 128 上形成了绝缘膜 130, 所以在 LS 步骤之后对在 LS 步骤中用于使 TMR 下电极 128 构图的抗蚀剂执行灰化处理时, 能确实地避免在灰化处理时 Cu 腐蚀从超薄膜形成部分或无膜形成部分 148 进展到下 Cu 布线 125 (读线 125r)。

[0172] 因此, 不会出现如图 49 所示的 Cu 腐蚀部分 160, 并且在 TMR 下电极 128 与读线 125r 之间担保良好的电连接关系, 而且执行期望的提高产量的效果。

[0173] 上述效果也能用实施例 1 的结构 (例如参考图 2) 来示范, 其中在 TMR 下电极 28 上形成夹层绝缘膜 30。

[0174] 因为在开口 147 的邻近区中的 TMR 下电极 128 和绝缘膜 130 的侧表面几乎匹配, 所以执行通过不扩展且不损坏完整度而重新形成绝缘膜 130, 在每个 TMR 形成区 103、104 中形成的 TMR 下电极 128 之间的距离 d1 的微型制造效果。

[0175] 也就是, 因为 TMR 下电极 128 的侧表面与绝缘膜 130 的侧表面匹配, 即使同时对绝缘膜 130 和 TMR 下电极 128 构图也不会对 TMR 下电极 128 的工作形状有不良影响, 这在后文可能提及。

[0176] 另外, 因为将在小于 300℃ 的低温下形成的低温绝缘膜用作绝缘膜 130, 所以通过在小于 300℃ 的低温下形成绝缘膜 130, 能确实地防止在形成绝缘膜 130 时 TMR 元件 105 的性能降级。也就是, 在形成绝缘膜 130 时对 TMR 元件 105 的特性无不良影响。结果, 与其中产生大于 300℃ 的绝缘膜形成的情况比较, 关于 TMR 膜 129 预期磁性多层膜的自旋取向改进、磁性多层膜之间的转换连接改进和热应力的减小。

[0177] 在 TMR 下电极 28 上形成由 LT-SiN 形成的夹层绝缘膜 30 的实施例 1 的结构中 (例如参考图 2), 也能示范上述效果。

[0178] 图 52 和图 53 是表示在由低温形成绝缘材料形成绝缘膜 130 时的效果的曲线图。图 52 表示 TMR 元件 105 的抗磁力 Hc 的退火温度从属性, 以及图 53 表示 TMR 元件 105 的各向异性磁场 Hk 的退火温度从属性。这些温度区也包括绝缘膜 130 的形成温度的等效。在图 52 和图 53 中, L1 表示其中铁磁层 129a 的厚度为 3nm 的情况, 以及 L2 表示其中铁磁层 129a 的厚度为 5nm 的情况。

[0179] 如图 52 所示, 在其中绝缘膜 130 的形成超过 300℃ 的区中, 抗磁力 Hc 对于 TMR 元件 105 的温度变化的倾斜变陡, 并且变得非常难以足够精度建立抗磁力 Hc。如图 53 所示, 在其中绝缘膜 130 的形成超过 300℃ 的区中, 各向异性磁场 Hk 对于 TMR 元件 105 的温度变化的倾斜变得较高, 并且变得难以足够精度建立各向异性磁场 Hk。

[0180] 因而, 当在 TMR 元件 105 的形成之后执行超过 300℃ 的处理时, 变得难以足够精度控制 TMR 元件 105 的磁性, 并且作为结果, 磁性将会降级的可能性是高的。

[0181] 然而, 在实施例 3 的 MRAM 中, 通过使用低温形成绝缘材料在小于 300℃ 的低温下形成绝缘膜 130, 能有效地抑制 TMR 元件 105 的磁性降级。

[0182] 如图 54 所示, 因为在其中不形成 TMR 元件 105 的氧化膜 126b 上的 TMR 外围区 108 中, 也在全部 TMR 下电极 128 上部上形成绝缘膜 130, 所以在 LS 步骤时预期有 TMR 下电极 128 前表面中的抗氧化效果, 和 TMR 下电极 128 的电特性的改进 (电阻减小) 效果。

[0183] 在不用其形成 TMR 元件 5 的夹层绝缘膜 26b 上的 TMR 下电极 28 上, 形成夹层绝缘膜 30 的实施例 1 的结构中 (例如参考图 2), 也能示范上述效果。

[0184] 另外，如图 55 所示，通过以化学物类相同的材料 (SiO_2) 形成氧化膜 126b 和氧化膜 133，在带之间的绝缘区 136 中，形成使相同材料的氧化膜 126b 和氧化膜 133 接触的界面 137。

[0185] 例如，预期当存在氮化膜和氧化膜的界面时，将传递界面中的缺陷，并且在 TMR 形成区 103、104 中，漏泄电流流过相互邻接的 TMR 下电极 128、128 之间。这个漏泄电流关于设备进步的微型制造引起显著问题。

[0186] 然而，通过用相同材料形成氧化膜 126b 和氧化膜 133 的化学物类，能确实地减小实施例 3 中界面 137 的缺陷，所以能有效地减小上述漏泄电流，并且能预期产量的提高。另外，执行设备的微型制造成为可能的效果。

[0187] 虽然在这些实施例两者中作为例子提及了氧化膜 126b 和氧化膜 133 为 SiO_2 的情况，当然其他方式例如相同材料的低 k 膜也是足够的。

[0188] 因为在实施例 3 中通过相同内容的制造过程分别形成氧化膜 126b 和氧化膜 133，所以能进一步示范上述漏泄电流抑制效果，并且能预期产量和微型制造设备效果的进一步提高。

[0189] (其他方式)

[0190] 通过仅用低温下形成的低 k 膜来形成氧化膜 133，用其使 TMR 形成区 103、104 中 TMR 下电极 128、128 之间绝缘，则减小 TMR 下电极 128、128 之间产生的布线之间的容量，并且使高速操作成为可能。

[0191] 图 56 是表示实施例 3 的其他方式的横截面图。如该图所示，当 TMR 下电极 128 的端部氧化时，在带状绝缘端部区 138 中，它是端部氧化区 132。

[0192] 因而，在实施例 3 的其他方式下，由于存在端部氧化区 132，在带状绝缘端部区 138 中的 TMR 下电极 128 的端部侧表面将位于绝缘膜 130 内部。结果，执行这样效果，其能增加 TMR 形成区 103、104 中的 TMR 下电极 128、128 之间（第一与第二下电极之间）的绝缘，而不破坏设备的完整度。因为端部氧化区 132 对于 TMR 下电极 128 足够小，所以 TMR 下电极 128 的导电性不会由于端部氧化区 132 而退化。

[0193] 当形成端部氧化区 132 时，希望由具有高熔点金属的材料，例如钛 (Ti) 和 Ta 来形成 TMR 下电极 128，并且氧化物具有绝缘性。例如，在灰化处理时由 Ta 形成 TMR 下电极 128，能从 TMR 下电极 128 的端部形成氧化钽 (Ta_2O_5)，作为端部氧化区 132。

[0194] 因而，通过形成上述特性的 Ti、Ta 等的 TMR 下电极 128，除通过上述端部氧化区 132 达到 TMR 下电极 128、128 之间的绝缘效果外，还执行在制造过程中 TMR 下电极 128 形成材料的防扩散效果。

[0195] (制造方法)

[0196] 57 至图 63(b) 是表示实施例 3 的 MRAM 的制造方法的一部分的横截面图。图 62 和图 63 中的“(a)”表示存储电路区的截面，以及这些图的“(b)”表示外围电路区的截面。在下文，参考这些图说明实施例 3 的 MRAM 的制造方法。

[0197] 首先，通过如实施例 1 相同方法获得图 57 所示的结构。也就是，得到下 Cu 布线 125(读线 125r，数字线 125d)，它穿透没有说明的半导体衬底之上形成的氧化膜 124，并且选择地形成。然后，在整个表面逐个地形成氮化硅膜 126a 和包括 SiO_2 的氧化膜 126b，穿透存储电路区中读线 125r 的区上的部分，并且选择地形成通孔 109。

[0198] 而且在整个表面上层叠应该构成 TMR 下电极 128、TMR 膜 129 和 TMR 上电极 131 的层。在这种情况下，通过在通孔 108 的底部和侧表面形成 TMR 下电极 128，使 TMR 下电极 128 与读线 125r 电连接。然后，使 TMR 上电极 131 和 TMR 膜 129 构图，并且完成 TMR 元件 105。

[0199] 而且如图 58 所示，在整个表面中通过小于 300℃ 的低温条件形成包括 LT-SiN 的绝缘膜 130 之后，形成在 TMR 形成区 103、104 边界相邻区中具有开口 146 的构图的抗蚀剂 145。在这种情况下，绝缘膜 130 的厚度形成为与约为 60nm 的氮化硅膜 126a 的厚度是可比较的厚度。

[0200] 因而，在实施例 3 的 MRAM 的制造方法中，因为在小于 300℃ 的低温下形成绝缘膜 130，所以在绝缘膜 130 形成时对 TMR 元件 105 的特性（参考图 52 和图 53）无不良影响。

[0201] 通过小于 300℃ 的低温条件在整个表面中形成包括 LT-SiN 的夹层绝缘膜 30 中的实施例 1 的制造方法中（例如参考图 16(a) 至图 16(d)），也能示范上述效果。

[0202] 而且如图 59 所示，通过将构图的抗蚀剂 145 用作掩膜而对绝缘膜 130 和 TMR 下电极 128 执行反应离子蚀刻（反应离子蚀刻：RIE），使绝缘膜 130 和 TMR 下电极 128 连续地构图。因而，因为通过抗蚀剂 145 对绝缘膜 130 和 TMR 下电极 128 连续地进行蚀刻，在紧接着蚀刻之后，开口 147 中绝缘膜 130 和 TMR 下电极 128 的侧表面几乎匹配。

[0203] 结果，将相互独立地形成 TMR 形成区 103（第一 TMR 形成区）中的 TMR 下电极 128、TMR 元件 105 和绝缘膜 130（第一下电极、第一 TMR 原件、第一绝缘膜），及 TMR 形成区 104（第二 TMR 形成区）中的 TMR 下电极 128、TMR 元件 105 和绝缘膜 130（第二下电极、第二 TMR 元件、第二绝缘膜）。

[0204] 而且以上第一和第二绝缘膜具有相互分开距离 d_1 （预定间隔）并且面对的侧表面。以上第一和第二下电极具有相互分开距离 d_1 并且面对的侧表面。也就是，关于以上第一绝缘膜和以上第一下电极（TMR 形成区 103 中的 TMR 下电极 128 和绝缘膜 130），沿从 TMR 形成区 103 至 TMR 形成区 104 的一致方向（第一方向），侧表面形成位置相对应。关于以上第二绝缘膜和以上第二下电极（TMR 形成区 104 中的 TMR 下电极 128 和绝缘膜 130），沿从 TMR 形成区 104 至 TMR 形成区 103 的一致方向（第二方向），侧表面形成位置相对应。在本实施例中，当使用相同掩模图形连续地蚀刻时形成的侧表面意味侧表面匹配。也就是，第一上述绝缘膜和第一上述下电极的侧表面沿第一方向的距离（当在 TMR 形成区 103 中的 TMR 下电极 128 和绝缘膜 130 的侧表面上发生水平差时，沿从 TMR 形成区 103 至 TMR 形成区 104 的相同方向（第一方向）的侧表面之间的距离），例如比 TMR 元件 129 的开口 147 侧的侧表面和使用不同掩模图形形成的 TMR 下电极 128 的侧表面之间的距离要小。

[0205] 然后，如图 60 所示，灰化处理除去抗蚀剂 145。结果，分别在 TMR 形成区 103、104 中，能获得其 TMR 下电极 128 和绝缘膜 130 的侧表面沿相同方向几乎匹配的结构。

[0206] 如图 61 所示，另一方面当用具有高熔点的金属材料例如 Ti 和 Ta 形成 TMR 下电极 128，并且氧化物具有绝缘时，在灰化处理阶段，TMR 下电极 128 从开口 147 中的暴露侧表面氧化，并且形成端部氧化区 132。

[0207] 也就是，通过灰化处理从以上第一和第二下电极的侧表面部分氧化，分别在 TMR 形成区 103 和 104 中形成端部氧化区 132(第一和第二端部氧化区)。形成了端部氧化区 132，第一和第二下电极的以上侧表面沿第一和第二方向变得被压下并且形成到以上第一和第二绝缘膜的侧表面。

[0208] 因而，因为在除去抗蚀剂 145 时通过灰化处理使以上第一和第二下电极的侧表面的部分氧化，形成以上第一和第二端部氧化区，所以能进一步增加第一和第二上述下电极之间的绝缘。

[0209] 在灰化处理之后通过执行湿筛选，可确实地除去抗蚀剂 145。在这种情况下，因为在 TMR 下电极 128 上形成绝缘膜 130，所以在湿清洗(净化)时在 TMR 下电极 128 中不会发生故障。

[0210] 因而，因为关于抗蚀剂 145 的除去处理执行灰化处理和湿净化处理，所以可以以足够精度除去抗蚀剂 145。在这种情况下，因为在 TMR 下电极 128 上形成绝缘膜 130，所以在进行灰化处理和湿清洗的执行时间对 TMR 下电极 128 和通孔 109 底部的读线 125r 没有不良影响。

[0211] 如上所述，因为实施例 3 的半导体器件的制造方法将抗蚀剂 145 用作掩模，连续地蚀刻 TMR 下电极 128 和绝缘膜 130，并且使 TMR 下电极 128 和绝缘膜 130 构图，结果在 TMR 下电极 128 的处理之后通过绝缘膜 130 来保护通孔 109 的 TMR 下电极 128，在抗蚀剂 145 的除去处理(灰化处理，湿净化处理)阶段，能避免对通孔 109 之下的读线 125r 的损坏，并且能致力于提高所完成的半导体器件的产量。

[0212] 上述效果在实施例 1 的制造方法(例如参考图 18(a)至图 18(d)和图 19(a)至图 19(d))中也能得到示范，其中在将抗蚀剂 45 用作掩模对 TMR 下电极 28 和夹层绝缘膜 30 同时蚀刻之后，在除去抗蚀剂 45 时在 TMR 下电极 28 上形成夹层绝缘膜 30。

[0213] 其次，如图 62(a)所示，在整个表面中形成包括 SiO_2 的氧化膜 133 之后，在存储电路区中 TMR 元件 105 的上部形成穿透氧化膜 133 的通孔 139(TMR 的部分通孔)。如图 62(b)所示，形成通孔 149(周围的部分通孔)，它穿透外围区中下 Cu 布线 125 的部分的上层中的氧化膜 133 和氧化膜 126b。在这种情况下，绝缘膜 130 起通孔 139 形成的阻挡器的作用，并且氮化硅膜 126a 起通孔 149 形成的阻挡器的作用。

[0214] 因而，因为用化学物类不同于绝缘膜 130 和氮化硅膜 126a 的材料形成氧化膜 133，绝缘膜 130 和氮化硅膜 126a 是氮化硅膜，而 133 是用化学物类与氧化膜 126b 相同的材料(SiO_2)形成的，通过将化学物类不同于氧化膜 133 和氧化膜 126b 的材料(不同材料)的绝缘膜 130 和氮化硅膜 126a 操作为阻挡器，即使同时形成通孔 139 和通孔 149，也能以足够精度分别形成通孔 139 和 149。

[0215] 如图 63(a)所示，在 TMR 元件 105 的上部，形成通孔 140(TMR 的通孔)，它在存储电路区中从通孔 139 也穿透绝缘膜 130。如图 63(b)所示，在外围区中，与通孔 140 同时地形成通孔 150(周围的通孔)，它从通孔 149 也穿透氮化硅膜 126a。

[0216] 在这种情况下，形成相同程度的作为氮化硅膜的绝缘膜 130 的厚度和化学物类为相同材料的氮化硅膜 126a 的厚度，即使同时地形成通孔 140 和 150，也能分别以足够精度形成通孔 140 和 150。

[0217] 结果，因为能同时形成通孔 140 和 150，所以伴随简化制造过程，能致力于减小

制造成本。

[0218] 而且通过在通孔 140 和 150 中嵌入上 Cu 布线 134 而形成位线。结果，在存储电路区中，使上 Cu 布线 134 通过通孔 140 与 TMR 元件 105(TMR 上电极 131) 电连接，并且在外围电路区中使上 Cu 布线 134 与下 Cu 布线 125 电连接。因而，完成实施例 3 的 MRAM(包括外围电路)。

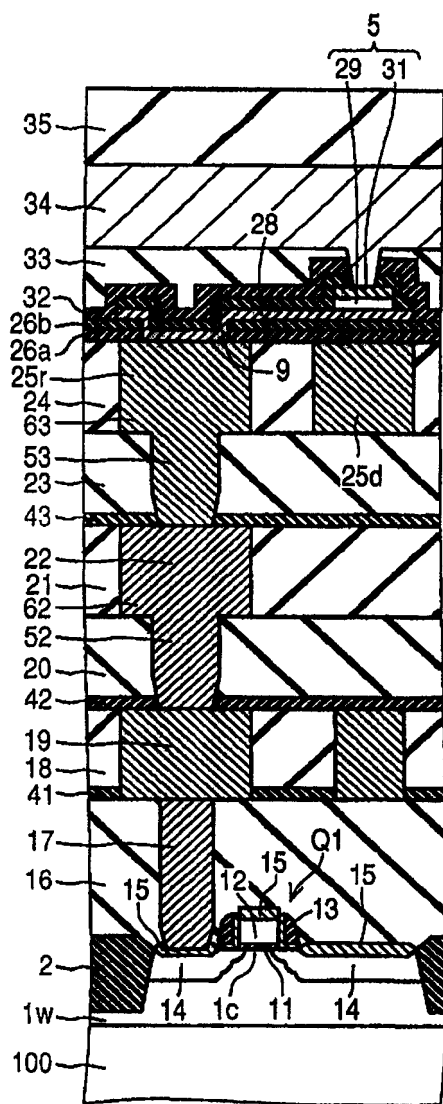


图 3(a)

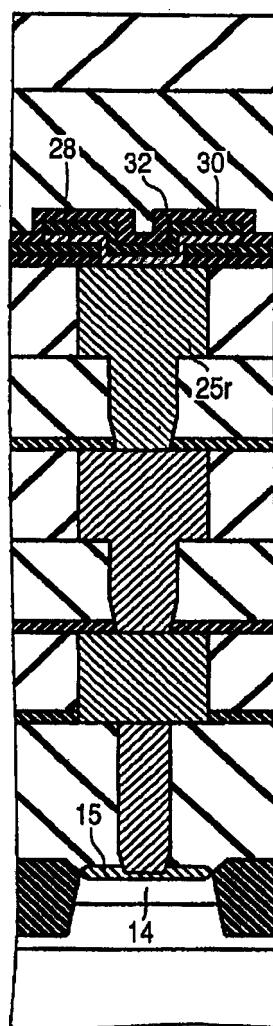


图 3(b)

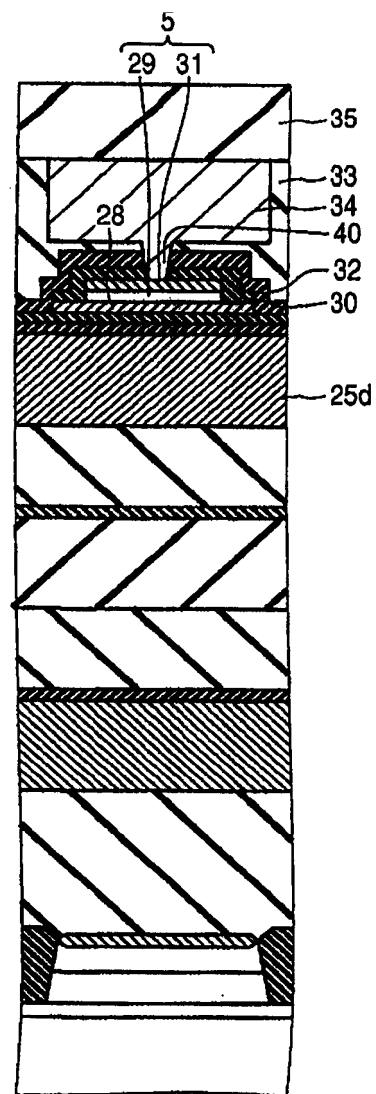


图 3(c)

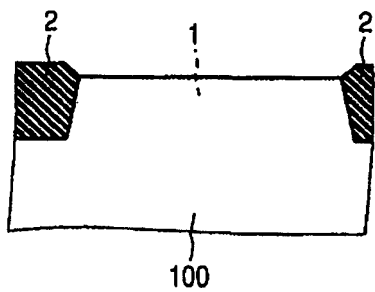


图 4(a)

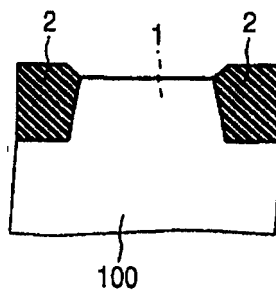


图 4(b)

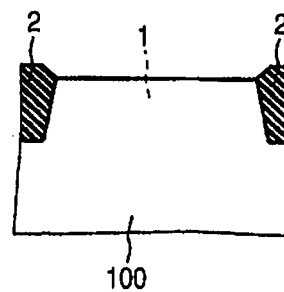


图 4(c)

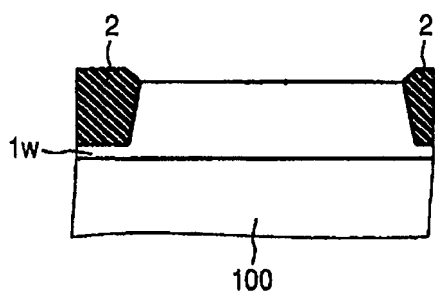


图 5(a)

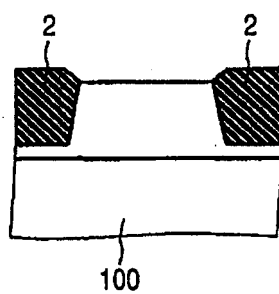


图 5(b)

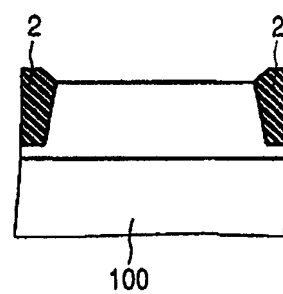


图 5(c)

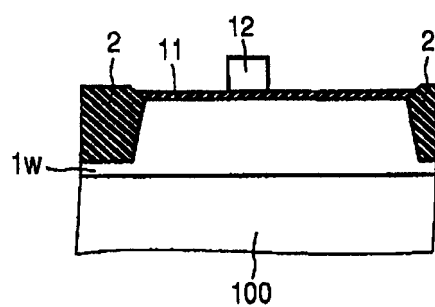


图 6(a)

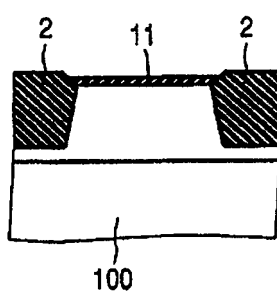


图 6(b)

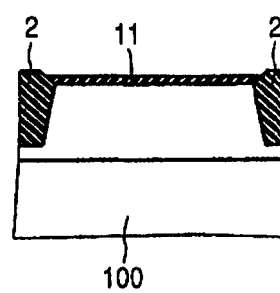


图 6(c)

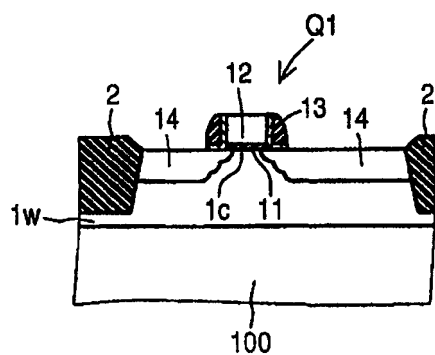


图 7(a)

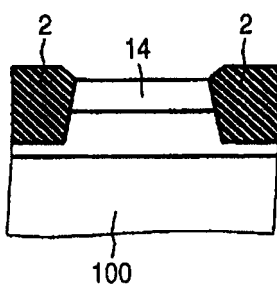


图 7(b)

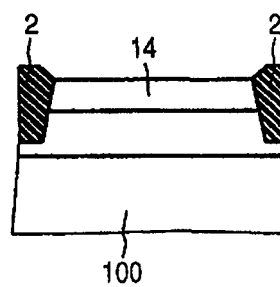


图 7(c)

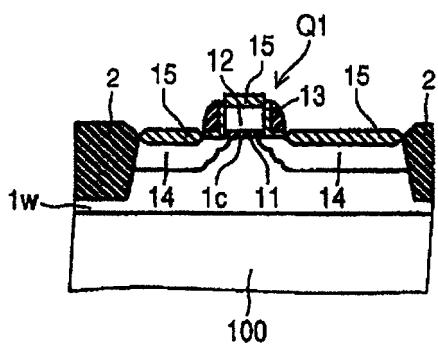


图 8(a)

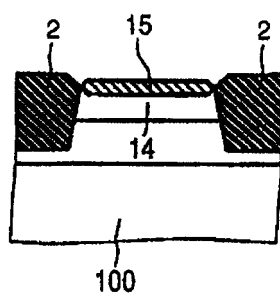


图 8(b)

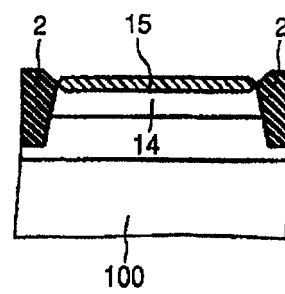


图 8(c)

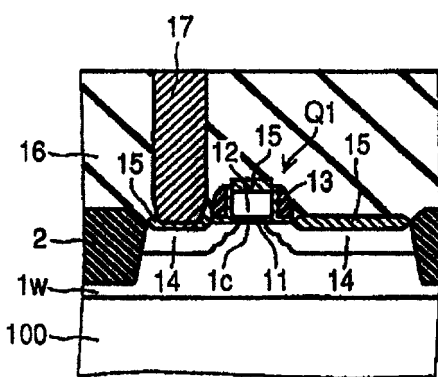


图 9(a)

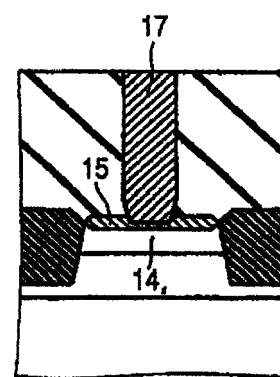


图 9(b)

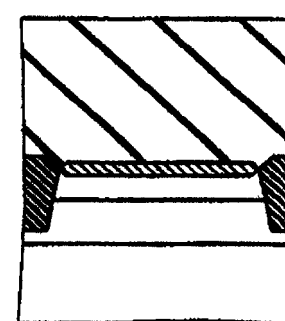


图 9(c)

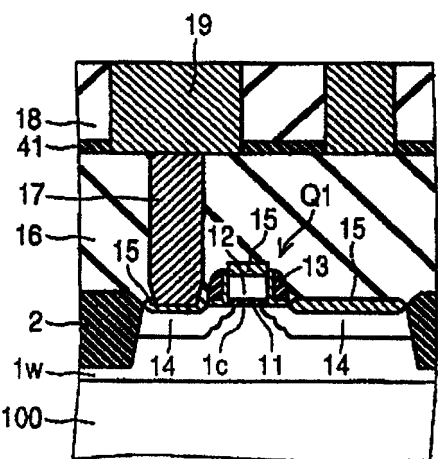


图 10(a)

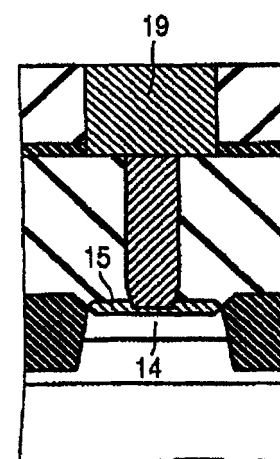


图 10(b)

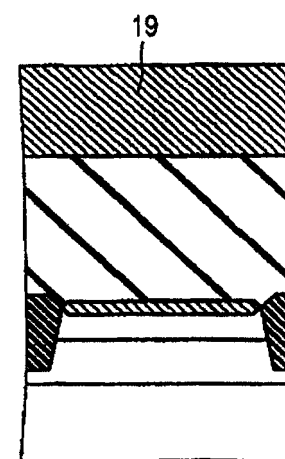


图 10(c)

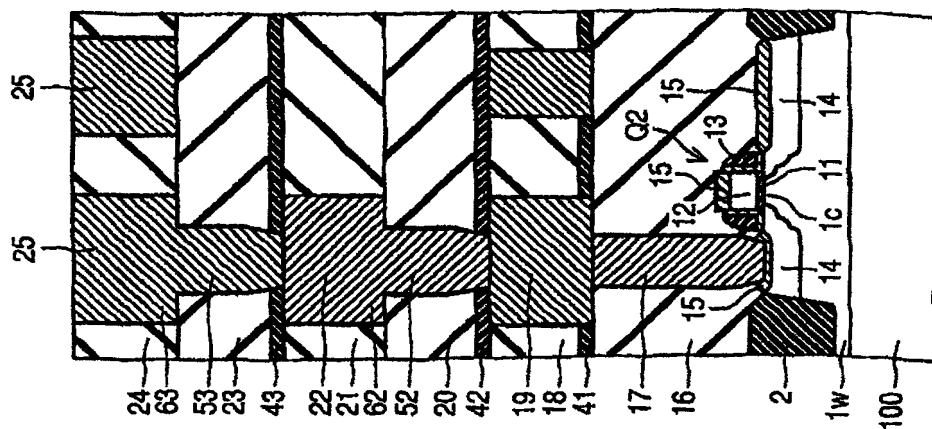


图 12(d)

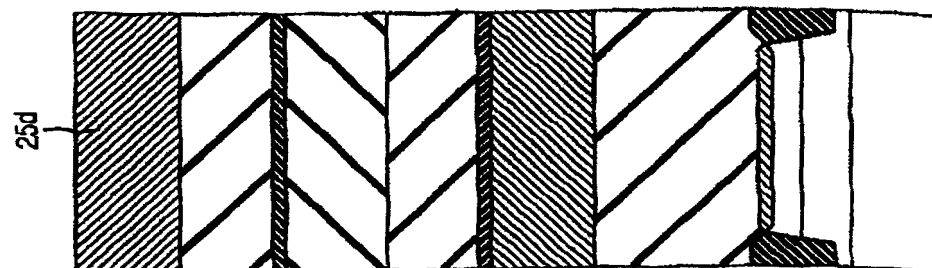


图 12(c)

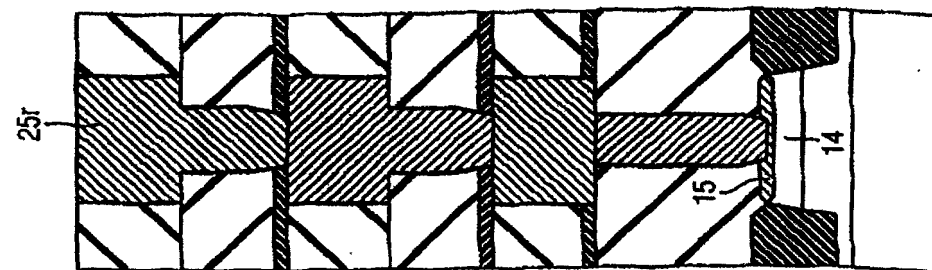


图 12(b)

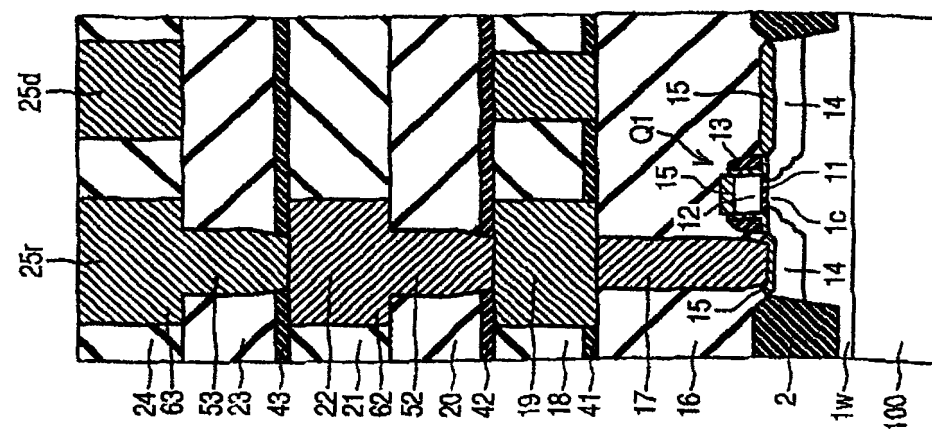


图 12(a)

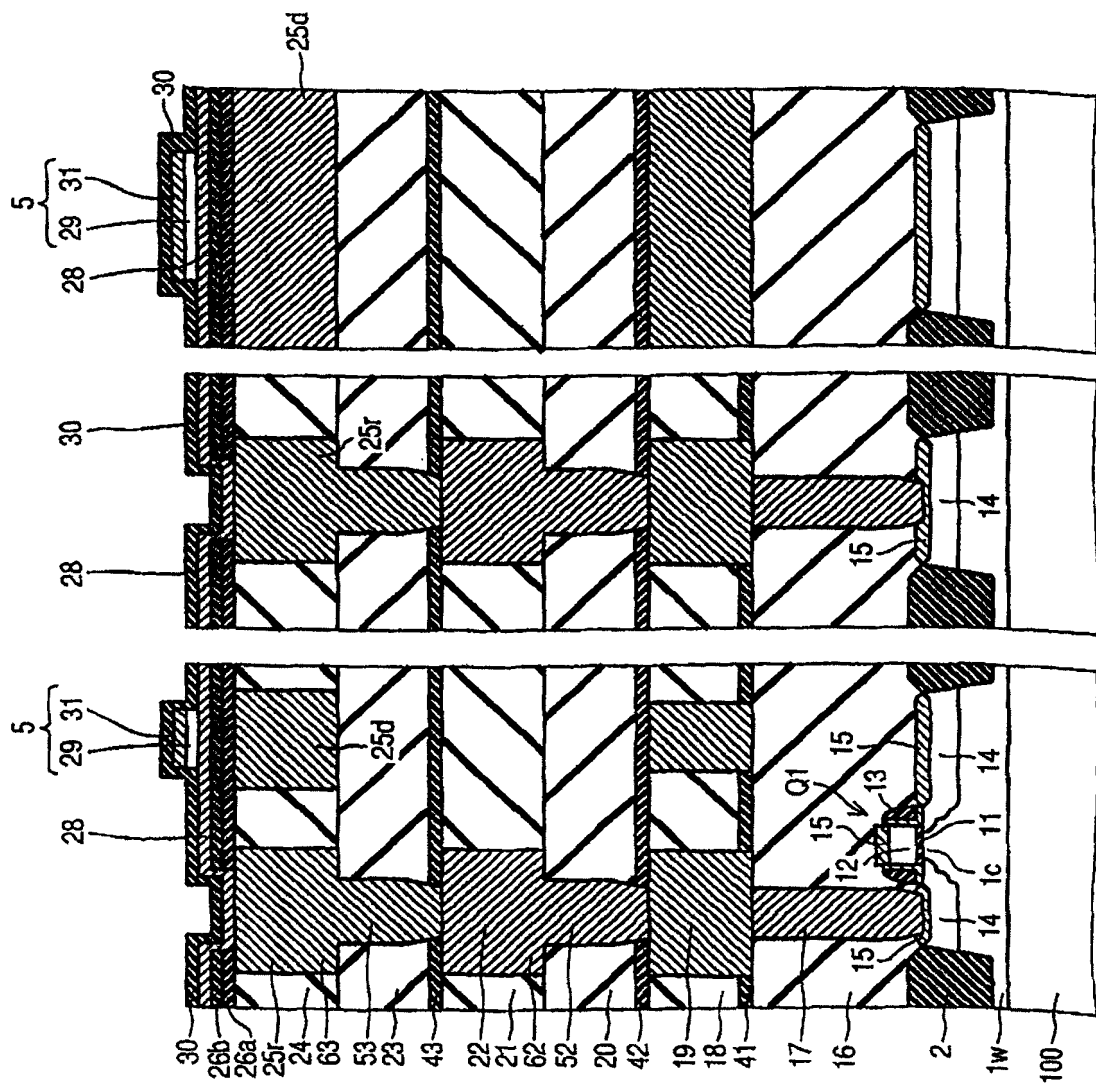


图 16(a)

图 16(b)

图 16(c)

图 16(d)

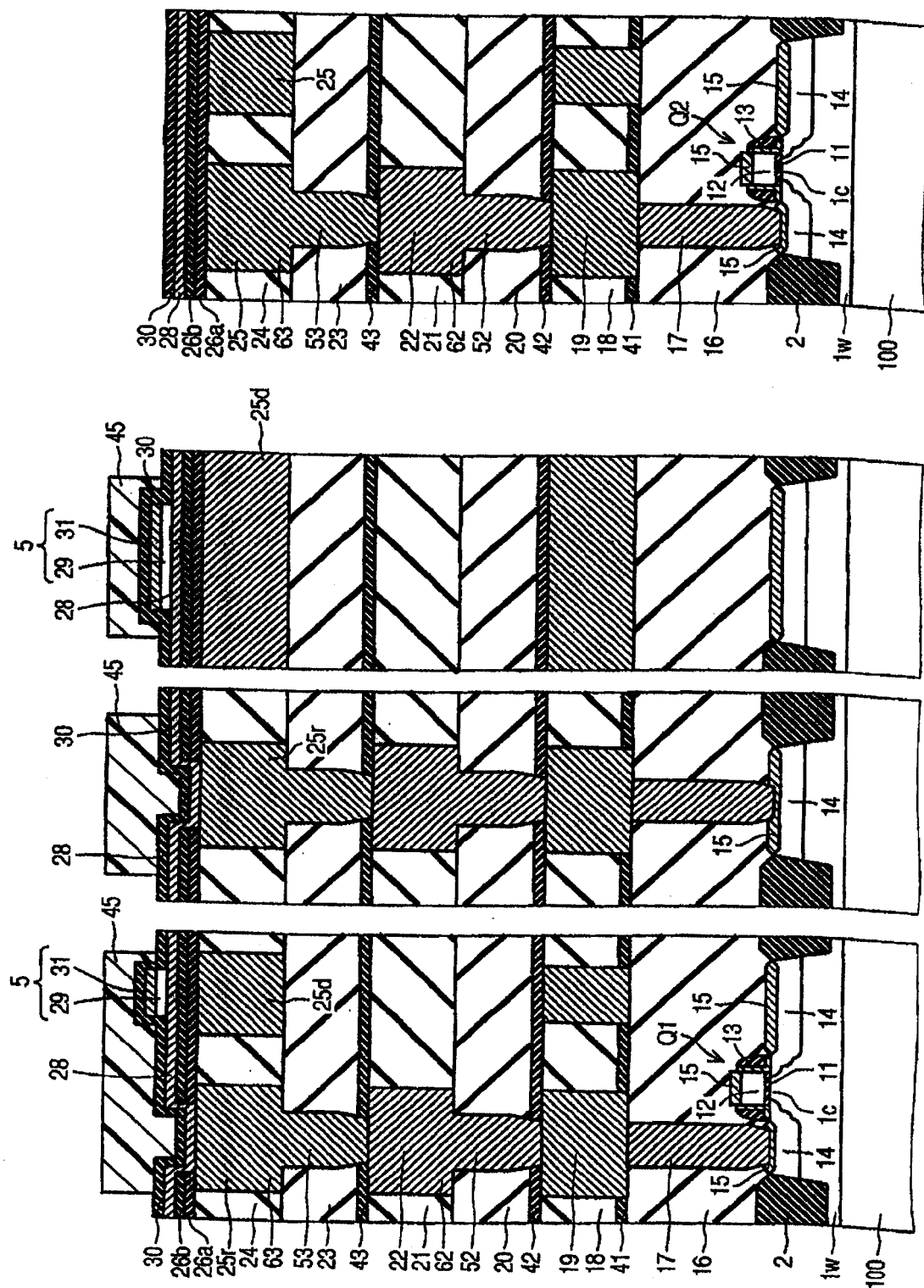


图 17(a)

图 17(b)

图 17(c)

图 17(d)

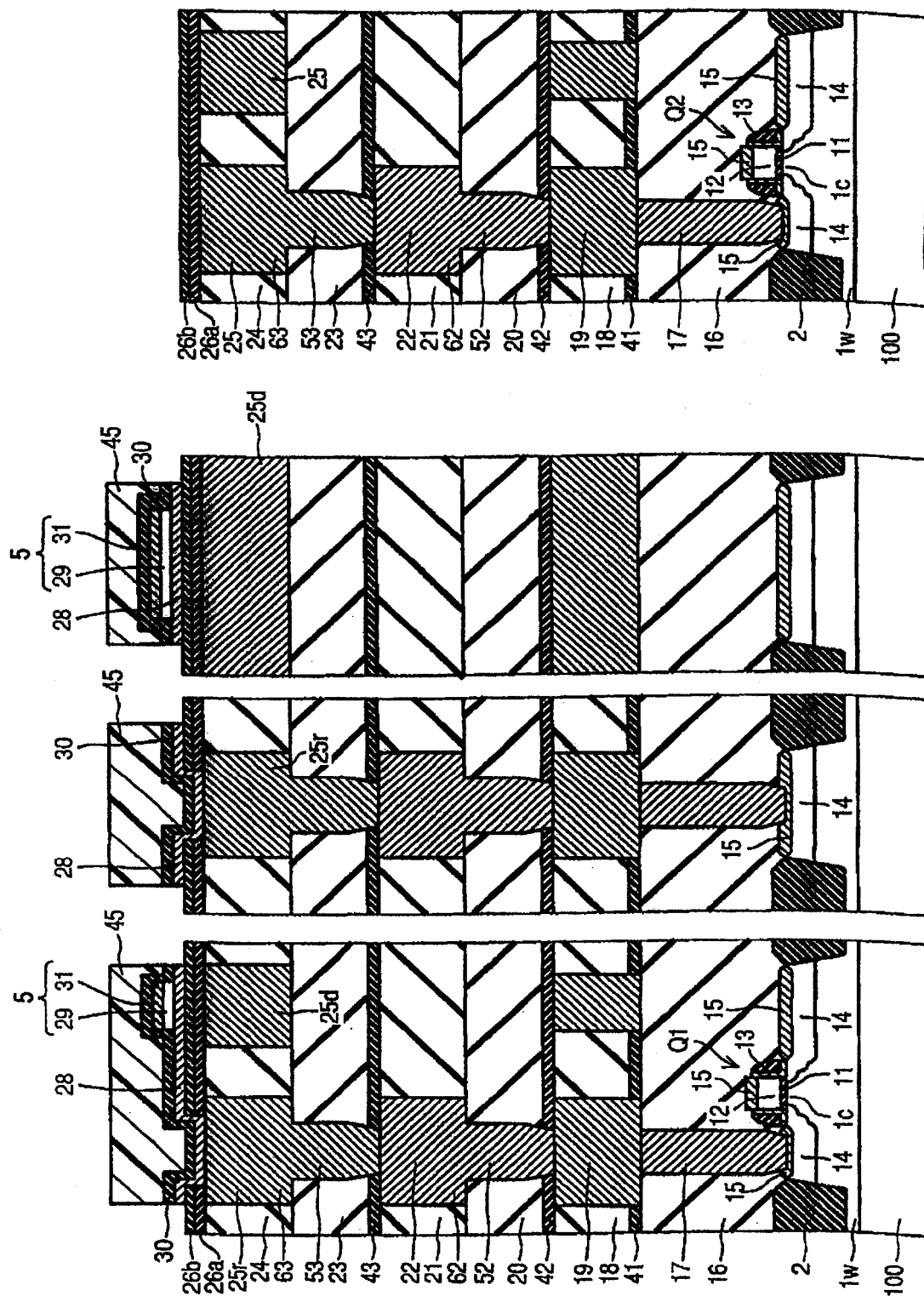


图 18(d)

图 18(c)

图 18(b)

图 18(a)

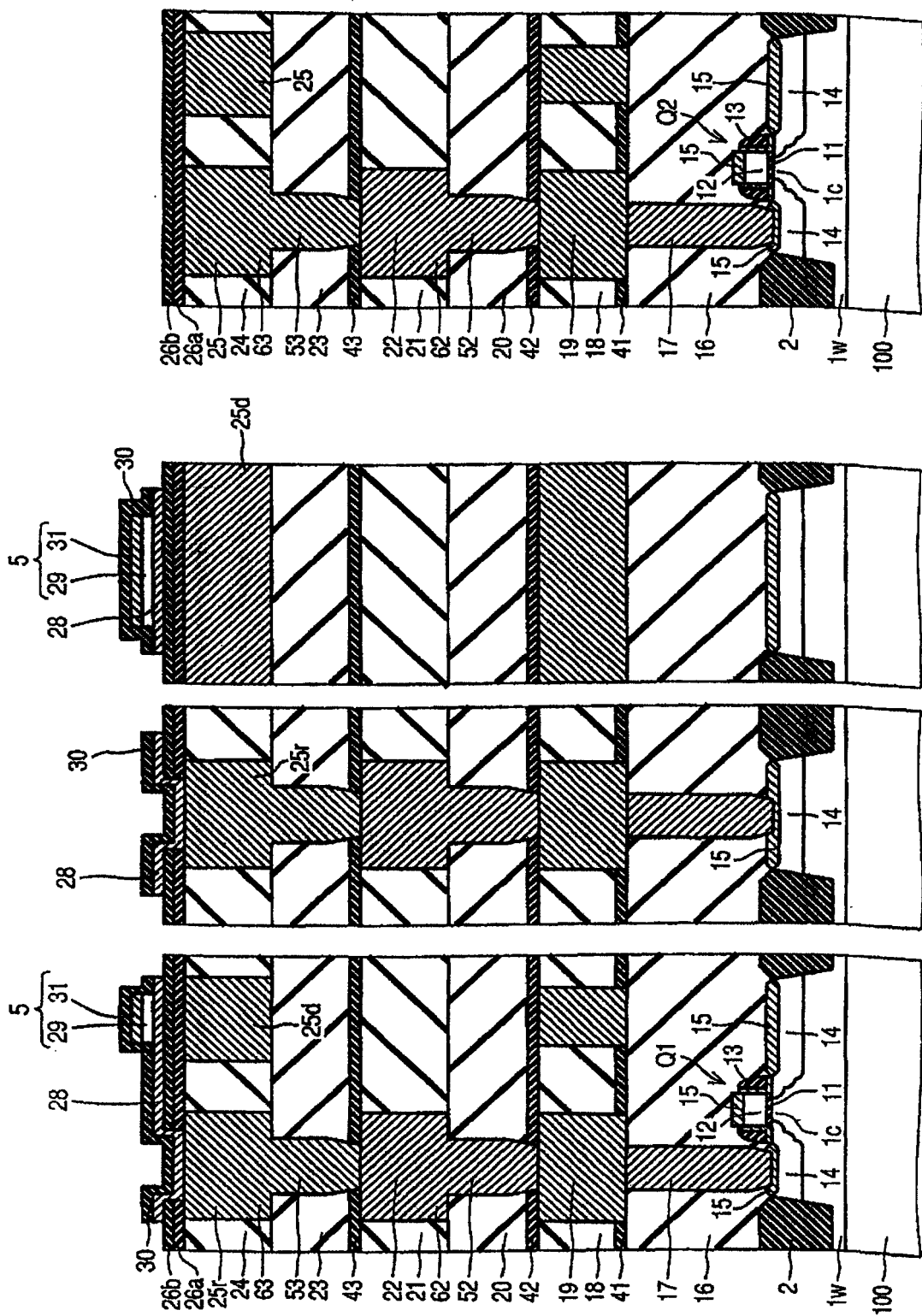
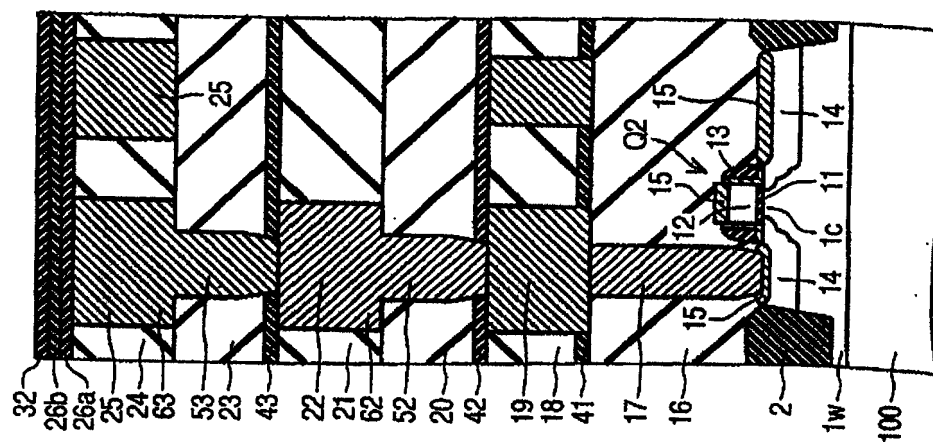
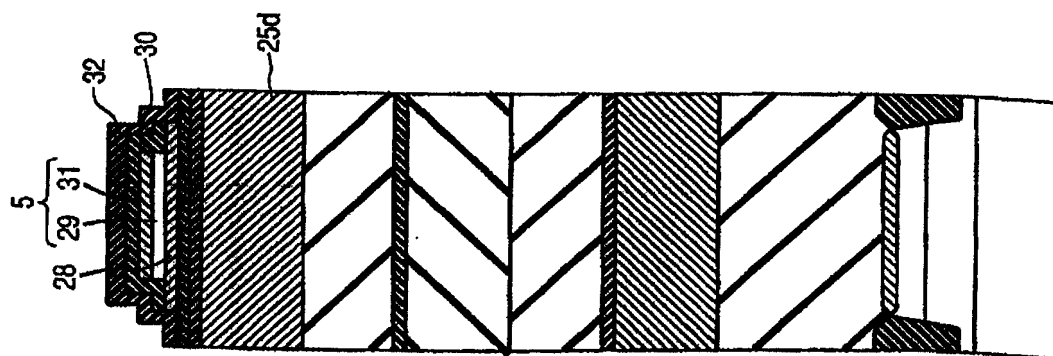
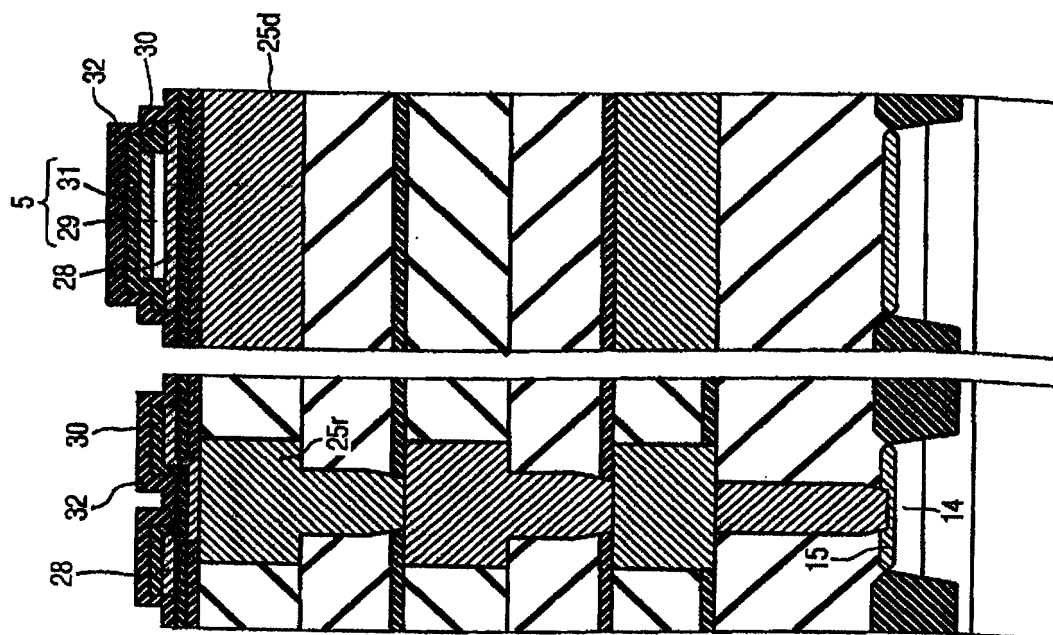
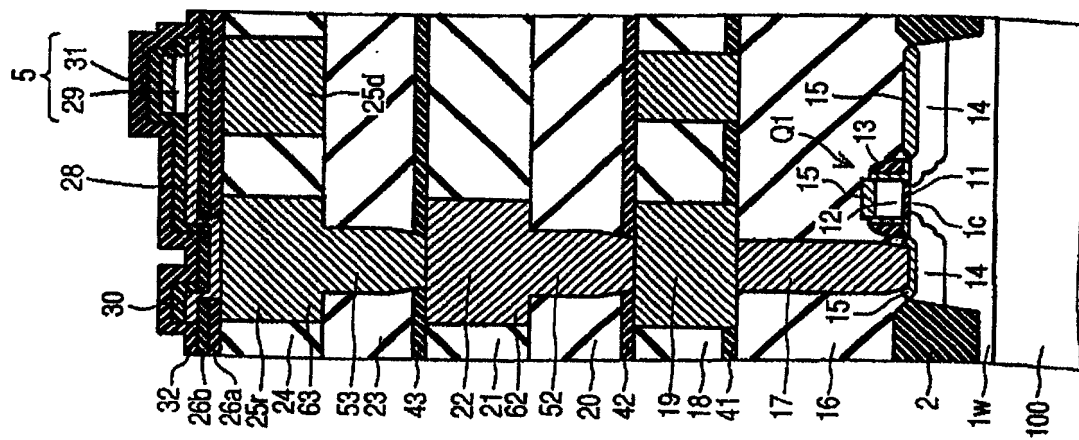


图 19(a)

图 19(b)

图 19(c)

图 19(d)



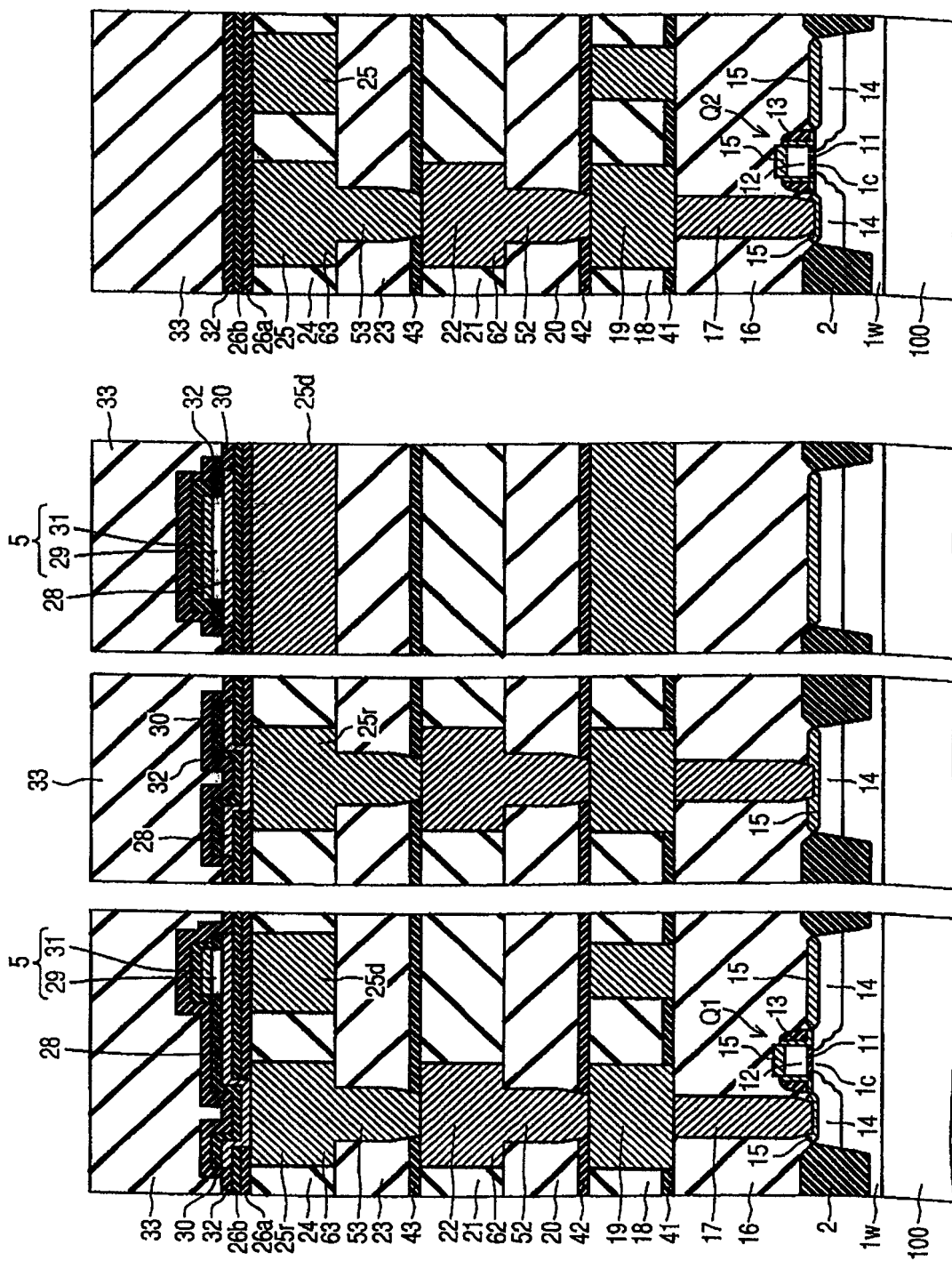


图 22 (a)

图 22 (b)

图 22 (c)

图 22 (d)

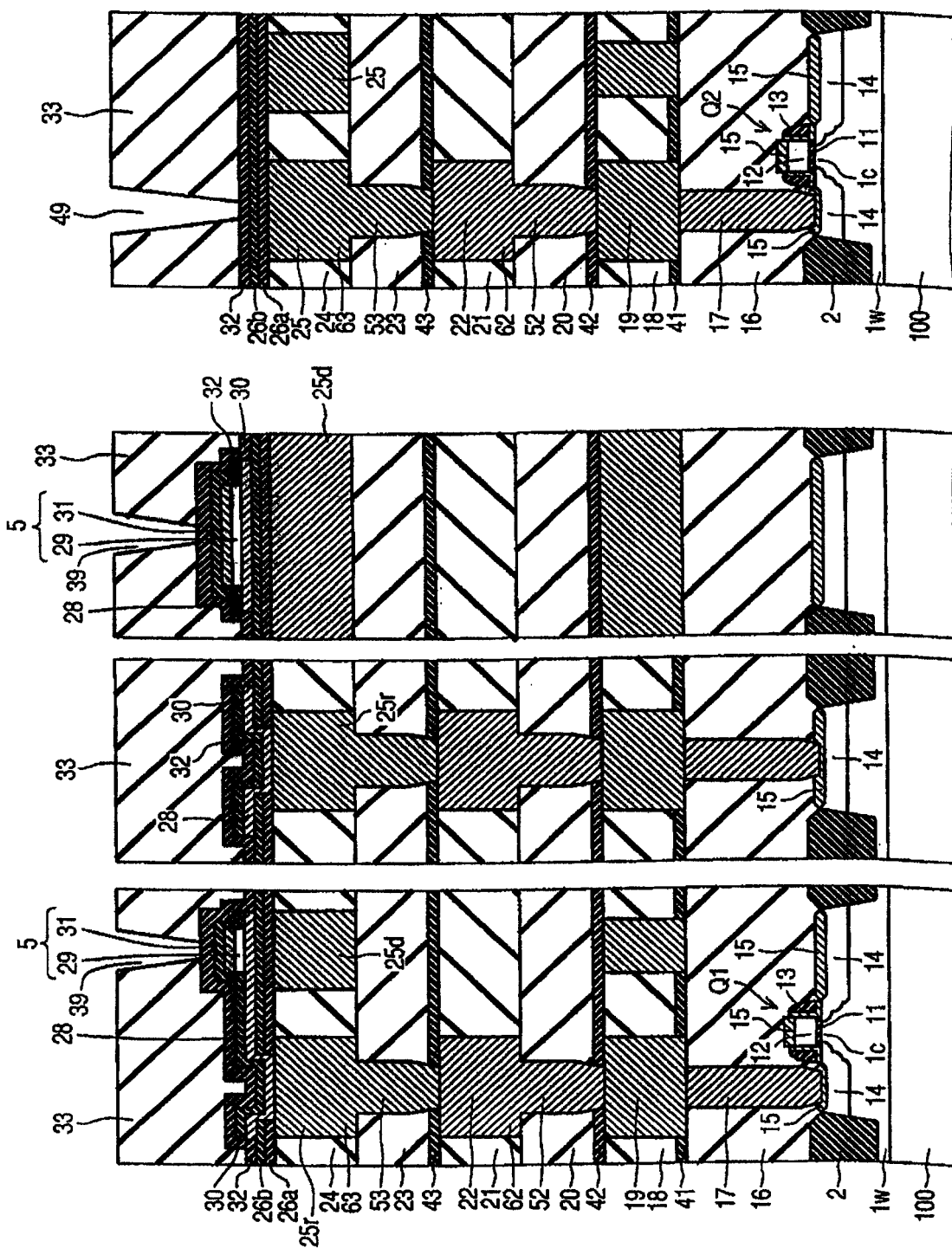


图 23(a)

图 23(b)

图 23(c)

图 23(d)

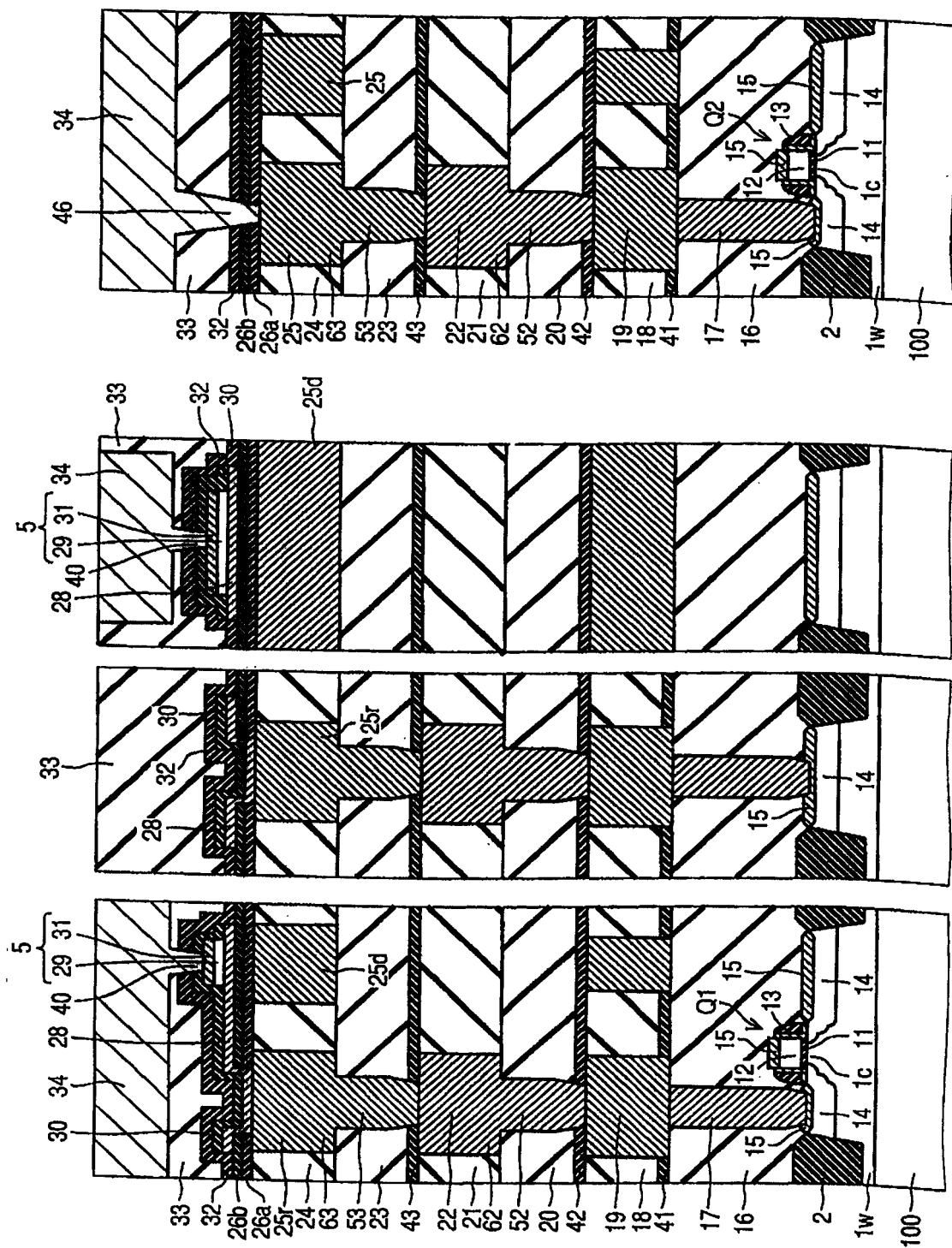


图 25(a)

图 25(b)

图 25(c)

图 25(d)

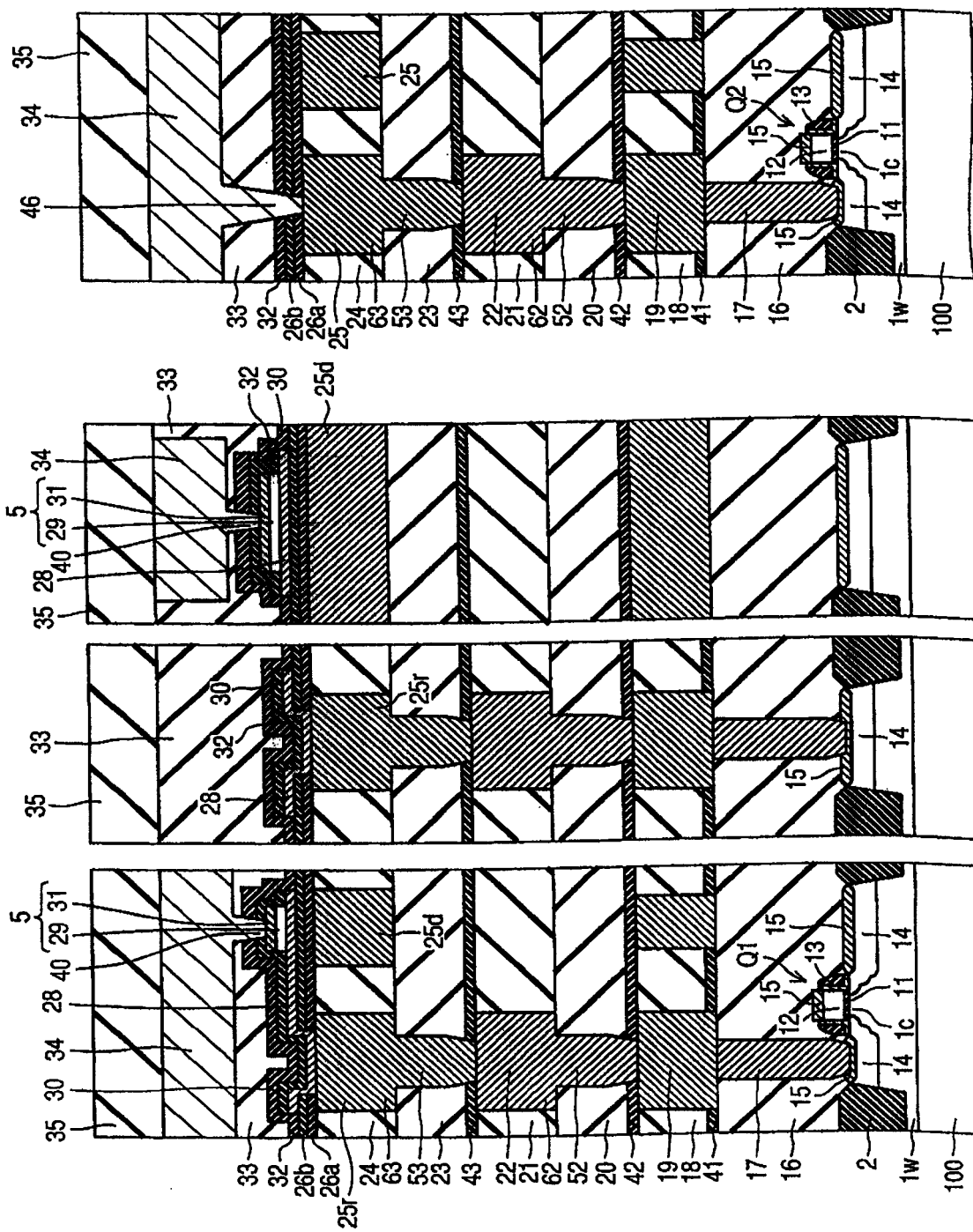


图 26 (d)

图 26 (c)

图 26 (b)

图 26 (a)

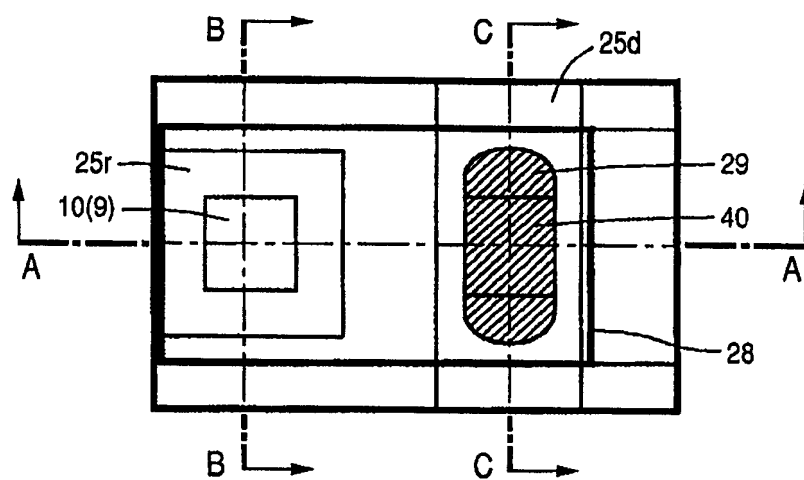


图 27

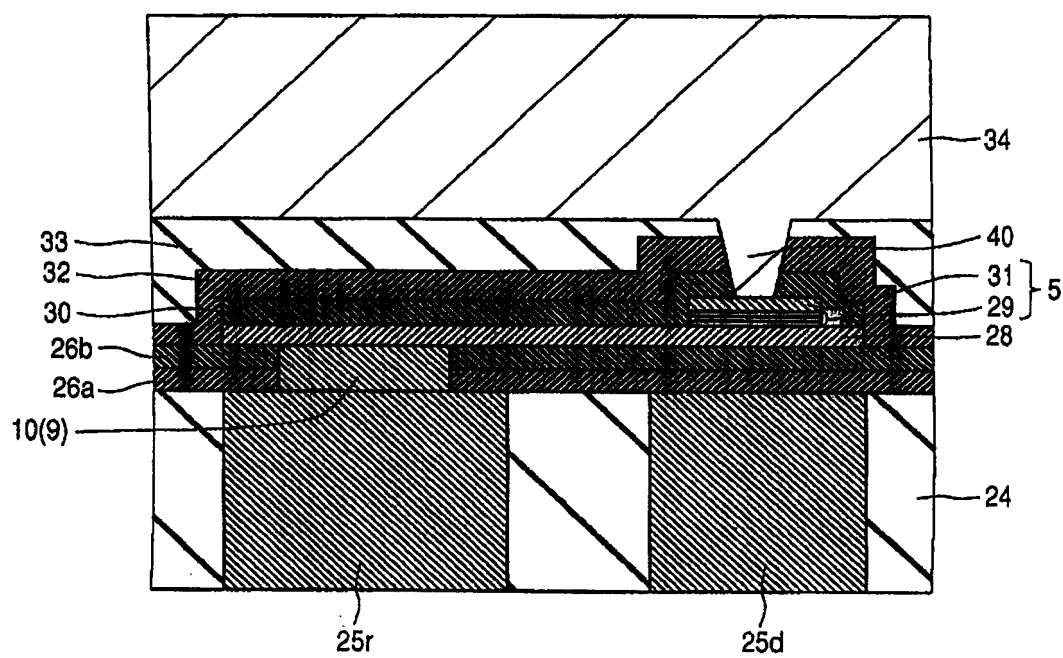


图 28

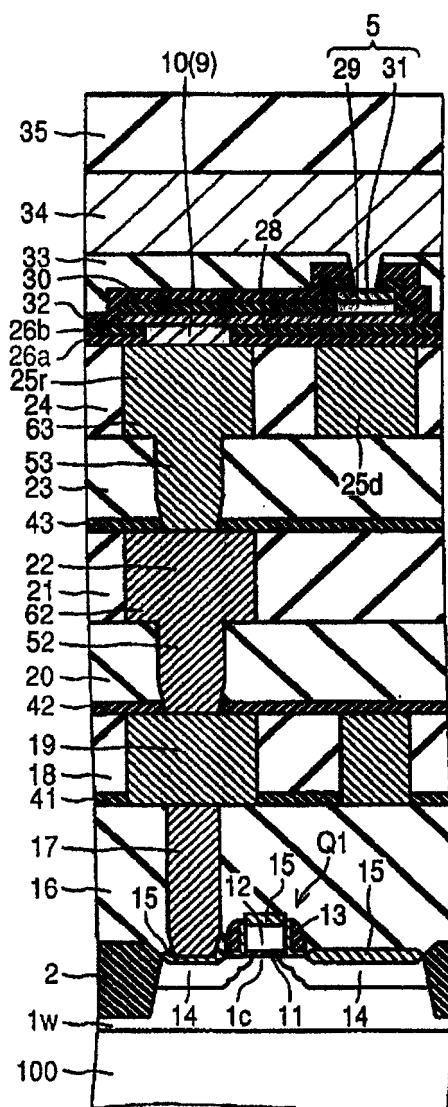


图 29(a)

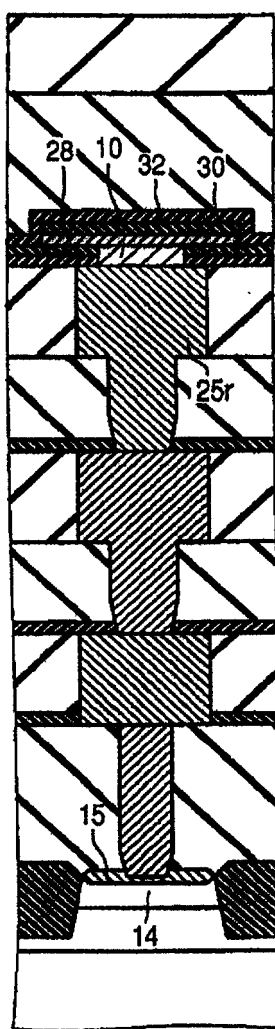


图 29(b)

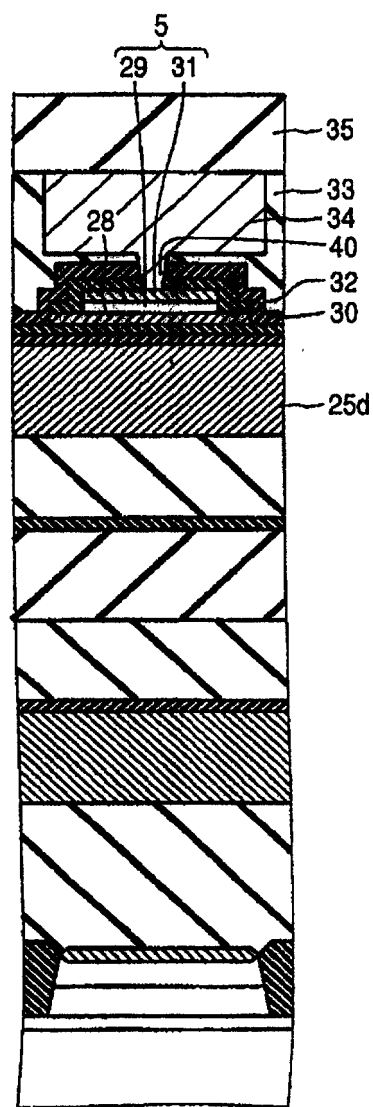


图 29(c)

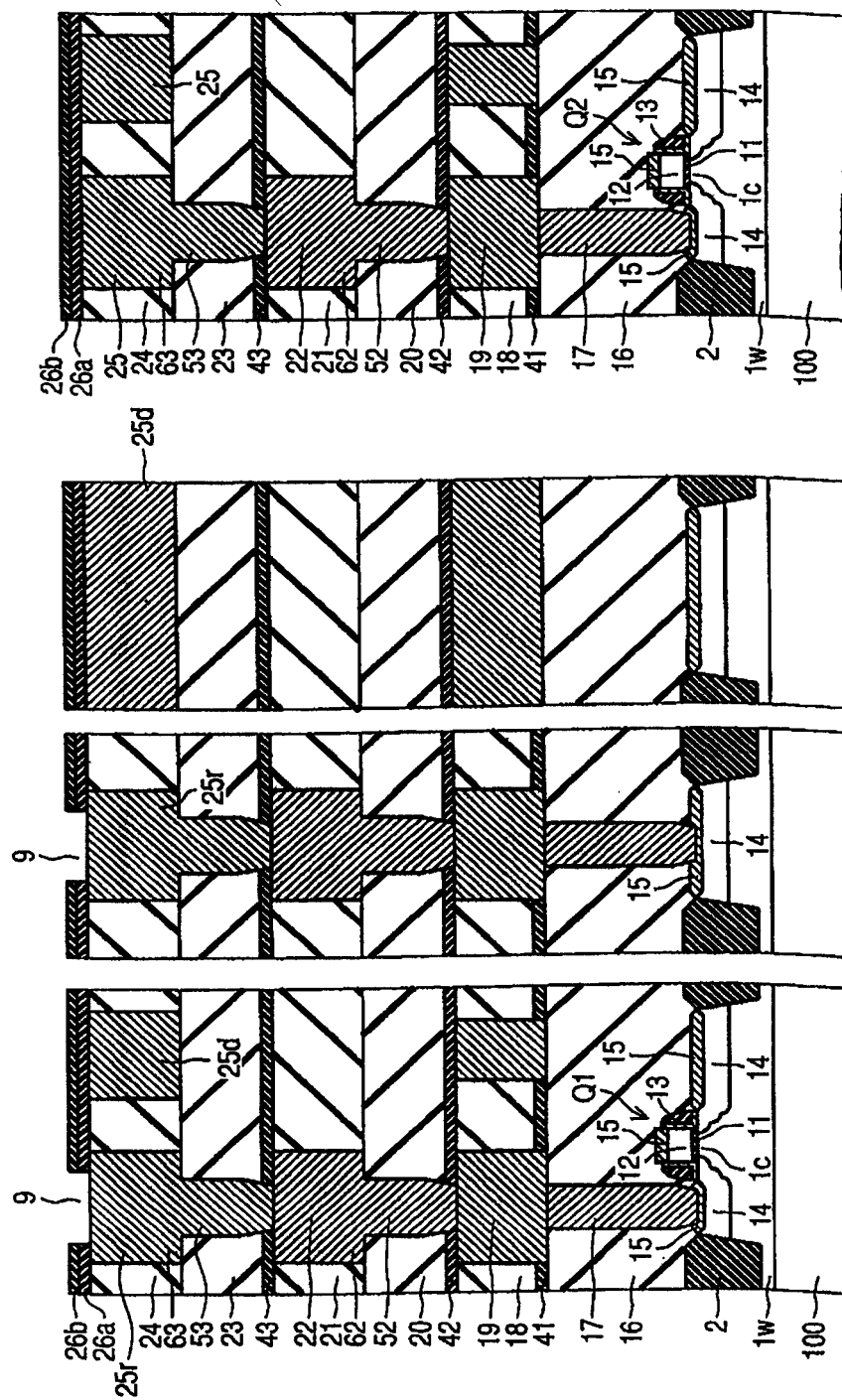


图 30(d)

图 30(c)

图 30(b)

图 30(a)

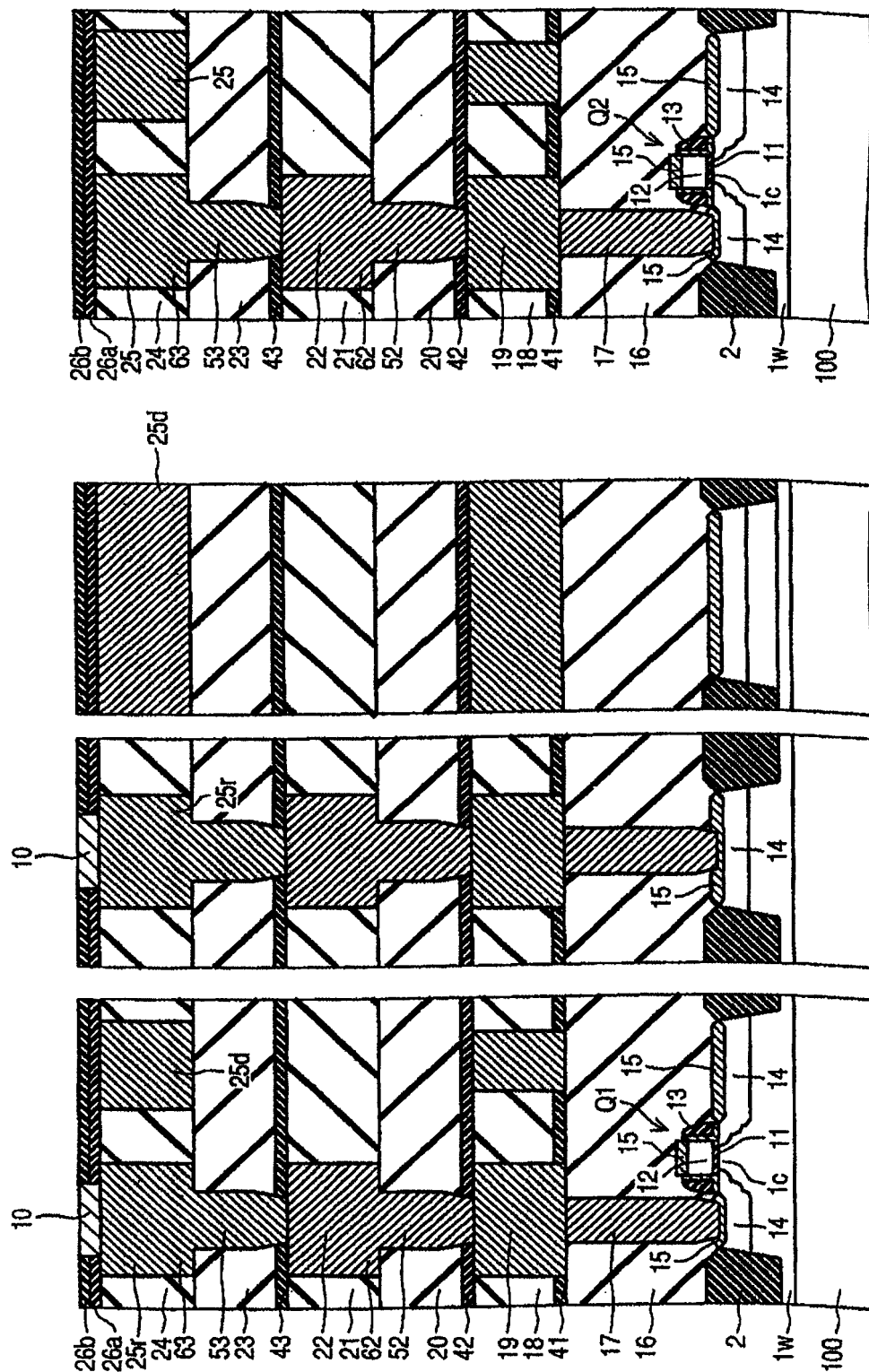


图 31 (a)

图 31 (b)

图 31 (c)

图 31 (d)

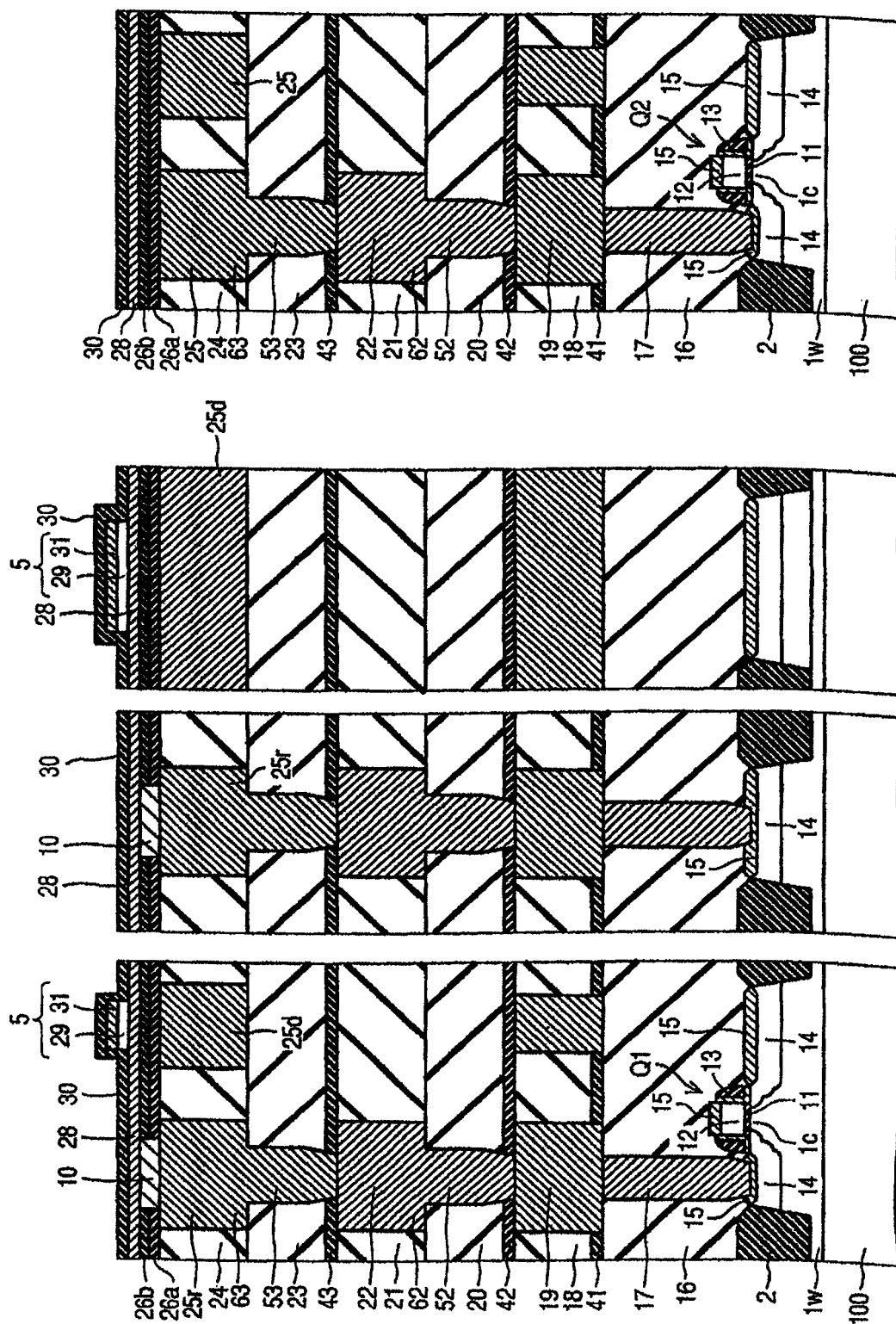


图 34 (d)

图 34 (c)

图 34 (b)

图 34 (a)

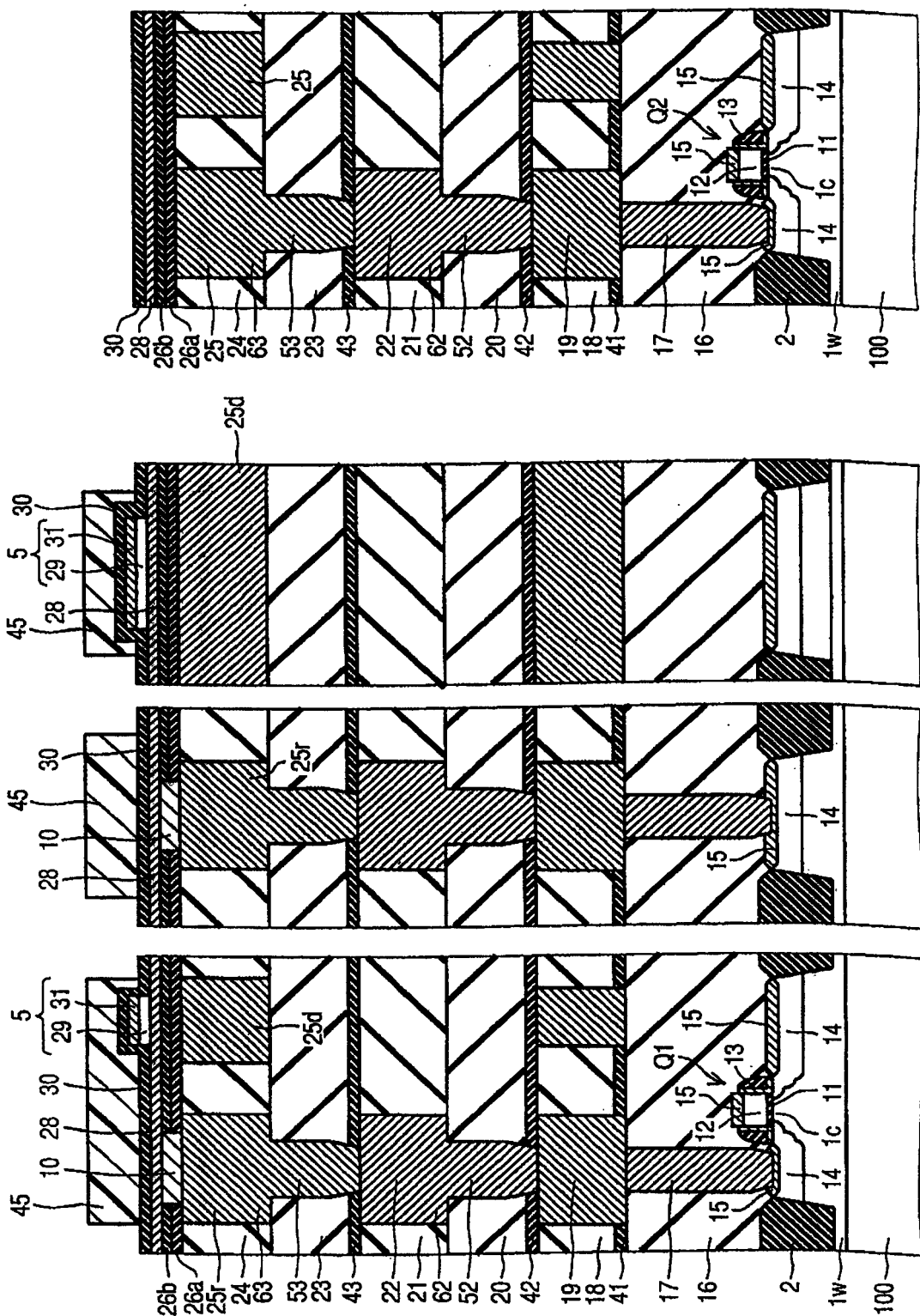


图 35 (d)

图 35 (c)

图 35 (b)

图 35 (a)

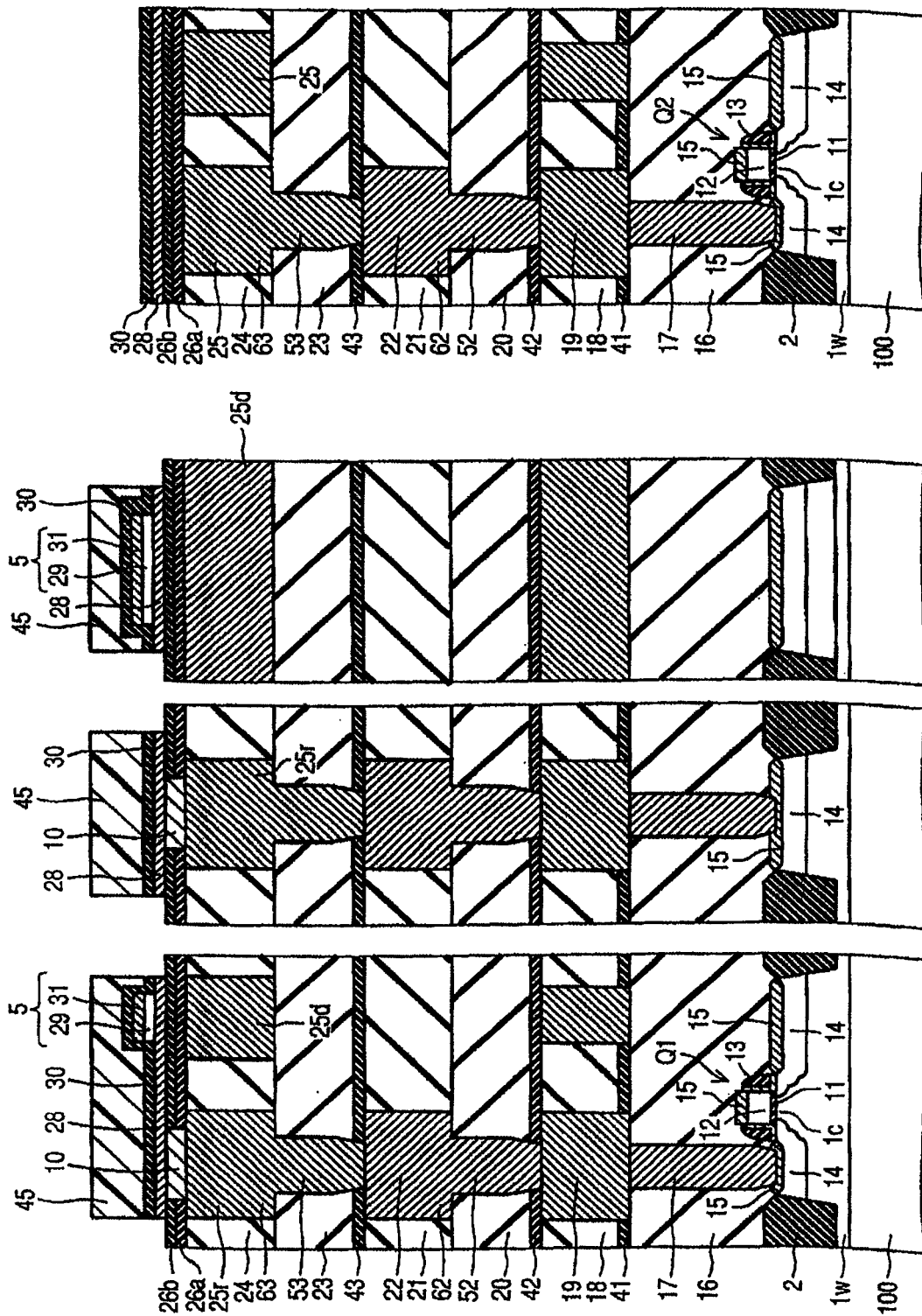


图 36 (a)

图 36 (b)

图 36 (c)

图 36 (d)

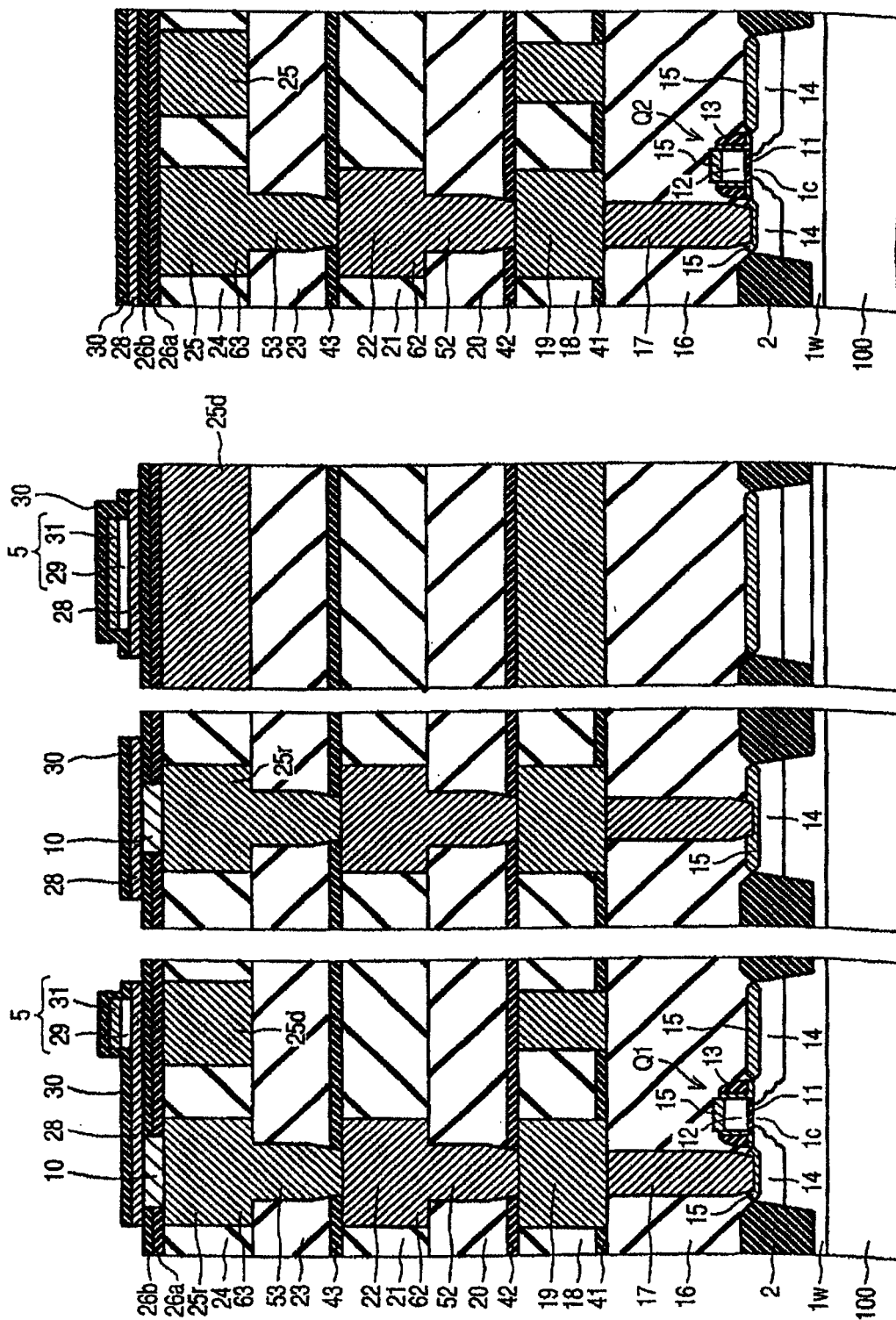


图 37 (a)

图 37 (b)

图 37 (c)

图 37 (d)

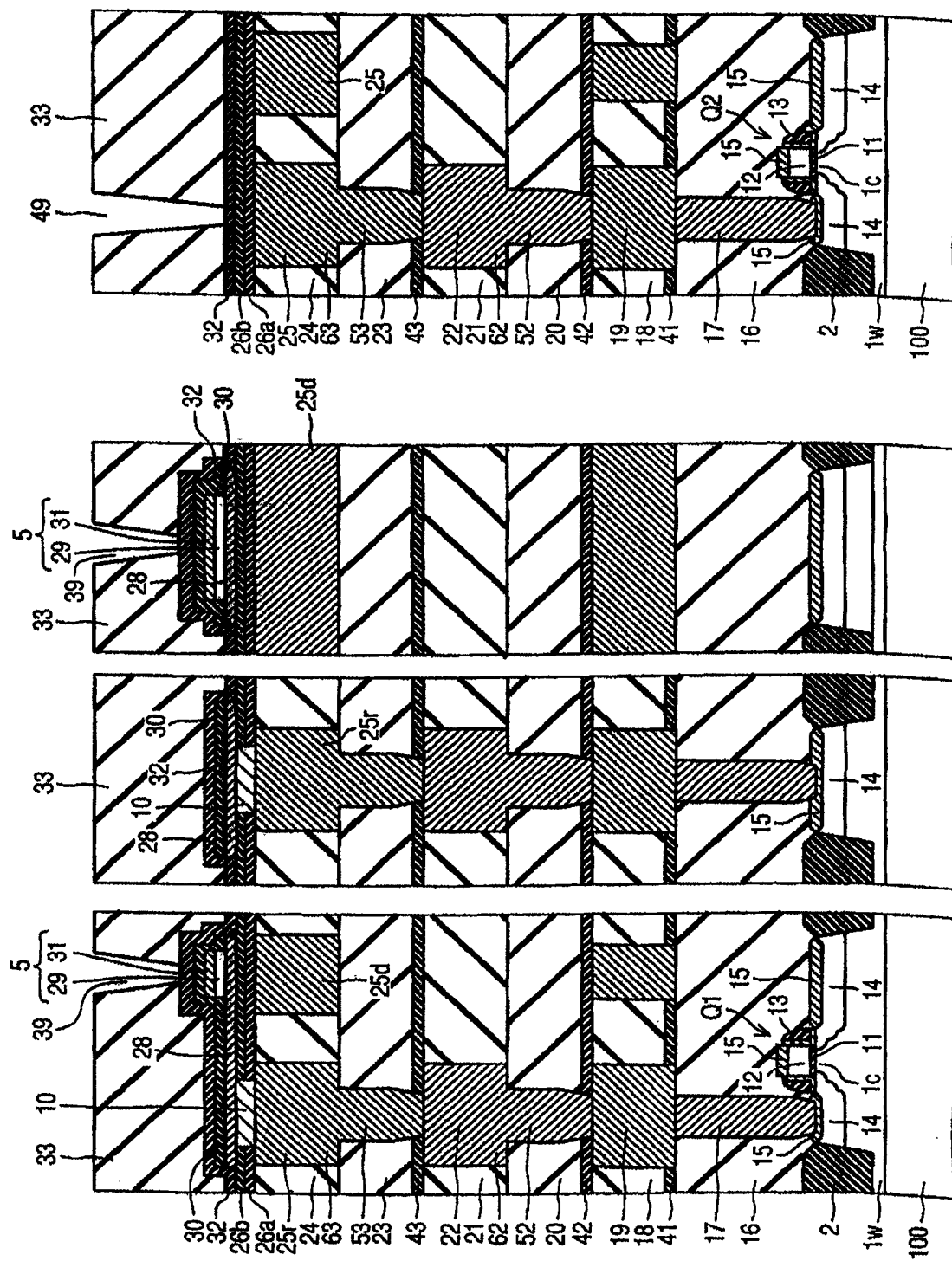


图 41(a)

图 41 (b)

图 41(c)

图 41 (d)

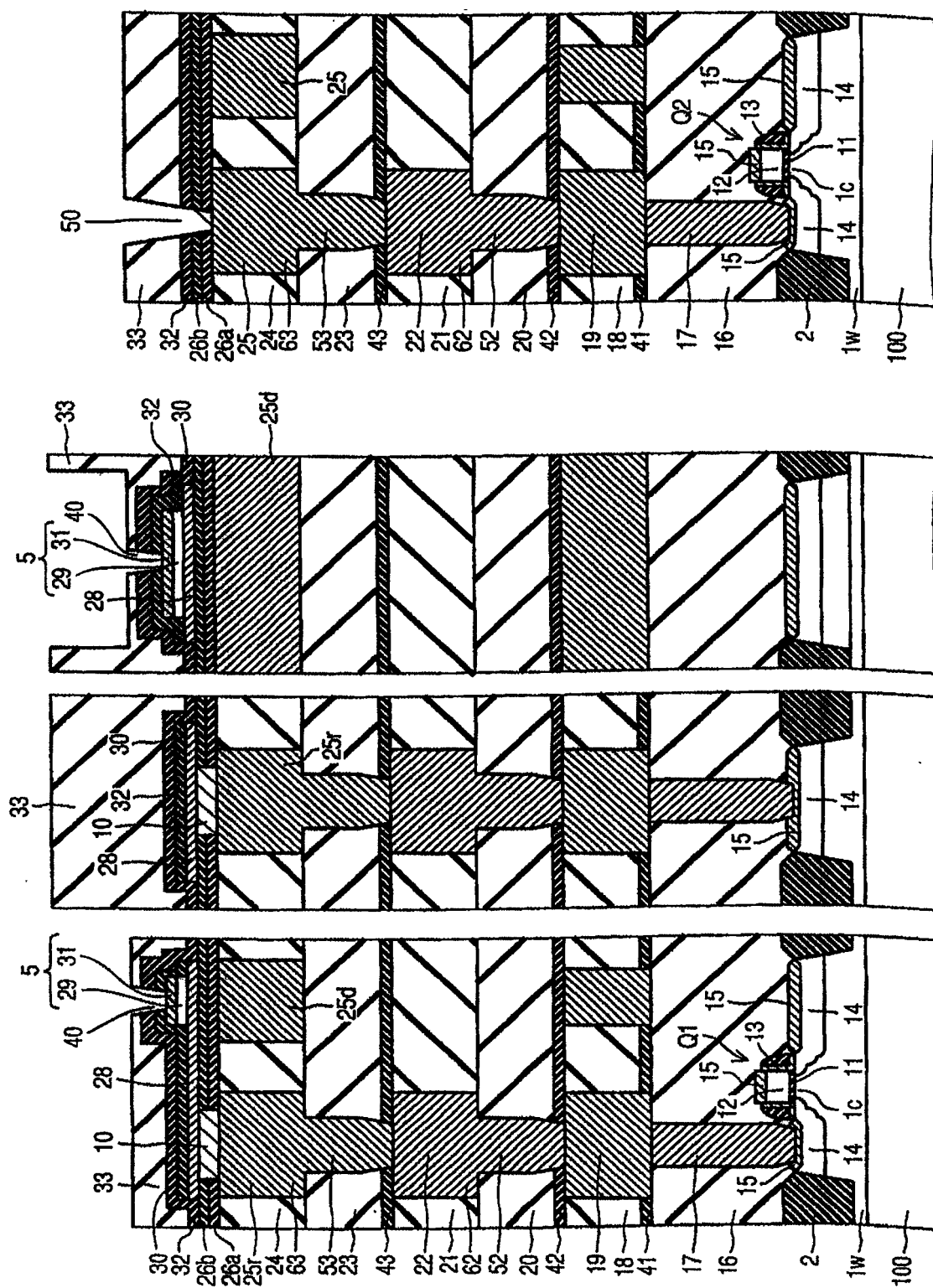


图 42 (a)

图 42 (b)

图 42 (c)

图 42 (d)

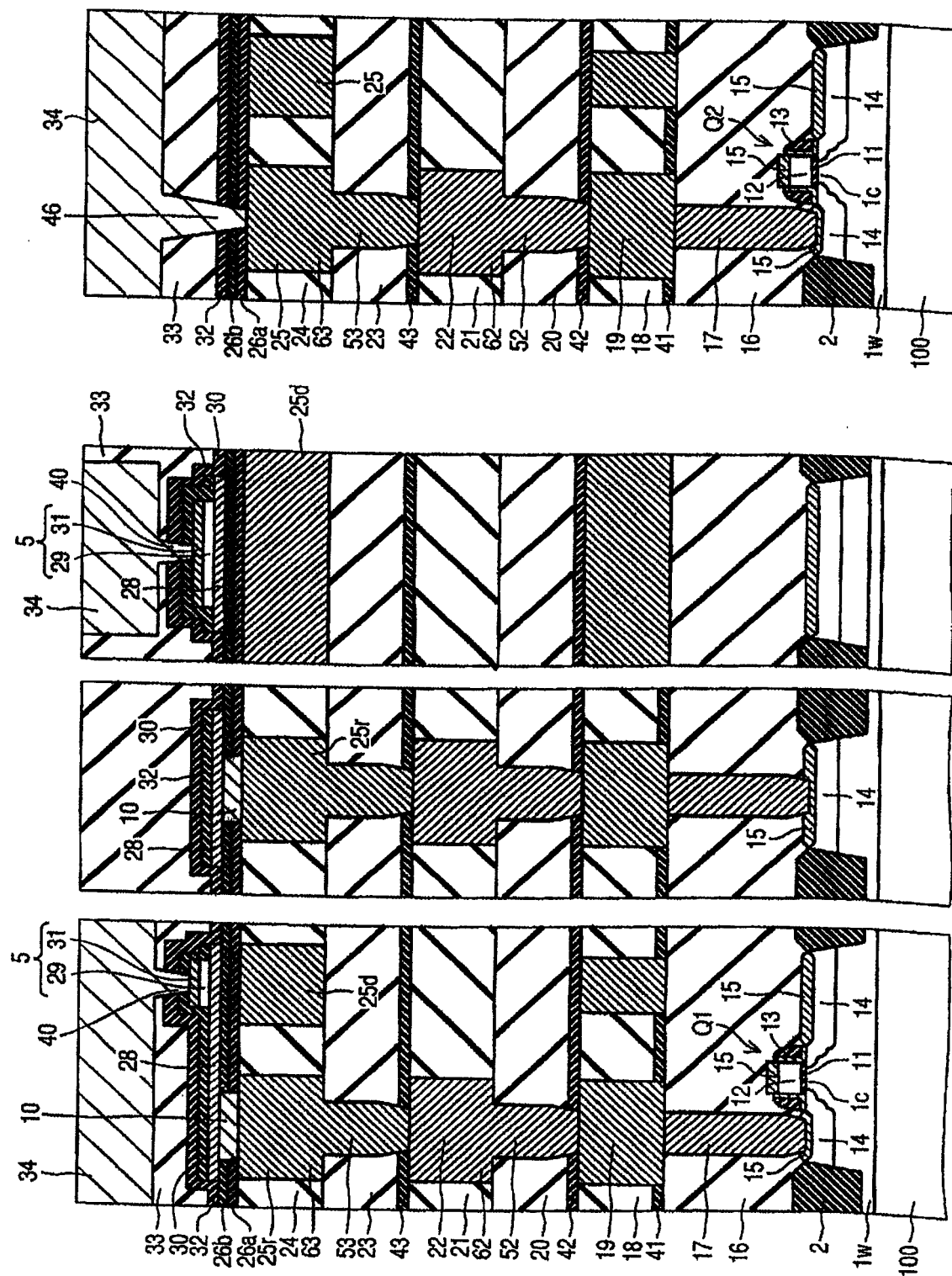


图 43 (d)

图 43 (c)

图 43 (b)

图 43 (a)

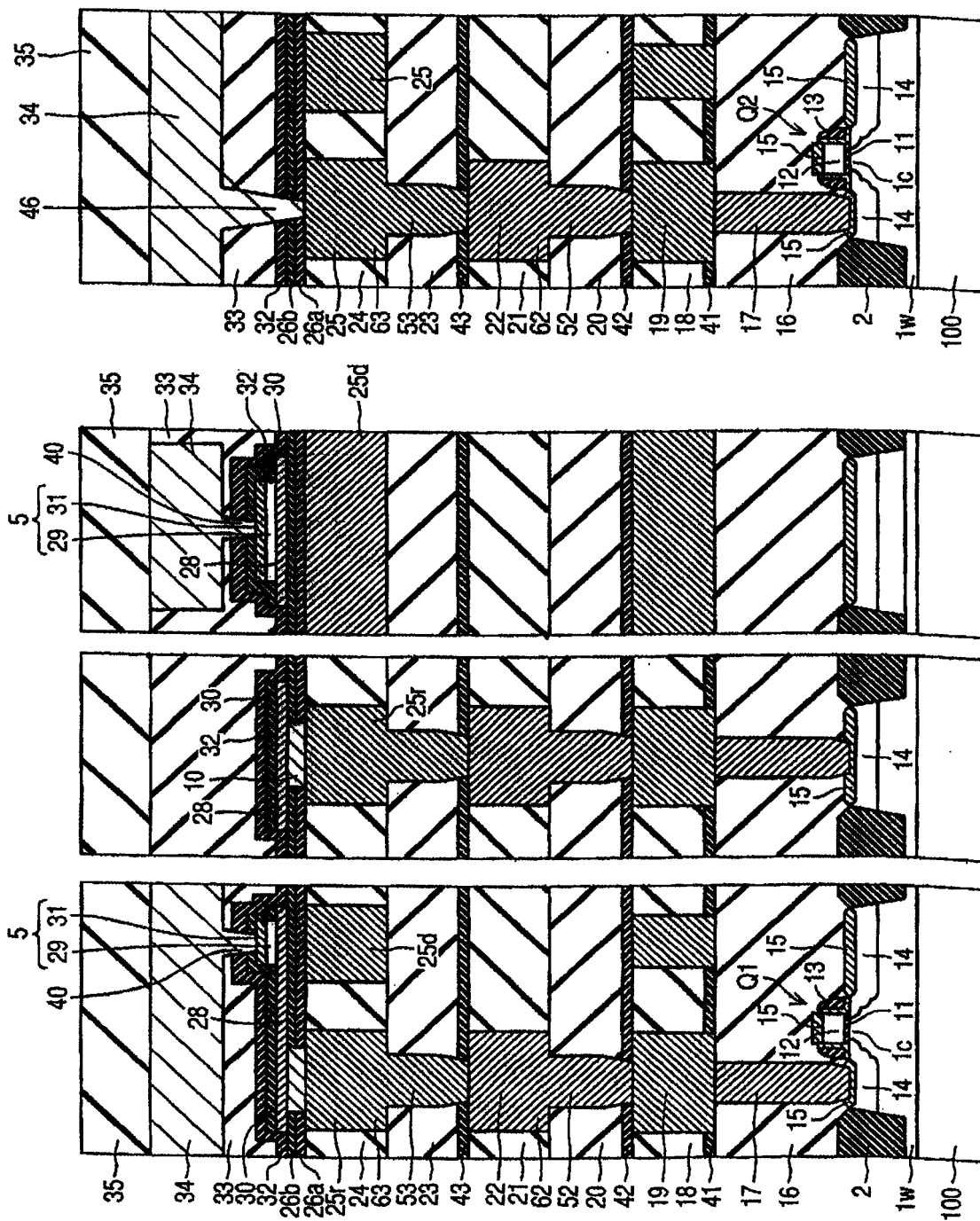


图 44 (d)

图 44 (c)

图 44 (b)

图 44 (a)

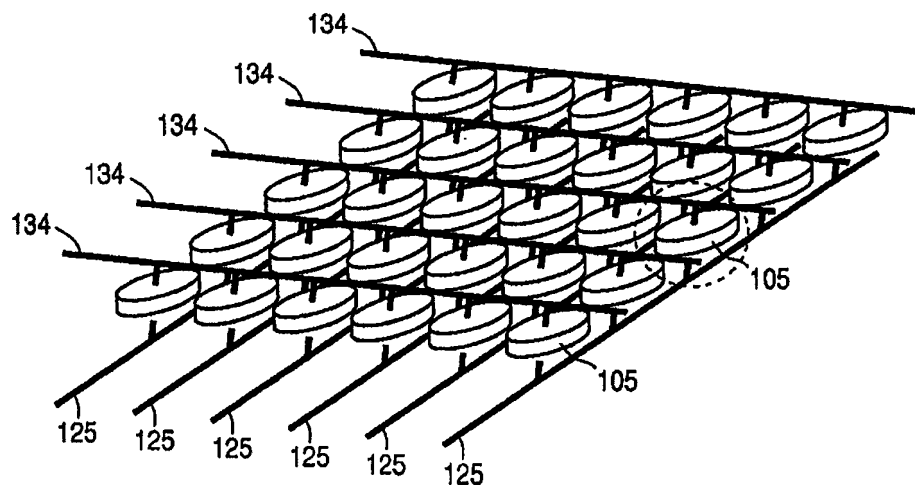


图 45

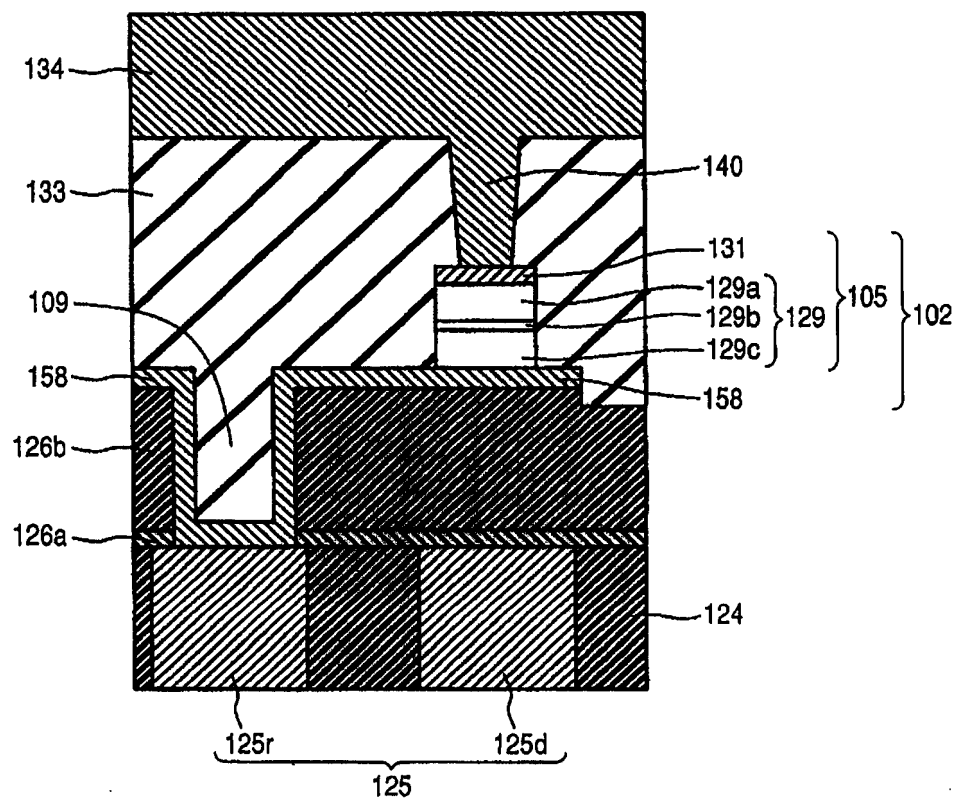


图 46

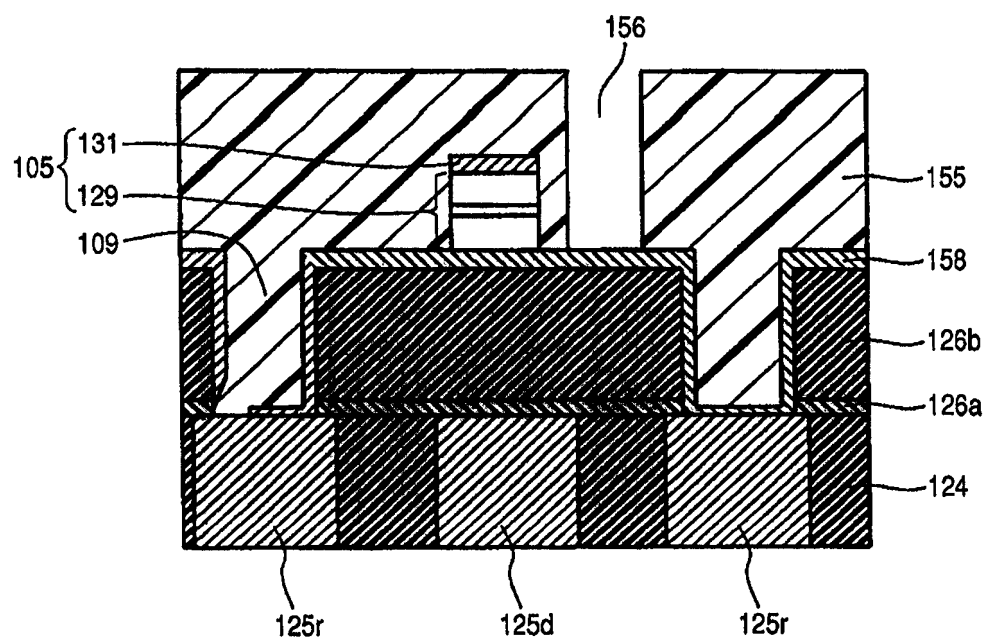


图 47

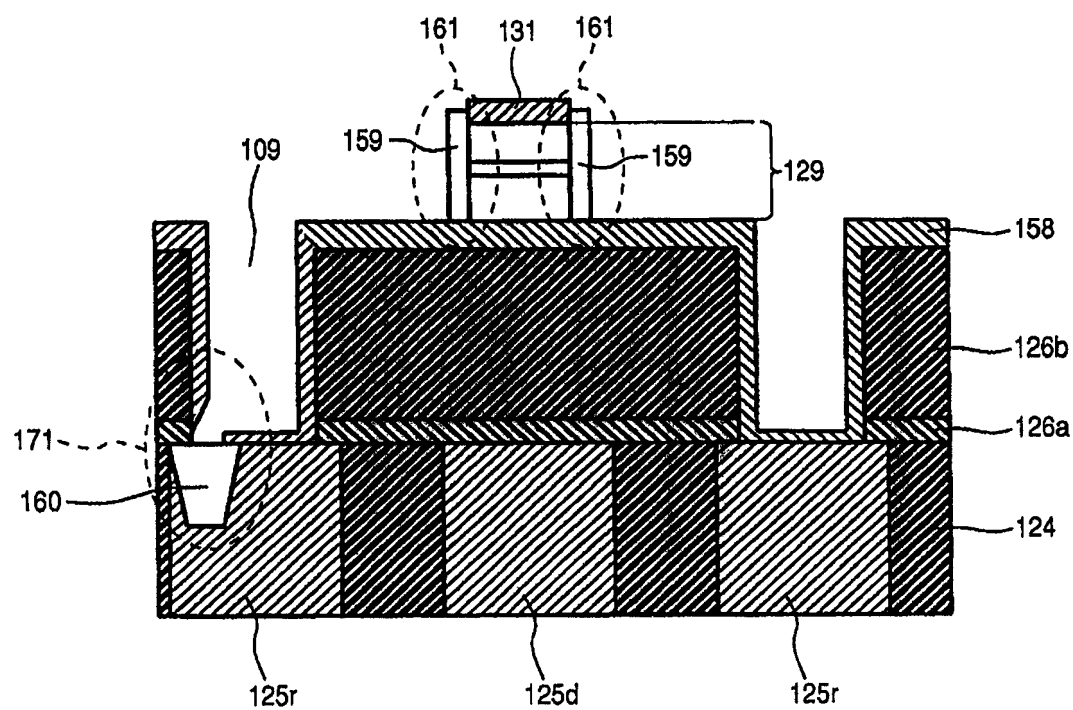


图 48



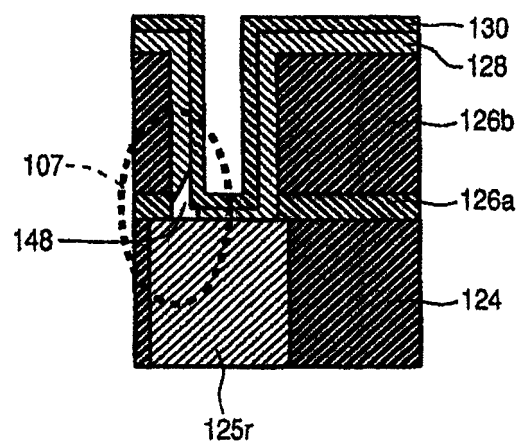


图 51

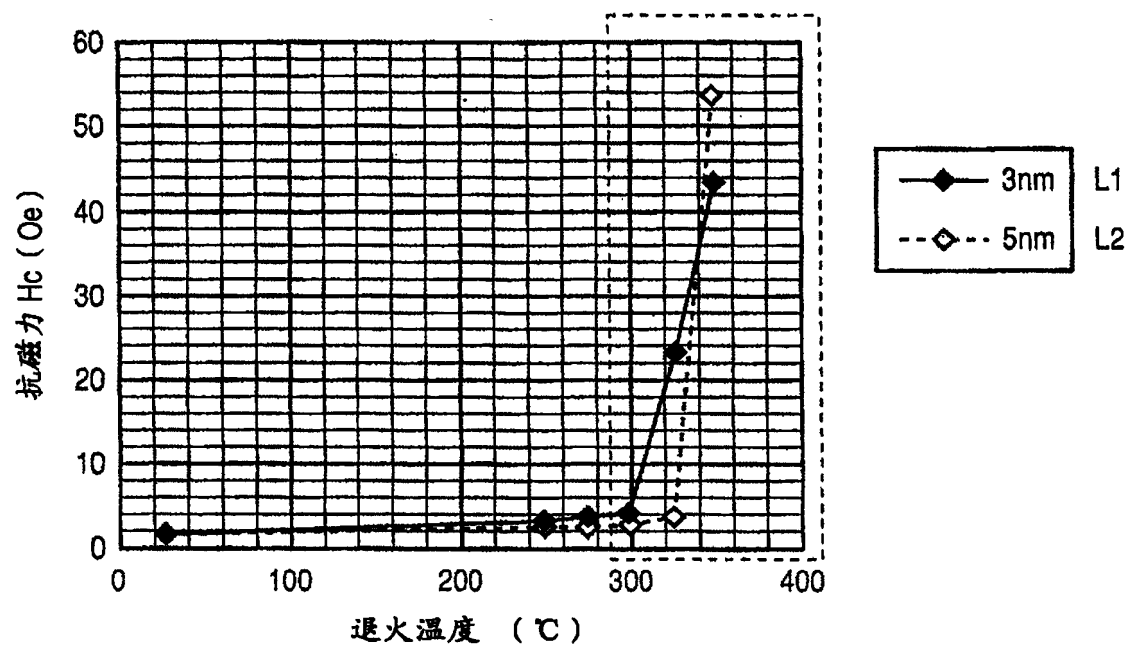


图 52

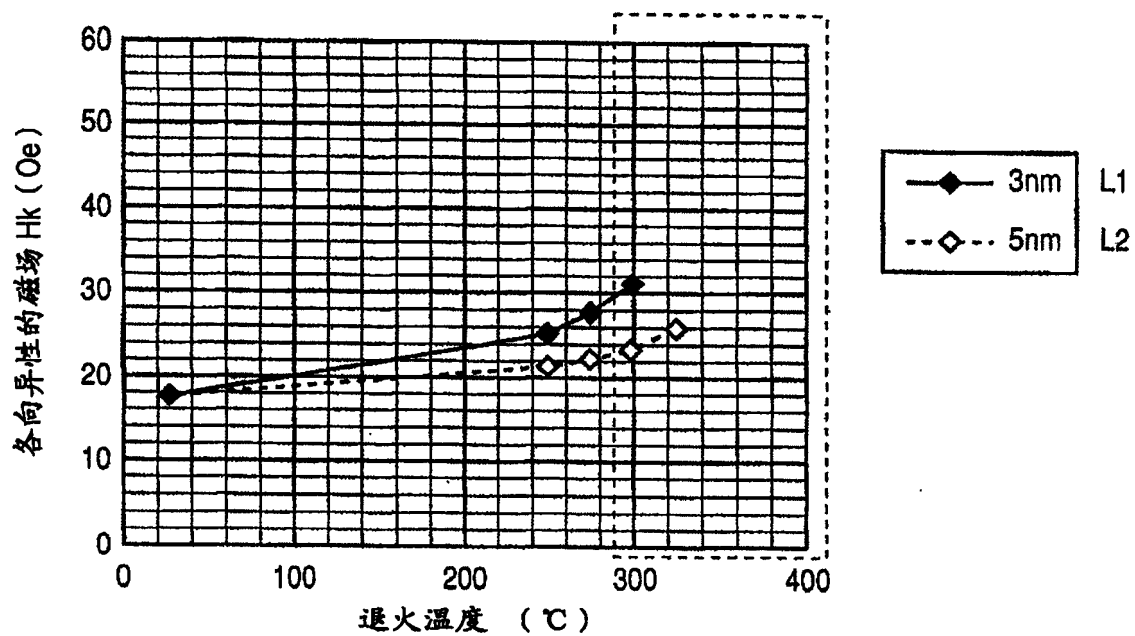


图 53

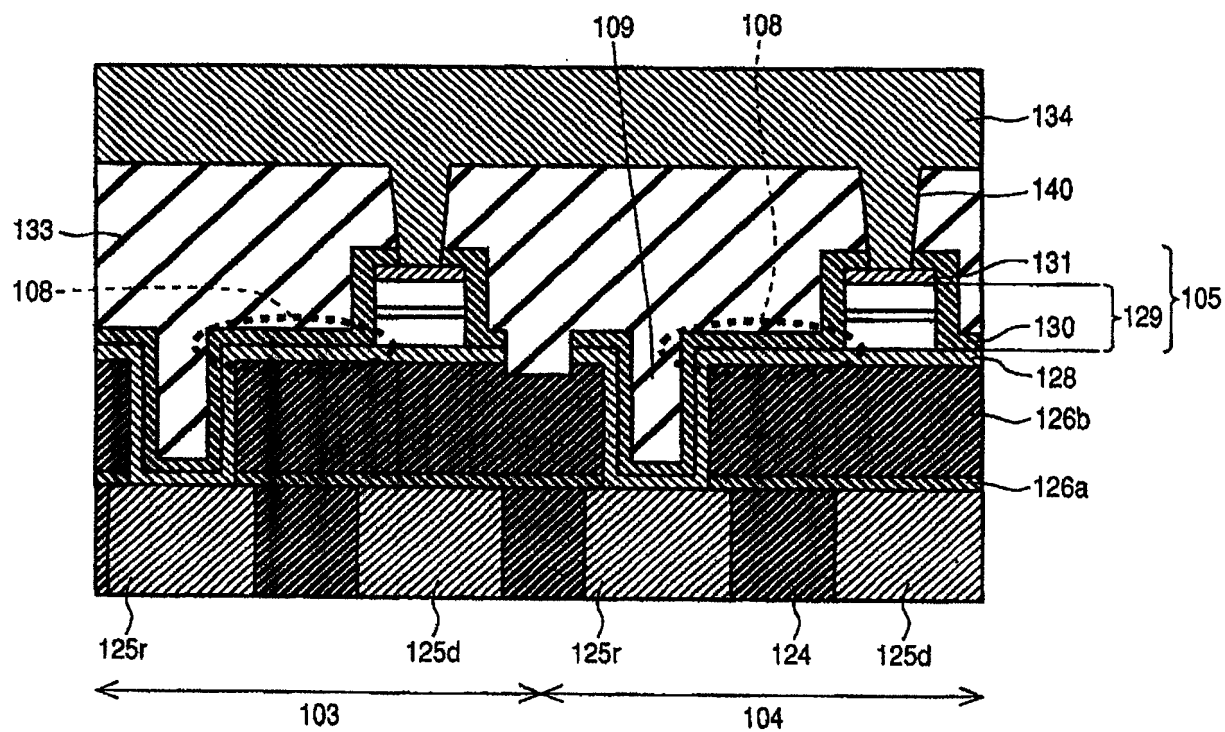


图 54

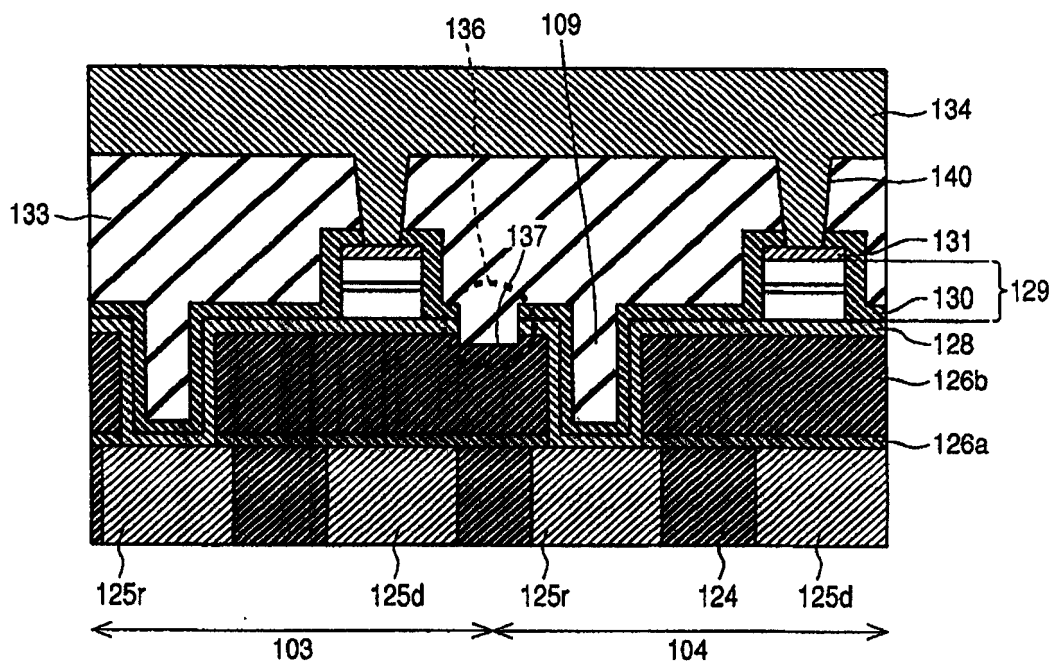


图 55

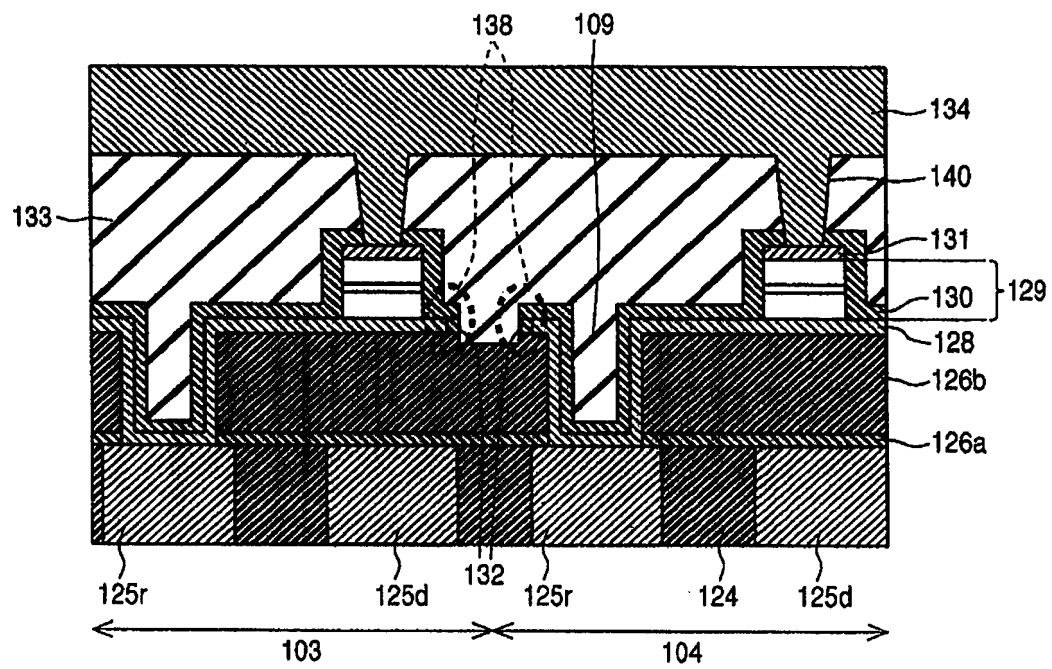


图 56

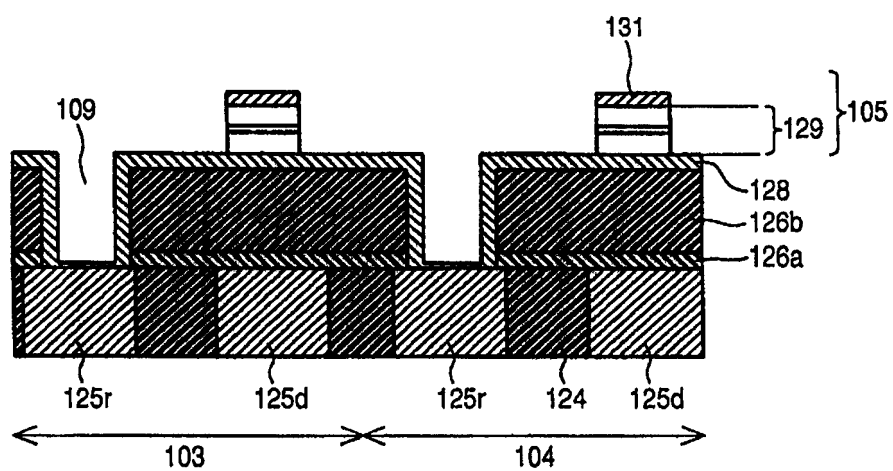


图 57

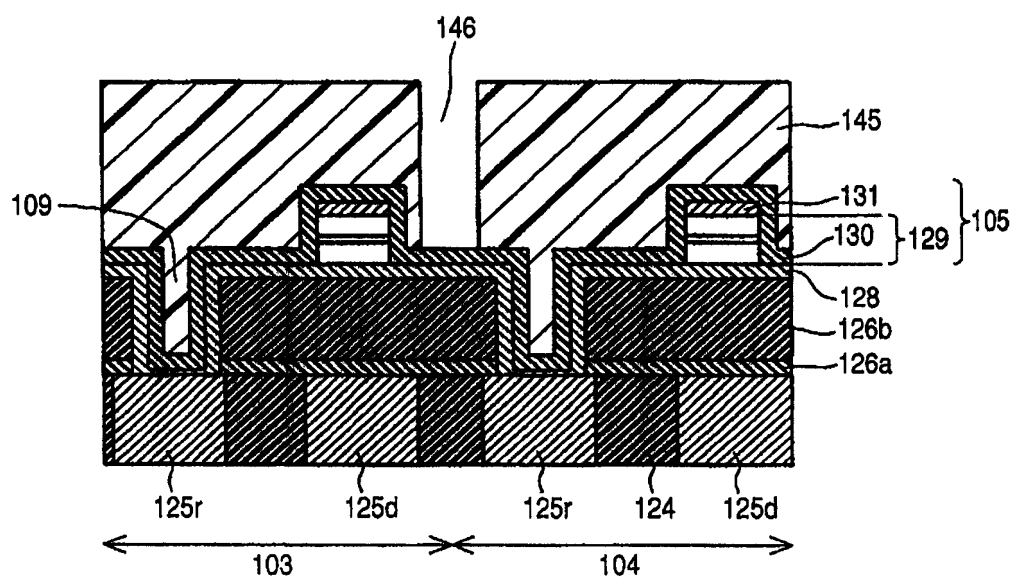


图 58

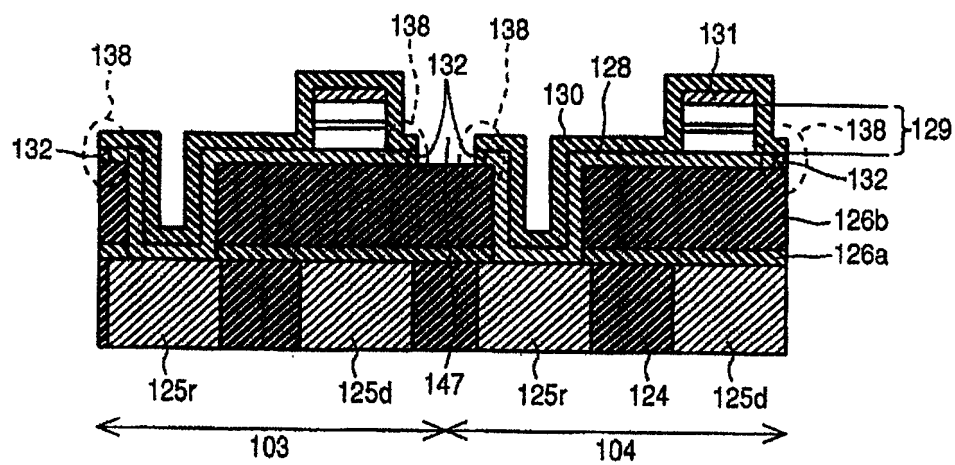


图 61

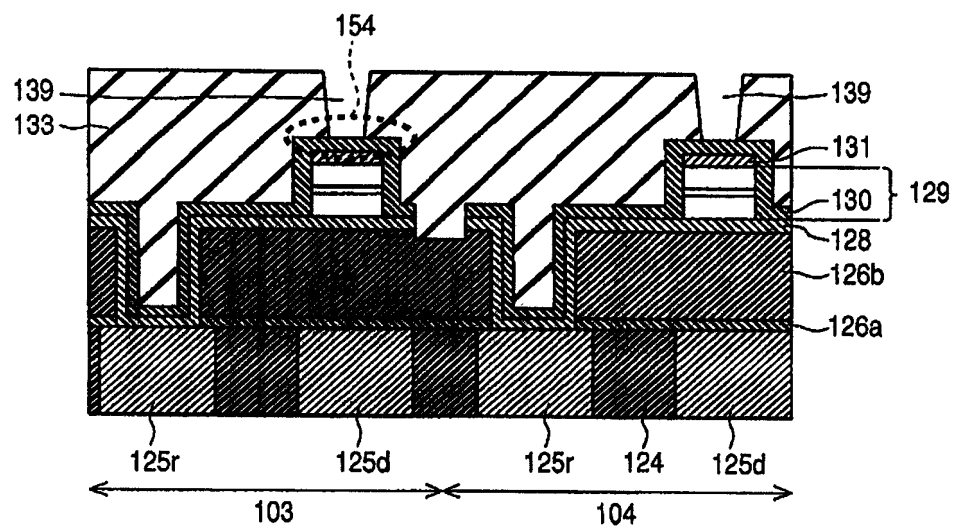


图 62(a)

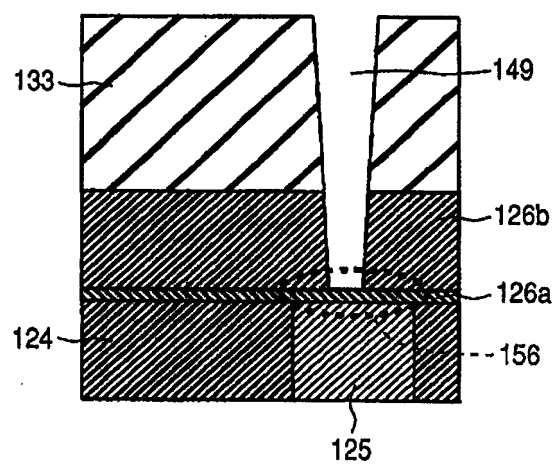


图 62 (b)

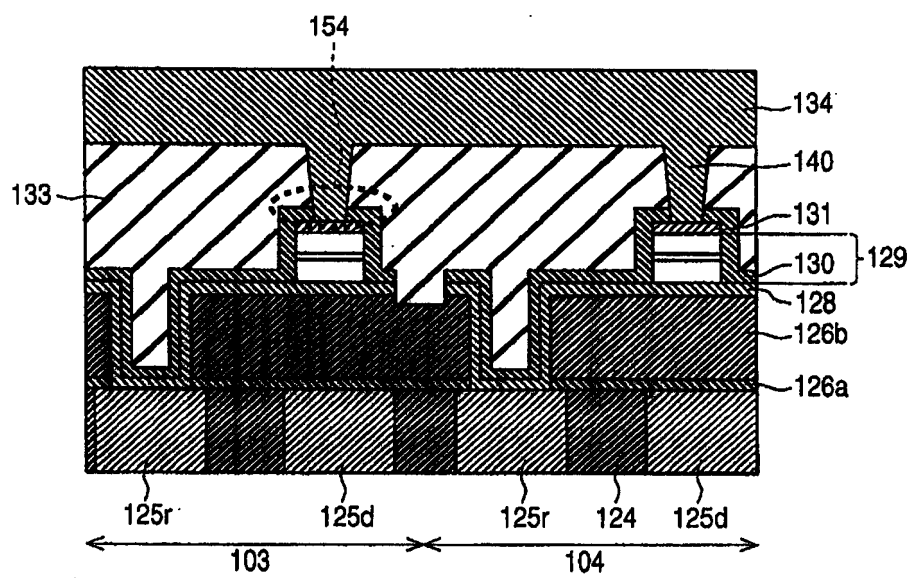


图 63 (a)

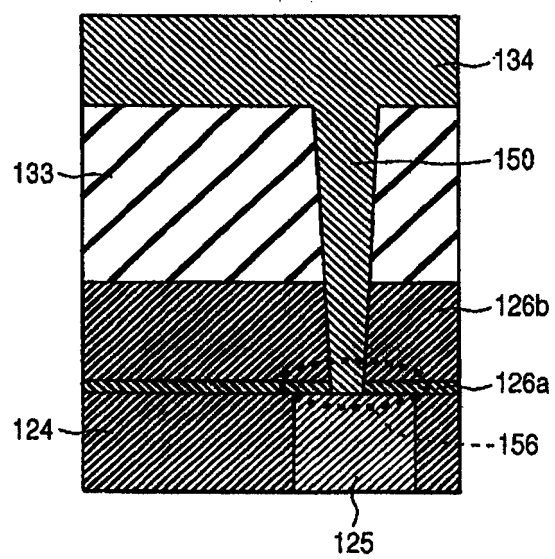


图 63(b)