



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201539712 A

(43) 公開日：中華民國 104 (2015) 年 10 月 16 日

(21) 申請案號：104108118 (22) 申請日：中華民國 102 (2013) 年 09 月 04 日
 (51) Int. Cl. : *H01L27/06 (2006.01)* *H01L21/02 (2006.01)*
 (30) 優先權：2012/09/24 美國 13/625,698
 (71) 申請人：英特爾股份有限公司 (美國) INTEL CORPORATION (US)
 美國
 (72) 發明人：葉正亞 YEH, JENG YA D. (TW)；汎德佛 彼德 VANDERVOORN, PETER J.
 (US)；賀菲斯 瓦力德 HAFEZ, WALID M. (US)；簡嘉弘 JAN, CHIA-HONG
 (US)；蔡 柯堤斯 TSAI, CURTIS (US)；朴朱東 PARK, JOODONG (KR)
 (74) 代理人：林志剛
 申請實體審查：有 申請專利範圍項數：10 項 圖式數：8 共 56 頁

(54) 名稱

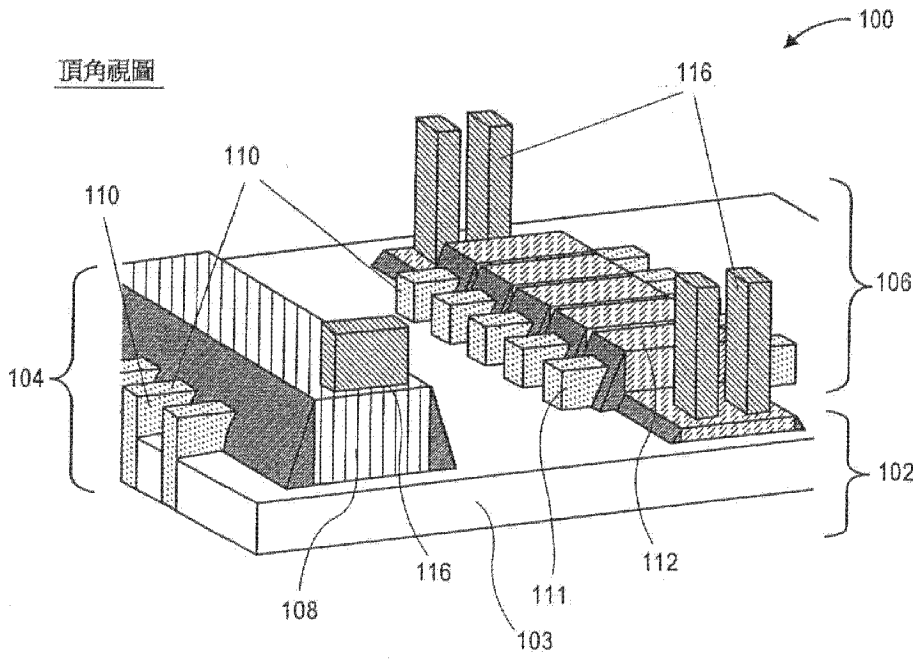
用於非平面半導體裝置架構的精密電阻器

PRECISION RESISTOR FOR NON-PLANAR SEMICONDUCTOR DEVICE ARCHITECTURE

(57) 摘要

說明用於非平面半導體裝置架構的精密電阻器。在第一範例中，半導體結構包括配置於基板上面的第一及第二半導體鰭。電阻器結構係配置於第一半導體鰭上面但未在第二半導體鰭上面。電晶體結構係形成自第二半導體鰭但非自第一半導體鰭。在第二範例中，半導體結構包括配置於基板上面的第一及第二半導體鰭。隔離區域係配置於基板上面、介於第一及第二半導體鰭之間，且在小於第一及第二半導體鰭的高度。電阻器結構係配置於隔離區域上面但未在第一及第二半導體鰭上面。第一及第二電晶體結構係分別形成自第一及第二半導體鰭。

Precision resistors for non-planar semiconductor device architectures are described. In a first example, a semiconductor structure includes first and second semiconductor fins disposed above a substrate. A resistor structure is disposed above the first semiconductor fin but not above the second semiconductor fin. A transistor structure is formed from the second semiconductor fin but not from the first semiconductor fin. In a second example, a semiconductor structure includes first and second semiconductor fins disposed above a substrate. An isolation region is disposed above the substrate, between the first and second semiconductor fins, and at a height less than the first and second semiconductor fins. A resistor structure is disposed above the isolation region but not above the first and second semiconductor fins. First and second transistor structures are formed from the first and second semiconductor fins, respectively.



- 100 . . . 半導體結構
- 102 . . . 基板
- 103 . . . 隔離層
- 104 . . . 非平面裝置
- 106 . . . 非平面電阻器
- 108 . . . 閘極堆疊
- 110 . . . 鍍
- 111 . . . 鍍
- 112 . . . 非平面半導體層
- 114 . . . 間隔件
- 116 . . . 接點
- 150 . . . 半導體結構
- 156 . . . 平面電阻器
- 162 . . . 平面半導體層

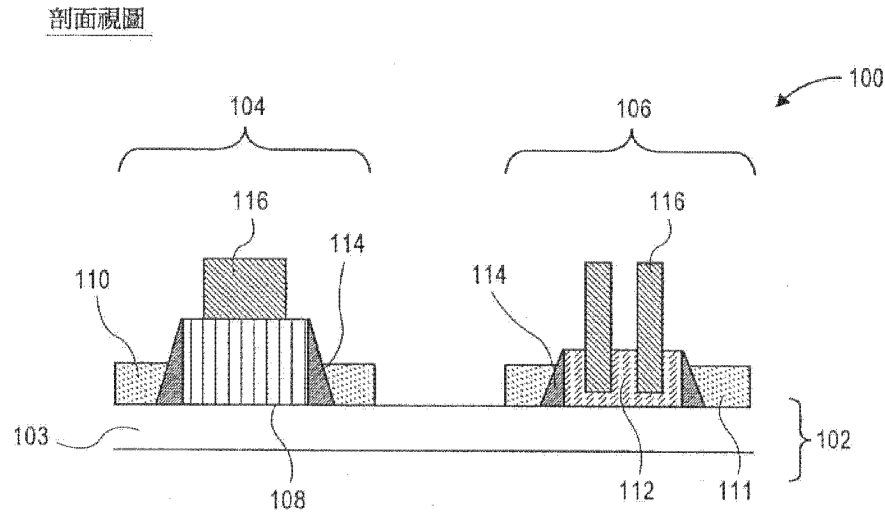


圖 1A

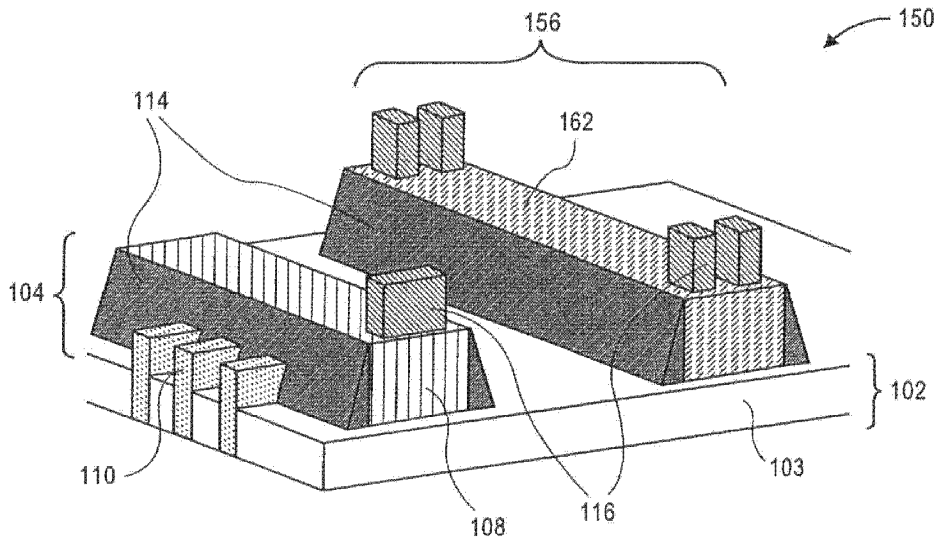


圖 1B

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

用於非平面半導體裝置架構的精密電阻器

Precision resistor for non-planar semiconductor device architecture

【技術領域】

[0001] 本發明實施例係於半導體裝置及處理的領域，且特別是用於非平面半導體裝置架構的精密電阻器。

【先前技術】

[0002] 在過去數十年，在積體電路中特徵(feature)的製程擴縮(擴展/微縮)(scaling)在不斷成長的半導體工業背後已然成為驅動力量。微縮至愈來愈小的特徵使得在有限的半導體晶片之真實狀態(real estate)上能夠增加功能單位的密度。例如，縮小電晶體尺寸允許在晶片上併入增加之數目的記憶體或邏輯裝置，導致以增加的容量來製造產品。然而，對於愈來愈大的容量並非毫無問題。最佳化各個裝置的效能的必要性變為日益重要。

[0003] 在積體電路裝置的製造中，當裝置尺度(dimension)持續向下微縮時，多閘電晶體(multi-gate transistor)，像是三閘電晶體(tri-gate transistor)，已變為更加普遍。在傳統的製程中，三閘電晶體一般不是在塊體矽基板(bulk silicon substrate)之上就是在絕緣體上矽

(silicon-on-insulator)基板之上製造。在一些實例中，由於塊體矽基板之較低成本且其致能較不複雜之三閘製造程序，塊體矽基板係為較佳的。在其它實例中，由於改善的三閘電晶體之短通道行爲，絕緣體上矽基板為較佳的。

[0004] 然而，對多閘電晶體的擴縮並非無後果產生。當這些微電子電路的基本建立區塊 (fundamental building block) 尺度降低時且當在給定區域中製造的數量眾多之基本建立區塊增加時，包括在主動裝置間的被動特徵上之約束已然增加。

【圖式簡單說明】

[0005] 圖 1A 闡述依據本發明實施例之用於非平面半導體裝置架構之精密電阻器的頂角視圖及剖面視圖。

[0006] 圖 1B 闡述依據本發明另一實施例之用於非平面半導體裝置架構之精密電阻器的剖面視圖。

[0007] 圖 2A~2K 闡述依據本發明實施例之代表在製造用於非平面半導體裝置架構之精密電阻器的方法中各種操作的剖面視圖。

[0008] 圖 3A~3K 闡述依據本發明實施例之代表在製造用於非平面半導體裝置架構之精密電阻器的另一方法中各種操作的剖面視圖。

[0009] 圖 4A~4L 闡述依據本發明實施例之代表在製造用於非平面半導體裝置架構之精密電阻器的另一方法中各種操作的剖面視圖。

[0010] 圖 5A~5F 闡述依據本發明實施例之代表在製造用於非平面半導體裝置架構之精密電阻器的另一方法中各種操作的剖面視圖。

[0011] 圖 6A~6L 闡述依據本發明實施例之代表在製造用於非平面半導體裝置架構之精密電阻器的另一方法中各種操作的剖面視圖。

[0012] 圖 7 為依據本發明實施例提供以展示目前所述精密電阻器比上他們的鎢凹槽配對物的變異。

[0013] 圖 8 闡述依據本發明之一個實作的計算裝置。

【發明內容及實施方式】

[0014] 對用於非平面半導體裝置架構的精密電阻器進行說明。在下列說明中，爲了提供本發明實施例的徹底理解，提出眾多的特定細節，像是特定的整合及材料型(material regime)。對於本領域具有通常知識者顯而易知的是，本發明實施例可在不具有這些特定細節下實行。在其它實例中，爲了不使本發明實施例產生不必要的含糊，熟知的特徵，像是積體電路設計佈局，並不會詳細說明。進一步來說，要理解各種在圖式中所繪示的實施例係爲解說的表示法而非必要的依比例的繪製。

[0015] 閘極電極初始由金屬形成(例如，鋁)。然而，對於許多技術節點(technology node)來說，金氧半導體場效電晶體(MOSFET)早已包括由多晶矽(polysilicon)製造的閘極電極以致於允許離子佈植(ion implantation)(例如，對

在同樣電路中之 N 或 P 型之摻雜客製化)以及矽化(以降低接觸電阻)。結果是，與在電路中 MOSFET 相關的電阻器亦以多晶矽來製造。所謂的「閘極優先(gate-first)」製程順序普遍的實行以致允許多晶矽的毯式沈積(blanket deposition)、電漿蝕刻界定的(etch-defined)閘極長度、輕摻雜末梢區域、介電側壁間隔件以及自對準(self-aligned)源極/汲極(亦即，相對於閘極)。

[0016] 隨著在最近技術節點中 MOSFET 尺度持續向下微縮，多晶矽空乏變為日益嚴重的問題。結果是，閘極電極現今再次由金屬形成。然而，閘極電極一般不再完全的由鋁形成。為了達到所欲的功函數(work function)，閘極電極現今通常由過渡金屬(transition metal)、過渡金屬之合金或過渡金屬氮化物(transition metal nitride)形成。然而，採用金屬閘極亦對替代之所謂的「閘極最後(gate-last)」製程提供優點。閘極最後製程的一個實行包含所謂「取代閘極(replacement gate)」製程，其允許用於在電路中 N-FET 及 P-FET 不同金屬的使用。當在閘極電極中的材料由多晶矽改變回金屬時，在電阻器中的材料亦由多晶矽改變回金屬。不幸的是，金屬電阻器通常遭受到高製程變異性(variability)及不良的溫度系數。如此，會為理想的是，再次以多晶矽形成電阻器。然而，這類改變造成在製程整合中的許多挑戰，特別是對於例如非平面架構，像是三閘製程架構。

[0017] 如此，依據本發明一或更多實施例，係說明

在非平面三閘 high-k(高 k 值)/金屬閘極技術上的精密多晶矽電阻器形成方法。相較之下，其它用於製造爲了使用具有三閘 high-k/金屬閘極技術之電阻器的方式已包括鎢凹槽電阻器(TCN)及鎢閘極接觸電阻器(GCN)，其由於鎢研磨/拋光處理(tungsten polishing processing)易受到非常高的可變異性。這類可變異性可導致 I/O 功能性問題。鎢亦可顯現出不欲的材料特性以及隨溫度之變異(例如，不良溫度係數)。

[0018] 使用在先前平面之氧/多晶閘極技術的多晶矽電阻器可爲用於精密電阻器形成之較佳的選擇。然而，多晶矽之整合及金屬閘極材料系統係不同於三閘 high-k/金屬閘極製程技術，例如，特別當使用取代閘極製程流程時。據此，本發明之一或更多實施例係關於用於製造平面及在非平面裝置(例如，三閘)的架構中之非平面多晶矽電阻器兩者的整合方案。若非全部，於此說明的一或更多方式可以三閘 high-k/金屬閘極電晶體製造流程整體的整合。這類整合可使能夠以在可變異性降低、溫度係數上的改善及電壓係數改善來利用精密多晶矽電阻器(例如，相比於鎢電阻器)的卓越特性。

[0019] 可包括非平面多晶矽電阻器作爲具有非平面架構之內嵌多晶矽電阻器。在實施例中，對非平面電阻器之參考於此用以說明具有在一或更多凸出於基板的鰭之上所形成電阻層的電阻器。以一個例子來說，圖 1A 闡述依據本發明實施例之用於非平面半導體裝置架構之精密電阻

器的頂角視圖及剖面視圖。

[0020] 參照至圖 1A 的兩個視圖，半導體結構 100 包括具有非平面裝置 104 的基板 102(僅部分的繪示)以及形成在隔離層 103 上的非平面電阻器 106。非平面裝置 104 包括閘極堆疊 108，例如金屬閘極/high-k 閘極介電閘極堆疊。閘極堆疊 108 係形成於第一複數鰭 110 之上。非平面電阻器 106 包括形成於第二複數鰭 111 之上的非平面半導體層 112。兩者的裝置皆包括間隔件 114 及接點 116。

[0021] 在實施例中，第一及第二複數鰭 110 及 111 由塊體基板 102 形成，如同圖 1A 中所說明。因此，在一個這類範例中，塊體基板 102 以及複數鰭 110 及 111 可由能夠經得起製造製程且其中電荷能夠遷移的半導體材料所組成。在實施例中，塊體基板 102 由結晶矽 (crystalline silicon)、以電荷載子(像是(但不限於)磷、砷、硼或其中的結合)摻雜的矽/鍺或鍺層。在一個實施例中，在塊體基板 102 中矽原子的濃度大於 97%。在另一實施例中，塊體基板 102 由生長於相異的結晶基板頂上的磊晶層組成，例如生長於硼摻雜的塊體矽單晶基板頂上的矽磊晶層。或是塊體基板 102 可由 III-V 族材料組成。在實施例中，塊體基板 102 由 III-V 材料組成，諸如(但不限於)氮化鎵 (gallium nitride)、磷化鎵 (gallium phosphide)、砷化鎵 (gallium arsenide)、磷化銦 (indium phosphide)、銻化銦 (indium antimonide)、砷化銦鎵 (indium gallium arsenide)、砷化鋁鎵 (aluminum gallium arsenide)、磷化銦鎵

(indium gallium phosphide)或其中的結合。在一實施例中，塊體基板 102 由 III-V 材料組成，並且電荷載子摻雜劑雜質原子係諸如(但不限於)碳、矽、鍺、氧、硫、硒或碲。因此，在實施例中，塊體基板 102 以及複數鰭 110 及 111 並未摻雜或僅輕摻雜。在實施例中，複數鰭 110 及 111 之至少部分受應變。

[0022] 或者，基板 102 包括上方磊晶層與下方塊體部，其各者可由可包括(但不限於)矽、鍺、矽鍺或 III-V 化合物半導體材料之材料之單晶所組成。由可包括(但不限於)二氧化矽、氮化矽或氮氧化矽之材料組成的插入絕緣層可配置於上方磊晶層與下方塊體部之間。

[0023] 隔離層 103 可由適合於根本的電隔離，或對在下面的塊體基板之隔離、始自在下面的塊體基板的永久閘極結構有貢獻的材料所組成。例如，在一實施例中，隔離介電層 103 由介電材料組成，諸如(但不限於)二氧化矽、氮氧化矽、氮化矽或是碳摻雜之氮化矽。理解的是，可形成整體層(global layer)且接著使之凹入以根本的曝露複數鰭 110 及 111 的主動部。

[0024] 在實施例中，非平面裝置 104 係為像是(但不限於)fin-FET(鰭式場效電晶體)或三閘裝置的非平面裝置。在這類實施例中，非平面裝置 104 之半導通道區域係由三維本體組成，或是形成於三維本體中。在一個這類實施例中，閘極堆疊 108 包圍於至少三維本體的頂面及一對側壁，如圖 1A 所描繪。在另一實施例中，至少做成通道區

域以作為分散的三維本體，像是在環繞式閘極裝置中。在一個這類的實施例中，閘極電極堆疊 108 完全的包圍通道區域。

[0025] 如上所述，在實施例中，半導體裝置 104 包括至少部分的包圍非平面裝置 104 之部分的閘極堆疊 108。在一個這類實施例中，閘極堆疊 108 包括閘極介電層以及閘極電極層(未單獨的繪示)。在實施例中，閘極堆疊 108 的閘極電極係由金屬閘極組成並且閘極介電層係由 high-K 材料組成。例如，在一實施例中，閘極介電層係由諸如(但不限於)氧化鈺(hafnium oxide)、氮氧化鈺(hafnium oxy-nitride)、矽酸鈺(hafnium silicate)、氧化鑷(lanthanum oxide)、氧化鋯(zirconium oxide)、矽酸鋯(zirconium silicate)、氧化鉭(tantalum oxide)、鈦酸鋇鎳(barium strontium titanate)、鈦酸鋇(barium titanate)、酞酸鎳(strontium titanate)、氧化釷(yttrium oxide)、氧化鋁(aluminum oxide)、氧化鉛釷鈦(lead scandium tantalum oxide)、鋅鎳酸鉛(lead zinc niobate)或彼等之組合。此外，閘極介電層的部分可包括由基板 102 之頂上少數層所形成的自然氧化層(native oxide)。在實施例中，閘極介電層係由頂上 high-k 部以及由半導體材料之氧化物所組成的下部所組成。在一個實施例中，閘極介電層係由氧化鈺之頂部以及二氧化矽或氮氧化矽之底部組成。

[0026] 在一實施例中，閘極堆疊 108 之閘極電極係由金屬層所組成，諸如(但不限於)金屬氮化物(metal

nitrides)、金屬碳化物(metal carbides)、金屬矽化物(metal silicides)、金屬鋁化物(metal aluminides)、鈦(hafnium)、鋯(zirconium)、鈦(titanium)、鉭(tantalum)、鋁(aluminum)、鈳(ruthenium)、鈀(palladium)、鉑(platinum)、鈷(cobalt)、鎳(nickel)或導電金屬氧化物。在特定實施例中，閘極電極係由形成在金屬功函數設定層(metal workfunction-setting layer)上面形成的非功函數設定填充材料所組成。

[0027] 非平面電阻器 106 包括非平面半導體層 112 以提供用於電阻器 106 之精密電阻(precise resistance)。在實施例中，半導體層 112 係形成有隨同複數鰭 111 之保角(conformal)。在一個這類實施例中，介電層(未繪示)將半導體層 112 與複數個鰭 111 隔離。在實施例中，半導體層 112 係由多晶質矽之層所組成。在一實施例中，多晶質矽具有約 20 奈米之晶粒尺寸(grain size)。在特定這類實施例中，多晶質矽係以具有約 $1E15 \sim 1E17$ atoms/cm² 劑量的硼來摻雜。在實施例中，半導體層 112 具有本質上無關於溫度的電阻，特別是超出在非平面電阻器 106 之工作溫度以外。

[0028] 在實施例中，間隔件 114 係由絕緣介電材料組成，諸如(但不限於)二氧化矽、氮氧化矽或氮化矽。在實施例中，接點 116 係由金屬物種(metal species)來製造。金屬物種可為純金屬，像是鎳或鈷，或可為合金，像是金屬-金屬合金或金屬-半導體合金(例如，像是矽化物材

料)。

[0029] 在另一態樣中，可以非平面架構來包括平面多晶矽電阻器。在實施例中，對平面電阻器之參考於此用以說明具有鄰接至(但非在之上)一或更多凸出於基板之鰭而形成之電阻層的電阻器。以一個例子說明，圖 1B 闡述依據本發明另一實施例之用於非平面半導體裝置架構之精密電阻器的剖面視圖。

[0030] 請參考圖 1B，半導體結構 150 包括具有形成於隔離層 103 上的非平面裝置 104 及平面電阻器 156 的基板 102(僅部分的繪示)。非平面裝置 104 包括閘極堆疊 108，例如金屬閘極/high-k 閘極介電閘極堆疊。閘極堆疊 108 係形成於複數個鰭 110 之上。平面電阻器 156 包括形成於隔離層 103 之上的平面半導體層 162。兩者的裝置皆包括間隔件 114 及接點 116。

[0031] 平面電阻器 156 包括平面半導體層 162 以提供用於電阻器 156 的精密電阻。在實施例中，半導體層 162 係由多晶質矽之層所組成。在一實施例中，多晶質矽具有約 20 奈米之晶粒尺寸。在特定這類實施例中，多晶質矽係以具有約 $1E15 \sim 1E17$ atoms/cm² 劑量的硼來摻雜。在實施例中，半導體層 162 具有本質上無關於溫度的電阻，特別是超出在平面電阻器 156 之工作溫度以外。圖 1b 的其它特徵可由類似於針對圖 1A 說明之該些特徵的材料所組成。

[0032] 本發明一或更多實施例發表適合的精密電阻

器之性質。例如，在實施例中，於此說明的精密電阻器係與目前及未來的製程技術相容，例如，詳述的精密電阻器結構係與三閘 high-k/金屬閘極製程流程相容，其中多晶矽在非平面三閘製程上具有犧牲性且被金屬閘極架構取代。在實施例中，提供良好的電阻特性，例如非平面整合方案藉由利用三閘製程之 3 維晶圓拓撲提供較大有效寬度及長度的優點。因此，據以製造的精密電阻器可提供增加的電阻均勻度以及在給定電阻面積處的匹配特性。在實施例中，於此說明的多晶矽電阻器提供了與其它類型的電阻器相比更好的例如降低的溫度係數以及電壓係數。

[0033] 相較之下，先前之多晶矽電阻器包括 BSR(阻絕矽化物電阻器；blocking salicide resistor)其整合了多晶電阻器(poly resistor)與多晶閘極電晶體，以及包括 EPR(內嵌多晶電阻器；embedded poly resistor)其將多晶電阻器與平面 HiK-金屬閘極電晶體整合。不似 BSR 與 EPR 電阻器，依據於此說明的精密電阻器可製造以用於非平面內嵌精密多晶矽電阻器整合方案。用於在此說明的製造之方式可使製程流程能夠模組的將多晶矽電阻器在具有最小製程成本的三閘 high-k/金屬閘極技術上進行整合。

[0034] 於下的說明係為在 high-k/金屬閘極技術中形成精密多晶矽電阻器的多個方式。如在此考量的實施例之範例，詳述下列製造方法：(1) TPR (三閘非平面多晶電阻器+三閘 HKMG 電晶體)(a)雙多晶沈積電阻器，(b)埋入硬遮罩堆疊多晶電阻器，(c)凹入多晶電阻器(CPR)，(d)選擇

的植入多晶電阻器(NPR)，以及(2)MPR (遮罩平面多晶電阻器(masked planar poly resistor)+三閘 HKMG 電晶體)。

[0035] 關於上述類型(I)的方式，在實施例中，精密電阻器係由具有連接至鎢接點之矽化物的多晶矽材料製造。這類整合方案的特徵包括(但不限於)，(1)多晶矽包覆凹入的淺凹槽隔離(STI; shallow trench isolation)表面周圍以及提升的擴散鰭結構以於給定面積提供較大有效長度/寬度。在低面(非平面方案)上薄且凹入的多晶可保存多晶矽電阻器以在多重研磨製程之後為完整的/無損傷的(其在HiK-金屬閘極 CMOS 製程中可能係必要)。(2)保存的多晶矽可以任何適合的矽化物製程進行整合以確保底接觸電阻。

[0036] 在第一製造方式中，圖 2A~2K 闡述依據本發明實施例之代表在製造用於非平面半導體裝置架構之精密電阻器的方法中各種操作的剖面視圖。請參考圖 2A，隔離層 202 形成於圖案化塊體基板 204 且凹入以遺留下複數個鰭 206 處於曝露。多晶矽 208 之第一層與氮化矽硬遮罩 210 接著形成有隨同複數個鰭 206 的保角，如圖 2B 所描繪。雖然未描繪，但絕緣層可首先形成於鰭 206 上以根本的將多晶矽層 208 與鰭材料絕緣。請參考圖 2C，施行多晶矽 208 之第一層及氮化矽硬遮罩 210 的圖案化製程(例如光刻(lithography)及蝕刻製程)以提供電阻器結構 212。多晶矽 214 的第二層接著形成於電阻器結構 212 上面。例如藉由化學機械研磨製程來平坦化多晶矽 214 之第二層，

並且第二硬遮罩層 216 係形成於其上，如圖 2D 所描繪。請參考圖 2E，施行多晶矽 214 之第二層及第二硬遮罩 216 的圖案化製程(例如，光刻及蝕刻製程)以提供虛擬閘極結構 218，其可包括間隔件 220。虛擬閘極結構 218 可接著由遮罩 222 來遮蔽並且對電阻器結構 212 施行植入處理 224，如圖 2F 所描繪，以例如提供所欲之用於電阻器結構 212 的電阻特性。請參考圖 2G，移除遮罩 222 並且夾層介電層 226(例如，氧化矽)係形成於虛擬閘極結構 218 及電阻器結構 212 之上。平坦化夾層介電層 226 以將虛擬閘極結構 218 之多晶矽曝露，但將電阻器結構 212 保留為未曝露。接著移除虛擬閘極結構 218 之多晶矽，但保留電阻器結構 212，如圖 2H 所描繪。請參考圖 2I，形成永久閘極電極 228，例如金屬閘極電極(可能具有 high-k 閘極介電層)。形成額外的夾層介電材料 250 並且接著形成接觸開口 230 以將永久閘極電極 228 及用於電連接之電阻器結構 212 兩者皆進行曝露，如圖 2J 所描繪。雖然未繪示，但在形成接點之前，可在電阻器之接觸開口中施行電阻器結構之多晶矽的矽化製程。請參考圖 2K，例如藉由鎢金屬填充及研磨形成接點 232。永久閘極結構 228 可為用於三閘裝置之閘極結構，同時電阻器結構 212 可為精密多晶矽電阻器。上述的方式可稱為雙多晶矽沈積方式(dual polysilicon deposition approach)。

[0037] 在第二製造方式中，圖 3A~3K 闡述依據本發明實施例之代表在製造用於非平面半導體裝置架構之精密

電阻器的另一方法中各種操作的剖面視圖。請參考圖 3A，隔離層 302 係形成於圖案化塊體基板 304 上並且凹入以遺留下複數個鰭 306 處於曝露。多晶矽 308 之第一層及氮化矽硬遮罩 310 接著形成有隨同複數個鰭 306 的保角，如圖 3B 所描繪。雖然未描繪，但絕緣層首先可形成於鰭 306 上以根本的將多晶矽層 308 與鰭材料絕緣。請參考圖 3C，施行氮化矽硬遮罩 310 之圖案化製程，例如光刻及蝕刻製程，以提供電阻器遮罩 311。多晶矽 314 之第二層接著形成於電阻器遮罩 311 上面。例如藉由化學機械研磨製程來平坦化多晶矽 314 之第二層，並且第二硬遮罩層 316 係形成於其上，如圖 3D 所描繪。請參考圖 3E，施行多晶矽 308 之第一層、多晶矽 314 之第二層以及第二硬遮罩 316 的圖案化製程，例如光刻及蝕刻製程，以提供虛擬閘極結構 318，其可包括間隔件 320，並且提供電阻器結構 312。虛擬閘極結構 318 接著可由遮罩 322 遮蔽並且對電阻器結構 312 施行植入處理 324(如圖 3F 所描繪)，例如提供用於電阻器結構 312 之所欲的電阻特性。請參考圖 3G，移除遮罩 322 並且夾層介電層 326(例如，氧化矽)係形成於虛擬閘極結構 318 及電阻器結構 312 之上。平坦化夾層介電層 326 以將虛擬閘極結構 318 之多晶矽曝露，但將電阻器結構 312 保留為未曝露。接著移除虛擬閘極結構 318 之多晶矽，但保留電阻器結構 312，如圖 3H 所描繪。請參考圖 3I，形成永久閘極電極 328，例如金屬閘極電極(可能具有 high-k 閘極介電層)。形成額外的夾層介電材料

350 並且接著形成接觸開口 330 以將永久閘極電極 328 以及用於電連接之電阻結構 312 兩者皆曝露，如圖 3J 所描繪。雖然未繪示，但在形成接點之前，電阻器結構的多晶矽的矽化製程可施行於電阻器之接觸開口之中。請參考圖 3K，例如藉由鎢金屬填充及研磨形成接點 332。永久閘極結構 328 可為用於三閘裝置之閘極結構，同時電阻器結構 312 可為精密多晶矽電阻器。上述方式可參照為埋入硬遮罩堆疊多晶矽電阻器方式 (buried hardmask stacked polysilicon resistor approach)。

[0038] 在第三製造方式中，圖 4A~4L 闡述依據本發明實施例之代表在製造用於非平面半導體裝置架構之精密電阻器的另一方法中各種操作的剖面視圖。請參考圖 4A，隔離層 402 係形成於圖案化塊體基板 404 上並且凹入以遺留下複數個鰭 406 處於曝露。多晶矽 408 之層接著形成於鰭 406 上面，如圖 4B 所描繪。雖然未描繪，但絕緣層首先可形成於鰭 406 上以根本的將多晶矽層 408 與鰭材料絕緣。請參考圖 4C，例如藉由化學機械研磨製程平坦化多晶矽 408 之層，並且接著形成氮化矽硬遮罩 410。接著形成氮化矽硬遮罩 410 及多晶矽 408 之層的圖案化製程，例如光刻及蝕刻製程，以提供虛擬閘極結構 418 及電阻器結構 412，其可包括間隔件 420，如圖 4D 所描繪。請參考圖 4E，虛擬閘極結構 418 接著可由遮罩 422 遮蔽。接著例如藉由蝕刻製程凹入曝露的電阻結構 412。在一實施例中，凹入 423 包含移除硬遮罩連同多晶矽之層的部分。如

圖 4F 所描繪，對電阻器結構 412 施行植入處理 424，例如提供用於電阻器結構 412 之所欲的電阻特性。請參考圖 4G，移除遮罩 422 並且夾層介電層 426(例如，氧化矽)係形成於虛擬閘極結構 418 及電阻器結構 412 之上。平坦化夾層介電層 426 以將虛擬閘極結構 418 之多晶矽曝露，但將電阻器結構 412 保留為未曝露。接著移除虛擬閘極結構 418 之多晶矽，但保留電阻器結構 412，如圖 4H 所描繪。請參考圖 4I，形成永久閘極電極 428，例如金屬閘極電極(可能具有 high-k 閘極介電層)。接著形成額外的夾層介電材料 450，如圖 4J 所描繪。請參考圖 4K，接著形成接觸開口 430 以將永久閘極電極 428 與用於電連接之電阻器結構 412 兩者皆曝露。雖然未繪示，但在形成接點之前，電阻器結構的多晶矽的矽化製程可施行於電阻器的接觸開口中。例如藉由鎢金屬填充及研磨接著形成接點 432，如圖 4L 所描繪。永久閘極結構 428 可為用於三閘裝置之閘極結構，同時電阻器結構 412 可為精密多晶矽電阻器。上述方式可參照為凹入多晶矽電阻器方式(recessed polysilicon resistor approach)。

[0039] 在第四製造方式中，圖 5A~5F 闡述依據本發明實施例之代表在製造用於非平面半導體裝置架構之精密電阻器的另一方法中各種操作的剖面視圖。請參考圖 5A，隔離層 502 係形成於具有硬遮罩部分 503 自其凸出的圖案化塊體基板 504 上。使隔離層 502 凹入以遺留下複數個鰭 506 曝露於例如在隔離層 502 上面大約 45 奈米之高度

，如圖 5B 所描繪。請參考圖 5C，例如藉由矽氧化層之化學汽相沈積，保護氧化層 507 係形成有隨同鰭 506 之保角。多晶矽 508 之層接著形成於保護氧化層 507 上面，如圖 5D 所描繪。在一實施例中，保護氧化層 507 具有大約 2.5 奈米之厚度並且多晶矽 508 之層具有大約 40 奈米之厚度。請參考圖 5E，形成光阻層 560 並且在多晶矽 508 之層上面進行圖案化，遺留下介於鰭 506 之間曝露的多晶矽 508 之層的區域。施行植入處理 524，像是高劑量 P+ 植入處理，以提供摻雜的多晶矽區域 562，亦如圖 5E 所描繪。請參考圖 5F，例如藉由像是氫氧化四甲銨 (tetramethylammonium hydroxide (TMAH)) 之選擇的濕蝕刻製程，移除光阻層 560 以及移除多晶矽層 508 之未摻雜部分。剩餘摻雜的多晶矽區域 562 可隨後用以形成精密電阻器。上述方式可參照為選擇植入的多晶矽電阻器方式 (selectively implanted polysilicon resistor approach)。

[0040] 關於上述類型(II)的方式，在實施例中，硬遮罩係用以修改在多晶開口研磨期間之研磨行為以防止所欲電阻器面積受曝露(以及後續的被移除)。受保護的多晶矽接著被矽化並且電連接至源極/汲極接點。

[0041] 在第五製造方式中，圖 6A~6L 闡述依據本發明實施例之代表在製造用於非平面半導體裝置架構之精密電阻器的另一方法中各種操作的剖面視圖。請參考圖 6A，隔離層 602 係形成於圖案化塊體基板 604 之上並且凹入以遺留下複數個鰭 606 處於曝露。多晶矽 608 之層接著形

成於鰭 606 上面，如圖 6B 所描繪。雖然未描繪，但絕緣層可首先形成於鰭 606 之上以根本的將多晶矽層 608 與鰭材料絕緣。請參考圖 6C，例如藉由化學機械研磨製程來平坦化多晶矽 608 之層，並且接著形成氮化矽硬遮罩 610。接著施行氮化矽硬遮罩 610 及多晶矽 608 之層的圖案化製程(例如光刻及蝕刻製程)以提供虛擬閘極結構 618 及電阻器結構 612，其可包括間隔件 620，如圖 6D 所描繪。請參考圖 6E，虛擬閘極結構 618 可接著由遮罩 622 所遮蔽。曝露的電阻器結構 612 接著受到植入處理 624 以例如提供用於電阻器結構 612 之所欲的電阻特性。移除遮罩 622 並且夾層介電層 626(例如，氧化矽)在虛擬閘極結構 618 及電阻器結構 612 之上形成且進行平坦化，如圖 6F 所描繪。請參考圖 6G，形成且圖案化第二硬遮罩層 670 以覆蓋電阻器結構 612，但僅曝露虛擬閘極結構 618。接著移除虛擬閘極結構 618 之多晶矽，但保留電阻器結構 612，如圖 6H 所描繪。請參考圖 6I，形成永久閘極電極 628，例如金屬閘極電極(可能具有 high-k 閘極介電層)。接著形成額外的夾層介電材料 650，如圖 6J 所描繪。請參考圖 6K，接著形成接觸開口 630 以曝露永久閘極電極 628 及用於電連接之電阻器結構 612 兩者。例如藉由鎢金屬填充及研磨接著形成接點 632，如圖 6L 所描繪。雖然未繪示，在形成接點之前，可在電阻器之接觸開口中施行電阻器結構之多晶矽的矽化製程。永久閘極結構 628 可為用於三閘裝置的閘極結構，同時電阻器結構 612 可為精密多晶矽電

阻器。

[0042] 在上述方式中，曝露的複數虛擬閘極可根本的在取代閘極製程方案中來取代。在這類方案中，虛擬閘極材料，像是多晶矽或氮化矽柱狀材料，可被移除且取代以永久閘極電極材料。在一個這類實施例中，相對於由較早的處理中完成者，永久閘極介電層亦於此製程中形成。

[0043] 在實施例中，複數個虛擬閘極係藉由乾蝕刻或濕蝕刻製程移除。在一實施例中，複數個虛擬閘極係由多晶質矽或非晶矽組成且以包含 SF_6 之乾蝕刻製程來移除。在另一實施例中，複數個虛擬閘極係由多晶質矽或非晶矽組成且以包含水性的 NH_4OH 或氫氧化四甲銨之濕蝕刻製程來移除。在一實施例中，複數個虛擬閘極係由氮化矽組成且以包含水性的磷酸之濕蝕刻移除。

[0044] 也許更一般的說，本發明一或更多實施例可關於閘極對準接點製程。可實行這類製程以形成用於半導體結構製造的接點結構，例如用於積體電路製造。在實施例中，接點圖案係形成為對準至存在的閘極圖案。相較之下，傳統的方式對於與選擇性接觸蝕刻結合之存在的閘極圖案來說一般包含具有光刻接點圖案之緊密對齊(tight registration)的額外的光刻製程。例如，傳統的製程可包括以分開圖案化接點與接觸插塞來對多晶(閘極)柵格(grid)圖案化。

[0045] 請參考圖 7，依據實施例提供圖表 700 以展示目前所述精密電阻器比上他們的鎢凹槽配對物的變異。請

參考圖表 700，目前的電阻(EPR)繪示相當低電阻變異鎢凹槽電阻器(TCN)。亦即，電阻變異本質上的降低，使能夠有更正確且更緊密的類比設計，以用於目前所述的電阻器。

[0046] 於此所述之實施例也許可應用至需要具有可預測且一致電阻值之電阻器的設計。目前鎢凹槽電阻器可具有大電阻值及溫度變異，其需要用以建立進至電路的邊限。相較之下，在實施例中，於此所述之精密電阻器使能夠有較單一、較小的電路設計及底面積，連同卓越的匹配及變異性。這類特性可為對於類比電路設計者來說特別關切的。精密電阻器亦可為對於晶片上系統(SoC)設計者之整體擔保。

[0047] 圖 8 闡述依據本發明之一個實行的計算裝置 800。計算裝置 800 容納有板 802。板 802 可包括一些組件，其包括(但不限於)處理器 804 及至少一個通訊晶片 806。處理器 804 係實體且電性的耦接至板 802。在一些實行中，至少一個通訊晶片亦實體且電性的耦接至板 802。在進一步實行中，通訊晶片 806 為處理器 804 的部分。

[0048] 取決於其應用，計算裝置 800 可包括可或不可實體且電性的耦接至板 802 的其它組件。這些其它組件包括(但不限於)揮發性記憶體(例如，DRAM)、非揮發性記憶體(例如，ROM)、快閃記憶體、圖形處理器、數位信號處理器、密碼處理器、晶片組、天線、顯示器、觸控螢幕顯示器、觸控螢幕控制器、電池、音頻編解碼器、視頻

編解碼器、功率放大器、全球定位系統(GPS: global positioning system)裝置、羅盤、加速計、陀螺儀、揚聲器、攝影機，以及大量儲存裝置(諸如硬碟驅動器、光碟(CD; compact disk)、數位多功能光碟(DVD; digital versatile disk)等)。

[0049] 通訊晶片 806 使無線通訊能夠用於轉換資料至計算裝置 800 及從計算裝置 800 轉換資料。術語「無線」及其衍生可用以說明電路、裝置、系統、方法、技術、通訊頻道等，其可透過使用經由非固態媒體的調變電磁射線(electromagnetic radiation)將資料進行通訊。此術語並非暗示相關裝置不包含任何線，雖然在一些實施例中他們可能不包含。通訊晶片 806 可實行任何數目的無線標準或協定，包括(但不限於)Wi-Fi(IEEE 802.11 家族)、WiMAX(IEEE 802.16 家族)、IEEE 802.20、長期演進(LTE; long term evolution)、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、DECT、藍牙、其中的衍生以及任何其它標定為 3G、4G、5G 及更往後的無線協定。計算裝置 800 可包括複數個通訊晶片 806。例如，諸如 W-Fi 及藍牙的第一通訊晶片 806 可專用於較短範圍無線通訊，並且諸如 GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-DO 及其它者的第二通訊晶片 806 可專用於較長範圍的無線通訊。

[0050] 計算裝置 800 之處理器 804 包括封裝在處理器 804 內的積體電路晶粒。在本發明一些實行中，處理器

的積體電路晶粒包括一或更多裝置，像是依據本發明之實行建立的 MOS-FET 電晶體。術語「處理器」可參照至任何裝置或裝置的部分，其處理來自暫存器及/或記憶體中的電子資料以將該電子資料轉換至可儲存於暫存器及/或記憶體中的其它電子資料。

[0051] 通訊晶片 806 亦包括封裝於通訊晶片 806 內的積體電路晶粒。依據本發明另一實行，通訊晶片的積體電路晶粒包括一或更多裝置，像是依據本發明之實行所建立用於非平面半導體裝置架構的精密電阻器。

[0052] 在進一步的實行中，容納於計算裝置 800 內的另一組件可包含積體電路晶粒，其包括一或更多裝置，像是依據本發明之實行所建立用於非平面半導體裝置架構的精密電阻器。

[0053] 在各種實行中，計算裝置 800 可為膝上型電腦、隨身型易網機(netbook)、筆記型電腦、超輕薄筆電(ultrabook)、智慧型手機、數位書寫板(tablet)、個人數位助手(PDA)、超輕薄行動 PC(ultra mobile PC)、行動電話、桌上型電腦、伺服器、印表機、掃描器、監視器、數位機上盒(set-top box)、娛樂控制單元(entertainment control unit)、數位相機、隨身音樂播放器或數位錄影機(digital video recorder)。在進一步的實行中，計算裝置 800 可為任何其它處理資料的電子裝置。

[0054] 因此，本發明之實施例包括用於非平面半導體裝置架構之精密電阻器以及製造用於非平面半導體裝置

架構之精密電阻器的方法。

[0055] 在實施例中，半導體結構包括配置於基板上方的第一及第二半導體鰭。電阻器結構配置於第一半導體鰭上面但非於第二半導體鰭上面。電晶體結構係形成自第二半導體鰭但非自第一半導體鰭。

[0056] 在一實施例中，電阻器結構包括配置有隨同第一半導體鰭之保角的電阻材料層。

[0057] 在一實施例中，電阻材料層係由多晶質矽組成。

[0058] 在一實施例中，多晶質矽具有約 20 奈米的晶粒尺寸。

[0059] 在一實施例中，多晶質矽係摻雜以具有在約 $1E15 \sim 1E17$ atoms/cm² 範圍之劑量的硼。

[0060] 在一實施例中，電阻材料層具有本質上無關於在電阻器結構工作溫度範圍以上之溫度的電阻。

[0061] 在一實施例中，半導體結構更包括配置於電阻材料層與第一半導體鰭之間的電絕緣層。

[0062] 在一實施例中，電阻器結構包括耦接至配置在多晶質矽中的矽化鎳區域的鎢金屬接點。

[0063] 在一實施例中，電晶體結構包括配置於第二半導體鰭中的源極與汲極區域，與配置於第二半導體鰭上方的閘極堆疊，並且閘極堆疊包括 high-k 閘極介電層以及金屬閘極電極。

[0064] 在一實施例中，第一半導體鰭為第一複數半

導體鰭之一並且第二半導體鰭為第二複數半導體鰭之一、電阻器結構係配置於第一複數半導體鰭上面但非在第二複數半導體鰭上面，以及電晶體結構係形成自第二複數半導體鰭但非自第一複數半導體鰭。

[0065] 在一實施例中，第一及第二複數半導體鰭係電耦接至下伏的塊體半導體基板。

[0066] 在一實施例中，電阻器結構為非平面電阻器結構。

[0067] 在另一實施例中，半導體結構包括配置於基板上面的第一及第二半導體鰭。隔離區域係配置於基板上面、介於第一及第二半導體鰭之間，並且在小於第一及第二半導體鰭的高度。電阻器結構係配置於隔離區域上面，但非在第一及第二半導體鰭上面。第一及第二電晶體結構係分別形成自第一及第二半導體鰭。

[0068] 在一實施例中，電阻器結構包括配置有隨同隔離區域之保角的電阻材料層。

[0069] 在一實施例中，電阻材料層係由多晶質矽組成。

[0070] 在一實施例中，多晶質矽具有約 20 奈米的晶粒尺寸。

[0071] 在一實施例中，多晶質矽係摻雜以具有在約 $1E15 \sim 1E17$ atoms/cm² 範圍之劑量的硼。

[0072] 在一實施例中，電阻材料層具有本質上無關於在電阻器結構工作溫度範圍以外之溫度的電阻。

[0073] 在一實施例中，電阻材料層具有在小於第一及第二半導體鰭之高度的頂面。

[0074] 在一實施例，電阻器結構包括耦接至配置在多晶質矽中的矽化鎳區域的鎢金屬接點。

[0075] 在一實施例中，第一及第二電晶體結構各包括分別配置於第一或第二半導體鰭的源極與汲極區域，以及分別配置於第一及第二半導體鰭上面的閘極堆疊。各閘極堆疊包括 high-k 閘極介電層及金屬閘極電極。

[0076] 在一實施例中，第一半導體鰭為第一複數半導體鰭之一且第二半導體鰭為第二複數半導體鰭之一，以及第一電晶體結構係形成自第一複數半導體鰭且第二電晶體結構係形成自第二複數半導體鰭。

[0077] 在一實施例中，第一及第二複數半導體鰭係電耦接至下伏的塊體半導體基板。

[0078] 在一實施例中，電阻器結構為平面電阻器結構。

[0079] 在實施例中，製造半導體結構的方法包括形成第一及第二半導體鰭於基板上面。方法亦包括形成電阻器結構於第一半導體鰭上面但不在第二半導體鰭上面。方法亦包括自第二半導體鰭而並非自第一半導體鰭形成電晶體結構。形成電晶體結構包括形成一或更多虛擬閘極於第二半導體鰭上面，並且後續形成電阻器結構，以永久閘極堆疊取代一或更多虛擬閘極。

[0080] 在一實施例中，形成電阻器結構包括形成隨

同第一半導體緒的電阻材料層保角。

[0081] 在一實施例中，電阻材料層包括形成具有約 20 奈米之晶粒尺寸的多晶質矽層。

[0082] 在實施例中，製造半導體結構的方法包括形成第一及第二半導體緒於基板上面。方法亦包括形成隔離區域於基板上面、介於第一及第二半導體緒之間，並且在小於第一及第二半導體緒之高度。方法亦包括形成電阻器結構於隔離區域上面，但不在第一及第二半導體緒上面。方法亦包括自第一及第二半導體緒分別形成第一及第二電晶體結構。形成第一及第二電晶體結構包括於第一及第二半導體緒上面形成一或更多虛擬閘極，並且隨後形成電阻器結構，以永久閘極堆疊取代一或更多虛擬閘極。

[0083] 在一實施例中，形成電阻器結構包括形成隨同隔離區域的電阻材料層保角。

[0084] 在一實施例中，形成電阻材料層包括形成具有約 20 奈米之晶粒尺寸的多晶質矽層。

【符號說明】

[0085]

100：半導體結構

102：基板

103：隔離層

104：非平面裝置

106：非平面電阻器

- 108：閘極堆疊
- 110：鰭
- 111：鰭
- 112：非平面半導體層
- 114：間隔件
- 116：接點
- 150：半導體結構
- 156：平面電阻器
- 162：平面半導體層
- 202：隔離層
- 204：圖案化塊體基板
- 206：鰭
- 208：多晶矽
- 210：氮化矽硬遮罩
- 212：電阻器結構
- 214：多晶矽
- 216：硬遮罩
- 218：虛擬閘極結構
- 220：間隔件
- 222：遮罩
- 226：夾層介電層
- 228：永久閘極結構
- 230：接觸開口
- 232：接點

- 250 : 夾層介電材料
- 302 : 隔離層
- 304 : 圖案化塊體基板
- 306 : 鱗
- 308 : 多晶矽
- 310 : 氮化矽硬遮罩
- 311 : 電阻器遮罩
- 312 : 電阻器結構
- 314 : 多晶矽
- 316 : 硬遮罩
- 318 : 虛擬閘極結構
- 320 : 間隔件
- 322 : 遮罩
- 326 : 夾層介電層
- 328 : 永久閘極電極
- 330 : 接觸開口
- 332 : 接點
- 350 : 夾層介電材料
- 402 : 隔離層
- 404 : 圖案化塊體基板
- 406 : 鱗
- 408 : 多晶矽
- 410 : 氮化矽硬遮罩
- 412 : 電阻器結構

- 418 : 虛擬閘極結構
- 420 : 間隔件
- 422 : 遮罩
- 423 : 凹入
- 426 : 夾層介電層
- 428 : 永久閘極電極
- 430 : 接觸開口
- 432 : 接點
- 450 : 夾層介電材料
- 502 : 隔離層
- 503 : 硬遮罩部分
- 504 : 圖案化塊體基板
- 506 : 鰭
- 507 : 保護氧化層
- 508 : 多晶矽
- 524 : 植入處理
- 560 : 光阻層
- 562 : 多晶矽區域
- 602 : 隔離層
- 604 : 圖案化塊體基板
- 606 : 鰭
- 608 : 多晶矽
- 610 : 氮化矽硬遮罩
- 612 : 電阻器結構

- 618：虛擬閘極結構
- 620：間隔件
- 622：遮罩
- 626：夾層介電層
- 628：永久閘極電極
- 630：接觸開口
- 632：接點
- 650：夾層介電材料
- 800：計算裝置
- 802：板
- 804：處理器
- 806：通訊晶片

發明摘要

※申請案號：104108118 (由102/13/802分割)

※申請日：102年09月04日

※IPC分類：H01L 27/06 (2006.01)
H01L 21/02 (2006.01)

【發明名稱】(中文/英文)

用於非平面半導體裝置架構的精密電阻器

Precision resistor for non-planar semiconductor device architecture

【中文】

說明用於非平面半導體裝置架構的精密電阻器。在第一範例中，半導體結構包括配置於基板上面的第一及第二半導體緒。電阻器結構係配置於第一半導體緒上面但未在第二半導體緒上面。電晶體結構係形成自第二半導體緒但非自第一半導體緒。在第二範例中，半導體結構包括配置於基板上面的第一及第二半導體緒。隔離區域係配置於基板上面、介於第一及第二半導體緒之間，且在小於第一及第二半導體緒的高度。電阻器結構係配置於隔離區域上面但未在第一及第二半導體緒上面。第一及第二電晶體結構係分別形成自第一及第二半導體緒。

【 英文 】

Precision resistors for non-planar semiconductor device architectures are described. In a first example, a semiconductor structure includes first and second semiconductor fins disposed above a substrate. A resistor structure is disposed above the first semiconductor fin but not above the second semiconductor fin. A transistor structure is formed from the second semiconductor fin but not from the first semiconductor fin. In a second example, a semiconductor structure includes first and second semiconductor fins disposed above a substrate. An isolation region is disposed above the substrate, between the first and second semiconductor fins, and at a height less than the first and second semiconductor fins. A resistor structure is disposed above the isolation region but not above the first and second semiconductor fins. First and second transistor structures are formed from the first and second semiconductor fins, respectively.

【代表圖】

【本案指定代表圖】：第(1A、1B)圖。

【本代表圖之符號簡單說明】：

- 100：半導體結構
- 102：基板
- 103：隔離層
- 104：非平面裝置
- 106：非平面電阻器
- 108：閘極堆疊
- 110：鰭
- 111：鰭
- 112：非平面半導體層
- 114：間隔件
- 116：接點
- 150：半導體結構
- 156：平面電阻器
- 162：平面半導體層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

申請專利範圍

1. 一種半導體裝置，包含：
第一及第二半導體緒，配置於基板上；
被動元件，配置於該第一半導體緒上；以及
主動元件，形成自該第二半導體緒。
2. 如申請專利範圍第 1 項之半導體裝置，其中該被動元件包含電阻器結構，且其中該主動元件包含電晶體結構。
3. 如申請專利範圍第 2 項之半導體裝置，其中該電阻器結構包含有和該第一半導體緒保角配置的電阻材料層。
4. 如申請專利範圍第 3 項之半導體裝置，其中該電阻材料層包含多晶質矽。
5. 如申請專利範圍第 3 項之半導體結構，其中該電阻材料層具有本質上無關於在該電阻器結構的工作溫度範圍以外之溫度的電阻。
6. 如申請專利範圍第 3 項之半導體結構，更包含：
電絕緣層，配置於該電阻材料層與該第一半導體緒之間。
7. 如申請專利範圍第 4 項之半導體結構，其中該電阻器結構包含耦接至配置在該多晶質矽中矽化鎳區域的鎢金屬接點。
8. 如申請專利範圍第 2 項之半導體結構，其中該電晶體結構包含配置於該第二半導體緒中的源極與汲極區

域，以及配置於該第二半導體層上面的閘極堆疊，且其中該閘極堆疊包含 high-k 閘極介電層以及金屬閘極電極。

9. 如申請專利範圍第 2 項之半導體結構，其中該第一半導體層為第一複數半導體層之一且該第二半導體層為第二複數半導體層之一，其中該電阻器結構係配置於該第一複數半導體層上面但未在該第二複數半導體層上面，且其中該電晶體結構係形成自該第二複數半導體層而非自該第一複數半導體層。

10. 如申請專利範圍第 2 項之半導體結構，其中該電阻器結構為非平面電阻器結構。

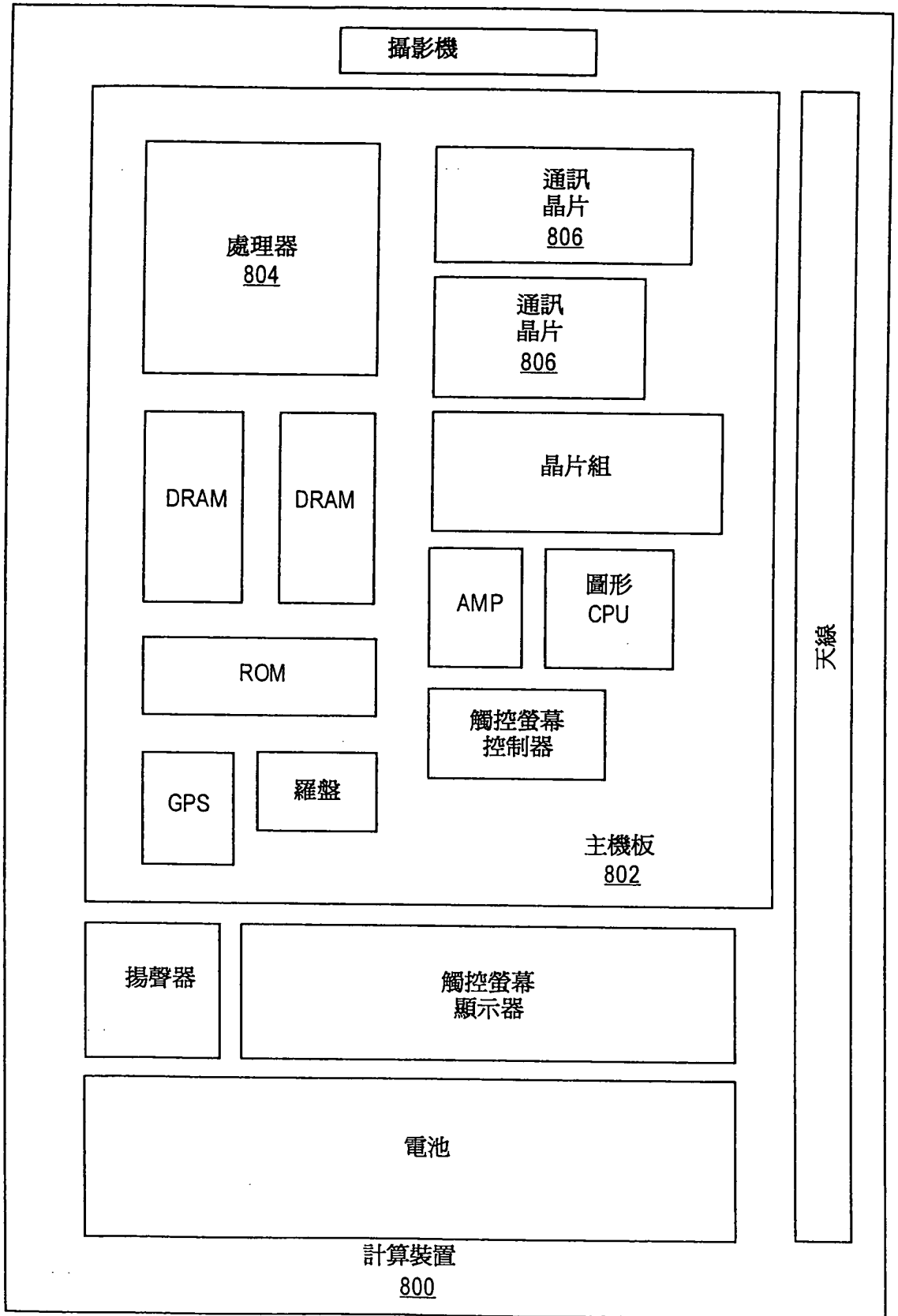


圖 8