

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4794158号
(P4794158)

(45) 発行日 平成23年10月19日(2011.10.19)

(24) 登録日 平成23年8月5日(2011.8.5)

(51) Int.Cl.	F I	
G09G 3/20 (2006.01)	G09G 3/20	622E
G09G 3/30 (2006.01)	G09G 3/20	623H
G09G 3/36 (2006.01)	G09G 3/20	611A
G02F 1/133 (2006.01)	G09G 3/20	621A
G11C 19/00 (2006.01)	G09G 3/30	J
請求項の数 12 (全 50 頁) 最終頁に続く		

(21) 出願番号 特願2004-339730 (P2004-339730)
 (22) 出願日 平成16年11月25日(2004.11.25)
 (65) 公開番号 特開2006-146091 (P2006-146091A)
 (43) 公開日 平成18年6月8日(2006.6.8)
 審査請求日 平成19年11月15日(2007.11.15)

(73) 特許権者 000001889
 三洋電機株式会社
 大阪府守口市京阪本通2丁目5番5号
 (74) 代理人 100104433
 弁理士 官園 博一
 (72) 発明者 千田 みちる
 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
 (72) 発明者 堀端 浩行
 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
 審査官 森口 忠紀

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

第1電位とクロック信号線の間直列に接続される第1トランジスタと第2トランジスタとを有し、前記第2トランジスタと前記第1トランジスタのゲートには第1信号と第3信号がそれぞれ入力される第1回路部と、

前記第1電位と第2電位の間直列に接続される第3トランジスタおよび第4トランジスタと、前記第1電位と前記クロック信号線の間直列に接続される第5トランジスタおよび第6トランジスタと、を有し、

前記第4トランジスタと前記第5トランジスタのゲートには、前記第2トランジスタを介して前記クロック信号線からクロック信号が供給され、

前記第6トランジスタは、前記第1信号が入力される前記第2トランジスタのオン状態の期間と重ならないオン状態の期間が得られる第2信号がゲートに供給され、オンすることにより、シフト信号を出力するとともに前記第3トランジスタのゲートに前記クロック信号を供給し、前記第3トランジスタは、前記クロック信号に応じてシフト出力信号を出力する第2回路部と

を含むシフトレジスタ回路部が複数段設けられており、

前記第1トランジスタ乃至第6トランジスタは同一の導電型を有し、

スキャン方向を切り替えるためのスキャン方向切替回路部と、

前記第3信号を所定段の前段の前記シフトレジスタ回路部のシフト出力信号とし、

前記第1信号と前記第2信号が、それぞれ前記スキャン方向に対して所定段の次段の前記

シフトレジスタ回路部のシフト信号および所定段の前段の前記シフトレジスタ回路部のシフト信号となるよう、前記スキャン方向に応じていずれのシフト信号を前記第 1 信号および前記第 2 信号とするかを切り替える入力信号切替回路部を含む表示装置。

【請求項 2】

前記第 3 トランジスタのゲートとソースとの間には、容量が接続されており、前記第 1 信号および前記第 2 信号は、前記第 3 トランジスタのゲート電位である、請求項 1 に記載の表示装置。

【請求項 3】

前記第 3 トランジスタのソースまたはドレインは、第 2 電位側に接続されている、請求項 2 に記載の表示装置。

10

【請求項 4】

前記第 3 トランジスタのソースまたはドレインは、前記第 1 電位と第 2 電位とが周期的に切り替わる周期信号を供給する周期信号線に接続されている、請求項 2 に記載の表示装置。

【請求項 5】

前記シフトレジスタ回路部は、複数段設けられているとともに、前記周期信号線は、第 1 周期信号線と第 2 周期信号線とを含み、

前記第 3 トランジスタのドレインには、前記第 1 周期信号線と前記第 2 周期信号線とが 1 段毎に交互に接続されている、請求項 4 に記載の表示装置。

【請求項 6】

20

前記入力信号切替回路部は、前記第 2 トランジスタのゲートにソースまたはドレインが接続される第 7 トランジスタおよび第 8 トランジスタを含むとともに、

前記第 6 トランジスタのゲートにソースまたはドレインが接続される第 9 トランジスタおよび第 10 トランジスタを含み、

前記第 7 トランジスタと前記第 9 トランジスタのゲートには、前記スキャン方向が順方向であるときに該トランジスタをオン状態とする信号が、前記第 8 トランジスタと前記第 10 トランジスタのゲートには、前記スキャン方向が逆方向であるときに該トランジスタをオン状態とする信号が、それぞれ入力され、

第 1 の方向にスキャンする場合には、前記第 7 トランジスタがオンすることにより前記第 2 トランジスタのゲートに前記第 1 信号が供給されるとともに、前記第 10 トランジスタがオンすることにより前記第 6 トランジスタのゲートに前記第 2 信号が供給され、

30

前記第 1 の方向とは反対の第 2 の方向にスキャンする場合には、前記第 8 トランジスタがオンすることにより前記第 2 トランジスタのゲートに前記第 1 信号が供給されるとともに、前記第 9 トランジスタがオンすることにより前記第 6 トランジスタのゲートに前記第 2 信号が供給される、請求項 1 ~ 5 のいずれか 1 項に記載の表示装置。

【請求項 7】

前記第 1 トランジスタは、前記第 1 信号に応答してオンする前記第 2 トランジスタがオン状態の期間にはオフ状態になるとともに、前記第 5 トランジスタは、前記第 2 信号に応答してオンする前記第 6 トランジスタがオン状態の期間にはオフ状態になる、請求項 1 ~ 6 のいずれか 1 項に記載の表示装置。

40

【請求項 8】

前記第 5 トランジスタは、前記第 4 トランジスタがオン状態のときに、前記第 3 トランジスタをオフ状態にする機能を有する、請求項 1 ~ 7 のいずれか 1 項に記載の表示装置。

【請求項 9】

前記第 1 トランジスタ、前記第 2 トランジスタ、前記第 5 トランジスタおよび前記第 6 トランジスタの少なくとも 1 つは、互いに電氣的に接続された 2 つのゲート電極を有する、請求項 1 ~ 8 のいずれか 1 項に記載の表示装置。

【請求項 10】

前記第 5 トランジスタのゲートと前記第 2 トランジスタとの間には、第 1 ダイオードが接続されており、前記第 3 トランジスタのゲートと前記第 6 トランジスタとの間には、第 2

50

ダイオードが接続されている、請求項 1 ~ 9 のいずれか 1 項に記載の表示装置。

【請求項 1 1】

前記第 1 ダイオードは、ダイオード接続された第 1 1 トランジスタを含むとともに、前記第 2 ダイオードは、ダイオード接続された第 1 2 トランジスタを含み、前記第 1 1 トランジスタおよび前記第 1 2 トランジスタは、前記第 1 トランジスタ、前記第 2 トランジスタ、前記第 3 トランジスタ、前記第 4 トランジスタ、前記第 5 トランジスタおよび前記第 6 トランジスタと同じ導電型のトランジスタである、請求項 1 0 に記載の表示装置。

【請求項 1 2】

前記シフトレジスタ回路は、ゲート線を駆動するためのシフトレジスタ回路、および、ドレイン線を駆動するためのシフトレジスタ回路の少なくとも一方に適用されている、請求項 1 ~ 1 1 のいずれか 1 項に記載の表示装置。

10

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

この発明は、表示装置に関し、特に、シフトレジスタ回路を有する表示装置に関する。

【背景技術】

【0 0 0 2】

従来、抵抗負荷型のインバータ回路が知られている（たとえば、非特許文献 1 参照）。また、従来では、上記した抵抗負荷型のインバータ回路を含むシフトレジスタ回路が知られている。なお、シフトレジスタ回路は、たとえば、液晶表示装置や有機 E L 表示装置のゲート線やドレイン線を駆動する回路に用いられる。

20

【0 0 0 3】

図 1 8 は、従来の抵抗負荷型のインバータ回路を含むシフトレジスタ回路の回路図である。図 1 8 を参照して、従来のシフトレジスタ回路 1 0 0 0 a は、第 1 回路部 1 0 0 1 a と第 2 回路部 1 0 0 2 a とによって構成されている。また、2 段目のシフトレジスタ回路 1 0 0 0 b は、第 1 回路部 1 0 0 1 b と第 2 回路部 1 0 0 2 b とによって構成されている。

【0 0 0 4】

1 段目のシフトレジスタ回路 1 0 0 0 a を構成する第 1 回路部 1 0 0 1 a は、n チャンネルトランジスタ N T 2 0 1 および N T 2 0 2 と、容量 C 2 0 1 と、抵抗 R 2 0 1 とを含む。以下、従来技術の説明においては、n チャンネルトランジスタ N T 2 0 1 および N T 2 0 2 は、それぞれ、トランジスタ N T 2 0 1 および N T 2 0 2 と称する。トランジスタ N T 2 0 1 のソースは、ノード N D 2 0 1 に接続されているとともに、ドレインには、スタート信号 S T が入力される。このトランジスタ N T 2 0 1 のゲートには、クロック信号 C L K 1 が供給される。また、トランジスタ N T 2 0 2 のソースは、負側電位 V S S に接続されているとともに、ドレインは、ノード N D 2 0 2 に接続されている。また、容量 C 2 0 1 の一方の電極は、ノード N D 2 0 1 に接続されているとともに、他方の電極は、負側電位 V S S に接続されている。また、抵抗 R 2 0 1 の一方端子は、正側電位 V D D に接続されているとともに、他方端子は、ノード N D 2 0 2 に接続されている。そして、トランジスタ N T 2 0 2 と抵抗 R 2 0 1 とによって、インバータ回路が構成されている。

30

40

【0 0 0 5】

また、1 段目のシフトレジスタ回路 1 0 0 0 a を構成する第 2 回路部 1 0 0 2 a は、n チャンネルトランジスタ N T 2 0 3 と、抵抗 R 2 0 2 とを含む。以下、従来技術の説明においては、n チャンネルトランジスタ N T 2 0 3 は、トランジスタ N T 2 0 3 と称する。トランジスタ N T 2 0 3 のソースは、負側電位 V S S に接続されているとともに、ドレインは、ノード N D 2 0 3 に接続されている。また、抵抗 R 2 0 2 の一方端子は、正側電位 V D D に接続されているとともに、他方端子は、ノード N D 2 0 3 に接続されている。そして、トランジスタ N T 2 0 3 と抵抗 R 2 0 2 とによって、インバータ回路が構成されている。

50

【 0 0 0 6 】

また、2段目以降のシフトレジスタ回路も、上記した1段目のシフトレジスタ回路1000aと同様の回路構成を有する。なお、後段のシフトレジスタ回路の第1回路部は、前段のシフトレジスタ回路の出力ノードに接続されるように構成されている。また、奇数段に配置された第1回路部のトランジスタNT201のゲートには、上記したようにクロック信号CLK1が供給されるとともに、偶数段に配置された第1回路部のトランジスタNT201のゲートには、クロック信号CLK2が供給される。

【 0 0 0 7 】

図19は、図18に示した従来のシフトレジスタ回路の動作を説明するための波形図である。次に、図18および図19を参照して、従来のシフトレジスタ回路の動作について説明する。

10

【 0 0 0 8 】

まず、スタート信号STがHレベルになる。この後、クロック信号CLK1がHレベルになる。この際、1段目のシフトレジスタ回路1000aにおいて、トランジスタNT201がオン状態になるとともに、ノードND201の電位がHレベルに上昇するので、トランジスタNT202がオン状態になる。これにより、ノードND202の電位がLレベルに降下することによりトランジスタNT203がオフ状態になるので、ノードND203の電位がHレベルに上昇して1段目のシフトレジスタ回路1000aからHレベルの出力信号SR1が出力される。なお、クロック信号CLK1がHレベルである期間には、容量C201にHレベルの電位が蓄積される。

20

【 0 0 0 9 】

次に、クロック信号CLK1がLレベルになる。この際、1段目のシフトレジスタ回路1000aのトランジスタNT201がオフ状態になる。この後、スタート信号STがLレベルになる。ここで、1段目のシフトレジスタ回路1000aにおいて、トランジスタNT201がオフ状態になったとしても、ノードND201の電位が容量C201に蓄積されたHレベルの電位によりHレベルに保持されているので、トランジスタNT202がオン状態に保持される。このため、ノードND202の電位がHレベルに上昇しないので、トランジスタNT203がオフ状態に保持される。これにより、1段目のシフトレジスタ回路1000aからHレベルの出力信号SR1が出力され続ける。

30

【 0 0 1 0 】

次に、クロック信号CLK2がHレベルになる。これにより、2段目のシフトレジスタ1000bには、1段目のシフトレジスタ回路1000aのHレベルの出力信号SR1が入力されるので、上記した1段目のシフトレジスタ回路1000aと同様の動作が行われる。これにより、2段目のシフトレジスタ回路1000bからHレベルの出力信号SR2が出力される。

【 0 0 1 1 】

この後、クロック信号CLK1が再度Hレベルになる。この際、1段目のシフトレジスタ回路1000aにおいて、トランジスタNT201がオン状態になるとともに、ノードND201の電位がLレベルに降下する。このため、トランジスタNT202がオフ状態になるとともに、ノードND202の電位がHレベルに上昇するので、トランジスタNT203がオン状態になる。これにより、ノードND203の電位がHレベルからLレベルに降下するので、1段目のシフトレジスタ回路1000aからLレベルの出力信号SR1が出力される。上記のような動作によって、各段のシフトレジスタ回路からタイミングのシフトしたHレベルの出力信号(SR1、SR2、SR3...)が順次出力される。

40

【非特許文献1】岸野正剛著「半導体デバイスの基礎」、オーム社出版、1985年4月25日、pp.184-187

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 1 2 】

しかしながら、図18に示した従来のシフトレジスタ回路では、1段目のシフトレジスタ

50

タ回路1000aにおいて、Hレベルの出力信号SR1を出力する場合、トランジスタNT202がオン状態に保持されるので、抵抗R201およびトランジスタNT202を介してVDDとVSSとの間に貫通電流が流れるという不都合があった。また、Lレベルの出力信号SR1を出力する場合、トランジスタNT203がオン状態に保持されるので、抵抗R202およびトランジスタNT203を介してVDDとVSSとの間に貫通電流が流れるという不都合もあった。このように、VDDとVSSとの間には常に貫通電流が流れるという不都合がある。また、2段目以降のシフトレジスタ回路についても1段目のシフトレジスタ回路1000aと同様の構成を有するので、VDDとVSSとの間に貫通電流が流れるという不都合がある。したがって、上記した従来のシフトレジスタ回路を液晶表示装置や有機EL表示装置のゲート線やドレイン線を駆動する回路に用いた場合には、液晶表示装置や有機EL表示装置の消費電力が増加するという問題点があった。

10

【0013】

この発明は、上記のような課題を解決するためになされたものであり、この発明の1つの目的は、消費電力が増加するのを抑制することが可能なシフトレジスタ回路を有する表示装置を提供することである。

【課題を解決するための手段および発明の効果】**【0014】**

上記目的を達成するために、この発明の一の局面による表示装置は、第1電位側に接続された第1トランジスタと、クロック信号線に接続され、第1信号にตอบสนองしてオンする第2トランジスタとを有する第1回路部と、クロック信号にตอบสนองしてオンする第3トランジスタと、第1電位側に接続された第4トランジスタと、第3トランジスタのゲートと第1電位との間に接続された第5トランジスタと、第3トランジスタのゲートとクロック信号線との間に接続され、第1信号が入力される第2トランジスタのオン状態の期間と重ならないオン状態の期間が得られる第2信号にตอบสนองしてオンすることにより第3トランジスタのゲートにクロック信号を供給する第6トランジスタとを有する第2回路部とを含むシフトレジスタ回路部と、スキャン方向を切り替えるためのスキャン方向切替回路部と、スキャン方向に応じて、第2トランジスタのゲートおよび第6トランジスタのゲートにそれぞれ供給される第1信号および第2信号を切り替えるための入力信号切替回路部とを含むシフトレジスタ回路を備えている。

20

【0015】

この一の局面による表示装置では、上記のように、第1信号にตอบสนองしてオンする第2トランジスタと、第1の信号が入力される第2トランジスタのオン状態の期間と重ならないオン状態の期間が得られる第2信号にตอบสนองしてオンすることにより第3トランジスタのゲートにクロック信号を供給する第6トランジスタとを設けることによって、たとえば、第1信号にตอบสนองしてオンする第2トランジスタがオンするときに第5トランジスタがオンするように構成すれば、第5トランジスタと、第2信号にตอบสนองしてオンする第6トランジスタとが同時にオン状態になることがないので、第5トランジスタおよび第6トランジスタを介して第1電位とクロック信号線との間に貫通電流が流れるのを抑制することができる。この場合、第5トランジスタがオンするときに第4トランジスタがオンするように構成すれば、第2信号にตอบสนองしてオンする第6トランジスタによりゲートにクロック信号が供給される第3トランジスタと、第4トランジスタとが同時にオン状態になることがないので、第3トランジスタおよび第4トランジスタを介して貫通電流が流れるのを抑制することができる。また、第1信号にตอบสนองしてオンする第2トランジスタがオンするときに第1トランジスタがオフするように構成すれば、第1トランジスタと第2トランジスタとが同時にオン状態になることがないので、第1トランジスタおよび第2トランジスタを介して第1電位とクロック信号線との間に貫通電流が流れるのを抑制することができる。このようにシフトレジスタ回路部における貫通電流の発生を抑制することができるので、シフトレジスタ回路部を含む表示装置の消費電力が増加するのを抑制することができる。また、スキャン方向に応じて第2トランジスタおよび第6トランジスタにそれぞれ供給される第1信号および第2信号を切り替えるための入力信号切替回路部を設けることによって、ス

30

40

50

キャン方向を切り換えた場合にも、第2トランジスタが第1信号にตอบสนองしてオンするように、かつ、第6トランジスタが第2信号にตอบสนองしてオンするように制御することができる。これにより、上記と同様、第2トランジスタがオンするときに第1トランジスタがオフになるとともに、第2トランジスタがオンするときに第4トランジスタおよび第5トランジスタがオンになるように構成すれば、スキャン方向を切り換えた場合にも、上記と同様、シフトレジスタ回路部における貫通電流の発生を抑制することができる。その結果、双方向スキャン機能を有する表示装置の消費電力が増加するのを抑制することができる。

【0016】

上記一の局面による表示装置において、好ましくは、シフトレジスタ回路部は、複数段設けられており、第1信号は、スキャン方向に対して所定段の次段のシフトレジスタ回路部のシフト信号であり、第2信号は、スキャン方向に対して所定段の前段のシフトレジスタ回路部のシフト信号である。このように構成すれば、所定段の次段のシフトレジスタ回路部のシフト信号と所定段の前段のシフトレジスタ回路部のシフト信号とはオン状態の期間が重ならないので、所定段の次段のシフトレジスタ回路部のシフト信号にตอบสนองしてオンする第2トランジスタと、所定段の前段のシフトレジスタ回路部のシフト信号にตอบสนองしてオンする第6トランジスタとのオン状態の期間が重なることがない。これにより、容易に、第1信号にตอบสนองしてオンする第2トランジスタがオン状態であるときに、第2信号にตอบสนองしてオンする第6トランジスタがオフ状態になるように制御することができる。また、第2信号にตอบสนองしてオンする第6トランジスタがオン状態であるときに、第1信号にตอบสนองしてオンする第2トランジスタがオフ状態になるように制御することができる。

【0017】

上記一の局面による表示装置において、好ましくは、第3トランジスタのゲートとソースとの間には、容量が接続されており、第1信号および第2信号は、第3トランジスタのゲート電位である。このように構成すれば、容量が接続された第3トランジスタのゲート-ソース間電圧を維持するように、第3トランジスタのソース電位の上昇または低下に伴って第3トランジスタのゲート電位を上昇または低下させることができる。これにより、確実に第3トランジスタをオン状態に保持することができる。

【0018】

上記第3トランジスタのゲートとソースとの間に容量が接続されている構成において、第3トランジスタのドレインは、第2電位側に接続されていてもよい。このように構成すれば、第3トランジスタが第2電位の信号にตอบสนองしてオンする場合に、容易に、第3トランジスタのゲート電位を、第2電位よりも高くまたは低くすることができる。

【0019】

上記第3トランジスタのゲートとソースとの間に容量が接続されている構成において、第3トランジスタのドレインは、第1電位と第2電位とが周期的に切り替わる周期信号を供給する周期信号線に接続されている。このように構成すれば、第3トランジスタがオン状態のときにソース電位を第1電位から第2電位に変動させることができるので、その電位の変動分だけ第3トランジスタのゲート電位を上昇または低下させることができる。すなわち、第3トランジスタのドレインが第2電位側に接続されている場合の第3トランジスタのゲートとソースとの間の容量による第3トランジスタのゲート電位の上昇または低下に加えて、ソース電位を第1電位から第2電位に変動させるときの変動分だけ第3トランジスタのゲート電位をより高くまたは低くすることができる。これにより、第3トランジスタのドレインが固定的な電位である第2電位側に接続されている場合に比べて、より確実に、第3トランジスタをオン状態に保持することができる。

【0020】

この場合、好ましくは、シフトレジスタ回路部は、複数段設けられているとともに、周期信号線は、第1周期信号線と第2周期信号線とを含み、第3トランジスタのドレインには、第1周期信号線と第2周期信号線とが1段毎に交互に接続されている。このように構成すれば、隣接するシフトレジスタ回路部において、所定段のシフトレジスタ回路部および所定段の次段のシフトレジスタ回路部の各々の第3トランジスタがクロック信号にตอบสนอง

10

20

30

40

50

してオンするタイミングに合わせて第3トランジスタのソース電位を第1電位から第2電位に変動させることができ、かつ、所定段のシフトレジスタ回路部および所定段の次段のシフトレジスタ回路部の各々の第3トランジスタがクロック信号に応答してオフ状態になる直前まで第3トランジスタのソース電位を第2電位に保持することができる。これにより、第3トランジスタがクロック信号に応答してオフする直前までの間に第3トランジスタのソース電位が第1電位になることに起因して、第3トランジスタのゲート電位が変動するという不都合が発生するのを抑制することができる。この場合、所定段の第3トランジスタのゲート電位が所定段の次段のシフトレジスタ回路部の第6トランジスタに入力される場合に、第6トランジスタの動作が不安定になるのを抑制することができる。また、第6トランジスタの動作が不安定になることにより第6トランジスタがオンするタイミングが遅れるのを抑制することができるので、第6トランジスタを介して第3トランジスタのゲートにクロック信号が入力される際のタイミングが遅れるのを抑制することができる。

10

【0021】

上記一の局面による表示装置において、好ましくは、入力信号切替回路部は、第2トランジスタのゲートに接続される第7トランジスタおよび第8トランジスタを含むとともに、第6トランジスタのゲートに接続される第9トランジスタおよび第10トランジスタを含み、第1の方向にスキャンする場合には、第7トランジスタがオンすることにより第2トランジスタのゲートに第1信号が供給されるとともに、第10トランジスタがオンすることにより第6トランジスタのゲートに第2信号が供給され、第1の方向とは反対の第2の方向にスキャンする場合には、第8トランジスタがオンすることにより第2トランジスタのゲートに第1信号が供給されるとともに、第9トランジスタがオンすることにより第6トランジスタのゲートに第2信号が供給される。このように構成すれば、第1の方向にスキャンする場合にオンする第7トランジスタおよび第10トランジスタと、第2の方向にスキャンする場合にオンする第8トランジスタおよび第9トランジスタとにより、容易に、スキャン方向に応じて、第2トランジスタおよび第6トランジスタにそれぞれ供給される第1信号および第2信号を切り替えることができる。

20

【0022】

上記一の局面による表示装置において、好ましくは、第1トランジスタは、第1信号に
応答してオンする第2トランジスタがオン状態の期間にはオフ状態になるとともに、第5
トランジスタは、第2信号に
応答してオンする第6トランジスタがオン状態の期間にはオフ状態になる。このように構成すれば、容易に、第1トランジスタと第2トランジスタとが同時にオン状態になるのを防止することができるとともに、第5トランジスタと第6トランジスタとが同時にオン状態になるのを防止することができる。これにより、容易に、第1トランジスタおよび第2トランジスタを介して貫通電流が流れるのを抑制することができるとともに、第5トランジスタおよび第6トランジスタを介して貫通電流が流れるのを抑制することができる。

30

【0023】

上記一の局面による表示装置において、好ましくは、第5トランジスタは、第4トランジスタがオン状態のときに、第3トランジスタをオフ状態にする機能を有する。このように構成すれば、容易に、第3トランジスタと第4トランジスタとが同時にオン状態になるのを防止することができる。これにより、容易に、第3トランジスタおよび第4トランジスタを介して貫通電流が流れるのを抑制することができる。

40

【0024】

上記一の局面による表示装置において、好ましくは、少なくとも第1トランジスタ、第2トランジスタ、第3トランジスタ、第4トランジスタ、第5トランジスタおよび第6トランジスタは、同じ導電型のトランジスタである。このように構成すれば、第1～第6トランジスタを形成する際に、イオン注入工程の回数およびイオン注入マスクの枚数が増加するのを抑制することができる。これにより、製造プロセスが複雑化するのを抑制することができるとともに、製造コストが増大するのを抑制することができる。

50

【 0 0 2 5 】

上記一の局面による表示装置において、好ましくは、第1トランジスタ、第2トランジスタ、第5トランジスタおよび第6トランジスタの少なくとも1つは、互いに電氣的に接続された2つのゲート電極を有する。このように構成すれば、第1トランジスタ、第2トランジスタ、第5トランジスタおよび第6トランジスタの少なくとも1つに印加される電圧を、2つのゲート電極により各ゲート電極に対応するソース・ドレイン間に分配することができる。この場合、第1トランジスタ、第2トランジスタ、第5トランジスタおよび第6トランジスタの少なくとも1つの各ゲート電極に対応するソース・ドレイン間に印加される電圧を小さくすることができるので、第1トランジスタ、第2トランジスタ、第5トランジスタおよび第6トランジスタの少なくとも1つに大きい電圧が印加されることに起因する特性の劣化を抑制することができる。これにより、シフトレジスタ回路部を含む表示装置のスキヤン特性が低下するのを抑制することができる。

10

【 0 0 2 6 】

上記一の局面による表示装置において、好ましくは、第5トランジスタのゲートと第2トランジスタとの間には、第1ダイオードが接続されており、第3トランジスタのゲートと第6トランジスタとの間には、第2ダイオードが接続されている。

【 0 0 2 7 】

この場合、好ましくは、第1ダイオードは、ダイオード接続された第11トランジスタを含むとともに、第2ダイオードは、ダイオード接続された第12トランジスタを含み、第11トランジスタおよび第12トランジスタは、第1トランジスタ、第2トランジスタ、第3トランジスタ、第4トランジスタ、第5トランジスタおよび第6トランジスタと同じ導電型のトランジスタである。このように構成すれば、第1ダイオードおよび第2ダイオードを設けたとしても、イオン注入工程の回数およびイオン注入マスクの枚数が増加するのを抑制することができる。これにより、第1ダイオードおよび第2ダイオードを設けることに起因して、製造プロセスが複雑化し、かつ、製造コストが増大するという不都合が発生するのを抑制することができる。

20

【 0 0 2 8 】

上記一の局面による表示装置において、好ましくは、シフトレジスタ回路は、ゲート線を駆動するためのシフトレジスタ回路、および、ドレイン線を駆動するためのシフトレジスタ回路の少なくとも一方に適用されている。このように構成すれば、ドレイン線を駆動するためのシフトレジスタ回路およびゲート線を駆動するためのシフトレジスタ回路の少なくとも一方において、容易に、消費電力が増加することを抑制することができる。また、ドレイン線を駆動するためのシフトレジスタ回路とゲート線を駆動するためのシフトレジスタ回路との両方に適用すれば、消費電力が増加することをより抑制することができる。

30

【 発明を実施するための最良の形態 】

【 0 0 2 9 】

以下、本発明の実施形態を図面に基づいて説明する。

【 0 0 3 0 】

(第1実施形態)

40

図1は、本発明の第1実施形態による液晶表示装置を示した平面図である。図2は、図1に示した第1実施形態による液晶表示装置のVドライバ内部の回路図である。

【 0 0 3 1 】

まず、図1を参照して、この第1実施形態では、基板1上に、表示部2が設けられている。この表示部2には、画素20がマトリクス状に配置されている。なお、図1では、図面の簡略化のため、1つの画素20のみを図示している。各々の画素20は、nチャンネルトランジスタ21(以下、トランジスタ21という)、画素電極22、画素電極22に対向配置された各画素20に共通の対向電極23、画素電極22と対向電極23との間に挟持された液晶24、および、補助容量25によって構成されている。そして、トランジスタ21のソースは、画素電極22および補助容量25に接続されているとともに、ドレイ

50

ンは、ドレイン線に接続されている。このトランジスタ 21 のゲートは、ゲート線に接続されている。

【0032】

また、表示部 2 の一辺に沿うように、基板 1 上に、表示部 2 のドレイン線を駆動（スキャン）するための水平スイッチ（HSW）3 および H ドライバ 4 が設けられている。また、表示部 2 の他の辺に沿うように、基板 1 上に、表示部 2 のゲート線を駆動（スキャン）するための V ドライバ 5 が設けられている。なお、図 1 の水平スイッチ 3 には、2 つのスイッチのみを図示しているが、実際は画素数に応じた数のスイッチが配置されている。また、図 1 の H ドライバ 4 および V ドライバ 5 には、それぞれ、シフトレジスタ回路部を 2 つのみ図示しているが、実際は画素数に応じた数のシフトレジスタ回路部が配置されている。

10

【0033】

また、基板 1 の外部には、駆動 IC 10 が設置されている。この駆動 IC 10 は、信号発生回路 11 および電源回路 12 を備えている。駆動 IC 10 から H ドライバ 4 へは、ビデオ信号 Video、スタート信号 STV、スキャン方向切替信号 CSV、クロック信号 CKV、イネーブル信号 ENB、正側電位 VDD および負側電位 VBB が供給される。また、駆動 IC 10 から V ドライバ 5 へは、スタート信号 STV、スキャン方向切替信号 CSV、クロック信号 CKV、イネーブル信号 ENB、正側電位 VDD および負側電位 VBB が供給される。

【0034】

20

また、図 2 を参照して、第 1 実施形態では、V ドライバ 5 の内部に、複数段のシフトレジスタ回路部 51 ~ 55 と、スキャン方向切替回路部 60 と、入力信号切替回路部 70 と、複数段の論理合成回路部 81 ~ 83 とが設けられている。なお、図 2 では、図面の簡略化のため、5 段分のシフトレジスタ回路部 51 ~ 55 および 3 段分の論理合成回路部 81 ~ 83 のみを図示しているが、実際は画素数に応じた数のシフトレジスタ回路部および論理合成回路部が設けられている。

【0035】

そして、1 段目のシフトレジスタ回路部 51 は、第 1 回路部 51a と第 2 回路部 51b とによって構成されている。第 1 回路部 51a は、n チャネルトランジスタ NT1 および NT2 と、ダイオード接続された n チャネルトランジスタ NT3 と、容量 C1 とを含む。なお、n チャネルトランジスタ NT1 および NT2 は、それぞれ、本発明の「第 1 トランジスタ」および「第 2 トランジスタ」の一例であり、n チャネルトランジスタ NT3 は、本発明の「第 1 ダイオード」および「第 1 トランジスタ」の一例である。また、第 2 回路部 51b は、n チャネルトランジスタ NT4、NT5、NT6 および NT7 と、ダイオード接続された n チャネルトランジスタ NT8 と、容量 C2 とを含む。なお、n チャネルトランジスタ NT4、NT5、NT6 および NT7 は、それぞれ、本発明の「第 3 トランジスタ」、「第 4 トランジスタ」、「第 5 トランジスタ」および「第 6 トランジスタ」の一例である。また、n チャネルトランジスタ NT8 は、本発明の「第 2 ダイオード」および「第 2 トランジスタ」の一例である。以下、n チャネルトランジスタ NT1 ~ NT8 は、それぞれ、トランジスタ NT1 ~ NT8 と称する。

30

40

【0036】

ここで、第 1 実施形態では、1 段目のシフトレジスタ回路部 51 に設けられたトランジスタ NT1 ~ NT8 は、すべて n 型の MOS トランジスタ（電界効果型トランジスタ）からなる TFT（薄膜トランジスタ）により構成されている。また、第 1 実施形態では、トランジスタ NT1、NT2、NT6、NT7 および NT8 は、互いに電氣的に接続された 2 つのゲート電極を有する。

【0037】

また、第 1 回路部 51a において、トランジスタ NT1 のソースは、負側電位 VBB に接続されているとともに、ドレインは、ノード ND1 に接続されている。また、容量 C1 の一方の電極は、負側電位 VBB に接続されているとともに、他方の電極は、ノード ND

50

1 に接続されている。

【0038】

ここで、第1実施形態では、トランジスタNT2のソースは、トランジスタNT3を介してノードND1に接続されているとともに、ドレインは、クロック信号線(CKV1)に接続されている。

【0039】

また、第2回路部51bにおいて、トランジスタNT4のソースは、ノードND3に接続されているとともに、ドレインは、正側電位VDDに接続されている。このトランジスタNT4のゲートは、ノードND2に接続されている。また、トランジスタNT5のソースは、負側電位VBBに接続されているとともに、ドレインは、ノードND3に接続されている。このトランジスタNT5のゲートは、第1回路部51aのノードND1に接続されている。また、トランジスタNT6のソースは、負側電位VBBに接続されているとともに、ドレインは、ノードND2に接続されている。このトランジスタNT6のゲートは、第1回路部51aのノードND1に接続されている。

【0040】

ここで、第1実施形態では、トランジスタNT6は、トランジスタNT5がオン状態のときに、トランジスタNT4をオフ状態にするために設けられている。また、第1実施形態では、トランジスタNT7のソースは、トランジスタNT8を介してノードND2に接続されているとともに、ドレインは、クロック信号線(CKV1)に接続されている。また、第1実施形態では、容量C2は、トランジスタNT4のゲートとソースとの間に接続されている。

【0041】

また、2段目以降のシフトレジスタ回路部52~55は、上記した1段目のシフトレジスタ回路部51と同様の回路構成を有する。具体的には、2段目以降のシフトレジスタ回路部52~55は、それぞれ、1段目のシフトレジスタ回路部51の第1回路部51aと同様の回路構成を有する第1回路部52a~55aと、第2回路部51bと同様の回路構成を有する第2回路部52b~55bとによって構成されている。

【0042】

2段目のシフトレジスタ回路部52は、1段目のシフトレジスタ回路部51のトランジスタNT1~NT8に対応するnチャネルトランジスタNT11~NT18と、容量C1およびC2に対応する容量C11およびC12とを含む。なお、nチャネルトランジスタNT11、NT12、NT14、NT15、NT16およびNT17は、それぞれ、本発明の「第1トランジスタ」、「第2トランジスタ」、「第3トランジスタ」、「第4トランジスタ」、「第5トランジスタ」および「第6トランジスタ」の一例である。また、nチャネルトランジスタNT13は、本発明の「第1ダイオード」および「第11トランジスタ」の一例であり、nチャネルトランジスタNT18は、本発明の「第2ダイオード」および「第12トランジスタ」の一例である。以下、nチャネルトランジスタNT11~NT18は、それぞれ、トランジスタNT11~NT18と称する。

【0043】

また、3段目のシフトレジスタ回路部53は、1段目のシフトレジスタ回路部51のトランジスタNT1~NT8に対応するnチャネルトランジスタNT21~NT28と、容量C1およびC2に対応する容量C21およびC22とを含む。なお、nチャネルトランジスタNT21、NT22、NT24、NT25、NT26およびNT27は、それぞれ、本発明の「第1トランジスタ」、「第2トランジスタ」、「第3トランジスタ」、「第4トランジスタ」、「第5トランジスタ」および「第6トランジスタ」の一例である。また、nチャネルトランジスタNT23は、本発明の「第1ダイオード」および「第11トランジスタ」の一例であり、nチャネルトランジスタNT28は、本発明の「第2ダイオード」および「第12トランジスタ」の一例である。以下、nチャネルトランジスタNT21~NT28は、それぞれ、トランジスタNT21~NT28と称する。

【0044】

10

20

30

40

50

また、4段目のシフトレジスタ回路部54は、1段目のシフトレジスタ回路部51のトランジスタNT1~NT8に対応するnチャンネルトランジスタNT31~NT38と、容量C1およびC2に対応する容量C31およびC32とを含む。なお、nチャンネルトランジスタNT31、NT32、NT34、NT35、NT36およびNT37は、それぞれ、本発明の「第1トランジスタ」、「第2トランジスタ」、「第3トランジスタ」、「第4トランジスタ」、「第5トランジスタ」および「第6トランジスタ」の一例である。また、nチャンネルトランジスタNT33は、本発明の「第1ダイオード」および「第11トランジスタ」の一例であり、nチャンネルトランジスタNT38は、本発明の「第2ダイオード」および「第12トランジスタ」の一例である。以下、nチャンネルトランジスタNT31~NT38は、それぞれ、トランジスタNT31~NT38と称する。

10

【0045】

また、5段目のシフトレジスタ回路部55は、1段目のシフトレジスタ回路部51のトランジスタNT1~NT8に対応するnチャンネルトランジスタNT41~NT48と、容量C1およびC2に対応する容量C41およびC42とを含む。なお、nチャンネルトランジスタNT41、NT42、NT44、NT45、NT46およびNT47は、それぞれ、本発明の「第1トランジスタ」、「第2トランジスタ」、「第3トランジスタ」、「第4トランジスタ」、「第5トランジスタ」および「第6トランジスタ」の一例である。また、nチャンネルトランジスタNT43は、本発明の「第1ダイオード」および「第11トランジスタ」の一例であり、nチャンネルトランジスタNT48は、本発明の「第2ダイオード」および「第12トランジスタ」の一例である。以下、nチャンネルトランジスタNT41~NT48は、それぞれ、トランジスタNT41~NT48と称する。

20

【0046】

そして、2段目のシフトレジスタ回路部52のトランジスタNT12およびNT17と、4段目のシフトレジスタ回路部54のトランジスタNT32およびNT37とは、クロック信号線(CKV2)に接続されている。また、3段目のシフトレジスタ回路部53のトランジスタNT22およびNT27と、5段目のシフトレジスタ回路部55のトランジスタNT42およびNT47とは、クロック信号線(CKV1)に接続されている。すなわち、シフトレジスタ回路部51~55には、クロック信号線(CKV1)とクロック信号線(CKV2)とが1段毎に交互に接続されている。

30

【0047】

また、スキャン方向切替回路部60は、nチャンネルトランジスタNT51~NT60を含む。以下、nチャンネルトランジスタNT51~NT60は、それぞれ、トランジスタNT51~NT60と称する。

【0048】

ここで、第1実施形態では、スキャン方向切替回路部60を構成するトランジスタNT51~NT60は、すべてn型のMOSトランジスタからなるTFETにより構成されている。

【0049】

また、トランジスタNT51~NT55は、この順番でソース/ドレインの一方とソース/ドレインの他方が互いに接続されている。また、トランジスタNT51、NT53およびNT55のゲートには、スキャン方向切替信号線(CSV)が接続されているとともに、トランジスタNT52およびNT54のゲートには、反転スキャン方向切替信号線(XCSV)が接続されている。すなわち、トランジスタNT51~NT55のゲートには、スキャン方向切替信号線(CSV)と反転スキャン方向切替信号線(XCSV)とが1つずつ交互に接続されている。

40

【0050】

また、トランジスタNT56~NT60は、この順番でソース/ドレインの一方とソース/ドレインの他方が互いに接続されている。トランジスタNT56、NT58およびNT60のゲートには、反転スキャン方向切替信号線(XCSV)が接続されているとともに、トランジスタNT57およびNT59のゲートには、スキャン方向切替信号線(C

50

S V) が接続されている。すなわち、トランジスタ NT 5 6 ~ NT 6 0 のゲートには、反転スキャン方向切替信号線 (X C S V) とスキャン方向切替信号線 (C S V) とが 1 つずつ交互に接続されている。

【 0 0 5 1 】

なお、スキャン方向が順方向の場合には、スキャン方向切替信号線 C S V が H レベル (V D D) になるように、かつ、反転スキャン方向切替信号 X C S V が L レベル (V B B) になるように制御される。このため、スキャン方向が順方向の場合には、トランジスタ NT 5 1、NT 5 3、NT 5 5、NT 5 7 および NT 5 9 がオン状態になるように、かつ、トランジスタ NT 5 2、NT 5 4、NT 5 6、NT 5 8 および NT 6 0 がオフ状態になるように制御される。また、スキャン方向が逆方向の場合には、スキャン方向切替信号線 C S V が L レベル (V B B) になるように、かつ、反転スキャン方向切替信号 X C S V が H レベル (V D D) になるように制御される。このため、スキャン方向が逆方向の場合には、トランジスタ NT 5 1、NT 5 3、NT 5 5、NT 5 7 および NT 5 9 がオフ状態になるように、かつ、トランジスタ NT 5 2、NT 5 4、NT 5 6、NT 5 8 および NT 6 0 がオン状態になるように制御される。

10

【 0 0 5 2 】

また、1 段目のシフトレジスタ回路部 5 1 のトランジスタ NT 1 のゲートが、スキャン方向切替回路部 6 0 のトランジスタ NT 5 1 のソース/ドレインの他方 (トランジスタ NT 5 2 のソース/ドレインの一方) に接続されているとともに、1 段目のシフトレジスタ回路部 5 1 のノード ND 3 が、スキャン方向切替回路部 6 0 のトランジスタ NT 5 6 のソース/ドレインの他方 (トランジスタ NT 5 7 のソース/ドレインの一方) に接続されている。

20

【 0 0 5 3 】

また、2 段目のシフトレジスタ回路部 5 2 のトランジスタ NT 1 1 のゲートが、スキャン方向切替回路部 6 0 のトランジスタ NT 5 7 のソース/ドレインの他方 (トランジスタ NT 5 8 のソース/ドレインの一方) に接続されているとともに、2 段目のシフトレジスタ回路部 5 2 のノード ND 3 が、スキャン方向切替回路部 6 0 のトランジスタ NT 5 2 のソース/ドレインの他方 (トランジスタ NT 5 3 のソース/ドレインの一方) に接続されている。

【 0 0 5 4 】

また、3 段目のシフトレジスタ回路部 5 3 のトランジスタ NT 2 1 のゲートが、スキャン方向切替回路部 6 0 のトランジスタ NT 5 3 のソース/ドレインの他方 (トランジスタ NT 5 4 のソース/ドレインの一方) に接続されているとともに、3 段目のシフトレジスタ回路部 5 3 のノード ND 3 が、スキャン方向切替回路部 6 0 のトランジスタ NT 5 8 のソース/ドレインの他方 (トランジスタ NT 5 9 のソース/ドレインの一方) に接続されている。

30

【 0 0 5 5 】

また、4 段目のシフトレジスタ回路部 5 4 のトランジスタ NT 3 1 のゲートが、スキャン方向切替回路部 6 0 のトランジスタ NT 5 9 のソース/ドレインの他方 (トランジスタ NT 6 0 のソース/ドレインの一方) に接続されているとともに、4 段目のシフトレジスタ回路部 5 4 のノード ND 3 が、スキャン方向切替回路部 6 0 のトランジスタ NT 5 4 のソース/ドレインの他方 (トランジスタ NT 5 5 のソース/ドレインの一方) に接続されている。

40

【 0 0 5 6 】

また、5 段目のシフトレジスタ回路部 5 5 のトランジスタ NT 4 1 のゲートが、スキャン方向切替回路部 6 0 のトランジスタ NT 5 5 のソース/ドレインの他方に接続されているとともに、5 段目のシフトレジスタ回路部 5 5 のノード ND 3 が、スキャン方向切替回路部 6 0 のトランジスタ NT 6 0 のソース/ドレインの他方に接続されている。

【 0 0 5 7 】

各段のシフトレジスタ回路部 5 1 ~ 5 5 とスキャン方向切替回路部 6 0 とを上記のよう

50

に接続することによって、スキャン方向に応じて、所定段のシフトレジスタ回路部の第1回路部にスキャン方向に対して前段のシフト出力信号(SR11~SR15)が入力されるように制御される。ただし、初段のシフトレジスタ回路部51の第1回路部51aには、スタート信号STVが入力される。

【0058】

また、入力信号切替回路部70は、nチャネルトランジスタNT61~NT80を含む。なお、nチャネルトランジスタNT61、NT63、NT65、NT67およびNT69は、本発明の「第7トランジスタ」の一例であり、nチャネルトランジスタNT62、NT64、NT66、NT68およびNT70は、本発明の「第10トランジスタ」の一例である。また、nチャネルトランジスタNT71、NT73、NT75、NT77およびNT79は、本発明の「第8トランジスタ」の一例であり、nチャネルトランジスタNT72、NT74、NT76、NT78およびNT80は、本発明の「第9トランジスタ」の一例である。以下、nチャネルトランジスタNT61~NT80は、それぞれ、トランジスタNT61~NT80と称する。

10

【0059】

ここで、第1実施形態では、入力信号切替回路部70を構成するトランジスタNT61~NT80は、すべてn型のMOSトランジスタからなるTFTにより構成されている。

【0060】

また、第1実施形態では、スキャン方向切替信号線(CSV)に接続されたnチャネルトランジスタと、ゲートが反転スキャン方向切替信号線(XCSV)に接続されたnチャネルトランジスタとは、各段毎に2つずつ設けられている。具体的には、1段目に、ゲートがスキャン方向切替信号線(CSV)に接続されたトランジスタNT61およびNT62と、ゲートが反転スキャン方向切替信号線(XCSV)に接続されたトランジスタNT71およびNT72とが設けられている。トランジスタNT61およびNT71のソース/ドレインの一方は、1段目のシフトレジスタ回路部51のトランジスタNT2のゲートに接続されている。トランジスタNT61のソース/ドレインの他方は、2段目のシフトレジスタ回路部52のノードND2に接続されているとともに、トランジスタNT71のソース/ドレインの他方は、正側電位VDDに接続されている。また、トランジスタNT62およびNT72のソース/ドレインの一方は、1段目のシフトレジスタ回路部51のトランジスタNT7のゲートに接続されている。トランジスタNT62のソース/ドレインの他方は、スタート信号STVが供給されるスキャン方向切替回路部60のトランジスタNT51のソース/ドレインの他方(トランジスタNT52のソース/ドレインの一方)およびトランジスタNT1のゲートに接続されているとともに、トランジスタNT72のソース/ドレインの他方は、2段目のシフトレジスタ回路部52のノードND2に接続されている。

20

30

【0061】

また、2段目には、ゲートがスキャン方向切替信号線(CSV)に接続されたトランジスタNT63およびNT64と、ゲートが反転スキャン方向切替信号線(XCSV)に接続されたトランジスタNT73およびNT74とが設けられている。トランジスタNT63およびNT73のソース/ドレインの一方は、2段目のシフトレジスタ回路部52のトランジスタNT12のゲートに接続されている。トランジスタNT63のソース/ドレインの他方は、3段目のシフトレジスタ回路部53のノードND2に接続されているとともに、トランジスタNT73のソース/ドレインの他方は、1段目のシフトレジスタ回路部51のノードND2に接続されている。また、トランジスタNT64およびNT74のソース/ドレインの一方は、2段目のシフトレジスタ回路部52のトランジスタNT17のゲートに接続されている。トランジスタNT64のソース/ドレインの他方は、1段目のシフトレジスタ回路部51のノードND2に接続されているとともに、トランジスタNT74のソース/ドレインの他方は、3段目のシフトレジスタ回路部53のノードND2に接続されている。

40

【0062】

50

また、3段目には、ゲートがスキャン方向切替信号線（CSV）に接続されたトランジスタNT65およびNT66と、ゲートが反転スキャン方向切替信号線（XCSV）に接続されたトランジスタNT75およびNT76とが設けられている。トランジスタNT65およびNT75のソース/ドレインの一方は、3段目のシフトレジスタ回路部53のトランジスタNT22のゲートに接続されている。トランジスタNT65のソース/ドレインの他方は、4段目のシフトレジスタ回路部54のノードND2に接続されているとともに、トランジスタNT75のソース/ドレインの他方は、2段目のシフトレジスタ回路部52のノードND2に接続されている。また、トランジスタNT66およびNT76のソース/ドレインの一方は、3段目のシフトレジスタ回路部53のトランジスタNT27のゲートに接続されている。トランジスタNT66のソース/ドレインの他方は、2段目のシフトレジスタ回路部52のノードND2に接続されているとともに、トランジスタNT76のソース/ドレインの他方は、4段目のシフトレジスタ回路部54のノードND2に接続されている。

10

【0063】

また、4段目には、ゲートがスキャン方向切替信号線（CSV）に接続されたトランジスタNT67およびNT68と、ゲートが反転スキャン方向切替信号線（XCSV）に接続されたトランジスタNT77およびNT78とが設けられている。トランジスタNT67およびNT77のソース/ドレインの一方は、4段目のシフトレジスタ回路部54のトランジスタNT32のゲートに接続されている。トランジスタNT67のソース/ドレインの他方は、5段目のシフトレジスタ回路部55のノードND2に接続されているとともに、トランジスタNT77のソース/ドレインの他方は、3段目のシフトレジスタ回路部53のノードND2に接続されている。また、トランジスタNT68およびNT78のソース/ドレインの一方は、4段目のシフトレジスタ回路部54のトランジスタNT37のゲートに接続されている。トランジスタNT68のソース/ドレインの他方は、3段目のシフトレジスタ回路部53のノードND2に接続されているとともに、トランジスタNT78のソース/ドレインの他方は、5段目のシフトレジスタ回路部55のノードND2に接続されている。

20

【0064】

また、5段目には、ゲートがスキャン方向切替信号線（CSV）に接続されたトランジスタNT69およびNT70と、ゲートが反転スキャン方向切替信号線（XCSV）に接続されたトランジスタNT79およびNT80とが設けられている。トランジスタNT69およびNT79のソース/ドレインの一方は、5段目のシフトレジスタ回路部55のトランジスタNT42のゲートに接続されている。トランジスタNT69のソース/ドレインの他方は、図示しない6段目のシフトレジスタ回路部のノードND2に接続されているとともに、トランジスタNT79のソース/ドレインの他方は、4段目のシフトレジスタ回路部54のノードND2に接続されている。また、トランジスタNT70およびNT80のソース/ドレインの一方は、5段目のシフトレジスタ回路部55のトランジスタNT47のゲートに接続されている。トランジスタNT70のソース/ドレインの他方は、4段目のシフトレジスタ回路部54のノードND2に接続されているとともに、トランジスタNT80のソース/ドレインの他方は、図示しない6段目のシフトレジスタ回路部のノードND2に接続されている。

30

40

【0065】

入力信号切替回路部70を構成するトランジスタNT61～NT80を上記のように構成することによって、スキャン方向が順方向の場合には、トランジスタNT61～NT70がオン状態になるように、かつ、トランジスタNT71～NT80がオフ状態になるように制御される。また、各段のシフトレジスタ回路部51～55と入力信号切替回路部70とを上記のように接続することによって、スキャン方向に応じて、所定段のシフトレジスタ回路部の第1回路部にスキャン方向に対して次段のシフト信号（SR1～SR5）が入力されるように、かつ、所定段のシフトレジスタ回路部の第2回路部にスキャン方向に対して前段のシフト信号（SR1～SR5）が入力されるように制御される。ただし、初

50

段のシフトレジスタ回路部 5 1 の第 1 回路部 5 1 a には、スタート信号 S T V が入力される。なお、シフト信号 S R 1 ~ S R 5 は、本発明の「第 1 信号」および「第 2 信号」の一例である。

【 0 0 6 6 】

また、論理合成回路部 8 1 ~ 8 3 は、それぞれ、ダミーゲート線 (D u m m y)、1 段目のゲート線 (G a t e 1) および 2 段目のゲート線 (G a t e 2) に接続されている。

【 0 0 6 7 】

ダミーゲート線 (D u m m y) に接続される論理合成回路部 8 1 は、n チャネルトランジスタ N T 8 1 ~ N T 8 4 と、ダイオード接続された n チャネルトランジスタ N T 8 5 および N T 8 6 と、容量 C 8 1 とを含む。以下、n チャネルトランジスタ N T 8 1 ~ N T 8 6 は、それぞれ、トランジスタ N T 8 1 ~ N T 8 6 と称する。

10

【 0 0 6 8 】

ここで、第 1 実施形態では、論理合成回路部 8 1 を構成するトランジスタ N T 8 1 ~ N T 8 6 は、すべて n 型の M O S トランジスタからなる T F T により構成されている。

【 0 0 6 9 】

また、トランジスタ N T 8 1 のドレインは、イネーブル信号線 (E N B) に接続されているとともに、ソースは、トランジスタ N T 8 2 のドレインに接続されている。トランジスタ N T 8 2 のソースは、ノード N D 4 (ダミーゲート線) に接続されている。トランジスタ N T 8 1 のゲートは、2 段目のシフトレジスタ回路部 5 2 のシフト信号 S R 2 が出力されるノード N D 2 に接続されているとともに、トランジスタ N T 8 2 のゲートは、3 段目のシフトレジスタ回路部 5 3 のシフト信号 S R 3 が出力されるノード N D 2 に接続されている。

20

【 0 0 7 0 】

また、トランジスタ N T 8 3 のソースは、負側電位 V B B に接続されているとともに、ドレインは、ノード N D 4 (ダミーゲート線) に接続されている。このトランジスタ N T 8 3 のゲートは、ノード N D 5 に接続されている。また、トランジスタ N T 8 4 のソースは、負側電位 V B B に接続されているとともに、ドレインは、ノード N D 5 に接続されている。このトランジスタ N T 8 4 のゲートは、ノード N D 4 (ダミーゲート線) に接続されている。また、容量 C 8 1 の一方の電極は、負側電位 V B B に接続されているとともに、他方の電極は、ノード N D 5 に接続されている。また、ノード N D 5 は、トランジスタ N T 8 5 を介して、1 段目のシフトレジスタ回路部 5 1 のシフト出力信号 S R 1 1 が出力されるノード N D 3 に接続されているとともに、トランジスタ N T 8 6 を介して、4 段目のシフトレジスタ回路部 5 4 のシフト出力信号 S R 1 4 が出力されるノード N D 3 に接続されている。

30

【 0 0 7 1 】

また、1 段目のゲート線 (G a t e 1) に接続される論理合成回路部 8 2 は、ダミーゲート線 (D u m m y) に接続される論理合成回路部 8 1 と同様の回路構成を有する。具体的には、1 段目のゲート線 (G a t e 1) に接続される論理合成回路部 8 2 は、ダミーゲート線 (D u m m y) に接続される論理合成回路部 8 1 のトランジスタ N T 8 1 ~ N T 8 6 に対応する n チャネルトランジスタ N T 9 1 ~ N T 9 6 と、容量 C 8 1 に対応する容量 C 9 1 とを含む。以下、n チャネルトランジスタ N T 9 1 ~ N T 9 6 は、それぞれ、トランジスタ N T 9 1 ~ N T 9 6 と称する。

40

【 0 0 7 2 】

なお、1 段目のゲート線 (G a t e 1) に接続される論理合成回路部 8 2 において、トランジスタ N T 9 1 のゲートは、3 段目のシフトレジスタ回路部 5 3 のシフト信号 S R 3 が出力されるノード N D 2 に接続されているとともに、トランジスタ N T 9 2 のゲートは、4 段目のシフトレジスタ回路部 5 4 のシフト信号 S R 4 が出力されるノード N D 2 に接続されている。また、ノード N D 5 は、トランジスタ N T 9 5 を介して、2 段目のシフトレジスタ回路部 5 2 のシフト出力信号 S R 1 2 が出力されるノード N D 3 に接続されているとともに、トランジスタ N T 9 6 を介して、5 段目のシフトレジスタ回路部 5 5 のシフ

50

ト出力信号SR15が出力されるノードND3に接続されている。

【0073】

また、2段目のゲート線(Gate2)に接続される論理合成回路部83は、ダミーゲート線(Dummy)に接続される論理合成回路部81と同様の回路構成を有する。具体的には、2段目のゲート線(Gate2)に接続される論理合成回路部83は、ダミーゲート線(Dummy)に接続される論理合成回路部81のトランジスタNT81~NT86に対応するnチャンネルトランジスタNT101~NT106と、容量C81に対応する容量C101とを含む。以下、nチャンネルトランジスタNT101~NT106は、それぞれ、トランジスタNT101~NT106と称する。

【0074】

なお、2段目のゲート線(Gate2)に接続される論理合成回路部83において、トランジスタNT101のゲートは、4段目のシフトレジスタ回路部54のシフト信号SR4が出力されるノードND2に接続されているとともに、トランジスタNT102のゲートは、5段目のシフトレジスタ回路部55のシフト信号SR5が出力されるノードND2に接続されている。また、ノードND5は、トランジスタNT105を介して、3段目のシフトレジスタ回路部53のシフト出力信号SR13が出力されるノードND3に接続されているとともに、トランジスタNT106を介して、図示しない6段目のシフトレジスタ回路部のシフト出力信号が出力されるノードND3に接続されている。

【0075】

図3は、本発明の第1実施形態による液晶表示装置のVドライバの動作を説明するための電圧波形図である。次に、図2および図3を参照して、第1実施形態による液晶表示装置のVドライバの動作について説明する。

【0076】

まず、図2中の順方向に沿って、各段のゲート線にタイミングのシフトした出力信号が順次出力される場合(順方向スキンの場合)について説明する。この順方向スキンの場合には、スキアン方向切替信号CSVがHレベルに保持されるとともに、反転スキアン方向切替信号XCSVがLレベルに保持される。これにより、スキアン方向切替回路部60において、スキアン方向切替信号CSVがゲートに入力されるトランジスタNT51、NT53、NT55、NT57およびNT59がオン状態に保持されるとともに、反転スキアン方向切替信号XCSVがゲートに入力されるトランジスタNT52、NT54、NT56、NT58およびNT60がオフ状態に保持される。また、入力信号切替回路部70において、スキアン方向切替信号CSVがゲートに入力されるトランジスタNT61~NT70がオン状態に保持されるとともに、反転スキアン方向切替信号XCSVがゲートに入力されるトランジスタNT71~NT80がオフ状態に保持される。そして、初期状態では、各段のシフトレジスタ回路部51~55のノードND2から出力されるシフト信号SR1~SR5と、ノードND3から出力されるシフト出力信号SR11~SR15とがLレベルになっている。また、ダミーゲート線および各段のゲート線のそれぞれに論理合成回路部81~83のノードND4から出力される出力信号Dummy、Gate1およびGate2がLレベルになっている。この状態で、図3に示すように、スタート信号STVをHレベルに上昇させる。これにより、スキアン方向切替回路部60のオン状態のトランジスタNT51を介して1段目のシフトレジスタ回路部51のトランジスタNT1のゲートにHレベルのスタート信号STVが入力されるので、トランジスタNT1がオン状態になる。この後、1段目のシフトレジスタ回路部51のトランジスタNT2およびNT7のドレインに入力されるクロック信号CKV1がHレベル(VDD)に上昇する。

【0077】

この際、第1実施形態では、1段目のシフトレジスタ回路部51のトランジスタNT2のゲートに、入力信号切替回路部70のオン状態のトランジスタNT61を介して、2段目のシフトレジスタ回路部52から出力されるLレベルのシフト信号SR2が入力されている。これにより、トランジスタNT2がオフ状態になっている。このため、トランジスタNT1がオン状態であっても、トランジスタNT1およびNT2を介してクロック信号

10

20

30

40

50

線 (CKV1) と負側電位 VBB との間に貫通電流が流れることはない。

【0078】

また、1段目のシフトレジスタ回路部51のトランジスタNT1がオン状態でトランジスタNT2がオフ状態であるので、トランジスタNT1を介して負側電位VBBからLレベルの電位が供給されることによりノードND1の電位がLレベルに低下する。これにより、1段目のシフトレジスタ回路部51のノードND1にゲートが接続されるトランジスタNT5およびNT6がオフ状態になる。

【0079】

また、Hレベルのスタート信号STVは、スキャン方向切替回路部60のオン状態のトランジスタNT51および入力信号切替回路部70のオン状態のトランジスタNT62を介して、1段目のシフトレジスタ回路部51のトランジスタNT7のゲートにも入力される。これにより、トランジスタNT7がオン状態になっている。

10

【0080】

この際、第1実施形態では、トランジスタNT7がオン状態であっても、トランジスタNT6がオフ状態であるので、トランジスタNT6およびNT7を介してクロック信号線(CKV1)と負側電位VBBとの間に貫通電流が流れることはない。

【0081】

また、Hレベルのクロック信号CKV1が、トランジスタNT7およびNT8を介して入力されることにより、1段目のシフトレジスタ回路部51のノードND2の電位がHレベルに上昇する。これにより、トランジスタNT4がオン状態になるとともに、正側電位VDDからトランジスタNT4を介してノードND3にHレベル(VDD)の電位が供給される。

20

【0082】

この際、第1実施形態では、トランジスタNT4がオン状態であっても、トランジスタNT5がオフ状態であるので、トランジスタNT4およびNT5を介して正側電位VDDと負側電位VBBとの間に貫通電流が流れることはない。

【0083】

また、正側電位VDDからトランジスタNT4を介してノードND3にHレベル(VDD)の電位が供給されることにより、ノードND3の電位がVDD側に上昇する。この際、1段目のシフトレジスタ回路部51のノードND2の電位は、容量C2によってトランジスタNT4のゲート-ソース間電圧が維持されるように、ノードND3の電位の上昇に伴ってブートされることにより上昇する。これにより、ノードND2の電位がVDDよりもしきい値電圧(V_t)以上の所定の電圧(V)分高い電位まで上昇する。したがって、1段目のシフトレジスタ回路部51のノードND2からVDD+ V_t 以上の電位(VDD+ V)を有するHレベルのシフト信号SR1が出力される。また、同時に、1段目のシフトレジスタ回路部51のノードND3からHレベル(VDD)のシフト出力信号SR11が出力される。

30

【0084】

そして、1段目のシフトレジスタ回路部51のHレベル(VDD)のシフト出力信号SR11は、ダミーゲート線に繋がる論理合成回路部81のトランジスタNT85を介して、トランジスタNT83のゲートに入力される。これにより、トランジスタNT83がオン状態になる。このとき、論理合成回路部81のトランジスタNT81のゲートには、2段目のシフトレジスタ回路部52からLレベルのシフト信号SR2が入力されているとともに、トランジスタNT82のゲートには、3段目のシフトレジスタ回路部53からLレベルのシフト信号SR3が入力されている。これにより、論理合成回路部81のトランジスタNT81およびNT82が両方ともオフ状態になっている。このため、トランジスタNT83を介して負側電位VBBからLレベル(VBB)の電位が供給されることにより、論理合成回路部81のノードND4からLレベル(VBB)の出力信号Dummyがダミーゲート線に続けて出力される。

40

【0085】

50

また、1段目のシフトレジスタ回路部51のHレベル(V_{DD})のシフト出力信号SR11は、スキャン方向切替回路部60のオン状態のトランジスタNT57を介して、2段目のシフトレジスタ回路部52のトランジスタNT11のゲートにも入力される。これにより、トランジスタNT11がオン状態になる。また、1段目のシフトレジスタ回路部51のHレベル($V_{DD} + V$)のシフト信号SR1は、入力信号切替回路部70のオン状態のトランジスタNT64を介して、2段目のシフトレジスタ回路部52のトランジスタNT17のゲートに入力される。これにより、トランジスタNT17がオン状態になる。また、2段目のシフトレジスタ回路部52のトランジスタNT12のゲートには、3段目のシフトレジスタ回路部53のノードND2から出力されたLレベルのシフト信号SR3が入力される。これにより、トランジスタNT12がオフ状態になっている。この後、2段目のシフトレジスタ回路部52のトランジスタNT12およびNT17のドレインに入力されるクロック信号CKV2の電位がHレベル(V_{DD})に上昇する。

10

【0086】

この際、シフト信号SR1は、 V_{DD} よりもしきい値電圧(V_t)以上の所定の電圧(V)分高い電位($V_{DD} + V$)になっている。このシフト信号SR1を2段目のシフトレジスタ回路部52のトランジスタNT17のゲートに入力する場合、トランジスタNT64のゲート電位がスキャン方向切替信号CSVの電位(V_{DD})に等しいので、トランジスタNT17のゲート電圧が $V_{DD} - V_t$ に充電される。この後、クロック信号CKV2がHレベル(V_{DD})に立ち上がるので、トランジスタNT17のゲート電圧は、ゲート-ソース間電圧を保持したまま、さらに V_{DD} とVBBの電位差分上昇する。

20

【0087】

この後、上記した1段目のシフトレジスタ回路部51の動作と同様の動作が2段目のシフトレジスタ回路部52においても行われる。すなわち、2段目のシフトレジスタ回路部52のノードND2から $V_{DD} + V_t$ 以上の電位($V_{DD} + V$)を有するHレベルのシフト信号SR2が出力される。また、同時に、2段目のシフトレジスタ回路部52のノードND3からHレベル(V_{DD})のシフト出力信号SR12が出力される。

【0088】

そして、2段目のシフトレジスタ回路部52のHレベル($V_{DD} + V > V_{DD} + V_t$)のシフト信号SR2は、ダミーゲート線に繋がる論理合成回路部81のトランジスタNT81のゲートに入力される。また、Hレベルのシフト信号SR2($V_{DD} + V$)は、入力信号切替回路部70のオン状態のトランジスタNT61を介して1段目のシフトレジスタ回路部51のトランジスタNT2のゲートに入力されるとともに、入力信号切替回路部70のオン状態のトランジスタNT66を介して3段目のシフトレジスタ回路部53のトランジスタNT27のゲートに入力される。この際、トランジスタNT61およびNT66のゲート電位がスキャン方向切替信号CSVの電位(V_{DD})に等しいので、トランジスタNT2およびNT27のゲート電圧が $V_{DD} - V_t$ に充電される。また、2段目のシフトレジスタ回路部52のHレベル(V_{DD})のシフト出力信号SR12は、スキャン方向切替回路部60のオン状態のトランジスタNT53を介して3段目のシフトレジスタ回路部53のトランジスタNT21のゲートに入力されるとともに、1段目のゲート線に繋がる論理合成回路部52のトランジスタNT95を介してトランジスタNT93のゲートに入力される。

30

40

【0089】

そして、ダミーゲート線に繋がる論理合成回路部81のトランジスタNT81は、Hレベル($V_{DD} + V$)のシフト信号SR2がゲートに入力されることによりオン状態になる。このとき、論理合成回路部81のトランジスタNT82がオフ状態に保持されるとともに、トランジスタNT83がオン状態に保持されている。このため、トランジスタNT83を介して負側電位VBBから供給されるLレベル(V_{BB})の電位により、論理合成回路部81のノードND4の電位がLレベル(V_{BB})に保持される。したがって、Lレベル(V_{BB})の出力信号Dummyが論理合成回路部81のノードND4からダミーゲート線に続けて出力される。

50

【 0 0 9 0 】

また、1段目のシフトレジスタ回路部51のトランジスタNT2は、トランジスタNT61を介してHレベルのシフト信号SR2がゲートに入力されることによりオン状態になる。この際、トランジスタNT61のゲート電位がスキャン方向切替信号CSVの電位(VDD)に等しいので、トランジスタNT2のゲート電圧がVDD - Vtに充電される。そして、シフト信号SR2がHレベル(VDD + V)に上昇すると同時に、トランジスタNT2およびNT7のドレインに入力されるクロック信号CKV1がLレベルに低下する。この際、1段目のシフトレジスタ回路部51のノードND1の電位がLレベルに保持される。これにより、1段目のシフトレジスタ回路部51のトランジスタNT5およびNT6がオフ状態になる。

10

【 0 0 9 1 】

また、1段目のシフトレジスタ回路部51のトランジスタNT7のドレインにLレベルのクロック信号CKV1が入力される場合には、ダイオード接続されたトランジスタNT8によりLレベルのクロック信号CKV1が1段目のシフトレジスタ回路部51のノードND2側に逆流されない。これにより、1段目のシフトレジスタ回路部51のノードND2の電位がHレベル(VDD + V)に保持されるので、ノードND2からHレベル(VDD + V)のシフト信号SR1が続けて出力される。また、1段目のシフトレジスタ回路部51のノードND2の電位がHレベル(VDD + V)に保持されることにより、トランジスタNT4がオン状態に保持されるので、1段目のシフトレジスタ回路部51のノードND3からHレベル(VDD)のシフト出力信号SR11が続けて出力される。

20

【 0 0 9 2 】

また、3段目のシフトレジスタ回路部のトランジスタNT27は、トランジスタNT66を介してゲートにHレベル(VDD - Vt)のシフト信号SR2が入力されることによりオン状態になるとともに、トランジスタNT21は、ゲートにHレベル(VDD)のシフト出力信号SR12が入力されることによりオン状態になる。このとき、3段目のシフトレジスタ回路部のトランジスタNT22のゲートに、4段目のシフトレジスタ回路部54のLレベルのシフト信号SR4が入力されている。これにより、トランジスタNT22がオフ状態になっている。

【 0 0 9 3 】

この後、スタート信号STVの電位がLレベルに低下することによって、1段目のシフトレジスタ回路部51のトランジスタNT1およびNT7がオフ状態になるとともに、トランジスタNT5およびNT6がオフ状態に保持される。これにより、1段目のシフトレジスタ回路部51のノードND2の電位がHレベル(VDD + V)に保持されるとともに、ノードND3の電位がHレベル(VDD)に保持される。このため、1段目のシフトレジスタ回路部51において、ノードND2からHレベル(VDD + V)のシフト信号SR1が続けて出力されるとともに、ノードND3からHレベル(VDD)のシフト出力信号SR11が続けて出力される。

30

【 0 0 9 4 】

この後、3段目のシフトレジスタ回路部53のトランジスタNT22およびNT27のドレインに入力されるクロック信号CKV1がHレベルに上昇する。これにより、上記した1段目のシフトレジスタ回路部51の動作と同様の動作が3段目のシフトレジスタ回路部53においても行われる。すなわち、3段目のシフトレジスタ回路部53のノードND2からVDD + Vt以上の電位(VDD + V)を有するHレベルのシフト信号SR3が出力されるとともに、3段目のシフトレジスタ回路部53のノードND3からHレベル(VDD)のシフト出力信号SR13が出力される。

40

【 0 0 9 5 】

そして、3段目のシフトレジスタ回路部53のHレベル(VDD + V > VDD + Vt)のシフト信号SR3は、ダミーゲート線に繋がる論理合成回路部81のトランジスタNT82と、1段目のゲート線に繋がる論理合成回路部82のトランジスタNT91のゲートとに入力される。また、Hレベルのシフト信号SR3は、入力信号切替回路部70のオ

50

ン状態のトランジスタNT 6 3を介して2段目のシフトレジスタ回路部5 2のトランジスタNT 1 2のゲートに入力されるとともに、入力信号切替回路部7 0のオン状態のトランジスタNT 6 8を介して4段目のシフトレジスタ回路部5 4のトランジスタNT 3 7のゲートに入力される。この際、トランジスタNT 6 3およびNT 6 8のゲート電位がスキャン方向切替信号CSVの電位(VDD)に等しいので、トランジスタNT 1 2およびNT 3 7のゲート電圧がVDD - Vtに充電される。また、3段目のシフトレジスタ回路部5 3のHレベル(VDD)のシフト出力信号SR 1 3は、スキャン方向切替回路部6 0のオン状態のトランジスタNT 5 9を介して4段目のシフトレジスタ回路部5 4のトランジスタNT 3 1のゲートに入力されるとともに、2段目のゲート線に繋がる論理合成回路部8 3のトランジスタNT 1 0 5を介してトランジスタNT 1 0 3のゲートに入力される。

10

【0096】

そして、ダミーゲート線に繋がる論理合成回路部8 1において、トランジスタNT 8 1およびNT 8 2のゲートにそれぞれ入力されるシフト信号SR 2およびSR 3が両方ともHレベル(VDD + V)になることにより、トランジスタNT 8 1およびNT 8 2が両方ともオン状態になる。これにより、イネーブル信号線(ENB)からトランジスタNT 8 1およびNT 8 2を介してイネーブル信号ENBが供給される。このイネーブル信号ENBは、シフト信号SR 1およびSR 2が両方ともHレベルになった時点ではLレベルであり、その後わずかな期間後にLレベルからHレベルに電位が切り替わる。これにより、ダミーゲート線に繋がる論理合成回路部8 1のノードND 4の電位がHレベルに上昇するので、論理合成回路部8 1からダミーゲート線にHレベルの出力信号Dummyが出力される。すなわち、イネーブル信号ENBがLレベルの間は、出力信号Dummyの電位が強制的にLレベルに保持されるとともに、イネーブル信号ENBの電位がLレベルからHレベルに上昇するのに伴って、出力信号Dummyの電位がHレベルに上昇される。

20

【0097】

この際、ダミーゲート線に繋がる論理合成回路部8 1のノードND 4の電位(出力信号Dummyの電位)がHレベルに上昇するのに伴って、ノードND 4にゲートが接続されたトランジスタNT 8 4がオン状態になる。これにより、トランジスタNT 8 4を介して負側電位VBBからLレベルの電位がトランジスタNT 8 3のゲートに供給されるので、トランジスタNT 8 3がオフ状態になる。このため、トランジスタNT 8 1およびNT 8 2が両方ともオン状態になった場合にも、トランジスタNT 8 3がオフ状態になるので、上記のようにダミーゲート線に繋がる論理合成回路部8 1のノードND 4の電位が上昇される。また、トランジスタNT 8 1、NT 8 2およびNT 8 3を介して、イネーブル信号線(ENB)と負側電位VBBとの間に貫通電流が流れるのが抑制される。

30

【0098】

また、この際、ダミーゲート線に繋がる論理合成回路部8 1において、トランジスタNT 8 1およびNT 8 2のゲートに、それぞれ、VDDよりもしきい値電圧(Vt)以上の所定の電圧(V)分高い電位(VDD + V)のHレベルのシフト信号SR 2およびSR 3が入力されるので、論理合成回路部8 1のノードND 4に現れる電位がVDDからトランジスタNT 8 1およびNT 8 2のしきい値電圧(Vt)分低下された電位になるのが抑制される。このため、論理合成回路部8 1からダミーゲート線に出力されるHレベルの出力信号Dummyの電位が低下するのが抑制される。

40

【0099】

また、1段目のゲート線に繋がる論理合成回路部8 2では、トランジスタNT 9 1のゲートに3段目のシフトレジスタ回路部5 3のHレベル(VDD + V)のシフト信号SR 3が入力されるとともに、トランジスタNT 9 2のゲートに4段目のシフトレジスタ回路部5 4のLレベルのシフト信号SR 4が入力されている。また、トランジスタNT 9 3のゲートには、2段目のシフトレジスタ回路部5 2のHレベル(VDD)のシフト出力信号SR 1 2が入力されている。これにより、1段目のゲート線に繋がる論理合成回路部8 2では、トランジスタNT 9 1およびNT 9 3がオン状態になるとともに、トランジスタNT 9 2がオフ状態になる。このため、1段目のゲート線に繋がる論理合成回路部8 2にお

50

いて、トランジスタNT93を介して負側電位VBBから供給されるLレベル(VBB)の電位により、ノードND4の電位がLレベル(VBB)に保持される。これにより、Lレベル(VBB)の出力信号Gate1が論理合成回路部82のノードND4から1段目のゲート線に続けて出力される。

【0100】

また、2段目のシフトレジスタ回路部52では、トランジスタNT12のゲートに3段目のシフトレジスタ回路部53のHレベルのシフト信号SR3が入力されることにより、トランジスタNT12がオン状態になる。この際、クロック信号CKV1の電位がHレベルにあり、クロック信号CKV2の電位がLレベルにある。この際、2段目のシフトレジスタ回路部52のノードND1の電位がLレベルに保持されるので、トランジスタNT15およびNT16がオフ状態に保持される。また、2段目のシフトレジスタ回路部52において、トランジスタNT17のゲート電位がLレベルにあるので、トランジスタNT17はオフしている。したがって、2段目のシフトレジスタ回路部52のノードND2の電位がHレベル(VDD+V)に保持される。したがって、2段目のシフトレジスタ回路部52からHレベル(VDD+V)のシフト信号SR2が続けて出力される。また、2段目のシフトレジスタ回路部52において、トランジスタNT16がオフ状態に保持されることにより、ノードND2の電位がHレベル(VDD)に保持される。これにより、2段目のシフトレジスタ回路部52からHレベル(VDD)のシフト出力信号SR12が続けて出力される。

【0101】

また、1段目のシフトレジスタ回路部51では、Hレベル(VDD-Vt)のシフト信号SR2がゲートに入力されるトランジスタNT2がオン状態に保持されるとともに、そのトランジスタNT2を介してHレベルのクロック信号CKV1が入力される。この際、トランジスタNT1がオフ状態であるので、1段目のシフトレジスタ回路部51のノードND1の電位がHレベルに上昇する。

【0102】

そして、1段目のシフトレジスタ回路部51のノードND1の電位がHレベルに上昇することにより、トランジスタNT5およびNT6がオン状態になる。この際、トランジスタNT7がオフ状態であるので、トランジスタNT6を介して負側電位VBBからLレベル(VBB)の電位が供給されるとともに、1段目のシフトレジスタ回路部51のノードND2の電位がLレベルに低下する。これにより、1段目のシフトレジスタ回路部51から出力されるシフト信号SR1の電位がLレベルに低下する。また、1段目のシフトレジスタ回路部51のノードND2の電位がLレベルに低下することにより、トランジスタNT4がオフ状態になる。これにより、1段目のシフトレジスタ回路部51において、トランジスタNT5を介して負側電位VBBからLレベルの電位が供給されることにより、ノードND3の電位がLレベルに低下する。このため、1段目のシフトレジスタ回路部51から出力されるシフト出力信号SR11の電位がLレベルに低下する。また、1段目のシフトレジスタ回路部51のノードND1の電位がHレベルに上昇した際、容量C1が充電されることにより、次にトランジスタNT1がオン状態になるまでノードND1の電位がHレベルに保持される。これにより、次にトランジスタNT1がオン状態になるまでトランジスタNT5およびNT6がオン状態に保持される。

【0103】

上記したシフト信号SR1の電位がLレベルに低下する前に、イネーブル信号ENBの電位がHレベルからLレベルに低下する。これにより、ダミーゲート線に繋がる論理合成回路81では、トランジスタNT81およびNT82を介してLレベルの電位が供給されることにより、ノードND4の電位がLレベルに低下する。このため、論理合成回路81からダミーゲート線に出力される出力信号Dummyの電位がLレベルに低下する。

【0104】

そして、4段目のシフトレジスタ回路部54では、トランジスタNT37のゲートにHレベル(VDD-Vt)のシフト信号SR3が入力されるとともに、トランジスタNT3

1のゲートにHレベル(VDD)のシフト出力信号SR13が入力されている。また、トランジスタNT32のゲートには、5段目のシフトレジスタ回路部55からLレベルのシフト信号SR5が入力されている。この状態で、トランジスタNT32およびNT37のドレインに入力されるクロック信号CKV2の電位がHレベルに上昇する。これにより、上記した1段目のシフトレジスタ回路部51の動作と同様の動作が4段目のシフトレジスタ回路部54においても行われる。すなわち、4段目のシフトレジスタ回路部54のノードND2からVDD+Vt以上の電位(VDD+V)を有するHレベルのシフト信号SR4が出力されるとともに、4段目のシフトレジスタ回路部54のノードND3からHレベル(VDD)のシフト出力信号SR14が出力される。

【0105】

そして、ダミーゲート線に繋がる論理合成回路部81において、Hレベル(VDD)のシフト出力信号SR14がトランジスタNT86を介してトランジスタNT83のゲートに入力される。これにより、トランジスタNT83がオン状態になる。このため、トランジスタNT83を介して負側電位VBBからLレベルの電位が供給されるので、ノードND4の電位がLレベルに固定される。これにより、論理合成回路部81からダミーゲート線に出力される出力信号Dummyの電位がLレベルに固定される。なお、Hレベル(VDD)のシフト出力信号SR14がトランジスタNT83のゲートに入力された際、容量C81が充電される。これにより、次にオン状態のトランジスタNT84を介して負側電位VBBからLレベルの電位が供給されるまで、ノードND5の電位(トランジスタNT83のゲート電位)がHレベルに保持される。このため、次にトランジスタNT84がオン状態になるまでトランジスタNT83がオン状態に保持されるので、論理合成回路部81からダミーゲート線に出力される出力信号Dummyの電位がLレベルに固定された状態で保持される。

【0106】

また、1段目のゲート線に繋がる論理合成回路部82では、トランジスタNT91のゲートにHレベル(VDD+V)のシフト信号SR3が入力されるとともに、トランジスタNT92のゲートにHレベル(VDD+V)のシフト信号SR4が入力される。これにより、トランジスタNT91およびNT92が両方ともオン状態になるので、イネーブル信号線(ENB)からトランジスタNT91およびNT92を介してイネーブル信号ENBが供給される。このイネーブル信号ENBは、シフト信号SR1およびSR2が両方ともHレベルになった時点ではLレベルであり、その後わずかな期間後にLレベルからHレベルに電位が切り替わる。これにより、1段目のゲート線に繋がる論理合成回路部82のノードND4の電位がHレベルに上昇するので、論理合成回路部81から1段目のゲート線にHレベルの出力信号Gate1が出力される。すなわち、イネーブル信号ENBがLレベルの間は、出力信号Gate1の電位が強制的にLレベルに保持されるとともに、イネーブル信号ENBの電位がLレベルからHレベルに上昇するのに伴って、出力信号Gate1の電位がHレベルに上昇される。したがって、イネーブル信号ENBがLレベルの際、論理合成回路部81からダミーゲート線に出力される出力信号Dummyも強制的にLレベルに保持されているので、出力信号DummyがHレベルからLレベルに立ち下がるタイミングと、出力信号Gate1がLレベルからHレベルに立ち上がるタイミングとが重なるのが抑制される。

【0107】

この後、上記した1~4段目のそれぞれのシフトレジスタ回路部51~54と同様の動作が、5段目のシフトレジスタ回路部55においても行われる。また、上記したダミーゲート線および1段目のゲート線にそれぞれ繋がる論理合成回路部81および82と同様の動作が、2段目のゲート線に繋がる論理合成回路部83においても行われる。すなわち、5段目のシフトレジスタ回路部55からシフト信号SR5が出力され、かつ、シフト信号SR4およびSR5が2段目のゲート線に繋がる論理合成回路部83に入力されるとともに、イネーブル信号ENBがHレベルになることによって、論理合成回路部83から2段目のゲート線にHレベルの出力信号Gate2が出力される。

10

20

30

40

50

【 0 1 0 8 】

上記したように、第 1 実施形態では、各段のシフトレジスタ回路部 5 1 ~ 5 5 から H レベルのシフト信号 S R 1 ~ S R 5 が出力されるタイミングがシフトする。これにより、スキャン方向に対して所定段の次段のシフト信号（第 1 信号）と、スキャン方向に対して所定段の前段のシフト信号（第 2 信号）とが同時に H レベルになることがない。

【 0 1 0 9 】

このようにして、第 1 実施形態による液晶表示装置の各段のゲート線が、順次、駆動（走査）される。そして、上記の動作が最後のゲート線の走査が終了されるまで繰り返される。その後、再度、1 段目のシフトレジスタ回路部 5 1 から上記の動作が繰り返し行われる。

10

【 0 1 1 0 】

次に、図 2 中の逆方向に沿って、各段のゲート線にタイミングのシフトした出力信号が順次出力される場合（逆方向スキャンの場合）には、スキャン方向切替信号 C S V が L レベルに保持されるとともに、反転スキャン方向切替信号 X C S V が H レベルに保持される。これにより、スキャン方向切替回路部 6 0 において、スキャン方向切替信号 C S V がゲートに入力されるトランジスタ N T 5 1、N T 5 3、N T 5 5、N T 5 7 および N T 5 9 がオフ状態に保持されるとともに、反転スキャン方向切替信号 X C S V がゲートに入力されるトランジスタ N T 5 2、N T 5 4、N T 5 6、N T 5 8 および N T 6 0 がオン状態に保持される。また、入力信号切替回路部 7 0 において、スキャン方向切替信号 C S V がゲートに入力されるトランジスタ N T 6 1 ~ N T 7 0 がオフ状態に保持されるとともに、反転スキャン方向切替信号 X C S V がゲートに入力されるトランジスタ N T 7 1 ~ N T 8 0 がオン状態に保持される。そして、逆方向スキャン時には、上記した順方向スキャン時と同様の動作が、図 2 中の逆方向に沿って各段のシフトレジスタ回路部と、各段のゲート線に繋がる論理合成回路部とにおいて行われる。この際、スキャン方向に対して所定段の次段のシフトレジスタ回路部から所定段のシフトレジスタ回路部にシフト信号（第 1 信号）を入力する場合や、所定段の前段のシフトレジスタ回路部から所定段のシフトレジスタ回路部にシフト信号（第 2 信号）およびシフト出力信号を入力する場合には、上記したスキャン方向切替回路部 6 0 のオン状態のトランジスタ N T 5 2、N T 5 4、N T 5 6、N T 5 8 および N T 6 0 と、入力信号切替回路部 7 0 のオン状態のトランジスタ N T 7 1 ~ N T 8 0 とを介して行われる。

20

30

【 0 1 1 1 】

第 1 実施形態では、上記のように、スキャン方向に対して所定段の次段のシフト信号（第 1 信号）にตอบสนองしてオンするトランジスタ（トランジスタ N T 2、N T 1 2、N T 2 2、N T 3 2 および N T 4 2）と、スキャン方向に対して所定段の前段のシフト信号（第 2 信号）にตอบสนองしてオンするトランジスタ（トランジスタ N T 7、N T 1 7、N T 2 7、N T 3 7 および N T 4 7）とを設けることによって、シフト信号（第 1 信号）とシフト信号（第 2 信号）との H レベルの期間が重なることがないので、シフト信号（第 1 信号）にตอบสนองしてオンするトランジスタ（トランジスタ N T 2、N T 1 2、N T 2 2、N T 3 2 および N T 4 2）と、シフト信号（第 2 信号）にตอบสนองしてオンするトランジスタ（トランジスタ N T 7、N T 1 7、N T 2 7、N T 3 7 および N T 4 7）とが同時にオン状態になることがない。この場合、スキャン方向が順方向であれば、たとえば 2 段目（所定段）のシフトレジスタ回路部 5 2 において、3 段目（次段）のシフト信号 S R 3（第 2 信号）にตอบสนองしてオンするトランジスタ N T 1 2 がオンすることによりトランジスタ N T 1 6 がオンするので、トランジスタ N T 1 6 と、1 段目（前段）のシフト信号 S R 1（第 1 信号）にตอบสนองしてオンするトランジスタ N T 1 7 とが同時にオン状態になることがない。これにより、トランジスタ N T 1 6 および N T 1 7 を介して負側電位 V B B とクロック信号線（C K V 2）との間に貫通電流が流れるのを抑制することができる。

40

【 0 1 1 2 】

また、1 段目（前段）のシフト信号 S R 1（第 1 信号）にตอบสนองしてオンするトランジスタ N T 1 7 がオンすることによりトランジスタ N T 1 4 がオンするとともに、3 段目（次

50

段)のシフト信号SR3(第2信号)にตอบสนองしてオンするトランジスタNT12がオンすることによりトランジスタNT15がオンするので、トランジスタNT14とトランジスタNT15とが同時にオン状態になることがない。これにより、トランジスタNT14およびNT15を介して負側電位VBBと正側電位VDDとの間に貫通電流が流れるのを抑制することができる。また、トランジスタNT11が1段目(前段)のシフト出力信号SR11にตอบสนองしてオンするので、トランジスタNT11と、3段目(次段)のシフト信号SR3にตอบสนองしてオンするトランジスタNT12とが同時にオン状態になることもない。これにより、トランジスタNT11およびNT12を介して負側電位VBBとクロック信号線(CKV2)との間に貫通電流が流れるのも抑制することができる。また、1段目のシフトレジスタ回路部51および3段目以降のシフトレジスタ回路部53~55において

10

【0113】

さらに、第1実施形態では、スキャン方向に応じて、NT2、NT12、NT22、NT32およびNT42と、トランジスタNT7、NT17、NT27、NT37およびNT47とにそれぞれ供給されるシフト信号(スキャン方向に対して所定段の次段のシフト信号(第1信号)およびスキャン方向に対して所定段の前段のシフト信号(第2信号))を切り替えるための入力信号切替回路部70を設けることによって、スキャン方向を切り換えた場合にもシフトレジスタ回路部51~55における貫通電流の発生を抑制することができる。これにより、第1実施形態では、双方向スキャン機能を有する表示装置の消費電力が増加するのを抑制することができる。

20

【0114】

また、第1実施形態では、トランジスタNT2、NT12、NT22、NT32およびNT42を、スキャン方向に対して所定段の次段のシフト信号(第1信号)にตอบสนองしてオンするように、かつ、トランジスタNT7、NT17、NT27、NT37およびNT47を、スキャン方向に対して所定段の前段のシフト信号(第2信号)にตอบสนองしてオンするように構成することによって、スキャン方向に対して所定段の次段のシフト信号(第1信号)とスキャン方向に対して所定段の前段のシフト信号(第2信号)とのHレベルの期間が重なることがないので、容易に、シフト信号(第1信号)にตอบสนองしてオンするトランジスタ(トランジスタNT2、NT12、NT22、NT32およびNT42)がオン状態

30

【0115】

また、第1実施形態では、トランジスタNT4、NT14、NT24、NT34およびNT44のゲートとソースとの間に、それぞれ、容量C2、C12、C22、C32およびC42を接続することによって、たとえば、2段目のシフトレジスタ回路部52において、容量C12が接続されたトランジスタNT14のゲート-ソース間電圧を維持するように、トランジスタNT14のソース電位の上昇または低下に伴ってトランジスタNT14のゲート電位を上昇または低下させることができる。これにより、確実にトランジスタNT14をオン状態に保持することができる。

40

【0116】

また、第1実施形態では、順方向にスキャンする場合にオンするトランジスタNT51、NT53、NT55、NT57およびNT59と、逆方向にスキャンする場合にオンするトランジスタNT52、NT54、NT56、NT58およびNT60とを含むように入力信号切替回路部70を構成するとともに、入力信号切替回路部70を構成するトラン

50

ジスタ (NT51 ~ NT60) を介してシフトレジスタ回路部 (51 ~ 55) にシフト信号 (SR1 ~ SR5) を入力することによって、容易に、スキャン方向に対して次段のシフト信号 (第1信号) が第1回路部 (51a ~ 55a) に入力されるように、かつ、スキャン方向に対して前段のシフト信号 (第2信号) が第2回路部 (51b ~ 55b) に入力されるように制御することができる。

【0117】

また、第1実施形態では、Vドライバ5を構成するトランジスタを、すべて同じ導電型 (n型) のトランジスタにすることによって、Vドライバ5のトランジスタを形成する際に、イオン注入工程の回数およびイオン注入マスクの枚数が増加するのを抑制することができる。これにより、製造プロセスが複雑化するのを抑制できるとともに、製造コストが増大するのを抑制することができる。

10

【0118】

また、第1実施形態では、1段目のシフトレジスタ回路部51において、トランジスタNT1、NT2、NT6、NT7およびNT8を、互いに電氣的に接続された2つのゲート電極を有するように構成することによって、トランジスタNT1、NT2、NT6、NT7およびNT8に印加される電圧を、2つのゲート電極により各ゲート電極に対応するソース-ドレイン間に分配することができる。この場合、トランジスタNT1、NT2、NT6、NT7およびNT8の各ゲート電極に対応するソース-ドレイン間に印加される電圧を小さくすることができるので、トランジスタNT1、NT2、NT6、NT7およびNT8に大きい電圧が印加されることに起因する特性の劣化を抑制することができる。また、2段目以降のシフトレジスタ回路部52 ~ 55においても、同様の効果を得ることができる。これにより、シフトレジスタ回路部51 ~ 55を含む表示装置のスキャン特性が低下することを抑制することができる。

20

【0119】

また、第1実施形態では、1段目のシフトレジスタ回路部51において、トランジスタNT6のゲートとトランジスタNT2との間に、ダイオード接続されたトランジスタNT3を設けるとともに、トランジスタNT4のゲートとトランジスタNT7との間に、ダイオード接続されたトランジスタNT8を設けることによって、トランジスタNT6がオンまたはオフするときに発生するノイズがトランジスタNT2に伝わるのをトランジスタNT3により遮断することができるとともに、トランジスタNT4がオンまたはオフするときに発生するノイズがトランジスタNT7に伝わるのをトランジスタNT8により遮断することができる。また、2段目以降のシフトレジスタ回路部52 ~ 55においても、同様の効果を得ることができる。

30

【0120】

(第2実施形態)

図4は、本発明の第2実施形態による液晶表示装置を示した平面図である。図5は、図4に示した第2実施形態による液晶表示装置のVドライバ内部の回路図である。図4および図5を参照して、この第2実施形態では、上記第1実施形態のVドライバをpチャンネルトランジスタで構成する場合について説明する。

【0121】

まず、図4を参照して、この第2実施形態では、基板1a上に、表示部2aが設けられている。この表示部2aには、画素20aがマトリクス状に配置されている。なお、図4では、図面の簡略化のため、1つの画素20aのみを図示している。各々の画素20aは、pチャンネルトランジスタ21a (以下、トランジスタ21aという)、画素電極22a、画素電極22aに対向配置された各画素20aに共通の対向電極23a、画素電極22aと対向電極23aとの間に挟持された液晶24a、および、補助容量25aによって構成されている。そして、トランジスタ21aのソースは、ドレイン線に接続されているとともに、ドレインは、画素電極22aおよび補助容量25aに接続されている。このトランジスタ21aのゲートは、ゲート線に接続されている。

40

【0122】

50

また、表示部 2 a の一辺に沿うように、基板 1 a 上に、表示部 2 a のドレイン線を駆動（スキャン）するための水平スイッチ（H S W）3 a および H ドライバ 4 a が設けられている。また、表示部 2 a の他の辺に沿うように、基板 1 a 上に、表示部 2 a のゲート線を駆動（スキャン）するための V ドライバ 5 a が設けられている。なお、図 4 の水平スイッチ 3 a には、2 つのスイッチのみを図示しているが、実際は画素数に応じた数のスイッチが配置されている。また、図 4 の H ドライバ 4 a および V ドライバ 5 a には、それぞれ、シフトレジスタ回路部を 2 つのみ図示しているが、実際は画素数に応じた数のシフトレジスタ回路部が配置されている。また、基板 1 a の外部には、上記第 1 実施形態と同様、信号発生回路 1 1 および電源回路 1 2 を含む駆動 I C 1 0 が設置されている。

【 0 1 2 3 】

また、図 5 を参照して、第 2 実施形態では、V ドライバ 5 a の内部に、複数段のシフトレジスタ回路部 5 0 1 ~ 5 0 5 と、スキャン方向切替回路部 6 0 0 と、入力信号切替回路部 7 0 0 と、複数段の論理合成回路部 8 0 1 ~ 8 0 3 とが設けられている。なお、図 5 では、図面の簡略化のため、5 段分のシフトレジスタ回路部 5 0 1 ~ 5 0 5 および 3 段分の論理合成回路部 8 0 1 ~ 8 0 3 のみを図示しているが、実際は画素数に応じた数のシフトレジスタ回路部および論理合成回路部が設けられている。

【 0 1 2 4 】

そして、1 段目のシフトレジスタ回路部 5 0 1 は、第 1 回路部 5 0 1 a と第 2 回路部 5 0 1 b とによって構成されている。第 1 回路部 5 0 1 a は、p チャネルトランジスタ P T 1 および P T 2 と、ダイオード接続された p チャネルトランジスタ P T 3 と、容量 C 1 とを含む。なお、p チャネルトランジスタ P T 1 および P T 2 は、それぞれ、本発明の「第 1 トランジスタ」および「第 2 トランジスタ」の一例であり、p チャネルトランジスタ P T 3 は、本発明の「第 1 ダイオード」および「第 1 トランジスタ」の一例である。また、第 2 回路部 5 0 1 b は、p チャネルトランジスタ P T 4、P T 5、P T 6 および P T 7 と、ダイオード接続された p チャネルトランジスタ P T 8 と、容量 C 2 とを含む。なお、p チャネルトランジスタ P T 4、P T 5、P T 6 および P T 7 は、それぞれ、本発明の「第 3 トランジスタ」、「第 4 トランジスタ」、「第 5 トランジスタ」および「第 6 トランジスタ」の一例である。また、p チャネルトランジスタ P T 8 は、本発明の「第 2 ダイオード」および「第 1 トランジスタ」の一例である。以下、p チャネルトランジスタ P T 1 ~ P T 8 は、それぞれ、トランジスタ P T 1 ~ P T 8 と称する。

【 0 1 2 5 】

ここで、第 2 実施形態では、第 1 回路部 5 0 1 a および第 2 回路部 5 0 1 b に設けられたトランジスタ P T 1 ~ P T 8 は、すべて p 型の M O S トランジスタからなる T F T により構成されている。また、第 2 実施形態では、トランジスタ P T 1、P T 2、P T 6、P T 7 および P T 8 は、互いに電氣的に接続された 2 つのゲート電極を有する。

【 0 1 2 6 】

そして、1 段目のシフトレジスタ回路部 5 0 1 を構成するトランジスタ P T 1 ~ P T 8 は、それぞれ、図 2 に示した第 1 実施形態の 1 段目のシフトレジスタ回路部 5 1 のトランジスタ N T 1 ~ N T 8 に対応した位置に接続されている。ただし、上記第 1 実施形態と異なり、トランジスタ P T 1 のソースは、正側電位 V D D に接続されているとともに、トランジスタ P T 4 のドレインは、負側電位 V B B に接続されている。また、トランジスタ P T 5 および P T 6 のソースは、正側電位 V D D に接続されている。

【 0 1 2 7 】

また、2 段目以降のシフトレジスタ回路部 5 0 2 ~ 5 0 5 は、上記した 1 段目のシフトレジスタ回路部 5 0 1 と同様の回路構成を有する。具体的には、2 段目以降のシフトレジスタ回路部 5 0 2 ~ 5 0 5 は、それぞれ、1 段目のシフトレジスタ回路部 5 0 1 の第 1 回路部 5 0 1 a と同様の回路構成を有する第 1 回路部 5 0 2 a ~ 5 0 5 a と、第 2 回路部 5 0 1 b と同様の回路構成を有する第 2 回路部 5 0 2 b ~ 5 0 5 b とによって構成されている。

【 0 1 2 8 】

2段目のシフトレジスタ回路部502は、1段目のシフトレジスタ回路部501のトランジスタPT1~PT8に対応するpチャネルトランジスタPT11~PT18と、容量C1およびC2に対応する容量C11およびC12とを含む。なお、pチャネルトランジスタPT11、PT12、PT14、PT15、PT16およびPT17は、それぞれ、本発明の「第1トランジスタ」、「第2トランジスタ」、「第3トランジスタ」、「第4トランジスタ」、「第5トランジスタ」および「第6トランジスタ」の一例である。また、pチャネルトランジスタPT13は、本発明の「第1ダイオード」および「第11トランジスタ」の一例であり、pチャネルトランジスタPT18は、本発明の「第2ダイオード」および「第12トランジスタ」の一例である。以下、pチャネルトランジスタPT11~PT18は、それぞれ、トランジスタPT11~PT18と称する。

10

【0129】

また、3段目のシフトレジスタ回路部503は、1段目のシフトレジスタ回路部501のトランジスタPT1~PT8に対応するpチャネルトランジスタPT21~PT28と、容量C1およびC2に対応する容量C21およびC22とを含む。なお、pチャネルトランジスタPT21、PT22、PT24、PT25、PT26およびPT27は、それぞれ、本発明の「第1トランジスタ」、「第2トランジスタ」、「第3トランジスタ」、「第4トランジスタ」、「第5トランジスタ」および「第6トランジスタ」の一例である。また、pチャネルトランジスタPT23は、本発明の「第1ダイオード」および「第11トランジスタ」の一例であり、pチャネルトランジスタPT28は、本発明の「第2ダイオード」および「第12トランジスタ」の一例である。以下、pチャネルトランジスタPT21~PT28は、それぞれ、トランジスタPT21~PT28と称する。

20

【0130】

また、4段目のシフトレジスタ回路部504は、1段目のシフトレジスタ回路部501のトランジスタPT1~PT8に対応するpチャネルトランジスタPT31~PT38と、容量C1およびC2に対応する容量C31およびC32とを含む。なお、pチャネルトランジスタPT31、PT32、PT34、PT35、PT36およびPT37は、それぞれ、本発明の「第1トランジスタ」、「第2トランジスタ」、「第3トランジスタ」、「第4トランジスタ」、「第5トランジスタ」および「第6トランジスタ」の一例である。また、pチャネルトランジスタPT33は、本発明の「第1ダイオード」および「第11トランジスタ」の一例であり、pチャネルトランジスタPT38は、本発明の「第2ダイオード」および「第12トランジスタ」の一例である。以下、pチャネルトランジスタPT31~PT38は、それぞれ、トランジスタPT31~PT38と称する。

30

【0131】

また、5段目のシフトレジスタ回路部505は、1段目のシフトレジスタ回路部501のトランジスタPT1~PT8に対応するpチャネルトランジスタPT41~PT48と、容量C1およびC2に対応する容量C41およびC42とを含む。なお、pチャネルトランジスタPT41、PT42、PT44、PT45、PT46およびPT47は、それぞれ、本発明の「第1トランジスタ」、「第2トランジスタ」、「第3トランジスタ」、「第4トランジスタ」、「第5トランジスタ」および「第6トランジスタ」の一例である。また、pチャネルトランジスタPT43は、本発明の「第1ダイオード」および「第11トランジスタ」の一例であり、pチャネルトランジスタPT48は、本発明の「第2ダイオード」および「第12トランジスタ」の一例である。以下、pチャネルトランジスタPT41~PT48は、それぞれ、トランジスタPT41~PT48と称する。

40

【0132】

また、スキャン方向切替回路部600は、pチャネルトランジスタPT51~PT60を含む。以下、pチャネルトランジスタPT51~PT60は、それぞれ、トランジスタPT51~PT60と称する。

【0133】

ここで、第2実施形態では、スキャン方向切替回路部600を構成するトランジスタPT51~PT60は、すべてp型のMOSトランジスタからなるTFETにより構成されて

50

いる。

【0134】

そして、スキャン方向切替回路部600を構成するトランジスタPT51~PT60は、それぞれ、図2に示した第1実施形態のスキャン方向切替回路部60のトランジスタNT51~NT60に対応した位置に接続されている。

【0135】

また、入力信号切替回路部700は、pチャネルトランジスタPT61~PT80を含む。なお、pチャネルトランジスタPT61、PT63、PT65、PT67およびPT69は、本発明の「第7トランジスタ」の一例であり、pチャネルトランジスタPT62、PT64、PT66、PT68およびPT70は、本発明の「第10トランジスタ」の一例である。また、pチャネルトランジスタPT71、PT73、PT75、PT77およびPT79は、本発明の「第8トランジスタ」の一例であり、pチャネルトランジスタPT72、PT74、PT76、PT78およびPT80は、本発明の「第9トランジスタ」の一例である。以下、pチャネルトランジスタPT61~PT80は、それぞれ、トランジスタPT61~PT80と称する。

10

【0136】

ここで、第2実施形態では、入力信号切替回路部700を構成するトランジスタPT61~PT80は、すべてp型のMOSトランジスタからなるTFTにより構成されている。

【0137】

そして、入力信号切替回路部700を構成するトランジスタPT61~PT80は、それぞれ、図2に示した第1実施形態の入力信号切替回路部70のトランジスタNT61~NT80に対応した位置に接続されている。ただし、上記第1実施形態と異なり、トランジスタPT71のソース/ドレインの他方は、負側電位VBBに接続されている。

20

【0138】

また、論理合成回路部801~803は、それぞれ、ダミーゲート線、1段目のゲート線および2段目のゲート線に接続されている。

【0139】

ダミーゲート線に接続される論理合成回路部801は、pチャネルトランジスタPT81~PT84と、ダイオード接続されたpチャネルトランジスタPT85およびPT86と、容量C81とを含む。以下、pチャネルトランジスタPT81~PT86は、それぞれ、トランジスタPT81~PT86と称する。

30

【0140】

ここで、第2実施形態では、論理合成回路部801を構成するトランジスタPT81~PT86は、すべてp型のMOSトランジスタからなるTFTにより構成されている。

【0141】

そして、ダミーゲート線に接続される論理合成回路部801を構成するトランジスタPT81~PT86は、それぞれ、図2に示した第1実施形態のダミーゲート線に接続される論理合成回路部81のトランジスタNT81~NT86に対応した位置に接続されている。ただし、トランジスタPT83のソースは、正側電位VDDに接続されている。

40

【0142】

また、1段目のゲート線に接続される論理合成回路部802は、ダミーゲート線に接続される論理合成回路部801と同様の回路構成を有する。具体的には、1段目のゲート線に接続される論理合成回路部802は、ダミーゲート線に接続される論理合成回路部801のトランジスタPT81~PT86に対応するpチャネルトランジスタPT91~PT96と、容量C81に対応する容量C91とを含む。以下、pチャネルトランジスタPT91~PT96は、それぞれ、トランジスタPT91~PT96と称する。

【0143】

そして、1段目のゲート線に接続される論理合成回路部802を構成するトランジスタPT91~PT96は、それぞれ、図2に示した第1実施形態の1段目のゲート線に接続

50

される論理合成回路部 8 2 のトランジスタ NT 9 1 ~ NT 9 6 に対応した位置に接続されている。ただし、トランジスタ PT 9 3 のソースは、正側電位 V D D に接続されている。

【 0 1 4 4 】

また、2 段目のゲート線に接続される論理合成回路部 8 0 3 は、ダミーゲート線に接続される論理合成回路部 8 0 1 と同様の回路構成を有する。具体的には、2 段目のゲート線に接続される論理合成回路部 8 0 3 は、ダミーゲート線に接続される論理合成回路部 8 0 1 のトランジスタ PT 8 1 ~ PT 8 6 に対応する p チャネルトランジスタ PT 1 0 1 ~ PT 1 0 6 と、容量 C 8 1 に対応する容量 C 1 0 1 とを含む。以下、p チャネルトランジスタ PT 1 0 1 ~ PT 1 0 6 は、それぞれ、トランジスタ PT 1 0 1 ~ PT 1 0 6 と称する。

10

【 0 1 4 5 】

そして、2 段目のゲート線に接続される論理合成回路部 8 0 3 を構成するトランジスタ PT 1 0 1 ~ PT 1 0 6 は、それぞれ、図 2 に示した第 1 実施形態の 2 段目のゲート線に接続される論理合成回路部 8 0 3 のトランジスタ NT 1 0 1 ~ NT 1 0 6 に対応した位置に接続されている。ただし、トランジスタ PT 1 0 3 のソースは、正側電位 V D D に接続されている。

【 0 1 4 6 】

図 6 は、本発明の第 2 実施形態による液晶表示装置の V ドライバの動作を説明するための電圧波形図である。次に、図 5 および図 6 を参照して、第 2 実施形態による V ドライバ 5 a の動作を説明する。この第 2 実施形態の V ドライバ 5 a では、図 3 に示した第 1 実施形態のスタート信号 S T V、クロック信号 C K V 1、クロック信号 C K V 2 およびイネーブル信号 E N B の H レベルと L レベルとを反転させた波形の信号を、それぞれ、スタート信号 S T V、クロック信号 C K V 1、クロック信号 C K V 2 およびイネーブル信号 E N B として入力する。これにより、第 2 実施形態のシフトレジスタ回路部 5 0 1 ~ 5 0 5 からは、第 1 実施形態のシフトレジスタ回路部 5 1 ~ 5 5 からのシフト信号 S R 1 ~ S R 5 の H レベルと L レベルとを反転させた波形を有する信号が出力される。また、第 2 実施形態の論理合成回路部 8 0 1 ~ 8 0 3 からは、第 1 実施形態の論理合成回路部 8 1 ~ 8 3 から出力される出力信号 D u m m y、G a t e 1 および G a t e 2 の H レベルと L レベルとを反転させた波形を有する信号が出力される。この第 2 実施形態の V ドライバ 5 a のこれ以外の動作は、上記した第 1 実施形態の V ドライバ 5 と同様である。

20

30

【 0 1 4 7 】

なお、第 2 実施形態では、トランジスタ PT 4、PT 1 4、PT 2 4、PT 3 4 および PT 4 4 のゲートとソースとの間に、それぞれ、容量 C 2、C 1 2、C 2 2、C 3 2 および C 4 2 を接続することによって、以下のような動作が行われる。たとえば、2 段目のシフトレジスタ回路部 5 0 2 において、容量 C 1 2 が接続されたトランジスタ PT 1 4 のゲート - ソース間電圧を維持するように、トランジスタ PT 1 4 のソース電位の低下に伴ってトランジスタ PT 1 4 のゲート電位 (シフト信号 S R 2 の電位) が低下する。すなわち、トランジスタ PT 1 4 のゲート電位 (シフト信号 S R 2 の電位) が V B B よりもしきい値電圧 (V t) 以上の所定の電圧 (V) 分低い電位まで降下するので、スキャン方向が順方向の場合、1 段目のトランジスタ PT 2 および 3 段目のトランジスタ PT 2 7 のゲートに、それぞれ、V B B - V t よりも低い電位 (V B B - V) を有するシフト信号 S R 2 が供給される。これにより、トランジスタ PT 2 および PT 2 7 のソース電位が、それぞれ、V B B からトランジスタ PT 2 および PT 2 7 のしきい値電圧 (V t) 分だけ上昇するのが抑制される。

40

【 0 1 4 8 】

また、第 2 実施形態では、上記のように構成することによって、V ドライバ 5 a の消費電流の増加を抑制することができるなどの上記第 1 実施形態と同様の効果を得ることができる。

【 0 1 4 9 】

(第 3 実施形態)

50

図7は、本発明の第3実施形態による液晶表示装置のVドライバ内部の回路図である。図7を参照して、この第3実施形態では、上記第1実施形態の構成において、3段目以降のシフトレジスタ回路部のシフト出力信号が出力されるノードに接続されたトランジスタのドレインに、正側電位に代えてイネーブル信号を供給する場合について説明する。

【0150】

すなわち、この第3実施形態では、図7に示すように、複数段のシフトレジスタ回路部511～515と、スキャン方向切替回路部610と、入力信号切替回路部710と、複数段の論理合成回路部811～813とが設けられている。なお、図7では、図面の簡略化のため、5段分のシフトレジスタ回路部511～515および3段分の論理合成回路部811～813のみを図示しているが、実際は画素数に応じた数のシフトレジスタ回路部および論理合成回路部が設けられている。

10

【0151】

そして、1段目のシフトレジスタ回路部511は、図2に示した第1実施形態の1段目のシフトレジスタ回路部51の第1回路部51aおよび第2回路部51bと同様の回路構成を有する第1回路部511aおよび第2回路部511bによって構成されている。また、2段目のシフトレジスタ回路部512は、図2に示した第1実施形態の2段目のシフトレジスタ回路部52の第1回路部52aおよび第2回路部52bと同様の回路構成を有する第1回路部512aおよび第2回路部512bによって構成されている。

【0152】

ここで、第3実施形態では、3段目のシフトレジスタ回路部513、4段目のシフトレジスタ回路部514および5段目のシフトレジスタ回路部515のそれぞれに、イネーブル信号線(ENB)が接続されている。

20

【0153】

具体的には、3段目のシフトレジスタ回路部513は、第1回路部513aと第2回路部513bとによって構成されている。第1回路部513aおよび第2回路部513bは、それぞれ、図2に示した第1実施形態の3段目のシフトレジスタ回路部53の第1回路部53aおよび第2回路部53bと同様の回路構成を有する。そして、この第3実施形態では、トランジスタNT24のドレインに、イネーブル信号線(ENB)が接続されている。

【0154】

また、4段目のシフトレジスタ回路部514は、第1回路部514aと第2回路部514bとによって構成されている。第1回路部514aおよび第2回路部514bは、それぞれ、図2に示した第1実施形態の4段目のシフトレジスタ回路部54の第1回路部54aおよび第2回路部54bと同様の回路構成を有する。そして、この第3実施形態では、トランジスタNT34のドレインに、イネーブル信号線(ENB)が接続されている。

30

【0155】

また、5段目のシフトレジスタ回路部515は、第1回路部515aと第2回路部515bとによって構成されている。第1回路部515aおよび第2回路部515bは、それぞれ、図2に示した第1実施形態の5段目のシフトレジスタ回路部55の第1回路部55aおよび第2回路部55bと同様の回路構成を有する。そして、この第3実施形態では、トランジスタNT44のドレインに、イネーブル信号線(ENB)が接続されている。

40

【0156】

また、第3実施形態のスキャン方向切替回路部610は、図2に示した第1実施形態のスキャン方向切替回路部60と同様の回路構成を有する。ただし、第3実施形態では、トランジスタNT56のソース/ドレインの他方と、トランジスタNT57のソース/ドレインの一方とが接続されていない。

【0157】

また、第3実施形態の入力信号切替回路部710は、図2に示した第1実施形態の入力信号切替回路部70と同様の回路構成を有する。

【0158】

50

また、第3実施形態のダミーゲート線に接続される論理合成回路部811は、トランジスタNT81~NT84と、ダイオード接続されたトランジスタNT85と、容量C81とを含む。すなわち、第3実施形態の論理合成回路部811は、図2に示した第1実施形態の論理合成回路部81の回路構成において、ダイオード接続されたトランジスタNT86が設けられていない回路構成を有する。また、第3実施形態の論理合成回路部811のノードND5は、トランジスタNT85を介して、反転イネーブル信号線(XENB)に接続されている。

【0159】

また、1段目のゲート線に接続される論理合成回路部812は、トランジスタNT91~NT94と、ダイオード接続されたトランジスタNT95と、容量C91とを含む。すなわち、第3実施形態の論理合成回路部812は、図2に示した第1実施形態の論理合成回路部82の回路構成において、ダイオード接続されたトランジスタNT96が設けられていない回路構成を有する。また、第3実施形態の論理合成回路部812のノードND5は、トランジスタNT95を介して、反転イネーブル信号線(XENB)に接続されている。

10

【0160】

また、2段目のゲート線に接続される論理合成回路部813は、トランジスタNT101~NT104と、ダイオード接続されたトランジスタNT105と、容量C101とを含む。すなわち、第3実施形態の論理合成回路部813は、図2に示した第1実施形態の論理合成回路部83の回路構成において、ダイオード接続されたトランジスタNT106が設けられていない回路構成を有する。また、第3実施形態の論理合成回路部813のノードND5は、トランジスタNT105を介して、反転イネーブル信号線(XENB)に接続されている。

20

【0161】

また、第3実施形態では、複数段のシフトレジスタ回路部511~515と、スキャン方向切替回路部610と、入力信号切替回路部710と、複数段の論理合成回路部811~813とに加えて、回路部910が設けられている。この回路部910は、nチャネルトランジスタNT111~NT113と、ダイオード接続されたnチャネルトランジスタNT114と、容量C111とを含む。以下、nチャネルトランジスタNT111~NT114は、それぞれ、トランジスタNT111~NT114と称する。

30

【0162】

ここで、第3実施形態では、回路部910を構成するトランジスタNT111~NT114は、すべてn型のMOSトランジスタからなるTFTにより構成されている。

【0163】

そして、トランジスタNT111のドレインは、イネーブル信号線(ENB)に接続されているとともに、ソースは、ノードND6に接続されている。このトランジスタNT111のゲートは、2段目のシフトレジスタ回路部512のノードND2に接続されている。トランジスタNT112のソースは、負側電位VBBに接続されているとともに、ドレインは、ノードND6に接続されている。このトランジスタNT112のゲートは、ノードND7に接続されている。トランジスタNT113のソースは、負側電位VBBに接続されているとともに、ドレインは、ノードND7に接続されている。このトランジスタNT113のゲートは、ノードND6に接続されている。容量C111の一方の電極は、負側電位VBBに接続されているとともに、他方の電極は、ノードND7に接続されている。また、ノードND6は、スキャン方向切替回路部610のトランジスタNT56のソース/ドレインの他方に接続されている。また、ノードND7は、トランジスタNT114を介して、反転イネーブル信号線(XENB)に接続されている。

40

【0164】

図8は、本発明の第3実施形態による液晶表示装置のVドライバの動作を説明するための電圧波形図である。次に、図7および図8を参照して、第3実施形態による液晶表示装置のVドライバの動作について説明する。

50

【 0 1 6 5 】

この第3実施形態のVドライバの動作は、基本的には、上記第1実施形態のVドライバ5の動作と同様である。ただし、この第3実施形態のVドライバでは、上記第1実施形態と異なり、3段目以降のシフトレジスタ回路部513～515のシフト出力信号SR13～SR15が出力されるノードND3に接続されたトランジスタNT24、NT34およびNT44のドレインに、正側電位VDDに代えてイネーブル信号ENBを供給する。また、各段の論理合成回路部811～813の負側電位VBBと、出力信号を出力するノードND4との間に接続されたトランジスタNT83、NT93およびNT103のゲートに、反転イネーブル信号XENBを入力する。

【 0 1 6 6 】

具体的には、1段目および2段目のシフトレジスタ回路部511および512（図7参照）における動作は、図2に示した第1実施形態の1段目および2段目のシフトレジスタ回路部51および52における動作と同様である。そして、3段目のシフトレジスタ回路部513では、2段目のシフトレジスタ回路部512からトランジスタNT27のゲートにHレベルのシフト信号SR2が入力されるとともに、トランジスタNT21のゲートにHレベル（VDD）のシフト出力信号SR12が入力される。また、トランジスタNT22のゲートには、4段目のシフトレジスタ回路部514からLレベルのシフト信号SR4が入力される。これにより、トランジスタNT21およびNT27がオン状態になるとともに、トランジスタNT22がオフ状態になる。このため、トランジスタNT21を介して負側電位VBBからLレベルの電位が供給されることにより、ノードND1の電位がLレベルに低下する。これにより、トランジスタNT25およびNT26がオフ状態になる。この状態で、トランジスタNT27のドレインに入力されるクロック信号CKV1がLレベルからHレベルに上昇する。これにより、3段目のシフトレジスタ回路部513のノードND2の電位がHレベルに上昇するので、トランジスタNT24がオン状態になる。このとき、トランジスタNT24のドレインにLレベルのイネーブル信号ENBが供給されるので、トランジスタNT24のソース電位（ノードND3の電位）がLレベルに保持される。

【 0 1 6 7 】

この後、第3実施形態では、イネーブル信号ENBの電位がLレベルからHレベルに上昇する。これにより、3段目のシフトレジスタ回路部513のノードND3の電位がHレベルに上昇する。この際、3段目のシフトレジスタ回路部513のノードND2の電位は、容量C22によってトランジスタNT24のゲート-ソース間電圧が維持されるように、ノードND3の電位の上昇に伴ってブートされることにより上昇する。これにより、3段目のシフトレジスタ回路部513のノードND2の電位がVDDよりもしきい値電圧（ V_t ）以上の所定の電圧（ V ）分高い電位（ $V_{DD} + V > V_{DD} + V_t$ ）まで上昇する。なお、このときのノードND2の電位（ $V_{DD} + V$ ）は、上記第1実施形態において上昇した後のノードND2の電位（ $V_{DD} + V$ ）よりもさらに高い電位となる。そして、3段目のシフトレジスタ回路部513のノードND2から $V_{DD} + V_t$ 以上の電位（ $V_{DD} + V$ ）を有するHレベルのシフト信号SR3が出力される。そして、4段目以降のシフトレジスタ回路部514および515においても、上記した3段目のシフトレジスタ回路部513と同様の動作により、上記第1実施形態のシフトレジスタ回路部から出力されるHレベル（ $V_{DD} + V$ ）のシフト信号よりもさらに高い $V_{DD} + V_t$ 以上の電位（ $V_{DD} + V$ ）を有するHレベルのシフト信号SR4およびSR5が出力される。

【 0 1 6 8 】

そして、3段目のシフトレジスタ回路部513のHレベルのシフト信号SR3は、トランジスタNT63を介して2段目のシフトレジスタ回路部512のトランジスタNT12のゲートに入力されるとともに、トランジスタNT68を介して4段目のシフトレジスタ回路部514のトランジスタNT37のゲートに入力される。この際、トランジスタNT63およびNT68のゲート電位がスキャン方向切替信号CSVの電位（VDD）に等しいので、トランジスタNT12およびNT37のゲート電圧が $V_{DD} - V_t$ に充電される

10

20

30

40

50

。この後、クロック信号CKV2がHレベル(VDD)に立ち上がるので、トランジスタNT12およびNT37のゲート電圧は、ゲート-ソース間電圧を保持したまま、さらにVDDとVBBの電位差分上昇する。

【0169】

また、3段目のシフトレジスタ回路部513のHレベル(VDD+V)のシフト信号SR3は、1段目のゲート線に繋がる論理合成回路部812のトランジスタNT91のゲートにも入力される。また、1段目のゲート線に繋がる論理合成回路部812のトランジスタNT92のゲートには、4段目のシフトレジスタ回路部514のHレベル(VDD+V)のシフト信号SR4が入力される。これにより、1段目のゲート線に繋がる論理合成回路部812において、トランジスタNT91のドレインに入力されるイネーブル信号ENBの電位がHレベル(VDD)の電位に上昇した場合に、トランジスタNT92のノードND4に発生する電位がVDDからトランジスタNT91およびNT92のしきい値電圧(Vt)分低下したHレベルの電位になるのが抑制される。上記のようにして、2段目以降のゲート線に繋がる論理合成回路部813においても、イネーブル信号ENBの電位がHレベル(VDD)に上昇するのに伴って、ノードND4の電位が上昇する場合に、ノードND4に生じるHレベルの電位が大きく低下するのが抑制される。

10

【0170】

また、第3実施形態では、論理合成回路部811~813から各段のゲート線に出力する出力信号の電位をLレベルに固定する際、反転イネーブル信号XENBを用いて電位を固定する。たとえば、1段目のゲート線に繋がる論理合成回路部812において、共にオン状態になっているトランジスタNT91およびNT92を介してHレベルのイネーブル信号ENBが供給されることにより、1段目のゲート線に出力する出力信号Gate1がHレベルになっている。この後、イネーブル信号ENBの電位がLレベルに低下するとともに、反転イネーブル信号XENBの電位がHレベルに上昇する。これにより、Lレベルのイネーブル信号ENBがトランジスタNT91およびNT92を介して供給されることにより、1段目のゲート線に出力される出力信号Gate1の電位がLレベルに低下する。

20

【0171】

また、1段目のゲート線に繋がる論理合成回路部812において、反転イネーブル信号XENBの電位がHレベルに上昇することにより、Hレベルの反転イネーブル信号XENBが論理合成回路部812のダイオード接続されたトランジスタNT95を介してトランジスタNT93のゲートに入力される。これにより、トランジスタNT93がオン状態になる。そして、トランジスタNT93を介して負側電位VBBからノードND4側へLレベルの電位が供給される。これにより、論理合成回路部812から1段目のゲート線に出力される出力信号Gate1の電位がLレベルに固定される。

30

【0172】

そして、1段目のゲート線に繋がる論理合成回路部812において、トランジスタNT93のゲートにHレベルの反転イネーブル信号XENBが供給される際に容量C91が充電される。これにより、トランジスタNT93のゲート電位(ノードND5の電位)は、次にトランジスタNT94がオン状態になることによりトランジスタNT94を介して負側電位VBBからLレベルの電位が供給されるまでHレベルに保持される。このため、次にトランジスタNT94がオン状態になるまでトランジスタNT93がオン状態に保持されるので、トランジスタNT93を介して負側電位VBBから供給されるLレベルの電位により、出力信号Gate1がLレベルに固定された状態で保持される。上記のようにして、各段の論理合成回路部811~813において、反転イネーブル信号XENBを用いて出力信号の電位がLレベルに固定される。

40

【0173】

第3実施形態によるVドライバの上記以外の動作は、上記第1実施形態のVドライバ5の動作と同様である。

【0174】

50

第3実施形態では、上記のように、シフトレジスタ回路部513～515のシフト出力信号SR13～SR15が出力されるノードND3に接続されたトランジスタNT24、NT34およびNT44のドレインに、正側電位VDDと負側電位VBBとが周期的に切り替わるイネーブル信号ENBを供給することによって、たとえば、3段目のシフトレジスタ回路部513において、トランジスタNT24がオン状態のときにソース電位をVBBからVDDに変動させることができるので、その電位の変動分(V)だけトランジスタNT24のゲート電位を上昇させることができる。これにより、トランジスタNT24のドレインが固定的な負側電位VBB側に接続されている場合に比べて、より確実にトランジスタNT24をオン状態に保持することができる。

【0175】

なお、第3実施形態のその他の効果は、上記第1実施形態と同様である。

【0176】

(第4実施形態)

図9は、本発明の第4実施形態による液晶表示装置のVドライバ内部の回路図である。図9を参照して、この第4実施形態では、上記第3実施形態のVドライバをpチャネルトランジスタで構成する場合について説明する。

【0177】

すなわち、この第4実施形態では、図9に示すように、複数段のシフトレジスタ回路部521～525と、スキャン方向切替回路部620と、入力信号切替回路部720と、複数段の論理合成回路部821～823と、回路部920とが設けられている。なお、図9では、図面の簡略化のため、5段分のシフトレジスタ回路部521～525および3段分の論理合成回路部821～823のみを図示しているが、実際は画素数に応じた数のシフトレジスタ回路部および論理合成回路部が設けられている。

【0178】

そして、1段目のシフトレジスタ回路部521は、図5に示した第2実施形態の1段目のシフトレジスタ回路部501の第1回路部501aおよび第2回路部501bと同様の回路構成を有する第1回路部521aおよび第2回路部521bによって構成されている。また、2段目のシフトレジスタ回路部522は、図5に示した第2実施形態の2段目のシフトレジスタ回路部502の第1回路部502aおよび第2回路部502bと同様の回路構成を有する第1回路部522aおよび第2回路部522bによって構成されている。

【0179】

ここで、第4実施形態では、3段目のシフトレジスタ回路部523、4段目のシフトレジスタ回路部524および5段目のシフトレジスタ回路部525のそれぞれに、イネーブル信号線(ENB)が接続されている。

【0180】

具体的には、3段目のシフトレジスタ回路部523は、第1回路部523aと第2回路部523bとによって構成されている。第1回路部523aおよび第2回路部523bは、それぞれ、図5に示した第2実施形態の3段目のシフトレジスタ回路部503の第1回路部503aおよび第2回路部503bと同様の回路構成を有する。そして、この第4実施形態では、トランジスタPT24のドレインに、イネーブル信号線(ENB)が接続されている。

【0181】

また、4段目のシフトレジスタ回路部524は、第1回路部524aと第2回路部524bとによって構成されている。第1回路部524aおよび第2回路部524bは、それぞれ、図5に示した第2実施形態の4段目のシフトレジスタ回路部504の第1回路部504aおよび第2回路部504bと同様の回路構成を有する。そして、この第4実施形態では、トランジスタPT34のドレインに、イネーブル信号線(ENB)が接続されている。

【0182】

また、5段目のシフトレジスタ回路部525は、第1回路部525aと第2回路部52

10

20

30

40

50

5 bとによって構成されている。第1回路部5 2 5 aおよび第2回路部5 2 5 bは、それぞれ、図5に示した第2実施形態の5段目のシフトレジスタ回路部5 0 5の第1回路部5 0 5 aおよび第2回路部5 0 5 bと同様の回路構成を有する。そして、この第4実施形態では、トランジスタPT 4 4のドレインに、イネーブル信号線(ENB)が接続されている。

【0183】

また、第4実施形態のスキャン方向切替回路部6 2 0は、図5に示した第2実施形態のスキャン方向切替回路部6 0 0と同様の回路構成を有する。ただし、第4実施形態では、トランジスタPT 5 6のソース/ドレインの他方と、トランジスタPT 5 7のソース/ドレインの一方とが接続されていない。

10

【0184】

また、第4実施形態の入力信号切替回路部7 2 0は、図5に示した第2実施形態の入力信号切替回路部7 0 0と同様の回路構成を有する。

【0185】

また、第4実施形態のダミーゲート線に接続される論理合成回路部8 2 1は、トランジスタPT 8 1~PT 8 4と、ダイオード接続されたトランジスタPT 8 5と、容量C 8 1とを含む。すなわち、第4実施形態の論理合成回路部8 2 1は、図5に示した第2実施形態の論理合成回路部8 0 1の回路構成において、ダイオード接続されたトランジスタPT 8 6が設けられていない回路構成を有する。また、第4実施形態の論理合成回路部8 2 1のノードND 5は、トランジスタPT 8 5を介して、反転イネーブル信号線(XENB)に接続されている。

20

【0186】

また、1段目のゲート線に接続される論理合成回路部8 2 2は、トランジスタPT 9 1~PT 9 4と、ダイオード接続されたトランジスタPT 9 5と、容量C 9 1とを含む。すなわち、第4実施形態の論理合成回路部8 2 2は、図5に示した第2実施形態の論理合成回路部8 0 2の回路構成において、ダイオード接続されたトランジスタPT 9 6が設けられていない回路構成を有する。また、第4実施形態の論理合成回路部8 2 2のノードND 5は、トランジスタPT 9 5を介して、反転イネーブル信号線(XENB)に接続されている。

30

【0187】

また、2段目のゲート線に接続される論理合成回路部8 2 3は、トランジスタPT 1 0 1~PT 1 0 4と、ダイオード接続されたトランジスタPT 1 0 5と、容量C 1 0 1とを含む。すなわち、第4実施形態の論理合成回路部8 2 3は、図5に示した第2実施形態の論理合成回路部8 0 3の回路構成において、ダイオード接続されたトランジスタPT 1 0 6が設けられていない回路構成を有する。また、第4実施形態の論理合成回路部8 2 3のノードND 5は、トランジスタPT 1 0 5を介して、反転イネーブル信号線(XENB)に接続されている。

【0188】

また、第4実施形態の回路部9 2 0は、pチャネルトランジスタPT 1 1 1~PT 1 1 3と、ダイオード接続されたpチャネルトランジスタPT 1 1 4と、容量C 1 1 1とを含む。以下、pチャネルトランジスタPT 1 1 1~PT 1 1 4は、それぞれ、トランジスタPT 1 1 1~PT 1 1 4と称する。

40

【0189】

そして、回路部9 2 0を構成するトランジスタPT 1 1 1~PT 1 1 4は、それぞれ、図7に示した第3実施形態のトランジスタNT 1 1 1~NT 1 1 4に対応した位置に接続されている。ただし、トランジスタPT 1 1 2のソースは、正側電位VDDに接続されている。

【0190】

図10は、本発明の第4実施形態による液晶表示装置のVドライバの動作を説明するための電圧波形図である。次に、図9および図10を参照して、第4実施形態による液晶表

50

示装置のVドライバの動作を説明する。

【0191】

この第4実施形態のVドライバでは、図8に示した第3実施形態のスタート信号STV、クロック信号CKV1、クロック信号CKV2、イネーブル信号ENBおよび反転イネーブル信号XENBのHレベルとLレベルとを反転させた波形の信号を、それぞれ、スタート信号STV、クロック信号CKV1、クロック信号CKV2、イネーブル信号ENBおよび反転イネーブル信号XENBとして入力する。これにより、第4実施形態のシフトレジスタ回路部521～525からは、それぞれ、第3実施形態のシフトレジスタ回路部511～515からのシフト信号SR1～SR5のHレベルとLレベルとを反転させた波形を有する信号が出力される。また、第4実施形態の論理合成回路部821～823から

10

は、第3実施形態の論理合成回路部811～813から出力される出力信号Dummy、Gate1およびGate2のHレベルとLレベルとを反転させた波形を有する信号が出力される。この第4実施形態のVドライバの上記以外の動作は、上記した第3実施形態のVドライバの動作と同様である。

【0192】

第4実施形態では、上記のように構成することによって、Vドライバの消費電流の増加を抑制することができるなどの上記第3実施形態と同様の効果を得ることができる。

【0193】

なお、第4実施形態では、シフトレジスタ回路部513～515のシフト出力信号SR13～SR15が出力されるノードND3に接続されたトランジスタPT24、PT34およびPT44のドレインに、正側電位VDDと負側電位VBBとが周期的に切り替わるイネーブル信号ENBを供給することによって、以下のような動作が行われる。たとえば、3段目のシフトレジスタ回路部523において、トランジスタPT24がオン状態のときにソース電位がVDDからVBBに変動するので、その電位の変動分(V)だけトランジスタPT24のゲート電位が降下する。これにより、トランジスタPT24のドレインが固定的な負側電位VBB側に接続されている場合に比べて、より確実にトランジスタPT24をオン状態に保持することができる。

20

【0194】

(第5実施形態)

図11は、本発明の第5実施形態による液晶表示装置のVドライバ内部の回路図である。図11を参照して、この第5実施形態では、上記第3実施形態の構成において、3段目以降のシフトレジスタ回路部のシフト出力信号が出力されるノードに接続されたトランジスタのドレインに、タイミングの異なる2つのイネーブル信号を1つずつ交互に供給する場合について説明する。

30

【0195】

すなわち、この第5実施形態では、図11に示すように、複数段のシフトレジスタ回路部531～535と、スキャン方向切替回路部630と、入力信号切替回路部730と、論理合成回路部831～833と、回路部930とが設けられている。なお、図11では、図面の簡略化のため、5段分のシフトレジスタ回路部531～535および3段分の論理合成回路部831～833のみを図示しているが、実際は画素数に応じた数のシフトレジスタ回路部および論理合成回路部が設けられている。

40

【0196】

そして、1段目のシフトレジスタ回路部531は、図2に示した第1実施形態の1段目のシフトレジスタ回路部51の第1回路部51aおよび第2回路部51bと同様の回路構成を有する第1回路部531aおよび第2回路部531bによって構成されている。また、2段目のシフトレジスタ回路部532は、図2に示した第1実施形態の2段目のシフトレジスタ回路部52の第1回路部52aおよび第2回路部52bと同様の回路構成を有する第1回路部532aおよび第2回路部532bによって構成されている。

【0197】

ここで、第5実施形態では、3段目以降のシフトレジスタ回路部533～535に、イ

50

ネーブル信号 E N B 1 が供給されるイネーブル信号線とイネーブル信号 E N B 2 が供給されるイネーブル信号線とが 1 つずつ交互に接続されている。なお、イネーブル信号 E N B 1 は、本発明の「第 1 周期信号」の一例であり、イネーブル信号 E N B 1 が供給されるイネーブル信号線は、本発明の「第 1 周期信号線」の一例である。また、イネーブル信号 E N B 2 は、本発明の「第 2 周期信号」の一例であり、イネーブル信号 E N B 2 が供給されるイネーブル信号線は、本発明の「第 2 周期信号線」の一例である。

【 0 1 9 8 】

具体的には、3 段目のシフトレジスタ回路部 5 3 3 は、第 1 回路部 5 3 3 a と第 2 回路部 5 3 3 b とによって構成されている。第 1 回路部 5 3 3 a および第 2 回路部 5 3 3 b は、それぞれ、図 2 に示した第 1 実施形態の 3 段目のシフトレジスタ回路部 5 3 の第 1 回路部 5 3 a および第 2 回路部 5 3 b と同様の回路構成を有する。そして、この第 5 実施形態では、トランジスタ N T 2 4 のドレインに、イネーブル信号線 (E N B 1) が接続されている。

10

【 0 1 9 9 】

また、4 段目のシフトレジスタ回路部 5 3 4 は、第 1 回路部 5 3 4 a と第 2 回路部 5 3 4 b とによって構成されている。第 1 回路部 5 3 4 a および第 2 回路部 5 3 4 b は、それぞれ、図 2 に示した第 1 実施形態の 4 段目のシフトレジスタ回路部 5 4 の第 1 回路部 5 4 a および第 2 回路部 5 4 b と同様の回路構成を有する。そして、この第 5 実施形態では、トランジスタ N T 3 4 のドレインに、イネーブル信号線 (E N B 2) が接続されている。

【 0 2 0 0 】

また、5 段目のシフトレジスタ回路部 5 3 5 は、第 1 回路部 5 3 5 a と第 2 回路部 5 3 5 b とによって構成されている。第 1 回路部 5 3 5 a および第 2 回路部 5 3 5 b は、それぞれ、図 2 に示した第 1 実施形態の 5 段目のシフトレジスタ回路部 5 5 の第 1 回路部 5 5 a および第 2 回路部 5 5 b と同様の回路構成を有する。そして、この第 5 実施形態では、トランジスタ N T 4 4 のドレインに、イネーブル信号線 (E N B 1) が接続されている。

20

【 0 2 0 1 】

また、第 5 実施形態のスキャン方向切替回路部 6 3 0 は、トランジスタ N T 5 1 ~ N T 5 5 と、トランジスタ N T 5 7 ~ N T 6 0 とを含む。すなわち、第 5 実施形態のスキャン方向切替回路部 6 3 0 は、図 7 に示した第 3 実施形態のスキャン方向切替回路部 6 1 0 の回路構成において、トランジスタ N T 5 6 が設けられていない回路構成を有する。

30

【 0 2 0 2 】

また、第 5 実施形態の入力信号切替回路部 7 3 0 は、図 7 に示した第 3 実施形態の入力信号切替回路部 7 1 0 と同様の回路構成を有する。

【 0 2 0 3 】

また、第 5 実施形態の論理合成回路部 8 3 1 ~ 8 3 3 は、それぞれ、図 7 に示した第 3 実施形態の論理合成回路部 8 1 1 ~ 8 1 3 と同様の回路構成を有する。

【 0 2 0 4 】

また、第 5 実施形態の回路部 9 3 0 は、図 7 に示した第 3 実施形態の回路部 9 1 0 と同様の回路構成を有する。

【 0 2 0 5 】

図 1 2 は、本発明の第 5 実施形態による液晶表示装置の V ドライバの動作を説明するための電圧波形図である。次に、図 1 1 および図 1 2 を参照して、第 5 実施形態による液晶表示装置の V ドライバの動作について説明する。

40

【 0 2 0 6 】

この第 5 実施形態の V ドライバの動作は、基本的には、上記第 3 実施形態の V ドライバの動作と同様である。ただし、この第 5 実施形態の V ドライバでは、上記第 3 実施形態と異なり、3 段目以降の各段のシフトレジスタ回路部 5 3 3 ~ 5 3 5 のシフト出力信号 S R 1 3 ~ S R 1 5 が出力されるノード N D 3 に接続されたトランジスタ N T 2 4、N T 3 4 および N T 5 4 のドレインに、タイミングの異なるイネーブル信号 E N B 1 および E N B 2 を交互に供給する。

50

【 0 2 0 7 】

具体的には、1 段目および 2 段目のシフトレジスタ回路部 5 3 1 および 5 3 2 (図 1 1 参照) における動作は、図 7 に示した第 3 実施形態による 1 段目および 2 段目のシフトレジスタ回路部 5 1 1 および 5 1 2 における動作と同様である。そして、3 段目のシフトレジスタ回路部 5 3 3 では、2 段目のシフトレジスタ回路部 5 3 2 からトランジスタ NT 2 7 のゲートに H レベルのシフト信号 SR 2 が入力されるとともに、トランジスタ NT 2 1 のゲートに H レベル (VDD) のシフト出力信号 SR 1 2 が入力される。また、トランジスタ NT 2 2 のゲートには、4 段目のシフトレジスタ回路部 5 3 4 から L レベルのシフト信号 SR 4 が入力される。これにより、トランジスタ NT 2 1 および NT 2 7 がオン状態になるとともに、トランジスタ NT 2 2 がオフ状態になる。このため、トランジスタ NT 2 1 を介して負側電位 VBB から L レベルの電位が供給されることにより、ノード ND 1 の電位が L レベルに低下する。これにより、トランジスタ NT 2 5 および NT 2 6 がオフ状態になる。この状態で、トランジスタ NT 2 7 のドレインに入力されるクロック信号 CKV 1 が L レベルから H レベルに上昇する。これにより、3 段目のシフトレジスタ回路部 5 3 3 のノード ND 2 の電位が H レベルに上昇するので、トランジスタ NT 2 4 がオン状態になる。このとき、トランジスタ NT 2 4 のドレインに L レベルのイネーブル信号 ENB 1 が供給されているので、トランジスタ NT 2 4 のソース電位 (ノード ND 3 の電位) が L レベルに保持される。

10

【 0 2 0 8 】

この後、第 5 実施形態では、イネーブル信号 ENB 1 の電位が L レベルから H レベルに上昇する。これにより、3 段目のシフトレジスタ回路部 5 3 3 のノード ND 3 の電位が H レベルに上昇する。この際、3 段目のシフトレジスタ回路部 5 3 3 のノード ND 2 の電位は、容量 C 2 2 によってトランジスタ NT 2 4 のゲート - ソース間電圧が維持されるように、ノード ND 3 の電位の上昇に伴ってブートされることにより上昇する。これにより、3 段目のシフトレジスタ回路部 5 3 3 のノード ND 2 の電位が VDD よりもしきい値電圧 (V_t) 以上の所定の電圧 (V) 分高い電位 ($VDD + V > VDD + V_t$) まで上昇する。なお、このときのノード ND 2 の電位 ($VDD + V$) は、上記第 1 実施形態において上昇した後のノード ND 2 の電位 ($VDD + V$) よりもさらに高い電位となる。そして、3 段目のシフトレジスタ回路部 5 3 3 のノード ND 2 から $VDD + V_t$ 以上の電位 ($VDD + V$) を有する H レベルのシフト信号 SR 3 が出力される。

20

30

【 0 2 0 9 】

また、4 段目のシフトレジスタ回路部 5 3 4 では、トランジスタ NT 6 8 を介して 3 段目のシフトレジスタ回路部 5 3 3 からトランジスタ NT 3 7 のゲートに H レベルのシフト信号 SR 3 が入力されるとともに、トランジスタ NT 3 1 のゲートに H レベル (VDD) のシフト出力信号 SR 1 3 が入力される。また、トランジスタ NT 3 2 のゲートには、トランジスタ NT 6 7 を介して 5 段目のシフトレジスタ回路部 5 3 5 から L レベルのシフト信号 SR 5 が入力される。これにより、トランジスタ NT 3 1 および NT 3 7 がオン状態になるとともに、トランジスタ NT 3 2 がオフ状態になる。このため、トランジスタ NT 3 1 を介して負側電位 VBB から L レベルの電位が供給されることにより、ノード ND 1 の電位が L レベルに低下する。これにより、トランジスタ NT 3 5 および NT 3 6 がオフ状態になる。この後、トランジスタ NT 3 7 のドレインに入力されるクロック信号 CKV 2 が L レベルから H レベルに上昇する。これにより、4 段目のシフトレジスタ回路部 5 3 4 のノード ND 2 の電位が H レベルに上昇するので、トランジスタ NT 3 4 がオン状態になる。このとき、トランジスタ NT 3 4 のドレインに L レベルのイネーブル信号 ENB 2 が供給されているので、トランジスタ NT 3 4 のソース電位 (ノード ND 3 の電位) が L レベルに保持される。

40

【 0 2 1 0 】

この後、第 5 実施形態では、イネーブル信号 ENB 2 の電位が L レベルから H レベルに上昇する。これにより、4 段目のシフトレジスタ回路部 5 3 4 のノード ND 3 の電位が H レベルに上昇する。この際、4 段目のシフトレジスタ回路部 5 3 4 のノード ND 2 の電位

50

は、容量 C_{32} によってトランジスタ NT_{34} のゲート-ソース間電圧が維持されるように、ノード ND_3 の電位の上昇に伴ってブートされることにより上昇する。これにより、4段目のシフトレジスタ回路部 534 のノード ND_2 の電位が V_{DD} よりもしきい値電圧(V_t)以上の所定の電圧(V)分高い電位($V_{DD} + V > V_{DD} + V_t$)まで上昇する。そして、4段目のシフトレジスタ回路部 534 のノード ND_2 から $V_{DD} + V_t$ 以上の電位($V_{DD} + V$)を有するHレベルのシフト信号 SR_4 が出力される。

【0211】

5段目のシフトレジスタ回路部 535 および6段目以降のシフトレジスタ回路部においても、上記の3段目および4段目のシフトレジスタ回路部 533 および 534 による動作と同様の動作を行う。すなわち、5段目のシフトレジスタ回路部 535 では、クロック信号 CKV_1 をHレベルに上昇させることによりノード ND_2 の電位を上昇させた後、イネーブル信号 ENB_1 をHレベルに上昇させることにより、ノード ND_2 の電位をさらに上昇させてHレベル($V_{DD} + V > V_{DD} + V_t$)の電位にする。そして、5段目の次段のシフトレジスタ回路部では、クロック信号 CKV_2 をHレベルに上昇させることによりノード ND_2 の電位を上昇させた後、イネーブル信号 ENB_2 をHレベルに上昇させることにより、ノード ND_2 の電位をさらに上昇させてHレベル($V_{DD} + V > V_{DD} + V_t$)の電位にする。この動作を各段のシフトレジスタ回路部で交互に行う。これにより、各段のシフトレジスタ回路部から出力されるシフト信号の電位を、順次、Hレベル($V_{DD} + V > V_{DD} + V_t$)に上昇させる。

【0212】

この第5実施形態のVドライバの上記以外の動作は、上記した第3実施形態のVドライバの動作と同様である。

【0213】

第5実施形態では、上記のように、3段目以降の各段のシフトレジスタ回路部 $533 \sim 535$ のシフト出力信号 $SR_{13} \sim SR_{15}$ が出力されるノード ND_3 に接続されたトランジスタ NT_{24} 、 NT_{34} および NT_{54} のドレインに、タイミングの異なるイネーブル信号 ENB_1 および ENB_2 を交互に供給することによって、たとえば、3段目のシフトレジスタ回路部 533 において、上記第3実施形態の3段目のシフトレジスタ回路部 513 と同様、トランジスタ NT_{24} のドレインが固定的な正側電位 V_{DD} 側に接続されている場合に比べて、トランジスタ NT_{24} のゲート電位($V_{DD} + V > V_{DD} + V_t$)をより高くすることができるので、より確実に、トランジスタ NT_{24} をオン状態に保持することができる。

【0214】

また、第5実施形態では、タイミングの異なる2つのイネーブル信号 ENB_1 および ENB_2 を用いることによって、たとえば、隣接するシフトレジスタ回路部 533 および 534 において、シフトレジスタ回路部 533 のトランジスタ NT_{24} およびシフトレジスタ回路部 534 のトランジスタ NT_{34} の各々がクロック信号 CKV_1 および CKV_2 にตอบสนองしてオンするタイミングに合わせてトランジスタ NT_{24} および NT_{34} のソース電位を V_{BB} から V_{DD} に変動させることができる。また、シフトレジスタ回路部 533 のトランジスタ NT_{24} およびシフトレジスタ回路部 534 のトランジスタ NT_{34} の各々がクロック信号 CKV_1 および CKV_2 にตอบสนองしてオフ状態になる直前までトランジスタ NT_{24} および NT_{34} のソース電位を V_{DD} に保持することができる。これにより、トランジスタ NT_{24} および NT_{34} の各々がクロック信号 CKV_1 および CKV_2 にตอบสนองしてオフする直前までの間にトランジスタ NT_{24} および NT_{34} のソース電位が V_{BB} になることに起因して、トランジスタ NT_{24} および NT_{34} のゲート電位が変動するという不都合が発生するのを抑制することができる。この場合、トランジスタ NT_{24} (NT_{34})のゲート電位が、次段のシフトレジスタ回路部 534 (535)のトランジスタ NT_{37} (NT_{47})に入力される場合に、トランジスタ NT_{37} (NT_{47})の動作が不安定になるのを抑制することができる。また、トランジスタ NT_{37} (NT_{47})の動作が不安定になることによりトランジスタ NT_{37} (NT_{47})がオンするタイミングが遅

10

20

30

40

50

れるのを抑制することができるので、トランジスタNT37(NT47)を介してトランジスタNT34(NT44)のゲートにクロック信号が入力される際のタイミングが遅れるのを抑制することができる。

【0215】

なお、第5実施形態のその他の効果は、上記第3実施形態と同様である。

【0216】

(第6実施形態)

図13は、本発明の第6実施形態による液晶表示装置のVドライバ内部の回路図である。図13を参照して、この第6実施形態では、上記第5実施形態のVドライバをpチャネルトランジスタで構成する場合について説明する。

10

【0217】

すなわち、この第6実施形態では、図13に示すように、複数段のシフトレジスタ回路部541~545と、スキャン方向切替回路部640と、入力信号切替回路部740と、複数段の論理合成回路部841~843と、回路部940とが設けられている。なお、図13では、図面の簡略化のため、5段分のシフトレジスタ回路部541~545および3段分の論理合成回路部841~843のみを図示しているが、実際は画素数に応じた段数分のシフトレジスタ回路部および論理合成回路部が設けられている。

【0218】

そして、1段目のシフトレジスタ回路部541は、図5に示した第2実施形態の1段目のシフトレジスタ回路部501の第1回路部501aおよび第2回路部501bと同様の回路構成を有する第1回路部541aおよび第2回路部541bによって構成されている。また、2段目のシフトレジスタ回路部542は、図5に示した第2実施形態の2段目のシフトレジスタ回路部502の第1回路部502aおよび第2回路部502bと同様の回路構成を有する第1回路部542aおよび第2回路部542bによって構成されている。

20

【0219】

ここで、第6実施形態では、3段目以降のシフトレジスタ回路部543~545に、イネーブル信号線(ENB1)とイネーブル信号線(ENB2)とが1つずつ交互に接続されている。

【0220】

具体的には、3段目のシフトレジスタ回路部543は、第1回路部543aと第2回路部543bとによって構成されている。第1回路部543aおよび第2回路部543bは、それぞれ、図5に示した第2実施形態の3段目のシフトレジスタ回路部503の第1回路部503aおよび第2回路部503bと同様の回路構成を有する。そして、この第6実施形態では、トランジスタPT24のドレインに、イネーブル信号線(ENB1)が接続されている。

30

【0221】

また、4段目のシフトレジスタ回路部544は、第1回路部544aと第2回路部544bとによって構成されている。第1回路部544aおよび第2回路部544bは、それぞれ、図5に示した第2実施形態の4段目のシフトレジスタ回路部504の第1回路部504aおよび第2回路部504bと同様の回路構成を有する。そして、この第6実施形態では、トランジスタPT34のドレインに、イネーブル信号線(ENB2)が接続されている。

40

【0222】

また、5段目のシフトレジスタ回路部545は、第1回路部545aと第2回路部545bとによって構成されている。第1回路部545aおよび第2回路部545bは、それぞれ、図5に示した第2実施形態の5段目のシフトレジスタ回路部505の第1回路部505aおよび第2回路部505bと同様の回路構成を有する。そして、この第6実施形態では、トランジスタPT44のドレインに、イネーブル信号線(ENB1)が接続されている。

【0223】

50

また、第6実施形態のスキャン方向切替回路部640は、トランジスタPT51～PT55と、トランジスタPT57～PT60とを含む。すなわち、第6実施形態の入力信号切替回路部640は、図9に示した第4実施形態のスキャン方向切替回路部620の回路構成において、トランジスタPT56が設けられていない回路構成を有する。

【0224】

また、第6実施形態の入力信号切替回路部740は、図9に示した第4実施形態の入力信号切替回路部720と同様の回路構成を有する。

【0225】

また、第6実施形態の論理合成回路部841～843は、それぞれ、図9に示した第4実施形態の論理合成回路部821～823と同様の回路構成を有する。

10

【0226】

また、第6実施形態の回路部940は、図9に示した第4実施形態の回路部920と同様の回路構成を有する。

【0227】

図14は、本発明の第6実施形態による液晶表示装置のVドライバの動作を説明するための電圧波形図である。次に、図13および図14を参照して、第6実施形態による液晶表示装置のVドライバの動作を説明する。

【0228】

この第6実施形態のVドライバでは、図12に示した第5実施形態のスタート信号STV、クロック信号CKV1、クロック信号CKV2、イネーブル信号ENB、イネーブル信号ENB1、イネーブル信号ENB2および反転イネーブル信号XENBのHレベルとLレベルとを反転させた波形の信号を、それぞれ、スタート信号STV、クロック信号CKV1、クロック信号CKV2、イネーブル信号ENB、イネーブル信号ENB1、イネーブル信号ENB2および反転イネーブル信号XENBとして入力する。これにより、第6実施形態のシフトレジスタ回路部541～545からは、それぞれ、第5実施形態のシフトレジスタ回路部531～535からのシフト信号SR1～SR5のHレベルとLレベルとを反転させた波形を有する信号が出力される。また、第6実施形態の論理合成回路部841～843からは、第5実施形態の論理合成回路部831～833から出力される出力信号Dummy、Gate1およびGate2のHレベルとLレベルとを反転させた波形を有する信号が出力される。この第6実施形態のVドライバの上記以外の動作は、上記した第5実施形態のVドライバの動作と同様である。

20

30

【0229】

第6実施形態では、上記のように構成することによって、Vドライバの消費電流の増加を抑制することができるなどの上記第5実施形態と同様の効果を得ることができる。

【0230】

(第7実施形態)

図15は、本発明の第7実施形態による液晶表示装置の水平スイッチおよびHドライバの内部の回路図である。図15を参照して、この第7実施形態では、図1に示した第1実施形態の液晶表示装置において、ドレイン線を駆動(スキャン)するためのHドライバに本発明を適用する場合について説明する。

40

【0231】

この第7実施形態による液晶表示装置のHドライバ4の内部には、図15に示すように、図2に示した第1実施形態のVドライバ5と同様、複数段のシフトレジスタ回路部51～55と、スキャン方向切替回路部60と、入力信号切替回路部70と、複数段の論理合成回路部81～83とが設けられている。なお、図15では、図面の簡略化のため、5段分のシフトレジスタ回路部51～55および3段分の論理合成回路部81～83のみを図示しているが、実際は画素数に応じた段数分のシフトレジスタ回路部および論理合成回路部が設けられている。そして、この第7実施形態では、論理合成回路部81～83と水平スイッチ3とが接続されている。

【0232】

50

具体的には、水平スイッチ 3 は、論理合成回路部 8 1 ~ 8 3 の段数に応じた数の n チャンネルトランジスタ NT 1 2 1 ~ 1 2 3 を含む。以下、n チャンネルトランジスタ NT 1 2 1 ~ NT 1 2 3 は、それぞれ、トランジスタ NT 1 2 1 ~ NT 1 2 3 と称する。

【 0 2 3 3 】

そして、トランジスタ NT 1 2 1 のソースは、ダミードレイン線に接続されているとともに、ドレインは、ビデオ信号線 (Video) に接続されている。このトランジスタ NT 1 2 1 のゲートは、論理合成回路部 8 1 のノード ND 4 に接続されている。また、トランジスタ NT 1 2 2 のソースは、1 段目のドレイン線に接続されているとともに、ドレインは、ビデオ信号線 (Video) に接続されている。このトランジスタ NT 1 2 2 のゲートは、論理合成回路部 8 2 のノード ND 4 に接続されている。また、トランジスタ NT 1 2 3 のソースは、2 段目のドレイン線に接続されているとともに、ドレインは、ビデオ信号線 (Video) に接続されている。このトランジスタ NT 1 2 3 のゲートは、論理合成回路部 8 3 のノード ND 4 に接続されている。

【 0 2 3 4 】

次に、図 1 5 を参照して、第 7 実施形態による液晶表示装置の水平スイッチ 3 および H ドライバ 4 の動作を説明する。この第 7 実施形態の H ドライバ 4 では、各段の論理合成回路部 8 1 ~ 8 3 から順次出力される H レベルの出力信号が、対応する水平スイッチ 3 のトランジスタ NT 1 2 1 ~ NT 1 2 3 のゲートにそれぞれ入力される。これにより、水平スイッチ 3 の各段のトランジスタ NT 1 2 1 ~ NT 1 2 3 が順次オン状態になる。このため、ビデオ信号線 (Video) から映像信号が水平スイッチ 3 の各段のトランジスタ NT 1 2 1 ~ NT 1 2 3 を介して、順次各段のドレイン線に出力される。この第 7 実施形態による H ドライバ 4 の上記以外の動作は、上記第 1 実施形態による V ドライバ 5 の動作と同様である。

【 0 2 3 5 】

第 7 実施形態では、上記のように構成することによって、H ドライバ 4 においても、消費電流の増加を抑制することができるなどの効果を得ることができる。

【 0 2 3 6 】

(第 8 実施形態)

図 1 6 は、本発明の第 8 実施形態による有機 EL 表示装置を示した平面図である。図 1 6 を参照して、この第 8 実施形態では、本発明を、n チャンネルトランジスタを有する画素を含む有機 EL 表示装置に適用する場合について説明する。

【 0 2 3 7 】

すなわち、この第 8 実施形態では、図 1 6 に示すように、基板 1 b 上に、表示部 6 が形成されている。この表示部 6 には、n チャンネルトランジスタ 6 1 および 6 2 (以下、トランジスタ 6 1 および 6 2 という) と、補助容量 6 3 と、陽極 6 4 と、陰極 6 5 と、陽極 6 4 と陰極 6 5 との間に挟持された有機 EL 素子 6 6 とを含む画素 6 0 がマトリクス状に配置されている。なお、図 1 6 の表示部 6 には、1 画素分の構成を示している。そして、トランジスタ 6 1 のソースは、トランジスタ 6 2 のゲートと補助容量 6 3 の一方の電極とに接続されているとともに、ドレインは、ドレイン線に接続されている。このトランジスタ 6 1 のゲートは、ゲート線に接続されている。また、トランジスタ 6 2 のソースは、陽極 6 4 に接続されているとともに、ドレインは、電流供給線 (図示せず) に接続されている。

【 0 2 3 8 】

なお、第 8 実施形態による有機 EL 表示装置のこれら以外の部分の構成は、図 1 に示した第 1 実施形態による液晶表示装置と同様である。

【 0 2 3 9 】

第 8 実施形態では、上記のように構成することによって、有機 EL 表示装置において、V ドライバ 5 の消費電力の増加を抑制することができるなどの上記第 1 実施形態と同様の効果を得ることができる。また、有機 EL 表示装置を双方向スキャンさせる場合にも、V ドライバ 5 の消費電力の増加を抑制することができる。

【0240】

(第9実施形態)

図17は、本発明の第9実施形態による有機EL表示装置を示した平面図である。図17を参照して、この第9実施形態では、本発明を、pチャネルトランジスタを有する画素を含む有機EL表示装置に適用する場合について説明する。

【0241】

すなわち、この第9実施形態では、図17に示すように、基板1c上に、表示部6aが形成されている。この表示部6aには、pチャネルトランジスタ61aおよび62a(以下、トランジスタ61aおよび62aという)と、補助容量63aと、陽極64aと、陰極65aと、陽極64aと陰極65aとの間に挟持された有機EL素子66aとを含む画素60aがマトリクス状に配置されている。なお、図17の表示部6aには、1画素分の構成を示している。そして、トランジスタ61aのソースは、ドレイン線に接続されているとともに、ドレインは、トランジスタ62aのゲートと補助容量63aの一方の電極とに接続されている。このトランジスタ61aのゲートは、ゲート線に接続されている。また、トランジスタ62aのソースは、電流供給線(図示せず)に接続されているとともに、ドレインは、陽極64aに接続されている。

10

【0242】

なお、第9実施形態による有機EL表示装置のこれら以外の部分の構成は、図4に示した第2実施形態による液晶表示装置と同様である。

【0243】

第9実施形態では、上記のように構成することによって、有機EL表示装置において、Vドライバ5aの消費電力の増加を抑制することができるなどの上記第2実施形態と同様の効果を得ることができる。また、有機EL表示装置を双方向スキャンさせる場合にも、Vドライバ5aの消費電力の増加を抑制することができる。

20

【0244】

なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【0245】

たとえば、上記第1～第9実施形態では、本発明を液晶表示装置および有機EL表示装置に適用した例を示したが、本発明はこれに限らず、液晶表示装置および有機EL表示装置以外の表示装置にも適用可能である。

30

【0246】

また、上記第1～第9実施形態では、HドライバまたはVドライバのいずれか一方のみ本発明を適用する例を説明したが、本発明はこれに限らず、HドライバおよびVドライバの両方に、本発明を適用するようにしてもよい。この場合、消費電力が増大するのをより抑制することができる。

【0247】

また、上記第1～第9実施形態では、スキャン方向に対して所定段の次段のシフト信号を第1信号として用いるとともに、スキャン方向に対して所定段の前段のシフト信号を第2信号として用いたが、本発明はこれに限らず、第1信号と第2信号とが同時にトランジスタをオンさせることが可能な電位にならなければ、シフト信号以外の信号を第1信号および第2信号として用いてもよい。

40

【0248】

また、nチャネルトランジスタを用いた第1、第3、第5、第7および第8実施形態において、全ての容量をnチャネルトランジスタにより構成してもよい。また、pチャネルトランジスタを用いた第2、第4、第6および第9実施形態において、全ての容量をpチャネルトランジスタにより構成してもよい。

【図面の簡単な説明】

50

【 0 2 4 9 】

【 図 1 】 本発明の第 1 実施形態による液晶表示装置を示した平面図である。

【 図 2 】 図 1 に示した第 1 実施形態による液晶表示装置の V ドライバ内部の回路図である。

【 図 3 】 本発明の第 1 実施形態による液晶表示装置の V ドライバの動作を説明するための電圧波形図である。

【 図 4 】 本発明の第 2 実施形態による液晶表示装置を示した平面図である。

【 図 5 】 図 4 に示した第 2 実施形態による液晶表示装置の V ドライバ内部の回路図である。

【 図 6 】 本発明の第 2 実施形態による液晶表示装置の V ドライバの動作を説明するための電圧波形図である。 10

【 図 7 】 本発明の第 3 実施形態による液晶表示装置の V ドライバ内部の回路図である。

【 図 8 】 本発明の第 3 実施形態による液晶表示装置の V ドライバの動作を説明するための電圧波形図である。

【 図 9 】 本発明の第 4 実施形態による液晶表示装置の V ドライバ内部の回路図である。

【 図 1 0 】 本発明の第 4 実施形態による液晶表示装置の V ドライバの動作を説明するための電圧波形図である。

【 図 1 1 】 本発明の第 5 実施形態による液晶表示装置の V ドライバ内部の回路図である。

【 図 1 2 】 本発明の第 5 実施形態による液晶表示装置の V ドライバの動作を説明するための電圧波形図である。 20

【 図 1 3 】 本発明の第 6 実施形態による液晶表示装置の V ドライバ内部の回路図である。

【 図 1 4 】 本発明の第 6 実施形態による液晶表示装置の V ドライバの動作を説明するための電圧波形図である。

【 図 1 5 】 本発明の第 7 実施形態による液晶表示装置の水平スイッチおよび H ドライバ内部の回路図である。

【 図 1 6 】 本発明の第 8 実施形態による有機 E L 表示装置を示した平面図である。

【 図 1 7 】 本発明の第 9 実施形態による有機 E L 表示装置を示した平面図である。

【 図 1 8 】 従来の抵抗負荷型のインバータ回路を含むシフトレジスタ回路の回路図である。

【 図 1 9 】 図 1 8 に示した従来のシフトレジスタ回路の動作を説明するための波形図である。 30

【 符号の説明 】

【 0 2 5 0 】

5 1、5 2、5 3、5 4、5 5、5 0 1、5 0 2、5 0 3、5 0 4、5 0 5、5 1 1、5 1 2、5 1 3、5 1 4、5 1 5、5 2 1、5 2 2、5 2 3、5 2 4、5 2 5、5 3 1、5 3 2、5 3 3、5 3 4、5 3 5、5 4 1、5 4 2、5 4 3、5 4 4、5 4 5 シフトレジスタ回路部

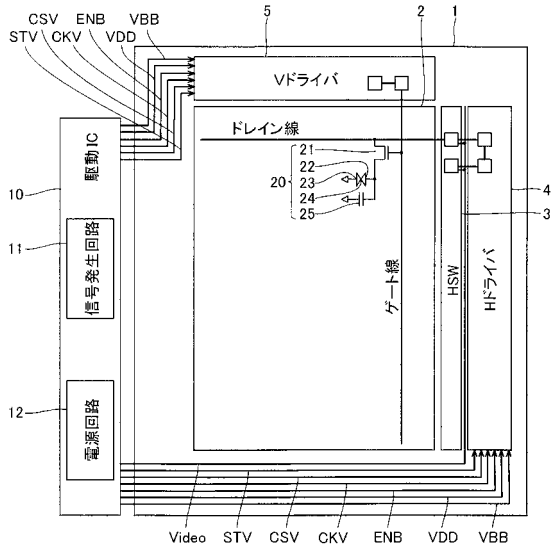
5 1 a、5 2 a、5 3 a、5 4 a、5 5 a、5 0 1 a、5 0 2 a、5 0 3 a、5 0 4 a、5 0 5 a、5 1 1 a、5 1 2 a、5 1 3 a、5 1 4 a、5 1 5 a、5 2 1 a、5 2 2 a、5 2 3 a、5 2 4 a、5 2 5 a、5 3 1 a、5 3 2 a、5 3 3 a、5 3 4 a、5 3 5 a、5 4 1 a、5 4 2 a、5 4 3 a、5 4 4 a、5 4 5 a 第 1 回路部 40

5 1 b、5 2 b、5 3 b、5 4 b、5 5 b、5 0 1 b、5 0 2 b、5 0 3 b、5 0 4 b、5 0 5 b、5 1 1 b、5 1 2 b、5 1 3 b、5 1 4 b、5 1 5 b、5 2 1 b、5 2 2 b、5 2 3 b、5 2 4 b、5 2 5 b、5 3 1 b、5 3 2 b、5 3 3 b、5 3 4 b、5 3 5 b、5 4 1 b、5 4 2 b、5 4 3 b、5 4 4 b、5 4 5 b 第 2 回路部

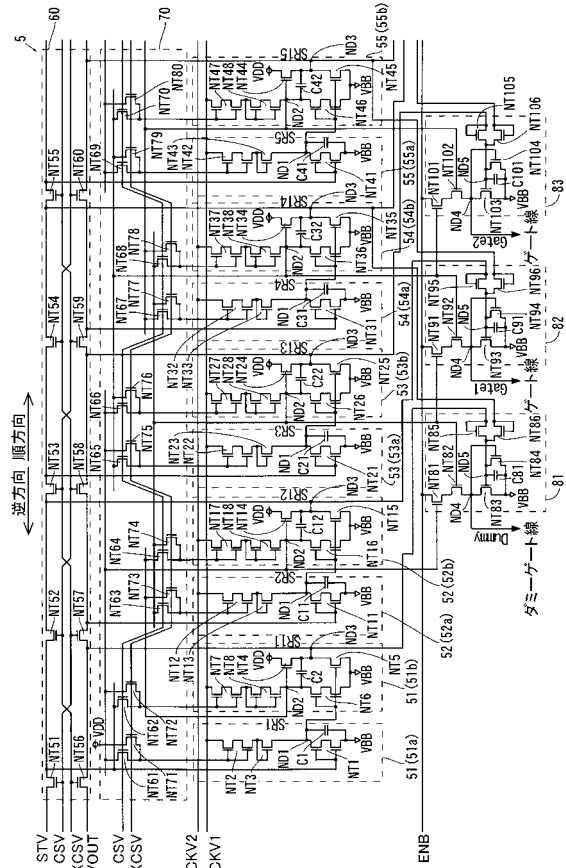
6 0、6 0 0、6 1 0、6 2 0、6 3 0、6 4 0 スキャン方向切替回路部

7 0、7 0 0、7 1 0、7 2 0、7 3 0、7 4 0 入力信号切替回路部

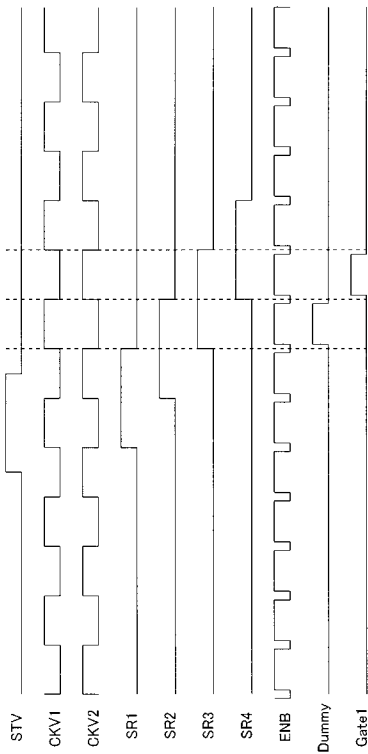
【図1】



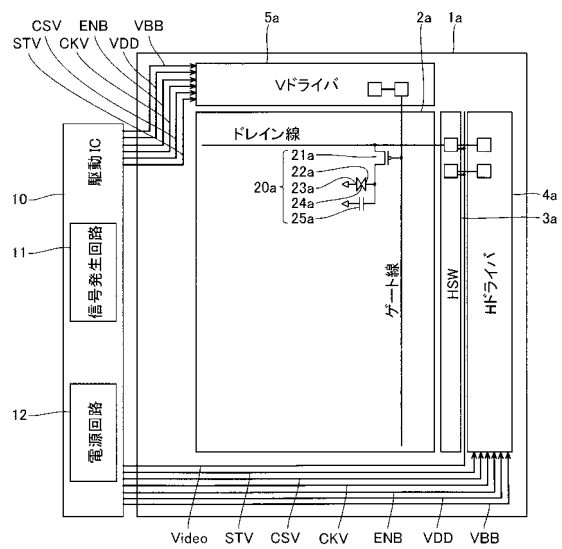
【図2】



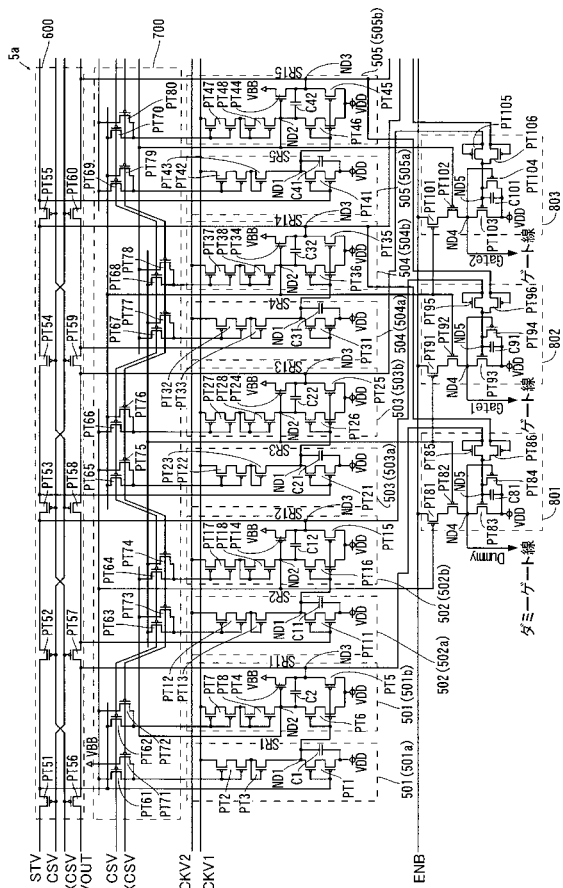
【図3】



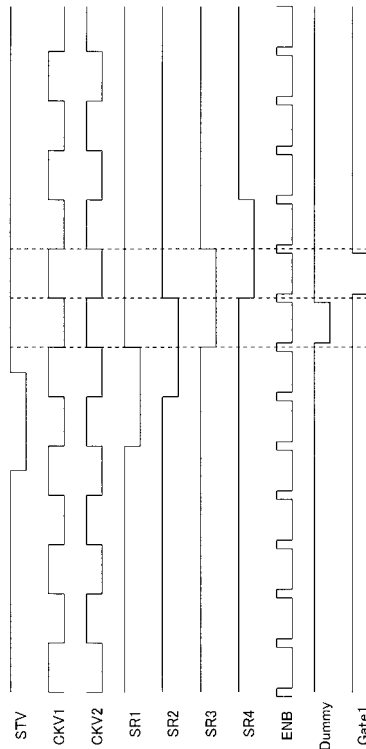
【図4】



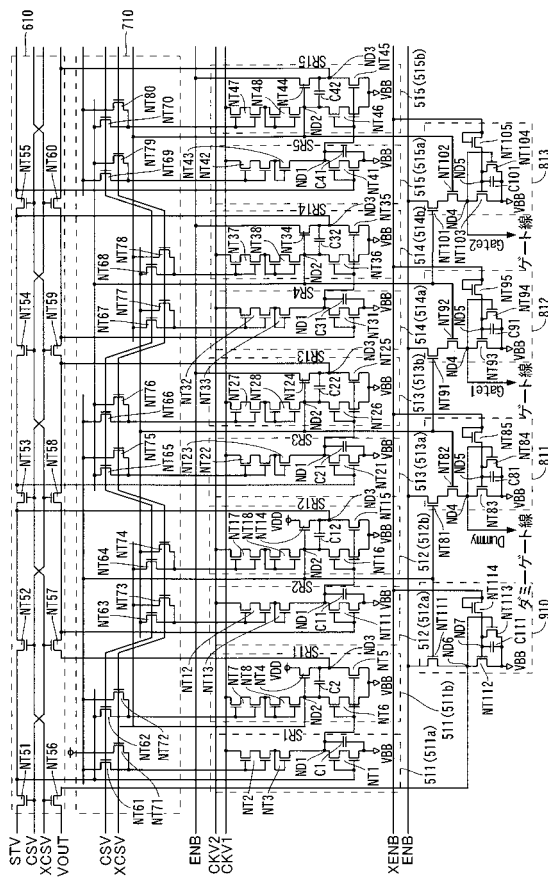
【 図 5 】



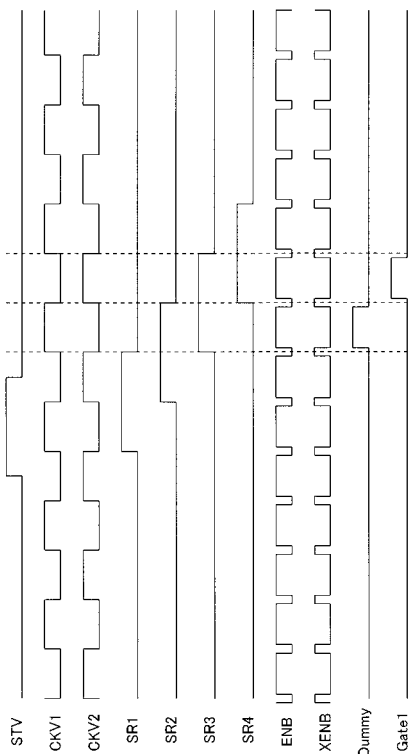
【 図 6 】



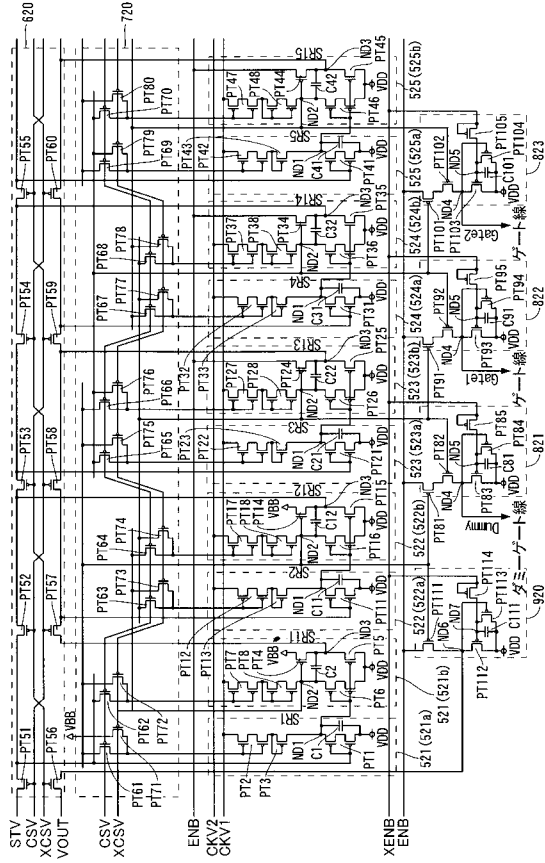
【 図 7 】



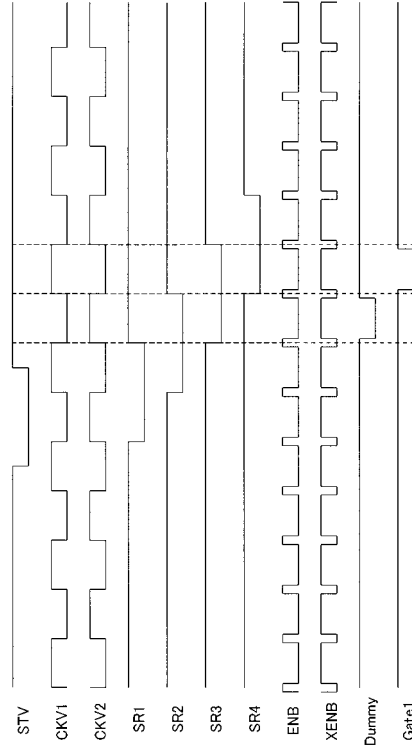
【 図 8 】



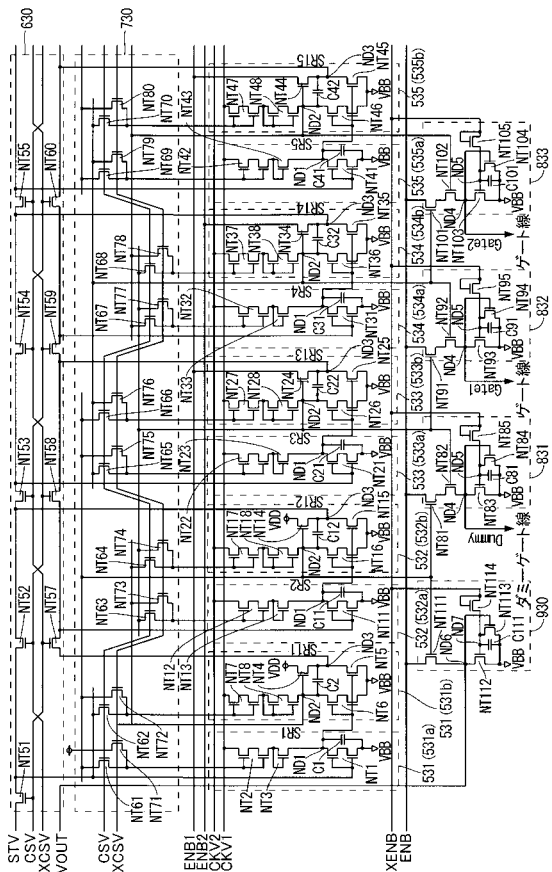
【 9 】



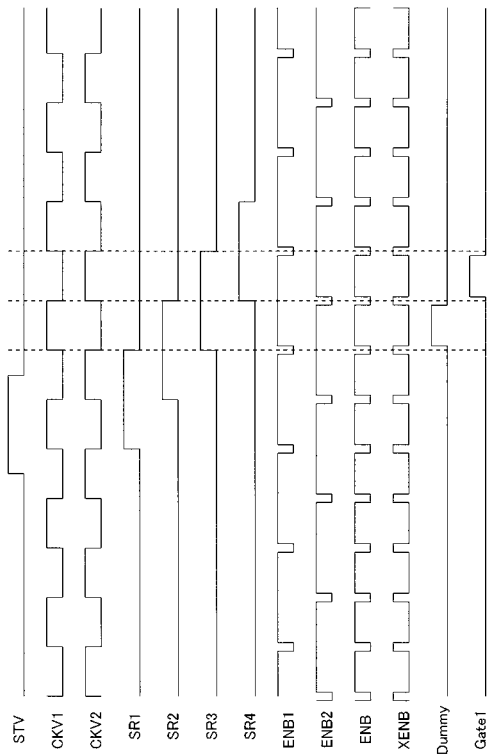
【 10 】



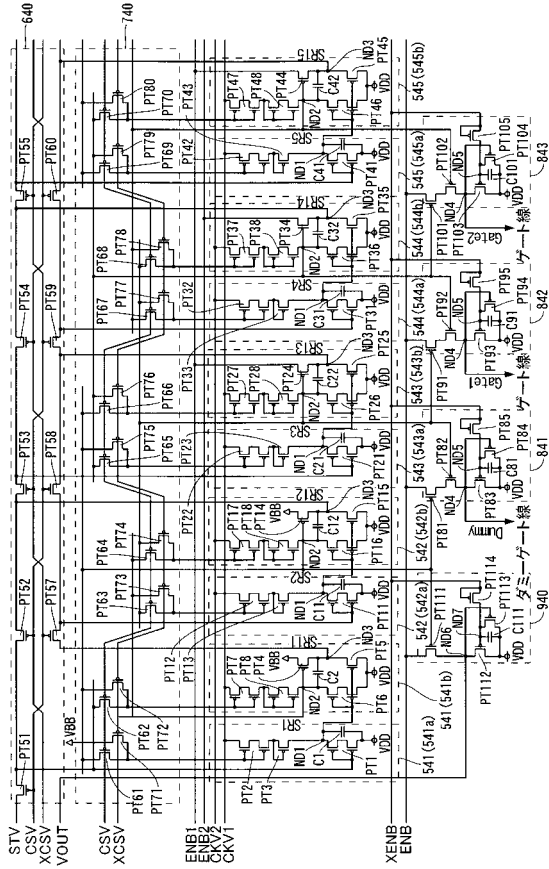
【 11 】



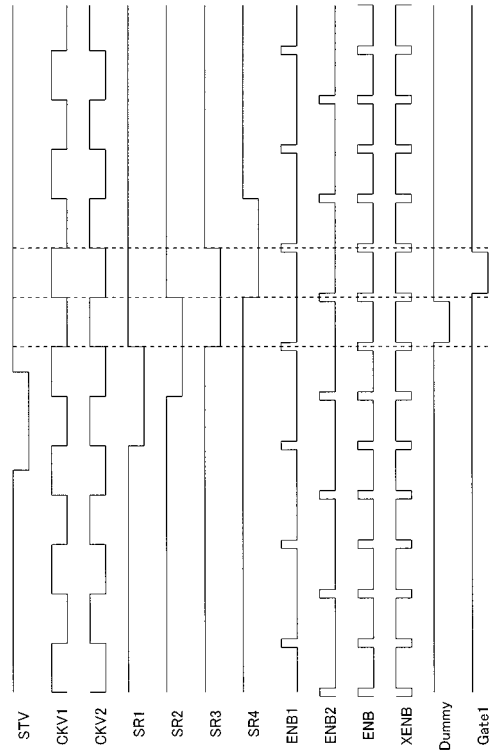
【 12 】



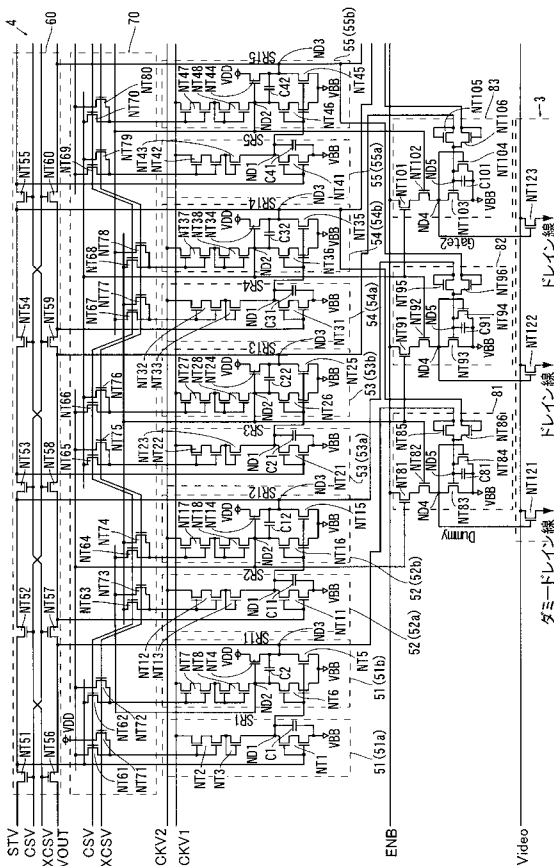
【 図 1 3 】



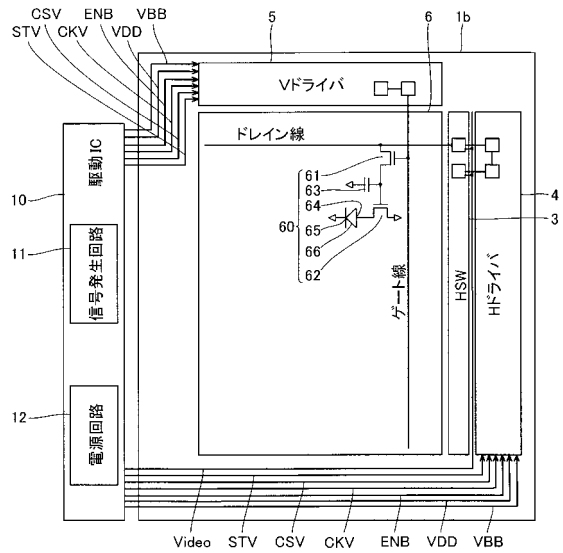
【 図 1 4 】



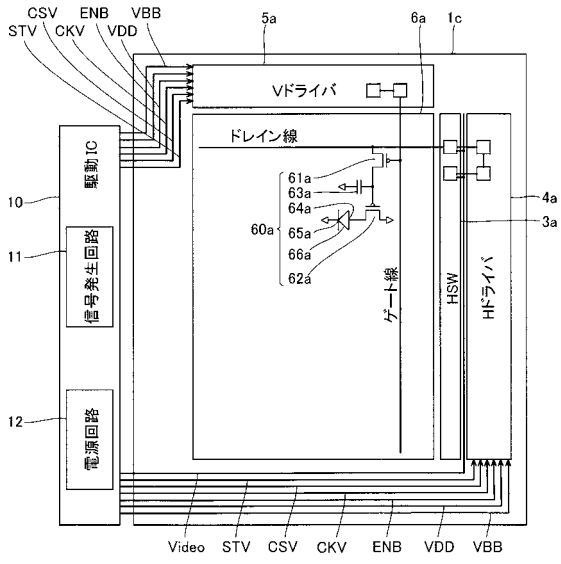
【 図 1 5 】



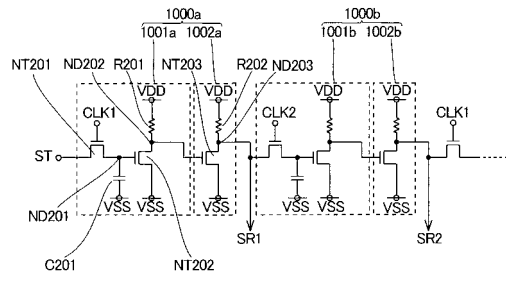
【 図 1 6 】



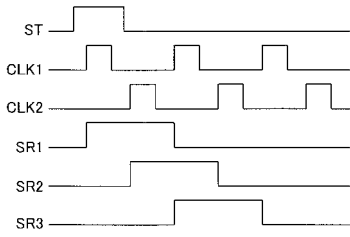
【図17】



【図18】



【図19】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/36

G 0 2 F 1/133 5 5 0

G 1 1 C 19/00 C

G 1 1 C 19/00 J

(56)参考文献 特開2004 - 226429 (JP, A)

特開2002 - 335153 (JP, A)

特開2004 - 157508 (JP, A)

特開2000 - 035772 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 0 0 - 3 / 3 8