

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5010660号
(P5010660)

(45) 発行日 平成24年8月29日(2012.8.29)

(24) 登録日 平成24年6月8日(2012.6.8)

(51) Int.Cl.

F I

HO 1 L 21/76 (2006.01)
HO 1 L 29/78 (2006.01)
HO 1 L 21/336 (2006.01)
HO 1 L 29/732 (2006.01)
HO 1 L 21/331 (2006.01)

HO 1 L 21/76 L
HO 1 L 29/78 3 O 1 R
HO 1 L 29/78 3 O 1 D
HO 1 L 29/72 P
HO 1 L 21/76 S

請求項の数 5 (全 22 頁)

(21) 出願番号 特願2009-220903 (P2009-220903)
(22) 出願日 平成21年9月25日(2009.9.25)
(65) 公開番号 特開2011-71304 (P2011-71304A)
(43) 公開日 平成23年4月7日(2011.4.7)
審査請求日 平成23年9月7日(2011.9.7)

(73) 特許権者 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 100089118
弁理士 酒井 宏明
(72) 発明者 月原 徹也
東京都港区芝浦一丁目1番1号 株式会社
東芝内
審査官 松本 陶子

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項 1】

第1の導電型の半導体基板上に、第2の導電型の埋め込み層と、前記埋め込み層よりも前記第2の導電型の不純物濃度が低い所定の厚さの前記第2の導電型の半導体層と、が積層された基板と、

前記基板に、前記埋め込み層の形成位置よりも深く形成され、前記基板内の素子形成領域内を区画するトレンチと、

前記トレンチの内壁に沿って形成される側壁酸化膜と、前記側壁酸化膜で被覆された前記トレンチ内を埋める埋め込み膜と、を含む素子分離絶縁膜と、

前記素子分離絶縁膜で区画される素子形成領域に形成される半導体素子と、
を備え、

前記トレンチは、前記基板表面から所定の境界深さまでの第1のトレンチと、前記境界深さから底部までの前記第1のトレンチよりも小さい開口径を有する第2のトレンチによって構成され、

前記半導体素子は、

前記素子形成領域の前記半導体層の表面に形成される所定の導電型の不純物拡散層からなるソース領域と、

前記素子形成領域の前記半導体層の表面に前記ソース領域から離れて形成され、所定の導電型の不純物拡散層からなるドレイン領域と、

前記ソース領域と前記ドレイン領域との間で、前記半導体層上にゲート絶縁膜を介して

10

20

形成されるゲート電極と、

前記ドレイン領域から前記ゲート電極の下部にかけて、前記ドレイン領域に隣接して形成され、前記ドレイン領域の不純物濃度よりも低い濃度の不純物拡散層からなる前記第2の導電型のドリフト領域と、

前記ソース領域に接続されるソース電極と、

前記ドレイン領域に接続されるドレイン電極と、

を有し、

前記トレンチの境界深さは前記半導体層内にあり、

前記第2のトレンチの側壁の周囲にのみ前記埋め込み層に接続される第1の拡散層が形成されることを特徴とする半導体装置。

10

【請求項2】

第1の導電型の半導体基板上に、第2の導電型の埋め込み層と、前記埋め込み層よりも前記第2の導電型の不純物濃度が低い所定の厚さの前記第2の導電型の半導体層と、が積層された基板と、

前記基板に、前記埋め込み層の形成位置よりも深く形成され、前記基板内の素子形成領域内を区画するトレンチと、

前記トレンチの内壁に沿って形成される側壁酸化膜と、前記側壁酸化膜で被覆された前記トレンチ内を埋める埋め込み膜と、を含む素子分離絶縁膜と、

前記素子分離絶縁膜で区画される素子形成領域に形成される半導体素子と、

を備え、

20

前記トレンチは、前記基板表面から所定の境界深さまでの第1のトレンチと、前記境界深さから底部までの前記第1のトレンチよりも小さい開口径を有する第2のトレンチによって構成され、

前記半導体素子は、

前記素子形成領域内の前記第2の導電型の半導体層の表面から前記埋め込み層にかけて形成されるコレクタ領域と、

前記素子形成領域内の前記コレクタ層の形成位置とは異なる前記半導体層の表面に形成される前記第1の導電型のベース領域と、

前記ベース領域内に形成される前記第2の導電型のエミッタ領域と、

前記コレクタ領域に接続されるコレクタ電極と、

30

前記ベース電極に接続されるベース電極と、

前記エミッタ領域に接続されるエミッタ電極と、

を有し、

前記トレンチの境界深さは前記埋め込み層よりも下の前記半導体基板内にあり、

前記第1のトレンチの側壁の周囲にのみ前記埋め込み層に接続される第1の拡散層が形成されることを特徴とする半導体装置。

【請求項3】

前記素子分離絶縁膜の下部に前記第1の導電型の第2の拡散層が形成されることを特徴とする請求項1または2に記載の半導体装置。

【請求項4】

40

第1の導電型の半導体基板上に、第2の導電型の埋め込み層と、所定の厚さの前記第2の導電型の半導体層とが積層された基板上に、ストッパ膜とマスク膜とを形成する工程と、

前記マスク膜上にレジストを塗布し、形成するトレンチの部分が開口するようにパターニングを行ってレジストパターンを形成する工程と、

前記レジストパターンを前記マスク膜に転写する工程と、

前記パターンが形成されたマスク膜を用いて、前記埋め込み層よりも浅くなるように前記半導体層をエッチングし、第1のトレンチを形成する工程と、

酸化処理を行って、前記第1のトレンチの側壁に第1の側壁酸化膜を形成する工程と、

前記マスク膜を用いて、前記埋め込み層よりも下部の前記半導体基板内の所定の深さま

50

でエッチングし、第2のトレンチを形成する工程と、

酸化処理を行って、前記第2のトレンチの側壁に第2の側壁酸化膜を形成するとともに、前記埋め込み層中の前記第2の導電型の不純物が拡散した拡散層を形成する工程と、

前記第1および第2のトレンチ内に絶縁膜を埋め込み、前記基板内の所定の素子形成領域を囲む素子分離絶縁膜を形成する工程と、

前記素子分離絶縁膜で囲まれた前記素子形成領域内にLDMOSを形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項5】

第1の導電型の半導体基板上に、第2の導電型の埋め込み層と、所定の厚さの前記第2の導電型の半導体層とが積層された基板上に、ストップ膜とマスク膜とを形成する工程と

10

、前記マスク膜上にレジストを塗布し、形成するトレンチの部分が開口するようにパターニングを行ってレジストパターンを形成する工程と、

前記レジストパターンを前記マスク膜に転写する工程と、

前記パターンが形成されたマスク膜を用いて、前記埋め込み層よりも深くなるように前記半導体層、前記埋め込み層および前記半導体基板をエッチングし、第1のトレンチを形成する工程と、

酸化処理を行って、前記第1のトレンチの側壁に第1の側壁酸化膜を形成するとともに、前記埋め込み層中の前記第2の導電型の不純物が拡散した拡散層を形成する工程と、

前記マスク膜を用いて、前記第1のトレンチの底面よりも下部の前記半導体基板を所定の深さまでエッチングし、第2のトレンチを形成する工程と、

20

酸化処理を行って、前記第2のトレンチの側壁に第2の側壁酸化膜を形成する工程と、

前記第1および第2のトレンチ内に絶縁膜を埋め込み、前記基板内の所定の素子形成領域を囲む素子分離絶縁膜を形成する工程と、

前記素子分離絶縁膜で囲まれた前記素子形成領域内に高周波半導体素子を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

30

本発明は、半導体装置およびその製造方法に関する。

【背景技術】

【0002】

従来、埋め込み層を有する半導体装置の素子分離方法として、ディープトレンチ素子分離（Deep Trench Isolation；以下、DTIという）を用いた技術が知られている。このDTIは以下のようにして形成される。まず、P型の半導体基板の所定の位置に、イオン注入法を用いて高濃度にN型不純物が拡散された埋め込み層を形成する。ここで、埋め込み層の周縁部から半導体基板に向けて、埋め込み層よりもN型不純物濃度が低い不純物領域が形成されている。ついで、埋め込み層の表面が露出した状態の半導体基板上にN型の半導体層をエピタキシャル成長させる。その後、N型の半導体層の上面に素子分離用のディープトレンチを形成するための開口部を有するマスクを形成し、エッチングによって不純物領域よりも深く、半導体基板に到達するディープトレンチを形成する。このディープトレンチは、埋め込み層に接する位置に形成される。ついで、850～1,200度の熱酸化によって、ディープトレンチの少なくとも内表面を覆う絶縁膜を形成した後、CVD（Chemical Vapor Deposition）法でディープトレンチの内部を埋め込むように酸化シリコン膜を形成し、CMP（Chemical Mechanical Polishing）法によって半導体層の上面の不必要な膜を除去するとともに平坦化する。以上のようにして、DTIが形成される（たとえば、特許文献1参照）。

40

【0003】

しかしながら、従来技術では、ディープトレンチは、埋め込み層に接する位置に形成さ

50

れるため、ディープトレんチの形成後の状態では、埋め込み層はディープトレんチ内で露出した状態にある。そのため、ディープトレんチの側壁を酸化する際に、埋め込み層のN型不純物がディープトレんチ側壁に外方拡散され、ディープトレんチ側壁にN - 層が形成される。埋め込み層よりも下部に形成されるN - 層は、埋め込み層の不純物濃度勾配を緩和する作用があり、また、空乏層が延びるため、素子分離耐圧の改善に効果がある。一方、埋め込み層よりも上部に形成されるN - 層は、空乏層の伸びを抑え、素子内部の耐圧を低下させてしまう。

【 0 0 0 4 】

また、ディープトレんチを必要とする半導体装置には、L D M O S (Lateral Double Diffusion Metal-Oxide-Semiconductor) などの高耐圧半導体装置のほかに、L D M O S のように高い素子間耐圧を必要としない高周波向け半導体装置がある。しかし、従来では、これらの半導体装置の特性を区別することなく上記のような方法でディープトレんチを形成した後に、ディープトレんチで区画される領域に高耐圧半導体素子や高周波半導体素子などの半導体素子を形成していた。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 5 】

【 特許文献 1 】 特開 2 0 0 3 - 2 9 7 8 4 5 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 6 】

本発明は、形成する素子に要求される素子間耐圧や素子内部耐圧に応じた素子分離絶縁膜を有する半導体装置およびその製造方法を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 0 7 】

本発明の一態様によれば、第 1 の導電型の半導体基板上に、第 2 の導電型の埋め込み層と、前記埋め込み層よりも前記第 2 の導電型の不純物濃度が低い所定の厚さの前記第 2 の導電型の半導体層と、が積層された基板と、前記基板に、前記埋め込み層の形成位置よりも深く形成され、前記基板内の素子形成領域内を区画するトレんチと、前記トレんチの内壁に沿って形成される側壁酸化膜と、前記側壁酸化膜で被覆された前記トレんチ内を埋める埋め込み膜と、を含む素子分離絶縁膜と、前記素子分離絶縁膜で区画される素子形成領域に形成される半導体素子と、を備え、前記半導体素子は、前記素子形成領域の前記半導体層の表面に形成される所定の導電型の不純物拡散層からなるソース領域と、前記素子形成領域の前記半導体層の表面に前記ソース領域から離れて形成され、所定の導電型の不純物拡散層からなるドレイン領域と、前記ソース領域と前記ドレイン領域との間で、前記半導体層上にゲート絶縁膜を介して形成されるゲート電極と、前記ドレイン領域から前記ゲート電極の下部にかけて、前記ドレイン領域に隣接して形成され、前記ドレイン領域の不純物濃度よりも低い濃度の不純物拡散層からなる前記第 2 の導電型のドリフト領域と、前記ソース領域に接続されるソース電極と、前記ドレイン領域に接続されるドレイン電極と、を有し、前記トレんチは、前記基板表面から所定の境界深さまでの第 1 のトレんチと、前記境界深さから底部までの前記第 1 のトレんチよりも小さい開口径を有する第 2 のトレんチによって構成され、前記トレんチの境界深さは前記半導体層内にあり、前記第 2 のトレんチの側壁の周囲にのみ前記埋め込み層に接続される第 1 の拡散層が形成されることを特徴とする半導体装置が提供される。

また、本発明の一態様によれば、第 1 の導電型の半導体基板上に、第 2 の導電型の埋め込み層と、前記埋め込み層よりも前記第 2 の導電型の不純物濃度が低い所定の厚さの前記第 2 の導電型の半導体層と、が積層された基板と、前記基板に、前記埋め込み層の形成位置よりも深く形成され、前記基板内の素子形成領域内を区画するトレんチと、前記トレんチの内壁に沿って形成される側壁酸化膜と、前記側壁酸化膜で被覆された前記トレんチ内を埋める埋め込み膜と、を含む素子分離絶縁膜と、前記素子分離絶縁膜で区画される素子

10

20

30

40

50

形成領域に形成される半導体素子と、を備え、前記トレンチは、前記基板表面から所定の境界深さまでの第1のトレンチと、前記境界深さから底部までの前記第1のトレンチよりも小さい開口径を有する第2のトレンチによって構成され、前記半導体素子は、前記素子形成領域内の前記第2の導電型の半導体層の表面から前記埋め込み層にかけて形成されるコレクタ領域と、前記素子形成領域内の前記コレクタ層の形成位置とは異なる前記半導体層の表面に形成される前記第1の導電型のベース領域と、前記ベース領域内に形成される前記第2の導電型のエミッタ領域と、前記コレクタ領域に接続されるコレクタ電極と、前記ベース電極に接続されるベース電極と、前記エミッタ領域に接続されるエミッタ電極と、を有し、前記トレンチの境界深さは前記埋め込み層よりも下の前記半導体基板内にあり、前記第1のトレンチの側壁の周囲にのみ前記埋め込み層に接続される第1の拡散層が形成されることを特徴とする半導体装置が提供される。

10

【0008】

また、本発明の一態様によれば、第1の導電型の半導体基板上に、第2の導電型の埋め込み層と、所定の厚さの前記第2の導電型の半導体層とが積層された基板上に、ストッパ膜とマスク膜とを形成する工程と、前記マスク膜上にレジストを塗布し、形成するトレンチの部分が開口するようにパターニングを行ってレジストパターンを形成する工程と、前記レジストパターンを前記マスク膜に転写する工程と、前記パターンが形成されたマスク膜を用いて、前記埋め込み層よりも浅くなるように前記半導体層をエッチングし、第1のトレンチを形成する工程と、酸化処理を行って、前記第1のトレンチの側壁に第1の側壁酸化膜を形成する工程と、前記マスク膜を用いて、前記埋め込み層よりも下部の前記半導体基板内の所定の深さまでエッチングし、第2のトレンチを形成する工程と、酸化処理を行って、前記第2のトレンチの側壁に第2の側壁酸化膜を形成するとともに、前記埋め込み層中の前記第2の導電型の不純物が拡散した拡散層を形成する工程と、前記第1および第2のトレンチ内に絶縁膜を埋め込み、前記基板内の所定の素子形成領域を囲む素子分離絶縁膜を形成する工程と、前記素子分離絶縁膜で囲まれた前記素子形成領域内にLDMOSを形成する工程と、を含むことを特徴とする半導体装置の製造方法が提供される。

20

【0009】

さらに、本発明の一態様によれば、第1の導電型の半導体基板上に、第2の導電型の埋め込み層と、所定の厚さの前記第2の導電型の半導体層とが積層された基板上に、ストッパ膜とマスク膜とを形成する工程と、前記マスク膜上にレジストを塗布し、形成するトレンチの部分が開口するようにパターニングを行ってレジストパターンを形成する工程と、前記レジストパターンを前記マスク膜に転写する工程と、前記パターンが形成されたマスク膜を用いて、前記埋め込み層よりも深くなるように前記半導体層、前記埋め込み層および前記半導体基板をエッチングし、第1のトレンチを形成する工程と、酸化処理を行って、前記第1のトレンチの側壁に第1の側壁酸化膜を形成するとともに、前記埋め込み層中の前記第2の導電型の不純物が拡散した拡散層を形成する工程と、前記マスク膜を用いて、前記第1のトレンチの底面よりも下部の前記半導体基板を所定の深さまでエッチングし、第2のトレンチを形成する工程と、酸化処理を行って、前記第2のトレンチの側壁に第2の側壁酸化膜を形成する工程と、前記第1および第2のトレンチ内に絶縁膜を埋め込み、前記基板内の所定の素子形成領域を囲む素子分離絶縁膜を形成する工程と、前記素子分離絶縁膜で囲まれた前記素子形成領域内に高周波半導体素子を形成する工程と、を含むことを特徴とする半導体装置の製造方法が提供される。

30

40

【発明の効果】

【0010】

本発明によれば、形成する素子に要求される素子間耐圧や素子内部耐圧に応じた素子分離絶縁膜を有する半導体装置およびその製造方法を提供することができるという効果を奏する。

【図面の簡単な説明】

【0011】

【図1】図1は、第1の実施の形態による半導体装置の構造を模式的に示す断面図である

50

。

【図 2 - 1】図 2 - 1 は、第 1 の実施の形態による半導体装置の製造方法の手順の一例を模式的に示す図である（その 1）。

【図 2 - 2】図 2 - 2 は、第 1 の実施の形態による半導体装置の製造方法の手順の一例を模式的に示す図である（その 2）。

【図 2 - 3】図 2 - 3 は、第 1 の実施の形態による半導体装置の製造方法の手順の一例を模式的に示す図である（その 3）。

【図 2 - 4】図 2 - 4 は、第 1 の実施の形態による半導体装置の製造方法の手順の一例を模式的に示す図である（その 4）。

【図 2 - 5】図 2 - 5 は、第 1 の実施の形態による半導体装置の製造方法の手順の一例を模式的に示す図である（その 5）。

10

【図 2 - 6】図 2 - 6 は、第 1 の実施の形態による半導体装置の製造方法の手順の一例を模式的に示す図である（その 6）。

【図 2 - 7】図 2 - 7 は、第 1 の実施の形態による半導体装置の製造方法の手順の一例を模式的に示す図である（その 7）。

【図 2 - 8】図 2 - 8 は、第 1 の実施の形態による半導体装置の製造方法の手順の一例を模式的に示す図である（その 8）。

【図 3】図 3 は、ディープトレンチの構成の違いによる素子間耐圧および素子内部耐圧の一例を示す図である。

【図 4】図 4 は、第 2 の実施の形態による半導体装置の構造を模式的に示す断面図である。

20

【図 5 - 1】図 5 - 1 は、第 2 の実施の形態による半導体装置の製造方法の手順の一例を模式的に示す図である（その 1）。

【図 5 - 2】図 5 - 2 は、第 2 の実施の形態による半導体装置の製造方法の手順の一例を模式的に示す図である（その 2）。

【図 5 - 3】図 5 - 3 は、第 2 の実施の形態による半導体装置の製造方法の手順の一例を模式的に示す図である（その 3）。

【図 5 - 4】図 5 - 4 は、第 2 の実施の形態による半導体装置の製造方法の手順の一例を模式的に示す図である（その 4）。

【図 5 - 5】図 5 - 5 は、第 2 の実施の形態による半導体装置の製造方法の手順の一例を模式的に示す図である（その 5）。

30

【図 5 - 6】図 5 - 6 は、第 2 の実施の形態による半導体装置の製造方法の手順の一例を模式的に示す図である（その 6）。

【図 5 - 7】図 5 - 7 は、第 2 の実施の形態による半導体装置の製造方法の手順の一例を模式的に示す図である（その 7）。

【図 6】図 6 は、ディープトレンチの構成の違いによるコレクタ - 基板間の容量の一例を示す図である。

【発明を実施するための形態】

【0012】

以下に添付図面を参照して、本発明の実施の形態にかかる半導体装置およびその製造方法を詳細に説明する。なお、これらの実施の形態により本発明が限定されるものではない。また、以下の実施の形態で用いられる半導体装置の断面図は模式的なものであり、層の厚みと幅との関係や各層の厚みの比率などは現実のものとは異なる。さらに、以下で示す膜厚は一例であり、これに限定されるものではない。

40

【0013】

（第 1 の実施の形態）

図 1 は、第 1 の実施の形態による半導体装置の構造を模式的に示す断面図である。ここでは、N + 型埋め込み層 12 が形成された P 型のシリコン基板 11 の素子分離絶縁膜としてのディープトレンチ膜 26 で区画された素子形成領域内に LDMOS が形成された構造の半導体装置を例に挙げて説明する。

50

【 0 0 1 4 】

基板 1 0 としては、N + 型埋め込み層 1 2 が所定の深さに形成された P 型のシリコン基板 1 1 が用いられる。この基板 1 0 は、P 型のシリコン基板 1 1 上に、N 型不純物が導入されたシリコン層からなる N + 型埋め込み層 1 2 と、N + 型埋め込み層 1 2 よりも N 型不純物の濃度が低いシリコン層からなる N 型半導体層 1 3 とが形成された構造を有している。

【 0 0 1 5 】

この基板 1 0 の所定の領域には、N + 型埋め込み層 1 2 の下層のシリコン基板 1 1 まで到達する所定の深さのディープトレンチ 2 0 が、平面視上たとえば額縁状に形成されており、ディープトレンチ 2 0 にはシリコン酸化膜やシリコン膜などが埋め込まれ、ディープトレンチ膜 2 6 を形成している。このディープトレンチ膜 2 6 で区画される領域が素子形成領域となる。また、ディープトレンチ 2 0 の底部の下側のシリコン基板 1 1 には、P 型不純物が導入された P 型拡散層 2 7 が形成される。この P 型拡散層 2 7 は、素子形成領域を電氣的に分離する機能を有する。

【 0 0 1 6 】

ディープトレンチ膜 2 6 の上部には、シリコン基板 1 0 の表面から浅い位置における隣接する領域間を絶縁する分離膜であるシャロートレンチ 3 0 が形成され、シャロートレンチ 3 0 の側面および底面には基板 1 0 を酸化して得られるシャロートレンチ側壁酸化膜 3 1 が形成され、シャロートレンチ 3 0 内にはシリコン酸化膜などからなるシャロートレンチ膜 3 2 が形成されている。

【 0 0 1 7 】

素子形成領域内の N 型半導体層 1 3 の表面から所定の深さには P 型ウェル 1 4 が形成され、この P 型ウェル 1 4 に L D M O S が形成されている。この P 型ウェル 1 4 において、ソースが形成される領域には、P 型のベース領域 5 1 が形成され、その P 型のベース領域 5 1 の表面には、N + 型ソース領域 5 2 と P + 型ソース領域 5 3 とが互いに接するように形成され、さらに、N + 型ソース領域 5 2 と P + 型ソース領域 5 3 との表面上にソース電極 6 1 が形成されている。また、ベース領域 5 1 から N + 型埋め込み層 1 2 にかけて、P - 型拡散層 5 4 が形成される。

【 0 0 1 8 】

一方、P 型ウェル 1 4 のドレインが形成される領域には、N + 型のドレイン領域 5 5 が形成され、ドレイン領域 5 5 の表面にはドレイン電極 6 2 が形成される。ドレイン領域 5 5 とベース領域 5 1 との間には、ドレイン領域 5 5 に隣接して、N - 型のドリフト領域 5 6 が形成されている。さらに、ソース電極 6 1 とドレイン電極 6 2 との間のベース領域 5 1 および P 型ウェル 1 4 上には、ゲート絶縁膜 7 1 を介してゲート電極 7 2 が形成されている。

【 0 0 1 9 】

ここで、基板 1 0 に形成されるディープトレンチ 2 0 について説明する。第 1 の実施の形態によるディープトレンチ 2 0 は、N + 型埋め込み層 1 2 よりも上の位置を境に開口径が異なっている。この図では、N + 型埋め込み層 1 2 と N 型半導体層 1 3 との境界付近で開口径が異なる境界を有しており、この境界よりも上側で開口径が大きく、この境界以下で開口径が小さくなっている。以下では、ディープトレンチ 2 0 の開口径が大きい部分を第 1 のディープトレンチ 2 1 といい、開口径が小さい部分を第 2 のディープトレンチ 2 2 という。

【 0 0 2 0 】

第 1 のディープトレンチ 2 1 の側面を被覆するように、第 1 の側壁酸化膜 2 3 が形成され、第 2 のディープトレンチ 2 2 の側面と底面を被覆するように、第 2 の側壁酸化膜 2 4 が形成される。また、これらの側壁酸化膜 2 3 , 2 4 で被覆されたディープトレンチ 2 0 内には、T E O S (Tetraethyl orthosilicate) 膜が埋め込まれている。さらに、第 2 のディープトレンチ 2 2 の周囲には、N + 型埋め込み層 1 2 を拡散源とした N 型拡散層 2 5 が形成される。しかし、第 1 のディープトレンチ 2 1 の周囲には、N 型拡散層 2 5 は形

成されていない。

【0021】

このように、N + 型埋め込み層 12 を拡散源とする N 型拡散層 25 は、N + 型埋め込み層 12 の上部の N 型半導体層 13 には形成されないで、N + 型埋め込み層 12 の上部では、所望の不純物プロファイルを形成することができる。また、N + 型埋め込み層 12 の下部のシリコン基板 11 にのみ N 型拡散層 25 は形成されるので、N + 型埋め込み層 12 の不純物濃度勾配が緩和され、また空乏層が伸びる。その結果、素子間耐圧を改善するとともに、素子内部耐圧を向上させることができる。

【0022】

つぎに、このような構造の半導体装置の製造方法について説明する。図 2 - 1 ~ 図 2 - 8 は、第 1 の実施の形態による半導体装置の製造方法の手順の一例を模式的に示す図である。まず、図 2 - 1 (a) に示されるように、基板 10 として、基板 10 表面から 5 μ m の深さに N + 型埋め込み層 12 を形成した P 型シリコン基板 11 を用いる。具体的には、P 型シリコン基板 11 上に、N + 型埋め込み層 12 および厚さ 5 μ m の N 型半導体層 13 が順に形成された基板 10 を用いる。この基板 10 上に、酸化技術を用いて 15 nm の厚さの SiO 膜からなるバッファ酸化膜 81 を形成し、その後、LPCVD (Low Pressure CVD) 法によって 200 nm の厚さの SiN 膜からなるストップ膜 82 を形成する。バッファ酸化膜 81 は、後工程において、素子形成領域の保護膜として使用し、ストップ膜 82 は、後工程の酸化膜の CMP 処理時のストップ膜 82 として利用する。

【0023】

ついで、図 2 - 1 (b) に示されるように、ストップ膜 82 上の全面に CVD 法によって SiO 系のマスク膜 83 を成膜する。このマスク膜 83 は、後の工程でのディーブトレレンチ 20 を形成する際の RIE (Reactive Ion Etching) のマスクとして使用する。そのため、このマスク膜 83 の厚さは、ディーブトレレンチ 20 を形成する際の溝を RIE でエッチングすることができる厚さに設定される。ここでは、1,000 nm の厚さに堆積されるものとする。

【0024】

その後、図 2 - 2 (a) に示されるように、マスク膜 83 上に図示しないレジストを塗布し、リソグラフィ技術を用いて、ディーブトレレンチ 20 の形成領域を決定するためのパターニングを行う。ここでは、0.7 μ m の開口幅を有し、概略矩形の額縁状のディーブトレレンチ 20 を形成するためのパターニングを行うものとする。ついで、パターニングされたレジストをマスクとして、マスク膜 83、ストップ膜 82 およびバッファ酸化膜 81 を、RIE 法を用いて N 型半導体層 13 に達するまでエッチングする。アッシングによってレジストを除去した後、パターニングされたマスク膜 83 をマスクとして、基板 10 を RIE 法によってエッチングする。このときの基板 10 のエッチング量は、N + 型埋め込み層 12 に達しない深さとし、ここでは、基板 10 (N 型半導体層 13) の表面から 4 μ m とする。これによって、第 1 のディーブトレレンチ 21 が形成される。なお、これによって、マスク膜 83 の厚さは 200 nm 程度となる。

【0025】

ついで、図 2 - 2 (b) に示されるように、酸化技術によって、第 1 のディーブトレレンチ 21 の内面に露出しているシリコンを酸化して、第 1 のディーブトレレンチ 21 の側壁および底面に、50 nm の厚さの第 1 の側壁酸化膜 23 を形成する。この第 1 の側壁酸化膜 23 は、素子分離のための絶縁膜として使用する。この第 1 の側壁酸化膜 23 を形成する時点では、第 1 のディーブトレレンチ 21 の底面の位置は、N + 型埋め込み層 12 の形成位置よりも上に位置しているため、N + 型埋め込み層 12 は露出していない。そのため、酸化によって、N + 型埋め込み層 12 を構成する N 型の不純物による外方拡散は発生しない。つまり、第 1 のディーブトレレンチ 21 の内壁の側面には、N + 型埋め込み層 12 が拡散源となる N 型拡散層 25 は形成されず、シリコン酸化膜のみによって構成される第 1 の側壁酸化膜 23 が形成される。

【0026】

その後、図 2 - 3 (a) に示されるように、R I E 法を用いて全面エッチングを行う。具体的には、R I E 法によってエッチバックを行い、第 1 のディープトレレンチ 2 1 の底部に形成された第 1 の側壁酸化膜 2 3 を除去し、第 1 のディープトレレンチ 2 1 の側面のみ第 1 の側壁酸化膜 2 3 をサイドウォールとして残す。

【 0 0 2 7 】

ついで、図 2 - 3 (b) に示されるように、200 nm 程度残されたマスク膜 8 3 をマスクとして、R I E 法によって、自己整合的に第 2 のディープトレレンチ 2 2 を第 1 のディープトレレンチ 2 1 の下部に形成する。この第 2 のディープトレレンチ 2 2 の深さは、第 1 のディープトレレンチ 2 1 の深さ (4 μ m) と合わせて、10 μ m となるようにする。これによって、第 1 のディープトレレンチ 2 1 と第 2 のディープトレレンチ 2 2 とによって構成されるディープトレレンチ 2 0 が形成される。

10

【 0 0 2 8 】

第 2 のディープトレレンチ 2 2 を形成した後、図 2 - 4 (a) に示されるように、酸化技術によって、第 2 のディープトレレンチ 2 2 の内面 (側面と底面) に 50 nm の厚さの第 2 の側壁酸化膜 2 4 を形成する。この酸化処理では、N + 型埋め込み層 1 2 は、第 2 のディープトレレンチ 2 2 の形成によって表面に露出している状態であるので、酸化処理時に外方拡散が発生する。その結果、第 2 のディープトレレンチ 2 2 の内壁には、N + 型埋め込み層 1 2 を拡散源とした N 型拡散層 2 5 が形成される。しかし、N + 型埋め込み層 1 2 よりも上部の第 1 のディープトレレンチ 2 1 の側壁は、第 1 の側壁酸化膜 2 3 (サイドウォール) によって表面が保護されているため、シリコンまでは拡散されない。これによって、ディープトレレンチ 2 0 において、第 2 のディープトレレンチ 2 2 の側面の周囲にのみ N 型拡散層 2 5 が形成される。その後、ディープトレレンチ 2 0 の底部に、素子分離の耐圧を向上させるために、イオン注入を行って P 型拡散層 2 7 を形成する。ここでは、ホウ素 (B) を注入して P 型拡散層 2 7 を形成する。

20

【 0 0 2 9 】

ついで、図 2 - 4 (b) に示されるように、ディープトレレンチ 2 0 を形成したマスク膜 8 3 上の全面に、L P C V D 法によって 500 nm の厚さの T E O S 膜を形成する。これによって、マスク膜 8 3 上に T E O S 膜が成膜されるとともに、ディープトレレンチ 2 0 内に T E O S 膜が埋め込まれる。その後、マスク膜 8 3 上に形成された T E O S 膜を C M P 法によって除去し、平坦化する。さらに、R I E 法によって、ストッパ膜 8 2 をストッパとして、T E O S 膜をエッチングする。具体的には、T E O S 膜をストッパ膜 8 2 よりもエッチングされやすい条件で、ストッパ膜 8 2 の表面が露出するまでエッチングを行う。これによって、ディープトレレンチ 2 0 内に T E O S 膜からなるディープトレレンチ膜 2 6 が形成される。

30

【 0 0 3 0 】

その後、ストッパ膜 8 2 上にシャロートレンチ 3 0 加工のマスク材となる図示しないマスク材絶縁膜をたとえば 100 nm の厚さで形成し、マスク材絶縁膜上に図示しないレジストを塗布し、リソグラフィ技術によってアクティブ領域を分離するシャロートレンチ 3 0 を形成するためのパターニングを行う。

【 0 0 3 1 】

40

ついで、図 2 - 5 (a) に示されるように、このパターニングしたレジストをマスクとして、マスク材絶縁膜、ストッパ膜 8 2 およびバッファ酸化膜 8 1 を R I E 法によってエッチングし、シャロートレンチ形成用のパターンをマスク材絶縁膜に転写する。レジストをアッシングで除去した後、マスク材絶縁膜をマスクとして、基板 1 0 (N 型半導体層 1 3) をエッチングし、シャロートレンチ 3 0 を形成する。この深さは、0 . 4 μ m とする。なお、N + 型埋め込み層 1 2 の上面から基板 1 0 の表面までは、5 μ m 程度あるので、このシャロートレンチ 3 0 の深さは十分に浅い。このとき、ディープトレレンチ 2 0 内の T E O S 膜もシャロートレンチ 3 0 の加工時に同時にエッチングされるので、ディープトレレンチ 2 0 の上部にもシャロートレンチ 3 0 が形成される。

【 0 0 3 2 】

50

ついで、図 2 - 5 (b) に示されるように、シャロートレンチ 3 0 の側壁を保護することを目的に酸化技術によって 5 0 n m の厚さのシャロートレンチ側壁酸化膜 3 1 を形成する。その後、L P C V D 法によってシャロートレンチ 3 0 内を T E O S 膜で埋め込む。成膜後に発生する段差は、C M P 法によってストッパ膜 8 2 をストッパとして平坦化する。C M P 処理の後、不要となったストッパ膜 8 2 を、熱燐酸などを用いたウェットエッチング法によって除去する。これによって、シャロートレンチ 3 0 内にシャロートレンチ膜 3 2 が形成される。以上によって、ディープトレンチ膜 2 6 とシャロートレンチ膜 3 2 とによって区画された基板 1 0 上の領域が素子形成領域となる。そして、イオン注入法によって、素子形成領域内に B などの P 型不純物を打ち込み、活性化させて、N 型半導体層 1 3 の下面よりも浅い領域に P 型ウェル 1 4 を形成する。

10

【 0 0 3 3 】

この後、素子形成領域上への L D M O S の形成が行われる。まず、図 2 - 6 (a) に示されるように、ディープトレンチ膜 2 6 を形成した基板 1 0 上の全面にレジスト 8 4 を塗布し、リソグラフィ技術によって、ソース領域形成領域付近に開口部を有するようにパターンニングを行う。そして、イオン注入法によって、基板 1 0 表面から N + 型埋め込み層 1 2 にかけて B などの P 型不純物を導入し、活性化させて P - 型拡散層 5 4 を形成する。

【 0 0 3 4 】

レジスト 8 4 をアッシングなどの方法で除去した後、図 2 - 6 (b) に示されるように、基板 1 0 上の全面にレジスト 8 5 を塗布し、ベース領域 5 1 に開口部を有するようにリソグラフィ技術によってパターンニングを行う。そして、イオン注入法によって、基板 1 0 表面から P 型ウェル 1 4 内の所定の深さにかけて B などの P 型不純物を導入し、活性化させ、ベース領域 5 1 を形成する。このとき、ベース領域 5 1 の P 型不純物濃度は、P - 型拡散層 5 4 よりも高くなるように調節される。

20

【 0 0 3 5 】

レジスト 8 5 をアッシングなどの方法で除去した後、基板 1 0 上に絶縁膜とポリシリコン膜などの導電性材料膜とを積層する。導電性材料膜上に図示しないレジストを塗布し、ゲート電極形状にパターンニングを行った後、R I E 法などの方法でレジストをマスクとしてエッチングを行う。これによって、図 2 - 7 (a) に示されるように、基板 1 0 上にゲート絶縁膜 7 1 とゲート電極 7 2 とが形成される。ここでは、ゲート絶縁膜 7 1 とゲート電極 7 2 お積層体は、P 型ウェル 1 4 とベース領域 5 1 との境界をまたぐように形成される。

30

【 0 0 3 6 】

ついで、図 2 - 7 (b) に示されるように、ゲート電極 7 2 を形成した基板 1 0 上にレジスト 8 6 を塗布し、ドリフト領域 5 6 およびドレイン領域 5 5 が開口するようにリソグラフィ技術によってパターンニングを行う。そして、イオン注入法によって、基板 1 0 表面から所定の深さまで P などの N 型不純物を導入し、活性化させ、ドリフト領域 5 6 を形成する。

【 0 0 3 7 】

レジスト 8 6 をアッシングなどの方法で除去した後、図 2 - 8 (a) に示されるように、基板 1 0 上にレジスト 8 8 を塗布し、ドレイン領域 5 5 および N + 型ソース領域 5 2 が開口するように、リソグラフィ技術によってパターンニングを行う。そして、イオン注入法によって、基板 1 0 表面から所定の深さまで P などの N 型不純物を導入し、活性化させ、ドレイン領域 5 5 および N + 型ソース領域 5 2 を形成する。このときの N 型不純物濃度は、ドリフト領域 5 6 よりも高くなるように調節される。

40

【 0 0 3 8 】

レジスト 8 7 をアッシングなどの方法で除去した後、図 2 - 8 (b) に示されるように、基板 1 0 上にレジスト 8 8 を塗布し、P + 型ソース領域 5 3 が開口するように、リソグラフィ技術によってパターンニングを行う。そして、イオン注入法によって、基板 1 0 表面から所定の深さまで B などの P 型不純物を導入し、活性化させ、P + 型ソース領域 5 3 を形成する。

50

【 0 0 3 9 】

レジスト 8 8 をアッシングなどの方法で除去した後、たとえばレジストを基板 1 0 上に塗布し、ドレイン領域 5 5 の一部と、N + 型ソース領域 5 2 と P + 型ソース領域 5 3 の一部が開口するようにリソグラフィ技術によってパターンニングを行う。そして、導電性材料膜を開口部内に形成し、レジストを除去する。これによって、図 1 に示されるように、ソース電極 6 1 およびドレイン電極 6 2 が形成される。以上によって、L D M O S が製造される。

【 0 0 4 0 】

図 3 は、ディープトレンチの構成の違いによる素子間耐圧および素子内部耐圧の一例を示す図である。ここでは、最小寸法が $0.13\ \mu\text{m}$ のデバイス製造技術を用いて形成された L D M O S を用いて測定を行っている。比較例 1 は、特許文献 1 のように、ディープトレンチの側壁に酸化膜を形成する際に、ディープトレンチの側壁に沿って N + 型埋め込み層を拡散源とする N 型拡散層が形成された場合を示し、比較例 2 は、比較例 1 の場合で N 型拡散層の外方拡散を抑える条件で酸化を行った場合を示している。また、縦軸は耐圧 [V] を示している。

10

【 0 0 4 1 】

比較例 1 では、N + 型埋め込み層の不純物が拡散することによって、N + 型埋め込み層の不純物濃度勾配を緩和し、N + 型埋め込み層の下部では空乏層が伸びることで、素子間耐圧が改善するが、N + 型埋め込み層の上部では空乏層の伸びが抑えられるため、素子内部耐圧が低下している。また、比較例 2 では、酸化条件によって N + 型埋め込み層の外方

20

【 0 0 4 2 】

一方、第 1 の実施の形態では、ディープトレンチ 2 0 を、N + 型埋め込み層 1 2 よりも上の第 1 のディープトレンチ 2 1 と、その下部に形成され、N + 型埋め込み層 1 2 よりも深い位置に底部を有する第 2 のディープトレンチ 2 2 と、を別々形成した。具体的には、第 1 のディープトレンチ 2 1 の側壁に沿って第 1 の側壁酸化膜 2 3 のみを形成し、その後、第 2 のディープトレンチ 2 2 の側壁に沿って第 2 の側壁酸化膜 2 4 を形成するとともに、その外側に N + 型埋め込み層 1 2 を拡散源とする N 型拡散層 2 5 を形成した。これによって、比較例 1 のように素子間耐圧を改善するとともに、比較例 2 のように素子内部耐

30

【 0 0 4 3 】

また、ディープトレンチ 2 0 の形成時において、第 1 のディープトレンチ 2 1 の底部が N + 型埋め込み層 1 2 の上面よりも上の位置となるようにして第 1 のディープトレンチ 2 1 を形成したので、第 1 のディープトレンチ 2 1 の側壁に第 1 の側壁酸化膜 2 3 を形成する際に、N + 型埋め込み層 1 2 の N 型不純物が第 1 のディープトレンチ 2 1 の周囲に拡散することがない。さらに、第 2 のディープトレンチ 2 2 を形成後に、酸化処理を行っても、第 1 のディープトレンチ 2 1 の側壁には第 1 の側壁酸化膜 2 3 が形成されているので、N + 型埋め込み層 1 2 の N 型不純物が第 1 のディープトレンチ 2 1 の側壁の周囲に拡散することもない。

40

【 0 0 4 4 】

また、第 1 のディープトレンチ 2 1 を形成したマスク膜 8 3 を用いて、第 2 のディープトレンチ 2 2 を形成するようにしたので、第 1 と第 2 のディープトレンチ 2 1 , 2 2 を形成するために別個のリソグラフィ工程を行うことなく、従来のディープトレンチ 2 0 の製造工程に最小限の工程の追加のみで、ディープトレンチ 2 0 の側面に形成される不純物層の制御が可能となる。

【 0 0 4 5 】

(第 2 の実施の形態)

図 4 は、第 2 の実施の形態による半導体装置の構造を模式的に示す断面図である。ここでは、N + 型埋め込み層 1 2 が形成された P 型のシリコン基板 1 1 のディープトレンチ 2

50

0 膜で区画された素子形成領域内に高周波半導体装置が形成された構造の半導体装置を例に挙げて説明する。

【 0 0 4 6 】

基板 1 0 としては、N + 型埋め込み層 1 2 が所定の深さに形成された P 型のシリコン基板 1 1 が用いられる。この基板 1 0 は、第 1 の実施の形態と同様に、P 型のシリコン基板 1 1 上に、N + 型埋め込み層 1 2 と、N 型半導体層 1 3 とが形成された構造を有しているが、N 型半導体層 1 3 の厚さが第 1 の実施の形態とは異なり、薄くなっている。たとえば、N 型半導体層 1 3 の厚さ（基板 1 0 の表面から N + 型埋め込み層 1 2 の上面までの距離）は、第 1 の実施の形態では 5 μ m 程度であるのに対して、第 2 の実施の形態では 1 μ m 程度である。

10

【 0 0 4 7 】

この基板 1 0 の所定の領域には、N + 型埋め込み層 1 2 の下層のシリコン基板 1 1 まで到達する所定の深さのディープトレンチ 2 0 が、平面視上たとえば額縁状に形成されており、ディープトレンチ 2 0 にはシリコン酸化膜やシリコン膜などが埋め込まれ、ディープトレンチ膜 2 6 を形成している。このディープトレンチ膜 2 6 で区画される領域が素子形成領域となる。また、ディープトレンチ 2 0 の底部の下側のシリコン基板 1 1 には、素子形成領域を電氣的に分離する P 型不純物が導入された P 型拡散層 2 7 が形成される。

【 0 0 4 8 】

ディープトレンチ膜 2 6 の上部には、シャロートレンチ 3 0 が形成され、シャロートレンチ 3 0 の側面および底面には基板 1 0 を酸化して得られるシャロートレンチ側壁酸化膜 3 1 が形成され、シャロートレンチ 3 0 内にはシリコン酸化膜などからなるシャロートレンチ膜 3 2 が形成されている。

20

【 0 0 4 9 】

素子形成領域内には、高周波半導体装置として N P N バイポーラトランジスタが形成されている。具体的には、素子形成領域内の N 型半導体層 1 3 には、N + 型埋め込み層 1 2 に達する N 型のコレクタ領域 1 0 1 が形成されている。また、N 型半導体層 1 3 の上部には、コレクタ領域 1 0 1 の形成位置と N 型半導体層 1 3 によって分離される P 型のベース領域 1 0 2 が形成されている。また、ベース領域 1 0 2 の上部には N 型のエミッタ領域 1 0 3 が形成されている。そして、コレクタ領域 1 0 1、ベース領域 1 0 2 およびエミッタ領域 1 0 3 上には、それぞれ、コレクタ電極 1 1 1、ベース電極 1 1 2 およびエミッタ電極 1 1 3 が形成されている。

30

【 0 0 5 0 】

ここで、基板に形成されるディープトレンチ 2 0 について説明する。第 2 の実施の形態によるディープトレンチ 2 0 は、N + 型埋め込み層 1 2 よりも下の位置を境に開口径が異なっている。この図では、N + 型埋め込み層 1 2 よりも下のシリコン基板 1 1 内で開口径が異なる境界を有しており、この境界よりも上側で開口径が大きく、この境界以下で開口径が小さくなっている。以下では、ディープトレンチ 2 0 の開口径が大きい部分を第 1 のディープトレンチ 2 1 といい、開口径が小さい部分を第 2 のディープトレンチ 2 2 という。

【 0 0 5 1 】

40

第 1 のディープトレンチ 2 1 の側面を被覆するように、第 1 の側壁酸化膜 2 3 が形成され、第 2 のディープトレンチ 2 2 の側面と底面を被覆するように、第 2 の側壁酸化膜 2 4 が形成される。また、これらの側壁酸化膜 2 3、2 4 で被覆されたディープトレンチ 2 0 内には、T E O S 膜が埋め込まれている。さらに、第 1 のディープトレンチ 2 1 の周囲には、N + 型埋め込み層 1 2 を拡散源とした N 型拡散層 2 5 が形成される。しかし、第 2 のディープトレンチ 2 2 の周囲には、N 型拡散層 2 5 は形成されていない。

【 0 0 5 2 】

このように、N + 型埋め込み層 1 2 を拡散源とする N 型拡散層 2 5 は、N + 型埋め込み層 1 2 の下部の P 型シリコン基板 1 1 には形成されないため、N + 型埋め込み層 1 2 の下部では、空乏層の伸びが抑えられる。その結果、素子間耐圧は、第 1 の実施の形態に比し

50

て劣る。しかし、N + 型埋め込み層 1 2 の上部では、空乏層の伸びが生じるので、素子内部の耐圧を向上させることができる。

【 0 0 5 3 】

つぎに、このような構造の半導体装置の製造方法について説明する。図 5 - 1 ~ 図 5 - 7 は、第 2 の実施の形態による半導体装置の製造方法の手順の一例を模式的に示す図である。まず、図 5 - 1 (a) に示されるように、基板 1 0 として、基板表面から 1 μ m の深さに N + 型埋め込み層 1 2 を形成した P 型シリコン基板 1 1 を用いる。具体的には、P 型シリコン基板 1 1 上に、N + 型埋め込み層 1 2 および厚さ 1 μ m の N 型半導体層 1 3 が順に形成された基板 1 0 を用いる。この基板 1 0 上に、酸化技術を用いて 1 5 n m の厚さの S i O 膜からなるバッファ酸化膜 8 1 を形成し、その後、L P C V D 法によって 2 0 0 n m の厚さの S i N 膜からなるストッパ膜 8 2 を形成する。バッファ酸化膜 8 1 は、後工程において、素子形成領域の保護膜として使用し、ストッパ膜 8 2 は、後工程の酸化膜の C M P 処理時のストッパ膜 8 2 として利用する。

10

【 0 0 5 4 】

ついで、図 5 - 1 (b) に示されるように、ストッパ膜 8 2 上の全面に C V D 法によって S i O 系のマスク膜 8 3 を成膜する。このマスク膜 8 3 は、後の工程でのディーブトレンチ 2 0 を形成する際の R I E のマスクとして使用する。そのため、ディーブトレンチ 2 0 を形成する際の溝を R I E でエッチングすることができる厚さに設定される。ここでは、1 , 0 0 0 n m の厚さに堆積されるものとする。

【 0 0 5 5 】

20

その後、図 5 - 2 (a) に示されるように、マスク膜 8 3 上に図示しないレジストを塗布し、リソグラフィ技術を用いて、ディーブトレンチ 2 0 の形成領域を決定するためのパターンニングを行う。ここでは、ディーブトレンチ 2 0 の開口幅を 0 . 7 μ m とする。ついで、パターンニングされたレジストをマスクとして、マスク膜 8 3、ストッパ膜 8 2 およびバッファ酸化膜 8 1 を、R I E 法を用いて N 型半導体層 1 3 に達するまでエッチングする。アッシングによってレジストを除去した後、パターンニングされたマスク膜 8 3 をマスクとして、N 型半導体層 1 3、N + 型埋め込み層 1 2 および P 型シリコン基板 1 1 を R I E 法によってエッチングする。このときの基板 1 0 のエッチング量は、N + 型埋め込み層 1 2 の底部 (下面) よりも深い深さとし、ここでは、基板 1 0 (N 型半導体層 1 3) の表面から 2 μ m とする。これによって、第 1 のディーブトレンチ 2 1 が形成される。なお、これによって、マスク膜 8 3 の厚さは 2 0 0 n m 程度となる。

30

【 0 0 5 6 】

ついで、図 5 - 2 (b) に示されるように、酸化技術によって、第 1 のディーブトレンチ 2 1 の内面に露出しているシリコンを酸化して、第 1 のディーブトレンチ 2 1 の側壁および底面に、5 0 n m の厚さの第 1 の側壁酸化膜 2 3 を形成する。この第 1 の側壁酸化膜 2 3 は、素子分離のための絶縁膜として使用する。この第 1 の側壁酸化膜 2 3 を形成する時点で、第 1 のディーブトレンチ 2 1 の内壁には、N + 型埋め込み層 1 2 が露出しているので、酸化によって N + 型埋め込み層 1 2 を構成する N 型の不純物による外方拡散が発生する。その結果、第 1 のディーブトレンチ 2 1 の側面の内部には、基板 1 0 の酸化によって第 1 の側壁酸化膜 2 3 が形成されるとともに、第 1 のディーブトレンチ 2 1 の側面の外周には、N + 型埋め込み層 1 2 を拡散源とする N 型拡散層 2 5 が形成される。

40

【 0 0 5 7 】

その後、図 5 - 3 (a) に示されるように、R I E 法を用いて全面エッチングを行う。具体的には、R I E 法によってエッチバックを行い、第 1 のディーブトレンチ 2 1 の底部に形成された第 1 の側壁酸化膜 2 3 を除去し、第 1 のディーブトレンチ 2 1 の側面にのみ第 1 の側壁酸化膜 2 3 をサイドウォールとして残す。

【 0 0 5 8 】

ついで、図 5 - 3 (b) に示されるように、2 0 0 n m 程度残されたマスク膜 8 3 をマスクとして、R I E 法によって、自己整合的に第 2 のディーブトレンチ 2 2 を第 1 のディーブトレンチ 2 1 の下部に形成する。この第 2 のディーブトレンチ 2 2 の深さは、第 1 の

50

ディープトレンチ 2 1 の深さ (2 μm) と合わせて、5 μm となるようにする。これによって、第 1 のディープトレンチ 2 1 と第 2 のディープトレンチ 2 2 とによって構成されるディープトレンチ 2 0 が形成される。

【 0 0 5 9 】

第 2 のディープトレンチ 2 2 を形成した後、図 5 - 4 (a) に示されるように、酸化技術によって、第 2 のディープトレンチ 2 2 の内面 (側面と底面) に 5 0 n m の厚さの第 2 の側壁酸化膜 2 4 を形成する。N + 型埋め込み層 1 2 は、第 2 のディープトレンチ 2 2 の形成によって表面に露出していない状態であるので、この酸化処理では、N + 型埋め込み層 1 2 を構成する N 型の不純物による外方拡散は発生しない。つまり、第 2 のディープトレンチ 2 2 の内壁の側面には、N + 型埋め込み層 1 2 を拡散源とする N 型拡散層 2 5 は形成されず、基板 1 0 のプロファイルが維持され、シリコン酸化膜のみによって構成される第 2 の側壁酸化膜 2 4 が形成される。その後、ディープトレンチ 2 0 の底部に、素子分離の耐圧を向上させるために、B などの P 型不純物のイオン注入を行って P 型拡散層 2 7 を形成する。

10

【 0 0 6 0 】

ついで、図 5 - 4 (b) に示されるように、ディープトレンチ 2 0 を形成したマスク膜 8 3 上の全面に、L P C V D 法によって 5 0 0 n m の厚さの T E O S 膜を形成する。これによって、マスク膜 8 3 上に T E O S 膜が成膜されるとともに、ディープトレンチ 2 0 内に T E O S 膜が埋め込まれる。その後、マスク膜 8 3 上に形成された T E O S 膜を C M P 法によって除去し、平坦化する。さらに、R I E 法によって、ストッパ膜 8 2 をストッパとして、T E O S 膜をエッチングする。具体的には、T E O S 膜をストッパ膜 8 2 よりもエッチングされやすい条件で、ストッパ膜 8 2 の表面が露出するまでエッチングを行う。これによって、ディープトレンチ 2 0 内に T E O S 膜からなるディープトレンチ膜 2 6 が形成される。

20

【 0 0 6 1 】

その後、ストッパ膜 8 2 上にシャロートレンチ 3 0 加工のマスク材となる図示しないマスク材絶縁膜をたとえば 1 0 0 n m の厚さで形成し、マスク材絶縁膜上に図示しないレジストを塗布し、リソグラフィ技術によってアクティブ領域を分離するシャロートレンチ 3 0 を形成するためのパターンニングを行う。

【 0 0 6 2 】

30

ついで、図 5 - 5 (a) に示されるように、このパターンニングしたレジストをマスクとして、マスク材絶縁膜、ストッパ膜 8 2 およびバッファ酸化膜 8 1 を R I E 法によってエッチングし、シャロートレンチ形成用のパターンをマスク材絶縁膜に転写する。レジストをアッシングで除去した後、マスク材絶縁膜をマスクとして、基板 1 0 (N 型半導体層 1 3) をエッチングし、シャロートレンチ 3 0 を形成する。この深さは、0 . 3 μm とする。なお、N + 型埋め込み層 1 2 の上面から基板 1 0 の表面までは、1 μm 程度あるので、このシャロートレンチ 3 0 の深さは十分に浅い。このとき、ディープトレンチ 2 0 内の T E O S 膜もシャロートレンチ 3 0 の加工時に同時にエッチングされるので、ディープトレンチ 2 0 の上部にもシャロートレンチ 3 0 が形成される。

【 0 0 6 3 】

40

ついで、図 5 - 5 (b) に示されるように、シャロートレンチ 3 0 の側壁を保護することを目的に酸化技術によって 5 0 n m の厚さのシャロートレンチ側壁酸化膜 3 1 を形成する。その後、L P C V D 法によってシャロートレンチ 3 0 内を T E O S 膜で埋め込む。成膜後に発生する段差は、C M P 法によってストッパ膜 8 2 をストッパとして平坦化する。C M P 処理の後、不要となったストッパ膜 8 2 を、熱燐酸などを用いたウェットエッチング法によって除去する。これによって、ディープトレンチ膜 2 6 とシャロートレンチ膜 3 2 とによって区画された基板 1 0 上の領域が素子形成領域となる。

【 0 0 6 4 】

この後、素子形成領域上への高周波半導体素子の形成が行われる。まず、図 5 - 6 (a) に示されるように、ディープトレンチ膜 2 6 を形成した基板 1 0 上の全面にレジスト 1

50

21を塗布し、リソグラフィ技術によって、コレクタ領域101に開口部を有するようにパターンニングを行う。そして、イオン注入法によって、基板10表面からN+型埋め込み層12にかけてPなどのN型不純物を導入し、活性化させてコレクタ領域101を形成する。

【0065】

レジスト121をアッシングなどの方法で除去した後、図5-6(b)に示されるように、基板10上の全面にレジスト122を塗布し、ベース領域102に開口部を有するようにリソグラフィ技術によってパターンニングを行う。そして、イオン注入法によって、基板10表面からN型半導体層13内の所定の深さにかけてBなどのP型不純物を導入し、活性化させ、ベース領域102を形成する。このとき、ベース領域102は、コレクタ領域101から所定の距離をおいて形成される。

10

【0066】

レジスト122をアッシングなどの方法で除去した後、図5-7に示されるように、基板10上の全面にレジスト123を塗布し、ベース領域102内に開口部を有するようにリソグラフィ技術によってパターンニングを行う。そして、イオン注入法によって、基板10表面からベース領域102内の所定の深さにかけてPなどのN型不純物を導入し、活性化させ、エミッタ領域103を形成する。

【0067】

レジスト123をアッシングなどの方法で除去した後、基板10上の全面に導電性材料膜を形成し、さらにその上にレジストを塗布する。リソグラフィ技術によって、コレクタ領域101、ベース領域102およびエミッタ領域103上にそれぞれコレクタ電極111、ベース電極112およびエミッタ電極113を形成するためのパターンを形成する。その後、RIE法によって、レジストをマスクとして導電性材料膜のエッチングを行う。これによって、図4に示されるように、コレクタ電極111、ベース電極112およびエミッタ電極113が、それぞれコレクタ領域101、ベース領域102およびエミッタ領域103上に形成される。以上によって、高周波半導体装置としてのNPNトランジスタが製造される。

20

【0068】

図6は、ディープトレンチの構成の違いによるコレクタ-基板間の容量の一例を示す図である。ここでは、最小寸法が0.13μmのデバイス製造技術を用いて形成された高周波半導体層値を用いて測定を行っている。また、コレクタ-基板間の容量は、コレクタ領域101-シリコン基板11間のPN接合による第1の容量と、ディープトレンチ20を介した第2の容量とに分類することができる。比較例3は、特許文献1のように、ディープトレンチ20の側壁に酸化膜を形成する際に、最終的な深さまでディープトレンチを形成し、N+型埋め込み層を露出させた状態で酸化処理を行って、N+型埋め込み層を拡散源とするN型拡散層がディープトレンチの側壁に沿って形成された場合を示している。

30

【0069】

第2の実施の形態によるディープトレンチ20では、N+型埋め込み層12よりも下部のN型拡散層25の形成が抑制されているので、空乏層の伸びが抑えられる。その結果、比較例3に比較して容量が低下し、高周波特性の改善が可能となるという効果を有する。

40

【0070】

なお、上述した説明では、P型の半導体基板にN+型埋め込み層12を有する場合を例に挙げて説明したが、逆にN型の半導体基板にP型の埋め込み層を有するものに、上述した実施の形態を適用してもよい。また、半導体基板としては、シリコン基板11に限られず、他のガリウムヒ素などの半導体基板を用いることができる。

【符号の説明】

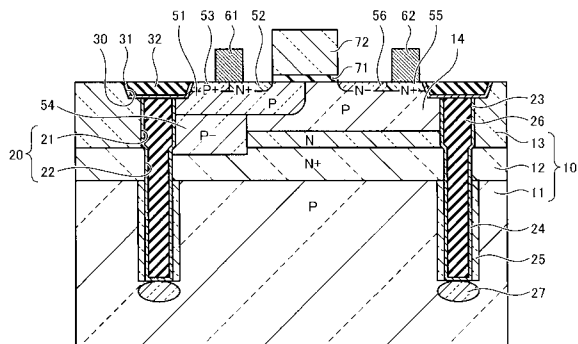
【0071】

10...基板、11...P型シリコン基板、12...N+型埋め込み層、13...N型半導体層、14...P型ウェル、20...ディープトレンチ、21...第1のディープトレンチ、22...第2のディープトレンチ、23...第1の側壁酸化膜、24...第2の側壁酸化膜、25...N

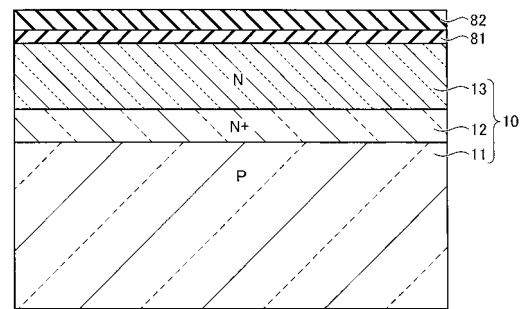
50

型拡散層、26...ディープトレンチ膜、30...シャロートレンチ、31...シャロートレンチ側壁酸化膜、32...シャロートレンチ膜、51, 102...ベース領域、52...N+型ソース領域、53...P+型ソース領域、54...P-型拡散層、55...N+型ドレイン領域、56...ドリフト領域、61...ソース電極、62...ドレイン電極、71...ゲート絶縁膜、72...ゲート電極、101...コレクタ領域、103...エミッタ領域、111...コレクタ電極、112...ベース電極、113...エミッタ電極。

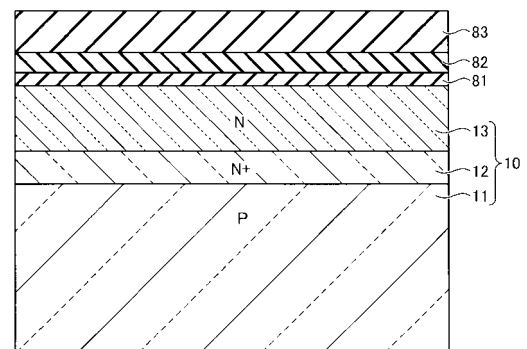
【図1】



【図2 - 1】

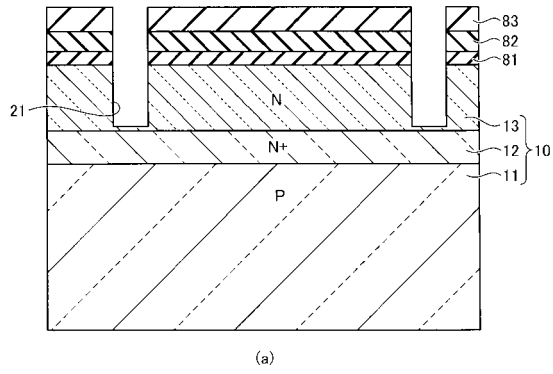


(a)

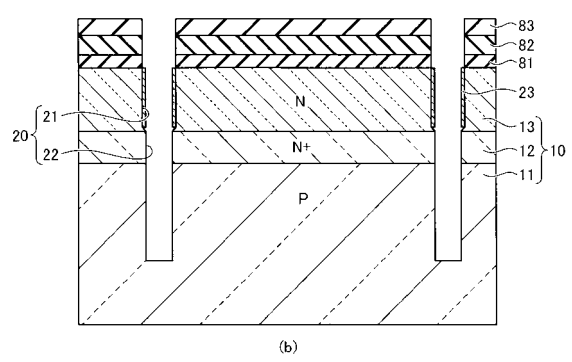
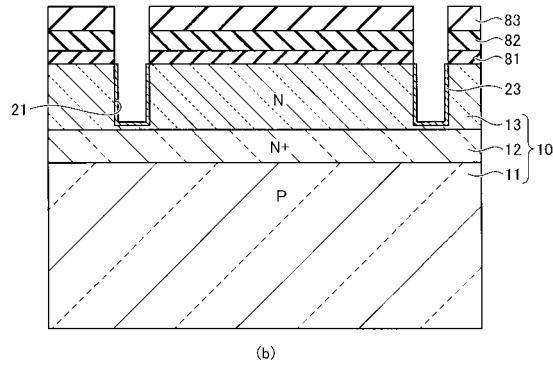
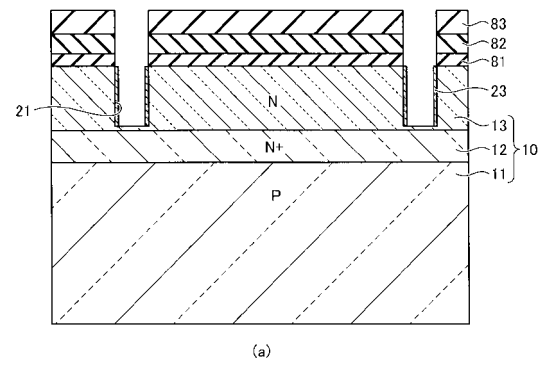


(b)

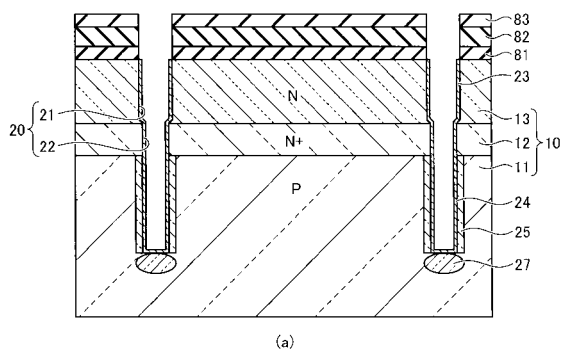
【図 2 - 2】



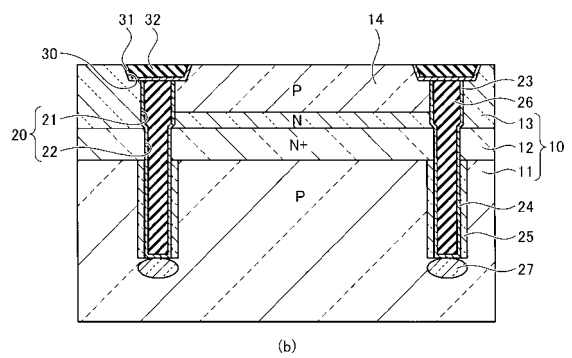
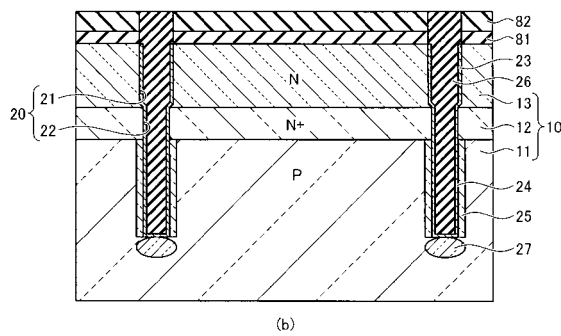
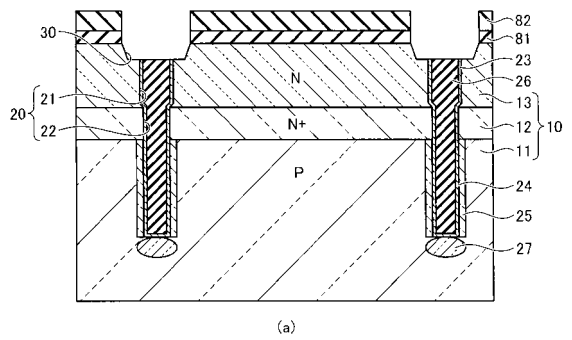
【図 2 - 3】



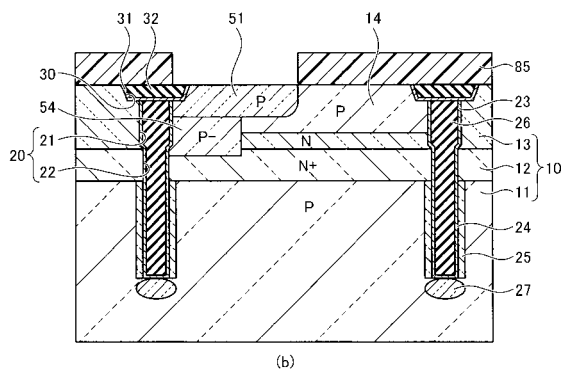
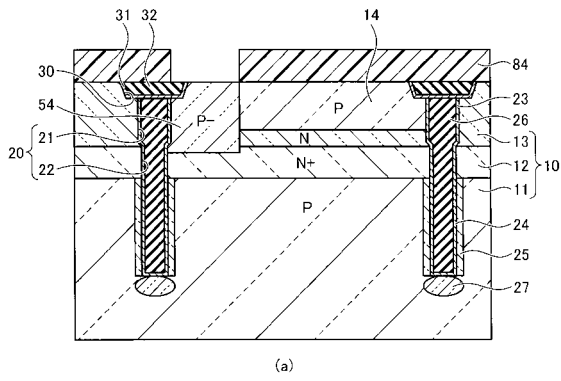
【図 2 - 4】



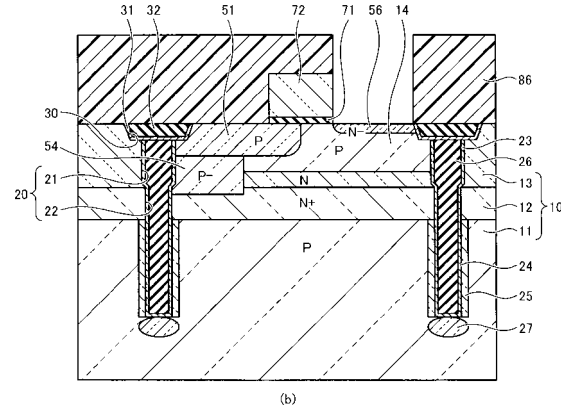
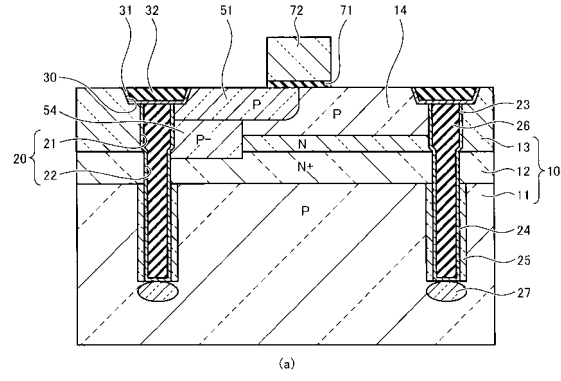
【図 2 - 5】



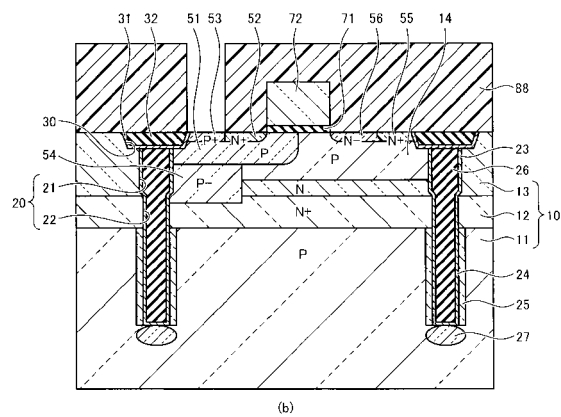
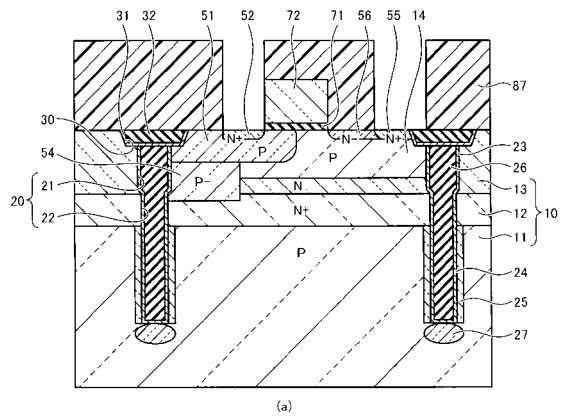
【図 2 - 6】



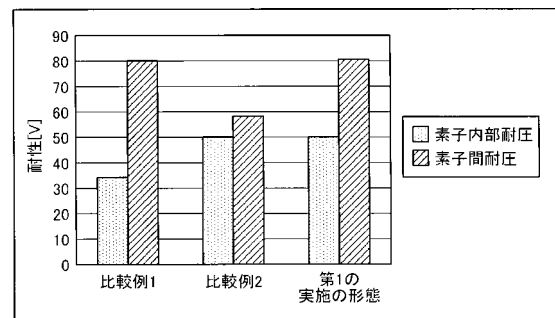
【図 2 - 7】



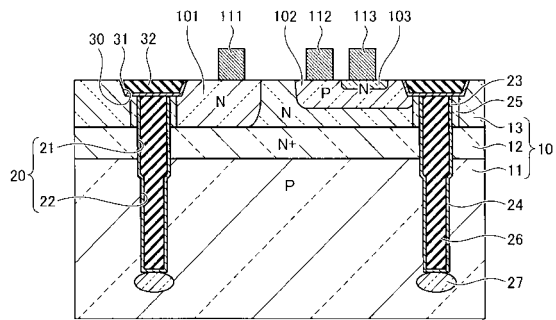
【図 2 - 8】



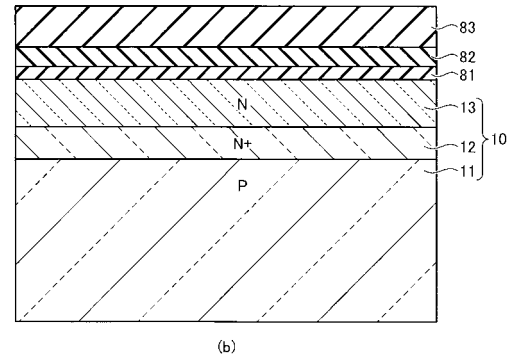
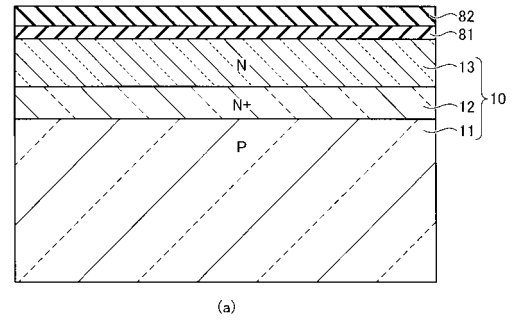
【図 3】



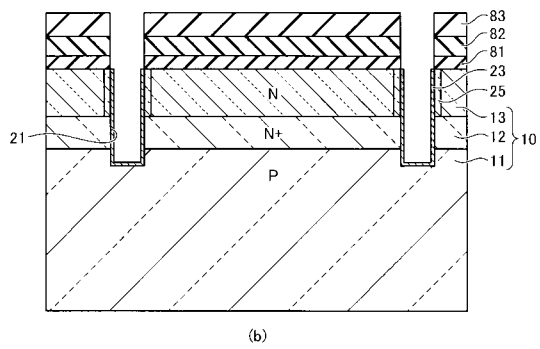
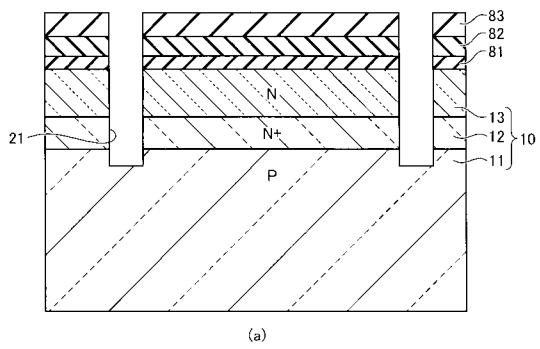
【図 4】



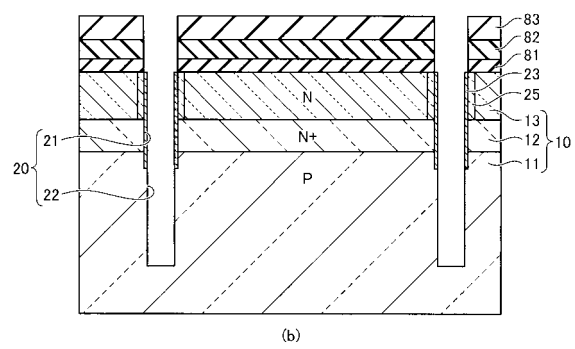
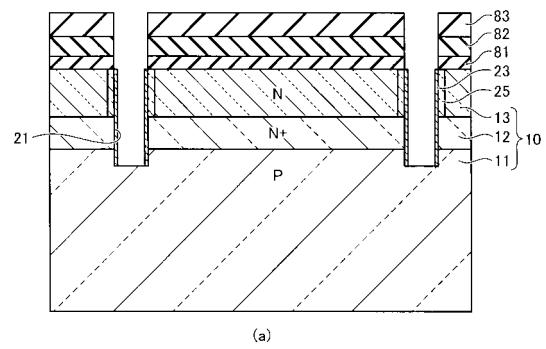
【図 5 - 1】



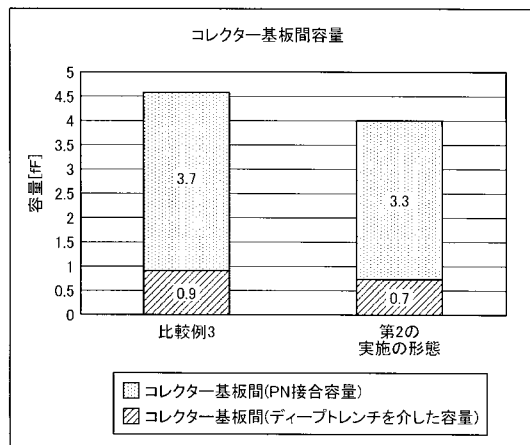
【図 5 - 2】



【図 5 - 3】



【図 6】



フロントページの続き

(56)参考文献 特開平05-218064(JP,A)
特開昭59-056740(JP,A)
特開2006-108646(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L	21/76
H01L	21/331
H01L	29/732
H01L	29/78
H01L	21/336