

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年11月22日(22.11.2018)



(10) 国際公開番号

WO 2018/211986 A1

(51) 国際特許分類:
H04N 5/378 (2011.01) H04N 5/374 (2011.01)
H04N 5/357 (2011.01)

(21) 国際出願番号: PCT/JP2018/017489

(22) 国際出願日: 2018年5月2日(02.05.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2017-098134 2017年5月17日(17.05.2017) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 近藤 弘康 (KONDOU Hiroyasu);
〒2430021 神奈川県厚木市岡田四丁目16番1号 ソニーL S I デザイン株式会社内 Kanagawa (JP).

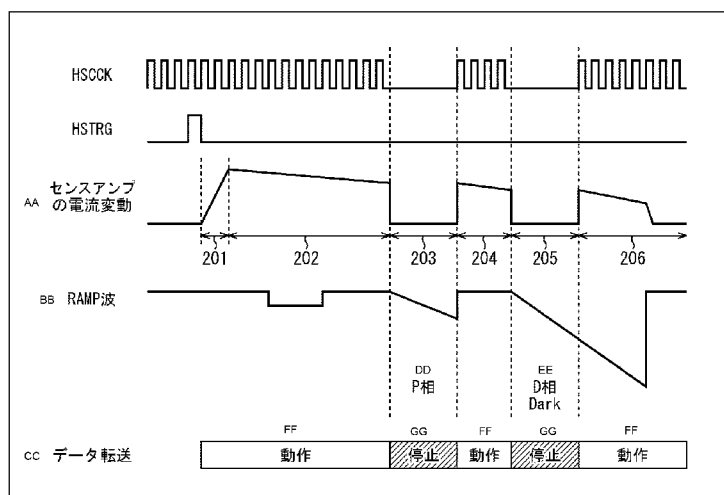
(74) 代理人: 西川 孝, 外 (NISHIKAWA Takashi et al.); 〒1600023 東京都新宿区西新宿7丁目5番25号 西新宿プライムスクエア9階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) Title: SIGNAL PROCESSING DEVICE AND METHOD, IMAGING DEVICE, AND ELECTRONIC APPARATUS

(54) 発明の名称: 信号処理装置および方法、撮像素子、並びに、電子機器

FIG. 4



AA Current fluctuation of sense amplifier
BB RAMP wave
CC Data transfer
DD P phase
EE D phase Dark
FF Operation
GG Stop

(57) Abstract: The present disclosure relates to a signal processing device and method, an imaging device, and an electronic apparatus which are capable of suppressing a reduction in subjective image quality. For a portion or entirety of the period in which A/D conversion is performed on a pixel output of an analog signal, the driving of a shift register that controls the transfer of pixel data of digital data obtained by the A/D conversion is stopped. The present disclosure may be applied to, for example, a signal processing device, an imaging element, an imaging device, an image processing device,

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

an electronic apparatus, a signal processing method, a program, or the like.

(57) 要約: 本開示は、主観画質の低減を抑制することができるようにする信号処理装置および方法、撮像素子、並びに、電子機器に関する。アナログ信号の画素出力に対するA/D変換を行う期間の一部または全部において、そのA/D変換により得られるデジタルデータの画素データの転送を制御するシフトレジスタの駆動を停止させる。本開示は、例えば、信号処理装置、撮像素子、撮像装置、画像処理装置、電子機器、信号処理方法、またはプログラム等に適用することができる。

明 細 書

発明の名称：

信号処理装置および方法、撮像素子、並びに、電子機器

技術分野

[0001] 本開示は、信号処理装置および方法、撮像素子、並びに、電子機器に関し、特に、主観画質の低減を抑制することができるようにした信号処理装置および方法、撮像素子、並びに、電子機器に関する。

背景技術

[0002] 従来、一般的なCMOS (Complementary Metal Oxide Semiconductor) イメージセンサ等の撮像素子においては、画素アレイの各カラムから読み出されたある行の画素信号は、A/D変換されてデジタルデータとしてラッチされ、次の行の画素信号がA/D変換されている間にデータ転送され、信号処理されて撮像素子より出力される（例えば特許文献1 参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2010-199920号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、データ転送を行うと、転送されるデジタルデータを電流から電圧に変換するセンスアンプが駆動し、そのセンスアンプにおいて電流変動が発生する。このセンスアンプの電流変動による磁気誘導によって、A/D変換の入力であるランプ波や画素信号にノイズがのるおそれがあった。このノイズがのることにより、結果として、この撮像素子において得られる撮像画像に横帯状のノイズやシェーディングノイズ等が発生し、撮像画像の主観画質が低減するおそれがあった。

[0005] 本開示は、このような状況に鑑みてなされたものであり、主観画質の低減を抑制することができるようにするものである。

課題を解決するための手段

- [0006] 本技術の一側面の信号処理装置は、アナログ信号の画素出力に対するA/D変換を行う期間の一部または全部において、前記A/D変換により得られるデジタルデータの画素データの転送を制御するシフトレジスタの駆動を停止させる制御部を備える信号処理装置である。
- [0007] 本技術の一側面の信号処理方法は、アナログ信号の画素出力に対するA/D変換を行う期間の一部または全部において、前記A/D変換により得られるデジタルデータの画素データの転送を制御するシフトレジスタの駆動を停止させる信号処理方法である。
- [0008] 本技術の他の側面の撮像素子は、それぞれが入射光を光電変換する構成を有する複数の画素からなる画素アレイと、前記画素アレイから得られるアナログ信号の画素出力をA/D変換するA/D変換部と、前記A/D変換部により前記画素出力がA/D変換されて得られるデジタルデータの画素データを保持する保持部と、前記保持部から読み出された前記画素データを電流から電圧に変換するセンスアンプと、前記保持部と前記センスアンプとの駆動を制御することにより、前記画素データの転送を制御するシフトレジスタと、前記A/D変換部による前記画素出力に対するA/D変換を行う期間の一部または全部において、前記シフトレジスタの駆動を停止させる制御部とを備える撮像素子である。
- [0009] 本技術のさらに他の側面の電子機器は、被写体を撮像する撮像部と、前記撮像部による撮像により得られた画像データを画像処理する画像処理部とを備え、前記撮像部は、それぞれが入射光を光電変換する構成を有する複数の画素からなる画素アレイと、前記画素アレイから得られるアナログ信号の画素出力をA/D変換するA/D変換部と、前記A/D変換部により前記画素出力がA/D変換されて得られるデジタルデータの画素データを保持する保持部と、前記保持部から読み出された前記画素データを電流から電圧に変換するセンスアンプと、前記保持部と前記センスアンプとの駆動を制御することにより、前記画素データの転送を制御するシフトレジスタと、前記A/D変換部による前記画素出力に対するA/D変換を行う期間の一部または全部において、前記シフト

レジスタの駆動を停止させる制御部とを備える電子機器である。

[0010] 本技術の一側面においては、アナログ信号の画素出力に対するA/D変換を行う期間の一部または全部において、そのA/D変換により得られるデジタルデータの画素データの転送を制御するシフトレジスタの駆動が停止される。

[0011] 本技術の他の側面においては、画素アレイの各画素への入射光が光電変換され、その画素アレイから得られるアナログ信号の画素出力がA/D変換され、その画素出力がA/D変換されて得られるデジタルデータの画素データが保持部に保持され、その保持部から読み出された画素データが電流から電圧に変換され、画素出力に対するA/D変換を行う期間の一部または全部において、そのような画素データの転送を制御するシフトレジスタの駆動が停止される。

[0012] 本技術のさらに他の側面においては、被写体を撮像する撮像部において、画素アレイの各画素への入射光が光電変換され、その画素アレイから得られるアナログ信号の画素出力がA/D変換され、その画素出力がA/D変換されて得られるデジタルデータの画素データが保持部に保持され、その保持部から読み出された画素データが電流から電圧に変換され、画素出力に対するA/D変換を行う期間の一部または全部において、そのような画素データの転送を制御するシフトレジスタの駆動が停止され、その撮像部の外部において、そのようにして得られた被写体の撮像画像の画像データが画像処理される。

発明の効果

[0013] 本開示によれば、信号を処理することができる。特に、主観画質の低減を抑制することができる。

図面の簡単な説明

[0014] [図1]センスアンプの電流変動の様子を説明する図である。

[図2]撮像素子の主な構成例を示すブロック図である。

[図3]データ転送部の主な構成例を示すブロック図である。

[図4]データ転送制御の様子を説明する図である。

[図5]読み出し処理部の主な構成例を示すブロック図である。

[図6]クロック制御の様子を説明する図である。

[図7]データ転送制御処理の流れの例を説明するフローチャートである。

[図8]読み出し処理部の主な構成例を示すブロック図である。

[図9]クロック制御の様子を説明する図である。

[図10]データ転送制御処理の流れの例を説明するフローチャートである。

[図11]Hスキャナの主な構成例を示すブロック図である。

[図12]データ転送制御の様子を説明する図である。

[図13]データ転送制御処理の流れの例を説明するフローチャートである。

[図14]撮像装置の主な構成例を示すブロック図である。

[図15]車両制御システムの概略的な構成の一例を示すブロック図である。

[図16]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0015] 以下、本開示を実施するための形態（以下実施の形態とする）について説明する。なお、説明は以下の順序で行う。

1. データ転送による磁気誘導の影響
2. 第1の実施の形態（撮像素子・カウントに基づくデータ転送制御）
3. 第2の実施の形態（撮像素子・イネーブル信号に基づくデータ転送制御）
4. 第3の実施の形態（撮像素子・シフトレジスタリセットによるデータ転送制御）
5. 第4の実施の形態（撮像素子・その他によるデータ転送制御）
6. 第5の実施の形態（撮像装置）
7. 移動体への応用例
8. その他

[0016] <1. データ転送による磁気誘導の影響>

<データ転送とA/D変換>

従来、一般的なCMOS（Complementary Metal Oxide Semiconductor）イメージセンサ等の撮像素子においては、画素信号は、画素アレイから行毎に読み出され、行毎にA/D変換されてデジタルデータとしてラッチされ、行毎にデー

タ転送され、信号処理されて撮像素子より出力される。

[0017] 例えば、図1の一番上の段に示されるように設定されるデータ読み出し期間XHSにおいて、上から3段目に示されるようにデータ転送開始通知信号HSTRGとしてパルス（データ転送開始パルス）が供給されると、画素信号のデータ転送を制御するシフトレジスタは、上から2段目に示されるシフトレジスタ用クロックHSCCKに従って各カラムのデータラッチに保持されているデジタルデータを順次センスアンプに供給させる。すなわち、シフトレジスタは、1行分の画素信号を1画素ずつセンスアンプに供給させる。センスアンプは、画素毎に供給される画素信号の電流を電圧に変換し、後段に供給する。

[0018] このようなデータ転送動作により、例えばセンスアンプにおいて、図1の上から4段目に示されるような電流変動が発生する。例えば、転送開始直後の期間11においては、センスアンプへの電流供給が開始され、転送開始前に略ゼロであった電流が大きく変化する。また、転送期間中である期間12においては、処理対象のデータラッチと電源との距離等に応じて、センスアンプに供給される電流が緩やかに変化する。さらに、転送が終了する期間13においては、センスアンプの電流は略ゼロになるまで大きく変化する。

[0019] このようなデータ転送に並行して、画素アレイからは次の行の画素信号が読み出され、その行の画素信号に対するA/D変換が行われる。例えば画素アレイのカラム毎にA/D変換部が設けられ、その行の各画素の画素信号は互いに並行にA/D変換される。このA/D変換においては、画素アレイから読み出された画素信号と、図1の一番下に示されるようなランプ波（RAMP波）とで大きさが比較される。その比較開始から、ランプ波が画素信号より大きくなるまでの時間（カウント値）が、その画素信号のデジタルデータとして出力される。なお、画素信号の読み出しにおいて、相関二重サンプリング（CDS（Correlated Double Sampling））が行われる。したがって、図1の一番下に示されるように、A/D変換は、リセット期間（P相）と信号読み出し期間（D相）との2度行われる。

[0020] これらのA/D変換中に、例えばセンスアンプ等において、データ転送に起因

して上述のような電流変動が生じると、それに伴う磁気誘導により画素信号やランプ波にノイズがのり、正しくA/D変換を行うことができなくなるおそれがあった。このようにA/D変換結果に誤差が生じると、結果として、この撮像素子において得られる撮像画像に横帯状のノイズやシェーディングノイズ等が発生し、撮像画像の主観画質が低減するおそれがあった。

[0021] <2. 第1の実施の形態>

<A/D変換中のデータ転送制御>

そこで、アナログ信号の画素出力に対するA/D変換を行う期間の一部または全部において、そのA/D変換により得られるデジタルデータの画素データの転送を制御するシフトレジスタの駆動を停止させるようにする。

[0022] このようにすることにより、A/D変換中のセンスアンプの電流変動を抑制することができるため、データ転送による画素出力やランプ波への影響を抑制することができる。したがって、撮像画像における横帯状のノイズやシェーディングノイズ等の発生を抑制し、撮像画像の主観画質の低減を抑制することができる。

[0023] <撮像素子>

図2は、本技術を適用した撮像素子の一実施の形態の例を示すブロック図である。図2に示される撮像素子100は、被写体からの光を光電変換して画像データとして出力するデバイスである。例えば、撮像素子100は、CMOS (Complementary Metal Oxide Semiconductor) を用いたCMOSイメージセンサとして構成される。

[0024] 図2に示されるように、撮像素子100は、制御部101、画素アレイ部102、行選択部103、参照電圧生成部104、カラムA/D変換部105、データ転送部106、読み出し処理部107、および出力インタフェース(I/F)部108を有する。

[0025] 制御部101は、所定のデジタル回路等を有し、撮像素子100内の各処理部の駆動の制御に関する処理を行う。例えば、制御部101は、クロック信号や制御信号等を各処理部に供給することにより、各処理部において行わ

れる処理を制御する。

- [0026] なお、制御部 101 が、例えば、CPU (Central Processing Unit)、ROM (Read Only Memory)、RAM (Random Access Memory) を有し、CPUがROM等に記憶されているプログラムやデータをRAMにロードして実行することにより、それらの処理を行うようにしてもよい。
- [0027] 画素アレイ部 102 は、それぞれが被写体からの入射光を受光して光電変換する構成 (例えばフォトダイオード等) を有する、例えば行列状に配置された複数の画素等により構成される。各画素においては、例えば制御部 101 や行選択部 103 等により制御されて、フォトダイオードにおいて入射光が光電変換され、その入射光の光量に相当する電荷量の電荷が蓄積される。
- [0028] 画素アレイ部 102 においては、各画素から、その画素において蓄積している電荷量に相当する電圧 (画素値) のアナログ信号が画素出力として読み出される。この画素出力の読み出しは、例えば制御部 101 や行選択部 103 により制御され、ライン (行) 毎に行われる。
- [0029] 行選択部 103 は、ライン (行) の選択に関する構成を有し、ラインの選択に関する処理を行う。例えば、行選択部 103 は、制御部 101 により制御され、画素アレイ部 102 より画素出力を読み出すライン (行)、すなわち、画素値の読み出しの対象となるラインを選択し、その選択したラインを示す制御信号を画素アレイ部 102 に供給する。
- [0030] 参照電圧生成部 104 は、ランプ波の生成に関する構成を有し、参照電圧の生成に関する処理を行う。例えば、制御部 101 により制御され、画素出力のA/D変換において使用される、所定の電圧またはランプ波の参照電圧を生成し、それをカラムA/D変換部 105 に供給する。
- [0031] カラムA/D変換部 105 は、例えば、比較器、バッファ、カウンタ等、A/D変換に関する構成を有し、A/D変換に関する処理を行う。例えば、カラムA/D変換部 105 は、A/D変換機能実現する構成を画素アレイ部 102 のカラム毎に有し、制御部 101 により制御され、画素アレイ部 102 より読み出される各カラム (列) の画素出力 (アナログ信号) を互いに並行してA/D変換する

ことができる。したがって、画素アレイ部 102 から 1 ラインずつ画素出力が読み出される場合、カラム A/D 変換部 105 は、その 1 ライン分の各カラム（つまり各画素）の画素出力を互いに並行して A/D 変換することができる。つまりこの場合、カラム A/D 変換部 105 は、画素出力を 1 ラインずつ A/D 変換する。例えば、カラム A/D 変換部 105 は、画素アレイ部 102 より読み出されたラインの各カラムの画素出力を参照電圧生成部 104 により生成された参照電圧と比較し、比較を開始してから参照電圧が画素出力より大きくなるまでの時間（クロック数）をカウントし、そのカウント値を A/D 変換結果とする。つまり、カラム A/D 変換部 105 は、各カラムのそのカウント値（デジタルデータ）を画素データとしてデータ転送部 106 に供給する。

[0032] なお、撮像素子 100 は、画素出力の読み出しにおいて、相関二重サンプリング（CDS（Correlated Double Sampling））を行う。つまり、撮像素子 100 は、リセット期間（P 相）と信号読み出し期間（D 相）の 2 回の読み出しを行う。したがって、カラム A/D 変換部 105 も A/D 変換を、リセット期間（P 相）と信号読み出し期間（D 相）の 2 回行う。

[0033] データ転送部 106 は、例えば、データラッチ、センスアンプ、シフトレジスタ等、画素データの転送に関する構成を有し、画素データのデータ転送に関する処理を行う。例えば、データ転送部 106 は、制御部 101 および読み出し処理部 107 により制御され、カラム A/D 変換部 105 から供給される 1 ライン分の画素データを 1 カラムずつ順次読み出し処理部 107 に転送する。

[0034] 読み出し処理部 107 は、所定のデジタル回路等を有し、制御部 101 により制御され、データ転送部 106 からの画素データの読み出しに関する処理を行う。例えば、読み出し処理部 107 は、矢印 121 に示されるように制御部 101 からクロック信号や制御信号等を取得し、それらの信号に基づいて処理を行う。また、例えば、読み出し処理部 107 は、矢印 122 に示されるようにクロック信号や制御信号等をデータ転送部 106 に供給し、データ転送部 106 の駆動（すなわち、画素データのデータ転送）を制御する

。さらに、例えば、読み出し処理部１０７は、矢印１２３に示されるように、データ転送部１０６から読み出された画素データを取得する。また、例えば、読み出し処理部１０７は、取得した画素データを一時的に保持する。なお、読み出し処理部１０７が、その画素データに対して所定の信号処理を行うようにしてもよい。さらに、例えば、読み出し処理部１０７は、所定のタイミング等において、矢印１２４に示されるように、保持しているデータを出力インタフェース（I/F）部１０８に供給する。

[0035] なお、例えば、読み出し処理部１０７が、CPU、ROM、RAM等を有し、CPUがROM等に記憶されているプログラムやデータをRAMにロードして実行することにより、それらの処理を行うようにしてもよい。

[0036] 出力インタフェース（I/F）部１０８は、制御部１０１により制御され、画素データの出力に関する処理を行う。例えば、出力インタフェース部１０８は、所定の外部出力端子を有し、読み出し処理部１０７から供給される画素データ等を、その外部出力端子を介して、撮像素子１００の外部に出力する。

[0037] ＜データ転送部＞

図３は、データ転送部１０６の主な構成例を示す図である。図３に示されるように、データ転送部１０６は、データラッチ１５１、データバス１５２、データバス１５３、センスアンプ１５４、およびＨスキャナ１５５を有する。

[0038] データラッチ１５１は、情報を記憶することができる構成を有し、カラムA/D変換部１０５より供給される画素データ（A/D変換結果）を保持する。なお、図３においては、符号（１５１）を１つの四角のみに付しているが、図中水平方向に並ぶ同様の四角は全てデータラッチ１５１を示している。また、図３においては、１０個のデータラッチ１５１が示されているが、実際には、データラッチ１５１は、画素アレイ部１０２のカラム（列）毎に設けられる。

[0039] つまり、図３においてはカラムA/D変換部１０５とデータラッチ１５１とを

結ぶ信号線の図示を省略しているが、カラムA/D変換部105において得られる各カラムの画素データは、各カラムに割り当てられた信号線を介して伝送され、各カラムに割り当てられたデータラッチ151により保持される。

[0040] 各データラッチ151は、データバス152およびデータバス153によりセンスアンプ154（の増幅部161）に接続されている。各データラッチ151に保持されている画素データは、後述するHスキャナ155（シフトレジスタ182）により制御されて、1カラムずつ、順次、センスアンプ154（の増幅部161）に供給される。

[0041] このデータバス152およびデータバス153のうち、一方には、データラッチ151に保持される値に相当する正の電流が流れ、他方には、データラッチ151に保持される値に相当する負の電流が流れる。つまり、センスアンプ154には、データラッチ151に保持されている画素データが電流として供給される。センスアンプ154は、供給される画素データの電流を電圧に変換し、読み出し処理部107に供給する。

[0042] 図3に示されるように、センスアンプ154は、例えば、増幅部（SA）161、フリップフロップ162乃至フリップフロップ164、並びに、遅延部（Delay）165乃至遅延部167を有する。増幅部161は、データバス152およびデータバス153を介して入力される電流を差動増幅し、電圧に変換する。フリップフロップ162乃至フリップフロップ164は、遅延部165乃至遅延部167を介して、後述するHスキャナ155（シフトレジスタ182）により制御されて、増幅部161の出力（画素データ）を所定のタイミングにおいて読み出し処理部107に転送する（SAOUT）。

[0043] Hスキャナ155は、以上のような画素データのデータ転送動作の制御に関する構成を有し、読み出し処理部107や制御部101等により制御されて、そのデータ転送動作の制御に関する処理を行う。例えば、Hスキャナ155は、図3に示されるようにHデコーダ181およびシフトレジスタ182を有する。Hデコーダ181は、供給されるアドレス情報H_ADDをデコードして、そのアドレス情報H_ADDにより指定されるアドレス（カラム）を示す制

御信号を生成し、それをシフトレジスタ182に供給する。

[0044] シフトレジスタ182は、例えばフリップフロップ191や増幅部等、画素データのデータ転送動作の制御に関する構成を有し、読み出し処理部107、制御部101、Hデコーダ181等により制御されて、画素データのデータ転送動作の制御に関する処理を行う。なお、図3においては、符号(191)を1つのフリップフロップのみに付しているが、図中水平方向に並ぶ同様のフリップフロップは全てシフトレジスタ182を構成するフリップフロップ191である。また、図3においては、10個のフリップフロップ191が示されているが、実際には、フリップフロップ191は、データラッチ151と同数(すなわち、画素アレイ部102のカラム(列)毎に)設けられる。

[0045] シフトレジスタ182は、読み出し処理部107から供給されるデータ転送開始通知信号HSTRGやシフトレジスタ用クロックHSCCK等の制御信号や、Hデコーダ181から供給される制御信号等に基づいて駆動する。シフトレジスタ182が駆動することにより、各データラッチ151並びにセンスアンプ154の駆動が制御される。より具体的には、シフトレジスタ182は、各データラッチ151からの画素データの読み出しを制御することにより、各データラッチ151に保持されている画素データの、センスアンプ154への転送を制御する。また、シフトレジスタ182は、遅延部165乃至遅延部167を介してセンスアンプ154のフリップフロップ162乃至フリップフロップ164の駆動を制御し、増幅部161の出力の読み出し処理部107への転送(SAOUT)を制御する。

[0046] <データ転送制御方法>

図1を参照して説明したように、A/D変換中にセンスアンプ等に電流変動が生じると、それに伴う磁気誘導等によって画素出力やランプ波にノイズがのり、結果として撮像画像の主観画質が低減してしまうおそれがある。したがって、そのようなノイズを抑制するためには、データ転送に起因するA/D変換中の電流変動を抑制するようにすればよい。そのために、例えば、A/D変換中

において画素データのデータ転送を停止させ、センスアンプの駆動を停止させるようにしてもよい。そのために、例えば、シフトレジスタ182の駆動を停止させるようにしてもよい。シフトレジスタ182の駆動は、例えば、シフトレジスタ用クロックHSCCKの供給を制御することによって、制御することができる。

[0047] 図4にその例を示す。つまり、まず、図4の上から2段目に示されるようにデータ転送開始通知信号HSTRGとしてパルス（データ転送開始パルス）をシフトレジスタ182に供給し、シフトレジスタ182に画素データのデータ転送を開始させる。シフトレジスタ182は、上から1段目に示される、シフトレジスタ182を駆動させるシフトレジスタ用クロックHSCCKに従って各カラムのデータラッチに保持されているデジタルデータ（画素データ）を順次センスアンプ154に供給させる。

[0048] したがって、上から3段目に示されるように、センスアンプ154の電流は、開始直後の期間201において図1の場合と同様に大きく変動し、データ転送中の期間202においても図1の場合と同様に緩やかに変化する。つまり、これらの期間は、A/D変換が行われていないので図1と同様にデータ転送を実行させる。

[0049] そして、上から1段目に示されるように、リセット期間（P相）のA/D変換が行われる期間203になると、シフトレジスタ用クロックHSCCKの供給が停止される。つまり、シフトレジスタ用クロックHSCCKのパルスがシフトレジスタ182に供給されなくなる。これにより、シフトレジスタ182の駆動を停止させることができる。つまり、データ転送が停止される。したがって、センスアンプ154の駆動も停止するので、上から3段目に示されるようにセンスアンプ154の電流が略ゼロとなる。

[0050] リセット期間（P相）のA/D変換が行われる期間203が終了すると、上から1段目に示されるように、シフトレジスタ用クロックHSCCKの供給が再開される。これにより、シフトレジスタ182の駆動を再開させることができる。つまり、データ転送が再開され、センスアンプ154の駆動も再開され、

上から３段目に示されるようセンスアンプ１５４の電流が略ゼロの状態から駆動時の値まで大きく変化する。そして、期間２０４においてデータ転送が行われ、センスアンプの電流が図１の場合と同様に緩やかに変化する。つまり、この期間２０４は、Ａ/D変換が行われていないので図１と同様にデータ転送を実行させる。

[0051] そして、上から１段目に示されるように、信号読み出し期間（Ｄ相Dark）のＡ/D変換が行われる期間２０５になると、シフトレジスタ用クロックHSCCKの供給が再び停止される。これにより、期間２０３の場合と同様に、シフトレジスタ１８２の駆動が停止され、データ転送もセンスアンプ１５４の駆動も停止するので、上から３段目に示されるようにセンスアンプ１５４の電流が略ゼロとなる。

[0052] なお、信号読み出し期間の途中の所定のタイミングになると（期間２０５が終了すると）、上から１段目に示されるように、シフトレジスタ用クロックHSCCKの供給が再開される。これにより、シフトレジスタ１８２の駆動が再開され、データ転送およびセンスアンプ１５４の駆動が再開される。したがって、上から３段目に示されるようセンスアンプ１５４の電流が略ゼロの状態から駆動時の値まで大きく変化する。そして、その後の期間２０６においてデータ転送が終了するまで、センスアンプ１５４の電流が図１の場合と同様に緩やかに変化する。そして、データ転送が終了すると、センスアンプ１５４の駆動も停止されるので、センスアンプ１５４の電流は略ゼロになるまで大きく変化する。

[0053] このように、Ａ/D変換中にシフトレジスタ１８２の駆動を停止させることにより、Ａ/D変換中のデータ伝送に起因する電流変動を抑制することができる。つまり、Ａ/D変換中にシフトレジスタ１８２の駆動を停止させることにより、画素出力やランプ波にノイズがのることを抑制することができ、結果として、横帯状のノイズやシェーディングノイズ等の発生を抑制し、撮像画像の主観画質の低減を抑制することができる。

[0054] そして上述したように、このシフトレジスタ１８２の駆動は、読み出し処

理部 107 からのシフトレジスタ用クロック HSCCK の供給によって容易に制御することができる。

[0055] つまり、例えば、読み出し処理部 107 が、シフトレジスタ用クロック HSCCK の供給を停止することにより、シフトレジスタ 182 の駆動を停止させることができる。また、読み出し処理部 107 が、シフトレジスタ用クロック HSCCK の供給を再開することにより、シフトレジスタ 182 の駆動を再開させることができる。

[0056] したがって、読み出し処理部 107 は、容易に、所望のタイミングにおいてシフトレジスタ 182 の駆動を停止させることができる。つまり、読み出し処理部 107 は、例えば A/D 変換が行われる期間においてシフトレジスタ 182 の駆動を停止させるような制御を容易に行うことができる。つまり、読み出し処理部 107 は、A/D 変換中のセンスアンプ等の電流変動を容易に抑制することができる。

[0057] なお、上述のように、データ転送を中断させると、当然、その分データ転送の処理時間が増大する。しかしながら、画素データのデータ転送と、次のラインの画素出力の A/D 変換は、所定のデータ読み出し期間 (XHS) 内に終了させなければならない。換言するに、これらの処理が遅延すると、その分、データ読み出し期間が長くなり、フレームレートが低下する。したがって、この処理時間の増大が許容範囲を越えると処理が破たんするおそれがある。

[0058] そこで、画素データのデータ転送と次のラインの画素出力の A/D 変換が、所定のデータ読み出し期間 (XHS) 内に終了するように、上述のデータ転送制御を行うようにするのが望ましい。つまり、シフトレジスタ 182 の駆動の停止は、適切な長さで行われることが求められる。上述のように、読み出し処理部 107 は、シフトレジスタ用クロック HSCCK の供給制御によって、シフトレジスタ 182 の駆動停止だけでなく、再開も容易に制御することができる。つまり、読み出し処理部 107 は、容易に、所望の期間、シフトレジスタ 182 の駆動を停止させることができる。つまり、読み出し処理部 107 は、容易に、処理が破たんしないようにしながら、A/D 変換中のセンスアンプの

電流変動を容易に抑制することができる。

[0059] なお、以上のようなセンスアンプ 154 の電流変動を抑制させる期間（例えばシフトレジスタ 182 の駆動を停止させる期間）は、A/D変換を行う期間の全部であってもよいし、その一部であってもよい。A/D変換を行う期間の少なくとも一部においてセンスアンプ 154 の電流変動を抑制することにより、少なくともその間の、センスアンプ 154 等の電流変動に伴う磁気誘導による画素出力やランプ波への影響を抑制することができる。

[0060] ただし、一般的に、撮像画像における横帯状のノイズやシェーディングノイズ等は、暗い画像（画素値が小さい画像）の方が、明るい画像（画素値が大きい画像）よりも視覚的に目立つ可能性が高い。つまり、撮像画像において、横帯状のノイズやシェーディングノイズ等が、比較的明るい領域（画素値が比較的大きな領域）に発生する場合よりも、比較的暗い領域（画素値が比較的小さな領域）に発生する場合の方が、主観画質がより大きく低減する可能性が高い。

[0061] したがって、上述のようにA/D変換を行う場合、そのA/D変換を行う期間における、センスアンプ 154 の電流変動が撮像画像の主観画質に及ぼす影響は、一般的に、開始時が最も大きく、時間の経過に応じて小さくなり、終了時が最小となる。

[0062] したがって、A/D変換を行う期間の開始タイミングからシフトレジスタ 182 の駆動を停止させるようにしてもよい。このようにすることにより、それ以外のタイミングからシフトレジスタ 182 の駆動を停止させる場合よりも、主観画質の低減を抑制することができる。例えば、読み出し処理部 107 は、A/D変換を行う期間の開始タイミングにおいてシフトレジスタ用クロック HSCCK の供給を停止するようにしてもよい。このようにすることにより、その他のタイミングにおいてシフトレジスタ用クロック HSCCK の供給を停止する場合よりも、主観画質の低減を抑制することができる。

[0063] 付言するに、例えば、A/D変換を行う期間の一部においてシフトレジスタ 182 の駆動を停止させる場合、そのシフトレジスタ 182 の駆動を停止させ

る期間を、A/D変換を行う期間のより前の方に、つまり、A/D変換を行う期間の開始タイミングのより近くに設定することにより、主観画質の低減をより抑制することができる。

[0064] 換言するに、A/D変換を行う期間の終了に近いタイミング程、撮像画像の主観画質への影響は相対的に小さくなる。つまり、例えば画素データのデータ転送と次のラインの画素出力のA/D変換を所定のデータ読み出し期間（XHS）内に終了させる等の為に、A/D変換を行う期間の一部においてシフトレジスタ182を駆動させる必要がある場合、そのシフトレジスタ182を駆動させる期間を、A/D変換を行う期間のより後の方に、つまり、A/D変換を行う期間の終了タイミングのより近くに設定するようにしてもよい。このようにすることにより、主観画質の低減をより抑制することができる。

[0065] なお、以上においては、カラムA/D変換部105が相関二重サンプリングの読み出しに対応してリセット期間の画素出力に対するA/D変換と、信号読み出し期間の画素出力に対するA/D変換とを行うように説明した。この場合、上述したように、リセット期間の画素出力に対するA/D変換を行う期間と、信号読み出し期間の画素出力に対するA/D変換を行う期間との両方において、シフトレジスタ182の駆動を停止させるようにしてもよい。このようにすることにより、いずれか一方の期間においてのみシフトレジスタ182の駆動を停止させる場合よりも、主観画質の低減を抑制することができる。例えば、読み出し処理部107は、リセット期間の画素出力に対するA/D変換を行う期間と、信号読み出し期間の画素出力に対するA/D変換を行う期間との両方において、シフトレジスタ用クロックHSCCKの供給を停止するようにしてもよい。このようにすることにより、いずれか一方の期間においてのみシフトレジスタ用クロックHSCCKの供給を停止する場合よりも、主観画質の低減を抑制することができる。

[0066] もちろん、この場合も、リセット期間の画素出力に対するA/D変換を行う期間と、信号読み出し期間の画素出力に対するA/D変換を行う期間とのそれぞれにおいて、一部の期間のみ、シフトレジスタ182の駆動を停止させるよう

にしてもよい。

[0067] そして、その場合、上述したのと同様の理由により、シフトレジスタ 182 の駆動を停止させる期間を、それぞれの A/D 変換を行う期間のより前の方に設定することにより、主観画質の低減をより抑制することができる。例えば、それぞれの A/D 変換を行う期間の開始タイミングからシフトレジスタ 182 の駆動を停止させるようにしてもよい。

[0068] また、このような相関二重サンプリングの場合、リセット期間の画素出力に対する A/D 変換を行う期間のセンスアンプ 154 の電流変動の方が、信号読み出し期間の画素出力に対する A/D 変換を行う期間のセンスアンプ 154 の電流変動よりも、撮像画像の主観画質に及ぼす影響が大きい。

[0069] したがって、リセット期間の画素出力に対する A/D 変換を行う期間を優先的に、シフトレジスタ 182 の駆動を停止させるようにしてもよい。例えば、リセット期間の画素出力に対する A/D 変換を行う期間の全部と、信号読み出し期間の画素出力に対する A/D 変換を行う期間の一部とにおいて、シフトレジスタ 182 の駆動を停止させるようにしてもよい。このようにすることにより、シフトレジスタ 182 の駆動を停止させる時間の合計時間が同じであっても、リセット期間の画素出力に対する A/D 変換を行う期間の一部においてシフトレジスタ 182 を駆動させる場合よりも、撮像画像の主観画質の低減をより抑制することができる。

[0070] ただし、その場合、例えば、信号読み出し期間の画素出力に対する A/D 変換を行う期間におけるシフトレジスタ 182 の駆動を停止させる期間が極端に短くなると（例えばリセット期間の画素出力に対する A/D 変換を行う期間よりも短くなると）、逆に、信号読み出し期間の画素出力に対する A/D 変換を行う期間のセンスアンプ 154 の電流変動による撮像画像の主観画質に及ぼす影響が大きくなってしまう可能性がある。

[0071] 一般的に、リセット期間の画素出力に対する A/D 変換を行う期間よりも、信号読み出し期間の画素出力に対する A/D 変換を行う期間の方が長い。そこで、例えば、リセット期間の画素出力に対する A/D 変換を行う期間の全部と、信号

読み出し期間の画素出力に対するA/D変換を行う期間の内の、リセット期間の画素出力に対するA/D変換を行う期間よりも長い期間とにおいて、シフトレジスタの駆動を停止させるようにしてもよい。このようにすることにより、信号読み出し期間の画素出力に対するA/D変換を行う期間のセンスアンプ154の電流変動による撮像画像の主観画質に及ぼす影響の増大を抑制しながら、撮像画像の主観画質の低減を抑制することができる。

[0072] <カウント値に基づく制御>

以上のようなシフトレジスタ用クロックHSCCKの供給制御を行う為に、読み出し処理部107が、所定の基準クロックをカウントし、そのカウント値に基づいてシフトレジスタ用クロックHSCCKの供給の停止および再開を行うようにしてもよい。

[0073] <読み出し処理部>

以上のようにクロックの供給を制御する場合の、読み出し処理部107の主な構成例を図5に示す。図5に示されるように、読み出し処理部107は、制御部231およびデータ処理部232を有する。

[0074] 制御部231は、所定のデジタル回路等を有し、データ転送開始通知信号HSTRGやシフトレジスタ用クロックHSCCK等の制御に関する処理を行う。例えば、制御部231は、これらの信号のデータ転送部106やデータ処理部232等への供給を制御する。制御部231は、例えば、カウント型クロック制御部241およびトリガ信号生成部242を有する。

[0075] カウント型クロック制御部241は、所定のデジタル回路等を有し、シフトレジスタ用クロックHSCCKの供給を制御する。カウント型クロック制御部241は、入力されるクロックをカウントし、そのカウント値に基づいて、シフトレジスタ用クロックHSCCK等の供給を制御する。

[0076] 例えば、カウント型クロック制御部241には、矢印251に示されるように、シフトレジスタ用クロックHSCCKの供給を停止したり開始したりするカウント値の設定であるカウント数設定が供給される。このカウント数設定は、例えば制御部101から供給される。もちろん、このカウント数設定の供

給元は任意であり、例えば撮像素子 100 の外部から供給されるようにしてもよい。カウント型クロック制御部 241 は、そのカウント数設定を取得し、セットする。

[0077] また、カウント型クロック制御部 241 には、矢印 252 に示されるように、基準クロック CLK が制御部 101 から供給される。この基準クロックは汎用のクロックであり任意の処理の基準とすることができる。なお、この基準クロック CLK の供給元は任意であり、例えば撮像素子 100 の外部から供給されるようにしてもよい。カウント型クロック制御部 241 は、その基準クロック CLK (のパルス) をカウントし、そのカウント値と、セットしたカウント数設定とに基づいて、シフトレジスタ用クロック HSCCK の供給を制御する。

[0078] カウント型クロック制御部 241 は、矢印 253 に示されるように、シフトレジスタ用クロック HSCCK をデータ転送部 106 (シフトレジスタ 182) に供給する。また、カウント型クロック制御部 241 は、矢印 255 に示されるように、そのシフトレジスタ用クロック HSCCK をデータ処理部 232 (SRAM 243) にも供給する。

[0079] トリガ信号生成部 242 は、所定のデジタル回路等を有し、データ転送の開始のトリガ信号となるデータ転送開始通知信号 HSTRG を生成し、矢印 254 に示されるように、それをデータ転送部 106 (シフトレジスタ 182) に供給する。

[0080] なお、例えば、制御部 231 が、CPU、ROM、RAM等を有し、CPUがROM等に記憶されているプログラムやデータをRAMにロードして実行することにより、これらの処理を行う(カウント型クロック制御部 241 やトリガ信号生成部 242 の機能を実現する)ようにしてもよい。

[0081] データ処理部 232 は、所定のデジタル回路等を有し、データ転送部 106 から転送される画素データに関する処理を行う。例えば、データ処理部 232 には、矢印 256 に示されるように、データ転送部 106 から転送された画素データが供給される (SAOUT)。データ処理部 232 は、その画素データに対して所定の処理を施し、処理後の画素データを、矢印 257 に示され

るように、出力インタフェース部 108 に供給する (SRAMOUT)。なお、この所定の処理は任意である。

[0082] 例えば、データ処理部 232 は、SRAM (Static Random Access Memory) 243 を有する。SRAM 243 は、データ転送部 106 から転送された画素データを記憶し、所定のタイミングにおいて、その画素データを読み出して出力インタフェース部 108 に供給する。SRAM 243 は、制御部 231 (カウント型クロック制御部 241) から供給されるシフトレジスタ用クロック HSCCK に基づいて、このような処理を行う。

[0083] なお、例えば、データ処理部 232 が、CPU、ROM、RAM等を有し、CPUがROM等に記憶されているプログラムやデータをRAMにロードして実行することにより、これらの処理を行う (SRAM 243 の機能を実現する) ようにしてもよい。

[0084] つまり、図 5 の例の場合、読み出し処理部 107 の制御部 231 (のカウント型クロック制御部 241) は、所定の基準クロック CLK をカウントし、そのカウント値に基づいてシフトレジスタ用クロック HSCCK の供給の停止および再開を行う。

[0085] 図 6 にその制御の様子 of 例を示す。例えば、所定のタイミングにおいて、カウント型クロック制御部 241 は、基準クロック CLK に同期したシフトレジスタ用クロック HSCCK の供給を開始する。また、カウント型クロック制御部 241 は、基準クロック CLK のカウントを開始する。そして、そのカウント値が、カウント数設定におけるシフトレジスタ用クロック HSCCK の供給停止の値に達した場合、シフトレジスタ用クロック HSCCK の供給を停止する。

[0086] カウント型クロック制御部 241 は、その後も、基準クロック CLK のカウントを継続する。そして、そのカウント値が、カウント数設定におけるシフトレジスタ用クロック HSCCK の供給再開の値に達した場合、シフトレジスタ用クロック HSCCK の供給を再開する。

[0087] カウント型クロック制御部 241 は、その後も、基準クロック CLK のカウントを継続する。そして、そのカウント値が、カウント数設定におけるシフト

レジスタ用クロックHSCCKの供給終了の値に達した場合、シフトレジスタ用クロックHSCCKの供給を終了する。なお、データ読み出し期間が終了すると、カウント値がリセットされる。

[0088] 以上のように、カウント型クロック制御部241は、基準クロックCLKのカウント値に基づいて、シフトレジスタ用クロックHSCCKの供給を制御する。

[0089] このようなシフトレジスタ用クロックHSCCKの供給停止や再開の値は、カウント数設定において予め定められている。また、これらの値は任意であるが、所望の制御タイミングに応じて設定される。例えば、上述したようにA/D変換を行う期間においてシフトレジスタ182の駆動を停止させる場合、そのA/D変換を行う期間に合わせてシフトレジスタ用クロックHSCCKの供給が停止されるように、カウント数設定においてこれらの値が設定される。

[0090] 例えば上述した相関二重サンプリングの場合のように、シフトレジスタ用クロックHSCCKの供給を複数回停止したい場合、カウント数設定において、シフトレジスタ用クロックHSCCKの供給停止や再開の値を複数設定すればよい。

[0091] 換言するに、カウント数設定において、シフトレジスタ用クロックHSCCKの供給停止や再開の値が複数設定されている場合、カウント型クロック制御部241は、それぞれの値に基づいて、シフトレジスタ用クロックHSCCKの供給の停止や再開を行う。

[0092] 以上のように、基準クロックCLKのカウント値に基づいて、シフトレジスタ用クロックHSCCKの供給を制御することにより、容易に、シフトレジスタ182の駆動を制御することができる。つまり、容易に主観画質の低減を抑制することができる。

[0093] <データ転送制御処理の流れ>

読み出し処理部107により実行されるデータ転送制御処理の流れの例を図7のフローチャートを参照して説明する。なおここでは、図4を参照して説明したように、画素出力の読み出しにおいて相関二重サンプリングが行われる場合を例に説明する。読み出し処理部107は、例えば、各ラインのデータ転送においてこのデータ転送制御処理の各ステップの処理を実行するこ

とにより、上述したようなデータ転送制御を実現する。

- [0094] データ転送制御処理が開始されると、カウント型クロック制御部241は、ステップS101において、カウント数設定をセットし、基準クロックCLKのカウントを開始する。もちろん、そのカウント値はカウントを開始する前に初期化されている。そして、このデータ転送制御処理が終了するまで、このカウントが継続される。
- [0095] ステップS102において、カウント型クロック制御部241は、基準クロックCLKに同期してシフトレジスタ用クロックHSCCKの供給を開始する。
- [0096] ステップS103において、トリガ信号生成部242は、データ転送を開始するか否かを判定し、データ転送を開始するタイミングであると判定されるまで、この処理を繰り返す。そして、データ転送を開始するタイミングであると判定された場合、処理はステップS104に進む。
- [0097] ステップS104において、トリガ信号生成部242は、データ転送開始通知信号HSTRGとしてパルス（データ転送開始パルス）をデータ転送部106（シフトレジスタ182）に供給する。
- [0098] ステップS105において、カウント型クロック制御部241は、基準クロックCLKのカウント値が、カウント数設定において、シフトレジスタ用クロックHSCCKの供給を停止する値として設定された所定の値になったか否かを判定する。カウント値がその所定の値に達したと判定されるまでこのステップS105の処理が繰り返される。つまり、この間、シフトレジスタ用クロックHSCCKの供給が継続される。
- [0099] そして、カウント値がその所定の値に達したと判定されると処理はステップS106に進む。ステップS106において、カウント型クロック制御部241は、シフトレジスタ用クロックHSCCKの供給を停止する。例えば、カウント型クロック制御部241は、この所定の値に基づいて、リセット期間の画素出力に対するA/D変換が行われる期間の開始タイミングにおいて、シフトレジスタ用クロックHSCCKの供給を停止する。
- [0100] ステップS107において、カウント型クロック制御部241は、基準ク

ロックCLKのカウント値が、カウント数設定において、シフトレジスタ用クロックHSCCKの供給を再開する値として設定された所定の値になったか否かを判定する。カウント値がその所定の値に達したと判定されるまでこのステップS107の処理が繰り返される。つまり、この間、シフトレジスタ用クロックHSCCKの供給は停止されている。

[0101] そして、カウント値がその所定の値に達したと判定されると処理はステップS108に進む。ステップS108において、カウント型クロック制御部241は、シフトレジスタ用クロックHSCCKの供給を再開する。例えば、カウント型クロック制御部241は、この所定の値に基づいて、リセット期間の画素出力に対するA/D変換が行われる期間の終了タイミングにおいて、シフトレジスタ用クロックHSCCKの供給を再開する。

[0102] ステップS109において、カウント型クロック制御部241は、基準クロックCLKのカウント値が、カウント数設定において、シフトレジスタ用クロックHSCCKの供給を停止する値として設定された所定の値になったか否かを判定する。カウント値がその所定の値に達したと判定されるまでこのステップS109の処理が繰り返される。つまり、この間、シフトレジスタ用クロックHSCCKの供給が継続される。

[0103] そして、カウント値がその所定の値に達したと判定されると処理はステップS110に進む。ステップS110において、カウント型クロック制御部241は、シフトレジスタ用クロックHSCCKの供給を停止する。例えば、カウント型クロック制御部241は、この所定の値に基づいて、信号読み出し期間の画素出力に対するA/D変換が行われる期間の開始タイミングにおいて、シフトレジスタ用クロックHSCCKの供給を停止する。

[0104] ステップS111において、カウント型クロック制御部241は、基準クロックCLKのカウント値が、カウント数設定において、シフトレジスタ用クロックHSCCKの供給を再開する値として設定された所定の値になったか否かを判定する。カウント値がその所定の値に達したと判定されるまでこのステップS111の処理が繰り返される。つまり、この間、シフトレジスタ用クロック

クHSCCKの供給は停止されている。

[0105] そして、カウント値がその所定の値に達したと判定されると処理はステップS 1 1 2に進む。ステップS 1 1 2において、カウント型クロック制御部2 4 1は、シフトレジスタ用クロックHSCCKの供給を再開する。例えば、カウント型クロック制御部2 4 1は、この所定の値に基づいて、信号読み出し期間の画素出力に対するA/D変換が行われる期間の途中の所定のタイミングにおいて、シフトレジスタ用クロックHSCCKの供給を再開する。

[0106] ステップS 1 1 3において、カウント型クロック制御部2 4 1は、データ転送制御処理を終了するか否かを判定する。基準クロックCLKのカウント値が、カウント数設定において、シフトレジスタ用クロックHSCCKの供給を終了する値として設定された所定の値に達していないと判定された場合、カウント値がその所定の値に達したと判定されるまでこのステップS 1 1 3の処理が繰り返される。つまり、この間、シフトレジスタ用クロックHSCCKの供給が継続される。

[0107] そして、カウント値がその所定の値に達したと判定されると、データ転送制御処理が終了する。つまり、シフトレジスタ用クロックHSCCKの供給が終了する。

[0108] このようにすることにより、読み出し処理部1 0 7は、A/D変換を行う期間のセンスアンプ1 5 4の電流変動を抑制するように、シフトレジスタ用クロックの供給を制御することができる。したがって、撮像画像の主観画質の低減を抑制することができる。

[0109] <3. 第2の実施の形態>

<イネーブル信号に基づく制御>

また、読み出し処理部1 0 7が、所定のイネーブル信号に基づいてシフトレジスタ用クロックHSCCKの供給の停止および再開を行うようにしてもよい。

[0110] <読み出し処理部>

この場合の、読み出し処理部1 0 7の主な構成例を図8に示す。図8に示されるように、この場合の読み出し処理部1 0 7は、図5の場合と基本的に

同様の構成を有する。ただし、制御部 231 は、図 5 のカウント型クロック制御部 241 の代わりに、イネーブル型クロック制御部 301 を有する。

[0111] イネーブル型クロック制御部 301 は、所定のデジタル回路等を有し、供給されるイネーブル信号に基づいて、シフトレジスタ用クロック HSCCK の供給を制御する。

[0112] 例えば、イネーブル型クロック制御部 301 には、矢印 311 に示されるように、シフトレジスタ用クロック HSCCK の供給を制御（許可または禁止）するイネーブル信号が供給される。このイネーブル信号は、例えば制御部 101 から供給される。もちろん、このイネーブル信号の供給元は任意であり、例えば撮像素子 100 の外部から供給されるようにしてもよい。イネーブル型クロック制御部 301 は、そのイネーブル信号を取得する。

[0113] また、イネーブル型クロック制御部 301 には、図 5 の場合と同様に、基準クロック CLK が制御部 101 から供給される（矢印 252）。イネーブル型クロック制御部 301 は、その基準クロック CLK とイネーブル信号とに基づいて、シフトレジスタ用クロック HSCCK の供給を制御する。

[0114] なお、この場合も、制御部 231 が、CPU、ROM、RAM 等を有し、CPU が ROM 等に記憶されているプログラムやデータを RAM にロードして実行することにより、これらの処理を行う（イネーブル型クロック制御部 301 やトリガ信号生成部 242 の機能を実現する）ようにしてもよい。

[0115] 図 9 にその制御の様子例を示す。図 9 に示されるように、イネーブル信号は、High と Low の 2 値の信号であり、その値が High の場合、シフトレジスタ用クロック HSCCK の供給を許可し、その値が Low の場合、シフトレジスタ用クロック HSCCK の供給を禁止する。つまり、イネーブル型クロック制御部 301 は、イネーブル信号の値が High の期間においてシフトレジスタ用クロック HSCCK を供給し、イネーブル信号の値が Low の期間においてシフトレジスタ用クロック HSCCK の供給を停止する。

[0116] このようなイネーブル信号の値を切り替えるタイミングは任意であるが、所望の制御タイミングに応じて設定される。つまり、シフトレジスタ 182

の駆動を停止させたい所望の期間において、イネーブル信号の値をLowに設定すればよい。例えば、上述したようにA/D変換を行う期間においてシフトレジスタ182の駆動を停止させる場合、イネーブル信号の、そのA/D変換を行う期間の値をLowに設定しておけばよい。

[0117] なお、例えば上述した相関二重サンプリングの場合のように、シフトレジスタ用クロックHSCCKの供給を複数回停止したい場合も、各期間のイネーブル信号の値をLowに設定すればよい。換言するに、複数の期間においてイネーブル信号の値がLowに設定されている場合、イネーブル型クロック制御部301は、それぞれの期間において、シフトレジスタ用クロックHSCCKの供給を停止する。つまり、シフトレジスタ用クロックHSCCKの供給が複数回停止される。

[0118] 以上のように、イネーブル信号の値に基づいて、シフトレジスタ用クロックHSCCKの供給を制御することにより、容易に、シフトレジスタ182の駆動を制御することができる。つまり、容易に主観画質の低減を抑制することができる。

[0119] <データ転送制御処理の流れ>

この場合の読み出し処理部107により実行されるデータ転送制御処理の流れの例を図10のフローチャートを参照して説明する。

[0120] データ転送制御処理が開始されると、イネーブル型クロック制御部301は、ステップS201において、基準クロックCLKに同期してシフトレジスタ用クロックHSCCKの供給を開始する。

[0121] ステップS202において、トリガ信号生成部242は、データ転送を開始するか否かを判定し、データ転送を開始するタイミングであると判定されるまで、この処理を繰り返す。そして、データ転送を開始するタイミングであると判定された場合、処理はステップS203に進む。

[0122] ステップS203において、トリガ信号生成部242は、データ転送開始通知信号HSTRGとしてパルス（データ転送開始パルス）をデータ転送部106（シフトレジスタ182）に供給する。

[0123] ステップS204において、イネーブル型クロック制御部301は、イネ

ーブル信号の値に応じてシフトレジスタ用クロックHSCCKを供給する。つまり、イネーブル型クロック制御部301は、イネーブル信号の値がHighの期間においてシフトレジスタ用クロックHSCCKを供給し、イネーブル信号の値がLowの期間においてシフトレジスタ用クロックHSCCKの供給を停止する。このようにして、イネーブル信号に基づいて所望の期間のシフトレジスタ用クロックHSCCKの供給を停止させる。

[0124] ステップS205において、イネーブル型クロック制御部301は、データ転送制御処理を終了するか否かを判定する。シフトレジスタ用クロックHSCCKの供給を終了するタイミングになっていないと判定された場合、処理はステップS204に戻る。つまり、ステップS205において、シフトレジスタ用クロックHSCCKの供給を終了するタイミングになったと判定されるまでステップS204およびステップS205の処理が繰り返される。つまり、この間、イネーブル信号の値に応じてシフトレジスタ用クロックHSCCKの供給が行われる。

[0125] そして、シフトレジスタ用クロックHSCCKの供給を終了するタイミングになったと判定されると、データ転送制御処理が終了する。つまり、シフトレジスタ用クロックHSCCKの供給が終了する。

[0126] このようにすることにより、読み出し処理部107は、A/D変換を行う期間のセンスアンプ154の電流変動を抑制するように、シフトレジスタ用クロックの供給を制御することができる。したがって、撮像画像の主観画質の低減を抑制することができる。

[0127] <4. 第3の実施の形態>

<リセットによる制御>

以上においては、シフトレジスタ用クロックHSCCKの供給を制御することによって、シフトレジスタ182の駆動を制御する例について説明したが、シフトレジスタ182の駆動の制御方法は任意であり、この例に限定されない。例えば、シフトレジスタ182をリセットすることにより、シフトレジスタ182の駆動を停止させるようにしてもよい。また、その場合、シフトレ

ジスタ 182 に所定のトリガ信号を供給することによりシフトレジスタ 182 の駆動を再開させるようにしてもよい。

[0128] <Hスキャナ>

その場合のHスキャナ 155 の一部の構成例を図 11 に示す。図 11 に示されるように、この場合のシフトレジスタ 182 の各フリップフロップ 191 には、クリア信号CLRが供給される。説明の簡略化の為、図 11 においては、フリップフロップ 191-1 乃至フリップフロップ 191-3 の3つのフリップフロップ 191 が示されているが、シフトレジスタ 182 の全てのフリップフロップ 191 に対して、同様に、クリア信号CLRが供給される。

[0129] このクリア信号CLRは、HighまたはLowの2値の信号である。値がHighのクリア信号CLRがフリップフロップ 191 に供給されると、フリップフロップ 191 が初期化される。つまり、シフトレジスタ 182 が初期化され、その駆動が停止する。

[0130] このクリア信号CLRは、例えば、読み出し処理部 107 から供給される。なお、このクリア信号CLRの供給元は任意であり、例えば、制御部 101 から供給されるようにしてもよいし、撮像素子 100 の外部から供給されるようにしてもよい。

[0131] また、各フリップフロップ 191 の間には、OR回路 411 が設けられ、Hデコーダ 181 から供給されるトリガ信号がそのOR回路 411 を介してフリップフロップ 191 に供給されることができるようになされている。説明の簡略化の為、図 11 においては、OR回路 411-1 乃至OR回路 411-3 の3つのOR回路 411 が示されているが、シフトレジスタ 182 の全てのフリップフロップ 191 に対して、同様に、OR回路 411 が設けられ、Hデコーダ 181 からのトリガ信号（T1、T2、T3、・・・）が供給されることができるようになされている。

[0132] Hデコーダ 181 は、任意のフリップフロップ 191 に対してトリガ信号を供給することができる。つまり、Hデコーダ 181 は、シフトレジスタ 182 の駆動を再開させる場合、停止直前の状態から再開されるように、該当

するフリップフロップ191に対してトリガ信号を供給する。

[0133] つまり、図12の上から2段目に示されるように、シフトレジスタ182の駆動を停止させる場合、クリア信号CLRの値がHighにセットされる。シフトレジスタ182の駆動を再開する場合、クリア信号CLRの値がLowにセットされる。

[0134] なお、クリア信号CLRがHighになると、シフトレジスタ182の状態は初期化されるので、駆動を停止する直前の状態は、Hデコーダ181において管理する。すなわち、Hデコーダ181は、シフトレジスタ182の駆動を再開する場合、シフトレジスタ182の、動作を再開させる位置に、トリガ信号を供給する。このようにすることにより、シフトレジスタ182は、停止する直前の状態から駆動を再開することができる。

[0135] このようなクリア信号CLRの値を切り替えるタイミングやトリガ信号の供給タイミングは任意であるが、所望の制御タイミングに応じて設定される。つまり、シフトレジスタ182の駆動を停止させたい所望の期間において、クリア信号CLRの値をHighに設定すればよい。また、その期間の終了タイミングに応じたタイミングにおいて、Hデコーダ181がシフトレジスタ182の適切な位置にトリガ信号を供給するようにすればよい。例えば、上述したようにA/D変換を行う期間においてシフトレジスタ182の駆動を停止させる場合、クリア信号CLRの、そのA/D変換を行う期間の値をHighに設定し、駆動を再開させるタイミングに応じたタイミングにおいて、Hデコーダ181がシフトレジスタ182の適切な位置にトリガ信号を供給するようにすればよい。

[0136] なお、例えば上述した相関二重サンプリングの場合のように、シフトレジスタ用クロックHSCCKの供給を複数回停止したい場合も、それぞれの期間について同様に制御すればよい。

[0137] 以上のように、シフトレジスタ182をリセットすることにより、シフトレジスタ182の駆動を制御することができる。つまり、主観画質の低減を抑制することができる。

[0138] <データ転送制御処理の流れ>

この場合のデータ転送制御処理の流れの例を図13のフローチャートを参照して説明する。なおここでは、図4を参照して説明したように、画素出力の読み出しにおいて相関二重サンプリングが行われる場合（各A/D変換を行う期間の全てにおいてシフトレジスタ182の駆動を停止する場合）を例に説明する。読み出し処理部107は、例えば、各ラインのデータ転送においてこのデータ転送制御処理の各ステップの処理を実行することにより、上述したようなデータ転送制御を実現する。

[0139] データ転送制御処理が開始されると、読み出し処理部107の制御部231は、ステップS301において、基準クロックCLKに同期してシフトレジスタ用クロックHSCCKの供給を開始する。

[0140] ステップS302において、トリガ信号生成部242は、データ転送を開始するか否かを判定し、データ転送を開始するタイミングであると判定されるまで、この処理を繰り返す。そして、データ転送を開始するタイミングであると判定された場合、処理はステップS303に進む。

[0141] ステップS303において、トリガ信号生成部242は、データ転送開始通知信号HSTRGとしてパルス（データ転送開始パルス）をデータ転送部106（シフトレジスタ182）に供給する。

[0142] ステップS304において、制御部231は、リセット期間（P相）の画素出力に対するA/D変換の開始タイミングであるか否かを判定する。その開始タイミングであると判定されるまでこのステップS304の処理が繰り返される。つまり、この間、シフトレジスタ182は駆動している。

[0143] そして、リセット期間（P相）の画素出力に対するA/D変換の開始タイミングであると判定されると処理はステップS305に進む。ステップS305において、制御部231は、クリア信号CLRの値をHighにセットしてシフトレジスタ182をリセットする。これにより、シフトレジスタ182の駆動が停止する。

[0144] ステップS306において、制御部231は、リセット期間（P相）の画

素出力に対するA/D変換の終了タイミングであるか否かを判定する。その終了タイミングであると判定されるまでこのステップS306の処理が繰り返される。つまり、この間、シフトレジスタ182の駆動は停止されている。

[0145] そして、リセット期間（P相）の画素出力に対するA/D変換の終了タイミングであると判定されると処理はステップS307に進む。ステップS307において、制御部231は、クリア信号CLRの値をLowにセットしてシフトレジスタ182の駆動を許可する。また、Hデコーダ181は、シフトレジスタ182の動作再開位置にトリガ信号を供給する。これにより、シフトレジスタ182は、停止直前の状態から駆動を再開する。

[0146] ステップS308において、制御部231は、信号読み出し期間（D相）の画素出力に対するA/D変換の開始タイミングであるか否かを判定する。その開始タイミングであると判定されるまでこのステップS308の処理が繰り返される。つまり、この間、シフトレジスタ182は駆動している。

[0147] そして、信号読み出し期間（D相）の画素出力に対するA/D変換の開始タイミングであると判定されると処理はステップS309に進む。ステップS309において、制御部231は、クリア信号CLRの値をHighにセットしてシフトレジスタ182をリセットする。これにより、シフトレジスタ182の駆動が停止する。

[0148] ステップS310において、制御部231は、信号読み出し期間（D相）の画素出力に対するA/D変換の終了タイミングであるか否かを判定する。その終了タイミングであると判定されるまでこのステップS310の処理が繰り返される。つまり、この間、シフトレジスタ182の駆動は停止されている。

[0149] そして、信号読み出し期間（D相）の画素出力に対するA/D変換の終了タイミングであると判定されると処理はステップS311に進む。ステップS311において、制御部231は、クリア信号CLRの値をLowにセットしてシフトレジスタ182の駆動を許可する。また、Hデコーダ181は、シフトレジスタ182の動作再開位置にトリガ信号を供給する。これにより、シフト

レジスタ 182 は、停止直前の状態から駆動を再開する。

[0150] ステップ S312 において、制御部 231 は、データ転送制御処理を終了するか否かを判定する。データ転送が終了しておらず、シフトレジスタ 182 の駆動を終了させるタイミングでないと判定された場合、データ転送が終了したと判定されるまでこのステップ S312 の処理が繰り返される。つまり、この間、シフトレジスタ 182 は駆動している。

[0151] そして、データ転送が終了したと判定されると、データ転送制御処理が終了する。つまり、シフトレジスタ 182 の駆動が終了する。

[0152] このようにすることにより、読み出し処理部 107 は、A/D変換を行う期間のセンスアンプ 154 の電流変動を抑制するように、シフトレジスタ 182 の駆動を制御することができる。したがって、撮像画像の主観画質の低減を抑制することができる。

[0153] 以上のようにシフトレジスタ 182 をリセットする場合、単にクリア信号を供給するだけでなく、シフトレジスタ 182 の駆動を停止する直前の状態の管理が必要になり、再開時にトリガ信号を適切に供給する必要がある。

[0154] これに対して、第 1 の実施の形態や第 2 の実施の形態のようにシフトレジスタ用クロック HSCCK の供給を制御する方が、より容易に、シフトレジスタ 182 の駆動を制御することができる。

[0155] <5. 第 4 の実施の形態>

<その他によるデータ転送制御>

なお、A/D変換中のセンスアンプの電流変動を抑制する方法は、上述の例に限定されない。例えば、データ転送の開始タイミングを遅らせて、A/D変換中にデータ転送が終了しないようにしてもよい。このようにすることにより、データ転送終了によるセンスアンプ 154 の大幅な電流変動が A/D変換中に発生することを抑制することができる。

[0156] ただしこの方法の場合、データ転送中のセンスアンプ 154 の緩やかな電流変動による影響を抑制することができない。従って、第 1 の実施の形態乃至第 3 の実施の形態において説明した方法の方が、この方法よりも、より確

実にセンスアンプ154の電流変動を抑制することができ、撮像画像の主観画質の低減をより抑制することができる。

[0157] また、不要なデータ転送動作を行うことにより、A/D変換中にデータ転送が終了しないようにしてもよい。このようにすることにより、データ転送終了によるセンスアンプ154の大幅な電流変動がA/D変換中に発生することを抑制することができる。

[0158] ただしこの方法の場合も、データ転送中のセンスアンプ154の緩やかな電流変動による影響を抑制することができない。従って、第1の実施の形態乃至第3の実施の形態において説明した方法の方が、この方法よりも、より確実にセンスアンプ154の電流変動を抑制することができ、撮像画像の主観画質の低減をより抑制することができる。

[0159] なお、これらの方法において、さらに、データ転送中のセンスアンプ154の緩やかな電流変動を抑制する機能を追加するようにしてもよい。しかしながら、その場合、構成や処理がより複雑になり、回路規模やコストが増大するおそれがある。従って、第1の実施の形態乃至第3の実施の形態において説明した方法の方が、この方法よりも、より容易にセンスアンプ154の電流変動を抑制することができ、撮像画像の主観画質の低減をより抑制することができる。

[0160] また、シフトレジスタ182に、駆動を中断するための専用の機能を追加するようにしてもよい。しかしながら、その場合、構成や処理がより複雑になり、回路規模やコストが増大するおそれがある。従って、第1の実施の形態乃至第3の実施の形態において説明した方法の方が、この方法よりも、より容易にセンスアンプ154の電流変動を抑制することができ、撮像画像の主観画質の低減をより抑制することができる。

[0161] <その他の構成>

以上においては、画素アレイ部102より1行ずつ画素出力が読み出されるように説明したが、画素出力の読み出し順は任意である。また、以上においては、カラムA/D変換部105が1行ずつ各カラムの画素出力をA/D変換す

るように説明したが、A/D変換の構成は任意であり、画素アレイ部102より読み出された各画素出力がどのような順でA/D変換されるようにしてもよい。例えば、各カラムに対してA/D変換部が複数設けられるようにし、その複数のA/D変換部によって画素出力がA/D変換されるようにしてもよい。また、例えば、複数のカラムで1つのA/D変換部を共有するようにしてもよい。

[0162] また、例えば、撮像素子100に1つのA/D変換部が設けられ、そのA/D変換部によって1画素ずつ画素出力がA/D変換されるようにしてもよい。また、例えば、画素アレイ部102のライン毎にA/D変換部が設けられ、各A/D変換部により、1カラムずつ画素出力がA/D変換されるようにしてもよい。また、例えば、画素アレイ部102の所定のエリア毎にA/D変換部が設けられ、各A/D変換部により、各エリアの画素出力がA/D変換されるようにしてもよい。

[0163] また、以上においては、画素データがライン毎にセンスアンプ154に転送されるように説明したが、画素データの転送は、例えばカラム毎や領域毎等、任意の単位で行われるようにしてもよい。また、以上においてはセンスアンプ154の電流変動を抑制する点について説明したが、データ転送に起因する電流変動によるA/D変換結果への影響を抑制することができればよいので、本技術による電流変動の抑制対象はセンスアンプ154に限定されない。つまり、本技術による電流変動の抑制対象は、データ転送に起因するものであればセンスアンプ154以外のものも含む。

[0164] また、図2に示される撮像素子100の構成は、1枚の半導体意基板（以下、単に基板と称する）上に形成されるようにしてもよいし、複数の基板上に形成されるようにしてもよい。この構成が複数の基板上に形成される場合、図2に示される各構成がどのように各基板に配置されるようにしてもよい。

[0165] 例えば、読み出し処理部107が1つの基板上に配置され、その他の構成は他の基板上に配置されるようにしてもよい。また、読み出し処理部107と制御部101とが1つの基板上に配置され、その他の構成は他の基板上に配置されるようにしてもよい。また、読み出し処理部107とデータ転送部

106とが1つの基板上に配置され、その他の構成は他の基板上に配置されるようにしてもよい。もちろん、これら以外の組み合わせであってもよい。

[0166] また、図2に示される撮像素子100の構成が複数の基板上に形成される場合、全ての基板を含む1つのチップ（例えばモールド封止等が施されて一体化されたもの）として構成されるようにしてもよいし、互いに異なる基板を含む複数のチップとして構成されるようにしてもよい。

[0167] 例えば、複数の基板が互いに積層されてビア等を介して各基板の回路が互いに接続された1つのチップとして構成されるようにしてもよい。また、複数のチップをモジュール化したものであってもよい。

[0168] <6. 第5の実施の形態>

<撮像装置>

なお、本技術は、撮像素子以外にも適用することができる。例えば、撮像装置のような、撮像素子を有する装置（電子機器等）に本技術を適用するようにしてもよい。図14は、本技術を適用した電子機器の一例としての撮像装置の主な構成例を示すブロック図である。図14に示される撮像装置600は、被写体を撮像し、その被写体の画像を電気信号として出力する装置である。

[0169] 図14に示されるように撮像装置600は、光学部611、CMOSイメージセンサ612、画像処理部613、表示部614、コーデック処理部615、記憶部616、出力部617、通信部618、制御部621、操作部622、およびドライブ623を有する。

[0170] 光学部611は、被写体までの焦点を調整し、焦点が合った位置からの光を集光するレンズ、露出を調整する絞り、および、撮像のタイミングを制御するシャッタ等よりなる。光学部611は、被写体からの光（入射光）を透過し、CMOSイメージセンサ612に供給する。

[0171] CMOSイメージセンサ612は、入射光を光電変換して画素毎の信号（画素信号）をA/D変換し、CDS等の信号処理を行い、処理後の撮像画像データを画像処理部613に供給する。

- [0172] 画像処理部613は、CMOSイメージセンサ612により得られた撮像画像データを画像処理する。より具体的には、画像処理部613は、CMOSイメージセンサ612から供給された撮像画像データに対して、例えば、混色補正や、黒レベル補正、ホワイトバランス調整、デモザイク処理、マトリックス処理、ガンマ補正、およびYC変換等の各種画像処理を施す。画像処理部613は、画像処理を施した撮像画像データを表示部614に供給する。
- [0173] 表示部614は、例えば、液晶ディスプレイ等として構成され、画像処理部613から供給された撮像画像データの画像（例えば、被写体の画像）を表示する。
- [0174] 画像処理部613は、さらに、画像処理を施した撮像画像データを、必要に応じて、コーデック処理部615に供給する。
- [0175] コーデック処理部615は、画像処理部613から供給された撮像画像データに対して、所定の方式の符号化処理を施し、得られた符号化データを記憶部616に供給する。また、コーデック処理部615は、記憶部616に記録されている符号化データを読み出し、復号して復号画像データを生成し、その復号画像データを画像処理部613に供給する。
- [0176] 画像処理部613は、コーデック処理部615から供給される復号画像データに対して所定の画像処理を施す。画像処理部613は、画像処理を施した復号画像データを表示部614に供給する。表示部614は、例えば、液晶ディスプレイ等として構成され、画像処理部613から供給された復号画像データの画像を表示する。
- [0177] また、コーデック処理部615は、画像処理部613から供給された撮像画像データを符号化した符号化データ、または、記憶部616から読み出した撮像画像データの符号化データを出力部617に供給し、撮像装置600の外部に出力させるようにしてもよい。また、コーデック処理部615は、符号化前の撮像画像データ、若しくは、記憶部616から読み出した符号化データを復号して得られた復号画像データを出力部617に供給し、撮像装置600の外部に出力させるようにしてもよい。

- [0178] さらに、コーデック処理部615は、撮像画像データ、撮像画像データの符号化データ、または、復号画像データを、通信部618を介して他の装置に伝送させるようにしてもよい。また、コーデック処理部615は、撮像画像データや画像データの符号化データを、通信部618を介して取得するようにしてもよい。コーデック処理部615は、通信部618を介して取得した撮像画像データや画像データの符号化データに対して、適宜、符号化や復号等を行う。コーデック処理部615は、得られた画像データ若しくは符号化データを、上述したように、画像処理部613に供給したり、記憶部616、出力部617、および通信部618に出力するようにしてもよい。
- [0179] 記憶部616は、コーデック処理部615から供給される符号化データ等を記憶する。記憶部616に格納された符号化データは、必要に応じてコーデック処理部615に読み出されて復号される。復号処理により得られた撮像画像データは、表示部614に供給され、その撮像画像データに対応する撮像画像が表示される。
- [0180] 出力部617は、外部出力端子等の外部出力インターフェイスを有し、コーデック処理部615を介して供給される各種データを、その外部出力インターフェイスを介して撮像装置600の外部に出力する。
- [0181] 通信部618は、コーデック処理部615から供給される画像データや符号化データ等の各種情報を、所定の通信（有線通信若しくは無線通信）の通信相手である他の装置に供給する。また、通信部618は、所定の通信（有線通信若しくは無線通信）の通信相手である他の装置から、画像データや符号化データ等の各種情報を取得し、それをコーデック処理部615に供給する。
- [0182] 制御部621は、所定のデジタル回路等を有し、撮像装置600の各処理部（点線620内に示される各処理部、操作部622、並びに、ドライブ623）の動作の制御に関する処理を行う。なお、制御部621が、例えば、CPU、ROM、RAM等を有し、そのCPUがROM等よりRAMにロードされたプログラムやデータを実行することにより、そのような制御に関する各種処理を行うよう

にしてもよい。

[0183] 操作部 622 は、例えば、ジョグダイヤル（商標）、キー、ボタン、またはタッチパネル等の任意の入力デバイスにより構成され、例えばユーザ等による操作入力を受け、その操作入力に対応する信号を制御部 621 に供給する。

[0184] ドライブ 623 は、自身に装着された、例えば、磁気ディスク、光ディスク、光磁気ディスク、または半導体メモリなどのリムーバブルメディア 624 に記憶されている情報を読み出す。ドライブ 623 は、リムーバブルメディア 624 からプログラムやデータ等の各種情報を読み出し、それを制御部 621 に供給する。また、ドライブ 623 は、書き込み可能なリムーバブルメディア 624 が自身に装着された場合、制御部 621 を介して供給される、例えば画像データや符号化データ等の各種情報を、そのリムーバブルメディア 624 に記憶させる。

[0185] 以上のような撮像装置 600 の CMOS イメージセンサ 612 として、各実施の形態において上述した本技術を適用する。すなわち、CMOS イメージセンサ 612 として、上述した撮像素子 100 が用いられる。これにより、CMOS イメージセンサ 612 は、撮像画像の画質の低減を抑制することができる。したがって撮像装置 600 は、被写体を撮像することにより、より高画質な撮像画像を得ることができる。

[0186] < 7. 移動体への応用例 >

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0187] 図 15 は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0188] 車両制御システム 12000 は、通信ネットワーク 12001 を介して接

続された複数の電子制御ユニットを備える。図15に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F(interface)12053が図示されている。

[0189] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0190] ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグラмп等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット12020は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0191] 車外情報検出ユニット12030は、車両制御システム12000を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット12030には、撮像部12031が接続される。車外情報検出ユニット12030は、撮像部12031に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット12030は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処

理を行ってもよい。

[0192] 撮像部12031は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部12031は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部12031が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0193] 車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0194] マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

[0195] また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0196] また、マイクロコンピュータ12051は、車外情報検出ユニット120

30で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0197] 音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図15の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0198] 図16は、撮像部12031の設置位置の例を示す図である。

[0199] 図16では、車両12100は、撮像部12031として、撮像部12101、12102、12103、12104、12105を有する。

[0200] 撮像部12101、12102、12103、12104、12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102、12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。撮像部12101及び12105で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0201] なお、図16には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像

部 1 2 1 0 1 の撮像範囲を示し、撮像範囲 1 2 1 1 2, 1 2 1 1 3 は、それぞれサイドミラーに設けられた撮像部 1 2 1 0 2, 1 2 1 0 3 の撮像範囲を示し、撮像範囲 1 2 1 1 4 は、リアバンパ又はバックドアに設けられた撮像部 1 2 1 0 4 の撮像範囲を示す。例えば、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 で撮像された画像データが重ね合わせられることにより、車両 1 2 1 0 0 を上方から見た俯瞰画像が得られる。

[0202] 撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、距離情報を取得する機能を有していてもよい。例えば、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0203] 例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 から得られた距離情報を基に、撮像範囲 1 2 1 1 1 ないし 1 2 1 1 4 内における各立体物までの距離と、この距離の時間的变化（車両 1 2 1 0 0 に対する相対速度）を求めることにより、特に車両 1 2 1 0 0 の進行路上にある最も近い立体物で、車両 1 2 1 0 0 と略同じ方向に所定の速度（例えば、0 k m / h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 1 2 0 5 1 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0204] 例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 から得られた距離情報を元に、立体物に関する立体物データを、2 輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ 1 2 0 5 1 は、車両 1 2 1 0 0 の周辺の障害物を、車両 1 2 1 0 0 のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ 1 2 0 5 1 は、各障害物との衝突の危険度を示す衝突リスク

を判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ 12061 や表示部 12062 を介してドライバに警報を出力することや、駆動系制御ユニット 12010 を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0205] 撮像部 12101 ないし 12104 の少なくとも 1 つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部 12101 ないし 12104 の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ 12051 が、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部 12052 は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部 12062 を制御する。また、音声画像出力部 12052 は、歩行者を示すアイコン等を所望の位置に表示するように表示部 12062 を制御してもよい。

[0206] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部 12031 に適用され得る。具体的には、図 2 の撮像素子 100 または図 14 の撮像装置 600 は、撮像部 12031 に適用することができる。撮像部 12031 に本開示に係る技術を適用することにより、主観画質の低減を抑制し、より高画質な撮像画像を得ることができるため、車外情報検出ユニット 12030 は、人、車、障害物、標識又は路面上の文字等の物体検出や距離検出等の処理をより高精度に行うことができる。これにより、マイクロコンピュータ 12051 は A D A S の機能実現や自動運転等を目的とした協調制御や、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御等をより高精度に行うことができる。

[0207] <8. その他>

<ソフトウェア>

上述した一連の処理は、ハードウェアにより実行させることもできるし、ソフトウェアにより実行させることもできる。また、一部の処理をハードウェアにより実行させ、他の処理をソフトウェアにより実行させることもできる。一連の処理をソフトウェアにより実行する場合には、そのソフトウェアを構成するプログラムやデータがインストールされる。

[0208] 例えば、図14の撮像装置600の場合、このプログラムやデータは、パッケージメディア等としてのリムーバブルメディア624に記録して適用することができる。その場合、そのプログラムやデータは、リムーバブルメディア624をドライブ623に装着することにより、制御部621に制御されて、制御部621やCMOSイメージセンサ612（撮像素子100の制御部101や読み出し処理部107等）にインストールすることができる。

[0209] また、このプログラムやデータは、ローカルエリアネットワーク、インターネット、デジタル衛星放送といった、有線または無線の伝送媒体を介して提供することもできる。その場合、そのプログラムやデータは、通信部618により受信され、制御部621やCMOSイメージセンサ612にインストールすることができる。

[0210] さらに、このプログラムやデータは、制御部621やCMOSイメージセンサ612のROM等に、あらかじめインストールしておくこともできる。

[0211] <補足>

本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

[0212] 例えば、本技術は、装置またはシステムを構成するあらゆる構成、例えば、システムLSI (Large Scale Integration) 等としてのプロセッサ、複数のプロセッサ等を用いるモジュール、複数のモジュール等を用いるユニット、ユニットにさらにその他の機能を付加したセット等（すなわち、装置の一部の構成）として実施することもできる。

- [0213] なお、本明細書において、システムとは、複数の構成要素（装置、モジュール（部品）等）の集合を意味し、全ての構成要素が同一筐体中にあるか否かは問わない。したがって、別個の筐体に収納され、ネットワークを介して接続されている複数の装置、及び、1つの筐体の中に複数のモジュールが収納されている1つの装置は、いずれも、システムである。
- [0214] また、上述した処理部は、その処理部について説明した機能を有するようにすれば、どのような構成により実現するようにしてもよい。例えば、処理部が、任意の回路、LSI、システムLSI、プロセッサ、モジュール、ユニット、セット、デバイス、装置、またはシステム等により構成されるようにしてもよい。また、それらを複数組み合わせるようにしてもよい。例えば、複数の回路、複数のプロセッサ等のように同じ種類の構成を組み合わせるようにしてもよいし、回路とLSI等のように異なる種類の構成を組み合わせるようにしてもよい。
- [0215] また、例えば、1つの装置（または処理部）として説明した構成を分割し、複数の装置（または処理部）として構成するようにしてもよい。逆に、以上において複数の装置（または処理部）として説明した構成をまとめて1つの装置（または処理部）として構成されるようにしてもよい。また、各装置（または各処理部）の構成に上述した以外の構成を付加するようにしてももちろんよい。さらに、システム全体としての構成や動作が実質的に同じであれば、ある装置（または処理部）の構成の一部を他の装置（または他の処理部）の構成に含めるようにしてもよい。
- [0216] また、例えば、本技術は、1つの機能を、ネットワークを介して複数の装置で分担、共同して処理するクラウドコンピューティングの構成をとることができる。
- [0217] また、例えば、上述したプログラムは、任意の装置において実行することができる。その場合、その装置が、必要な機能（機能ブロック等）を有し、必要な情報を得ることができるようにすればよい。
- [0218] また、例えば、上述のフローチャートで説明した各ステップは、1つの装

置で実行する他、複数の装置で分担して実行することができる。さらに、1つのステップに複数の処理が含まれる場合には、その1つのステップに含まれる複数の処理は、1つの装置で実行する他、複数の装置で分担して実行することができる。換言するに、1つのステップに含まれる複数の処理を、複数のステップの処理として実行することもできる。逆に、複数のステップとして説明した処理を1つのステップとしてまとめて実行することもできる。

[0219] コンピュータが実行するプログラムは、プログラムを記述するステップの処理が、本明細書で説明する順序に沿って時系列に実行されるようにしても良いし、並列に、あるいは呼び出しが行われたとき等の必要なタイミングで個別に実行されるようにしても良い。つまり、矛盾が生じない限り、各ステップの処理が上述した順序と異なる順序で実行されるようにしてもよい。さらに、このプログラムを記述するステップの処理が、他のプログラムの処理と並列に実行されるようにしても良いし、他のプログラムの処理と組み合わせて実行されるようにしても良い。

[0220] 本明細書において複数説明した本技術は、矛盾が生じない限り、それぞれ独立に単体で実施することができる。もちろん、任意の複数の本技術を併用して実施することもできる。例えば、いずれかの実施の形態において説明した本技術の一部または全部を、他の実施の形態において説明した本技術の一部または全部と組み合わせて実施することもできる。また、上述した任意の本技術の一部または全部を、上述していない他の技術と併用して実施することもできる。

[0221] なお、本技術は以下のような構成も取ることができる。

(1) アナログ信号の画素出力に対するA/D変換を行う期間の一部または全部において、前記A/D変換により得られるデジタルデータの画素データの転送を制御するシフトレジスタの駆動を停止させる制御部

を備える信号処理装置。

(2) 前記制御部は、前記A/D変換を行う期間の開始タイミングから前記シフトレジスタの駆動を停止させる

(1) に記載の信号処理装置。

(3) 前記制御部は、相関二重サンプリングのリセット期間の画素出力に対するA/D変換を行う期間、並びに、前記相関二重サンプリングの信号読み出し期間の画素出力に対するA/D変換を行う期間の一部または全部において、前記シフトレジスタの駆動を停止させる

(2) に記載の信号処理装置。

(4) 前記制御部は、前記リセット期間の画素出力に対するA/D変換を行う期間の全部と、前記信号読み出し期間の画素出力に対するA/D変換を行う期間の内の、前記リセット期間の画素出力に対するA/D変換を行う期間よりも長い期間とにおいて、前記シフトレジスタの駆動を停止させる

(3) に記載の信号処理装置。

(5) 前記シフトレジスタは、前記画素データを保持する保持部と、前記保持部から読み出された前記画素データを電流から電圧に変換するセンスアンプとの駆動を制御することにより、前記画素データの転送を制御する

(1) 乃至 (4) のいずれかに記載の信号処理装置。

(6) 前記制御部は、前記シフトレジスタを駆動させるシフトレジスタ用クロックの供給を停止することにより前記シフトレジスタの駆動を停止させ、前記シフトレジスタ用クロックの供給を再開することにより前記シフトレジスタの駆動を再開させる

(5) に記載の信号処理装置。

(7) 前記制御部は、所定の基準クロックをカウントし、そのカウント値に基づいて前記シフトレジスタ用クロックの供給の停止および再開を行う

(6) に記載の信号処理装置。

(8) 前記制御部は、イネーブル信号に基づいて前記シフトレジスタ用クロックの供給の停止および再開を行う

(6) または (7) に記載の信号処理装置。

(9) 前記制御部は、前記シフトレジスタを初期化することにより前記シフトレジスタの駆動を停止させ、前記シフトレジスタにトリガ信号を供給

することにより前記シフトレジスタの駆動を再開させる

(5) 乃至 (8) のいずれかに記載の信号処理装置。

(10) 前記制御部は、前記シフトレジスタの駆動を再開させる場合、前記シフトレジスタの、動作を再開させる位置に、前記トリガ信号を供給する

(9) に記載の信号処理装置。

(11) 前記シフトレジスタをさらに備える

(5) 乃至 (10) のいずれかに記載の信号処理装置。

(12) 前記保持部と、

前記センスアンプと

をさらに備える (11) に記載の信号処理装置。

(13) アナログ信号の画素出力に対するA/D変換を行う期間の一部または全部において、前記A/D変換により得られるデジタルデータの画素データの転送を制御するシフトレジスタの駆動を停止させる

信号処理方法。

(14) それぞれが入射光を光電変換する構成を有する複数の画素からなる画素アレイと、

前記画素アレイから得られるアナログ信号の画素出力をA/D変換するA/D変換部と、

前記A/D変換部により前記画素出力がA/D変換されて得られるデジタルデータの画素データを保持する保持部と、

前記保持部から読み出された前記画素データを電流から電圧に変換するセンスアンプと、

前記保持部と前記センスアンプとの駆動を制御することにより、前記画素データの転送を制御するシフトレジスタと、

前記A/D変換部による前記画素出力に対するA/D変換を行う期間の一部または全部において、前記シフトレジスタの駆動を停止させる制御部と

を備える撮像素子。

(15) 前記制御部は、前記A/D変換部による前記画素出力に対する前記A/D変換を行う期間の開始タイミングから前記シフトレジスタの駆動を停止させる

(14)に記載の撮像素子。

(16) 前記制御部は、前記A/D変換部による、相関二重サンプリングのリセット期間の画素出力に対するA/D変換を行う期間、並びに、前記相関二重サンプリングの信号読み出し期間の画素出力に対するA/D変換を行う期間の一部または全部において、前記シフトレジスタの駆動を停止させる

(15)に記載の撮像素子。

(17) 前記制御部は、所定の基準クロックをカウントし、そのカウント値に基づいて、前記シフトレジスタを駆動させるシフトレジスタ用クロックの供給を停止することにより前記シフトレジスタの駆動を停止させ、前記シフトレジスタ用クロックの供給を再開することにより前記シフトレジスタの駆動を再開させる

(14)乃至(16)のいずれかに記載の撮像素子。

(18) 前記制御部は、イネーブル信号に基づいて、前記シフトレジスタを駆動させるシフトレジスタ用クロックの供給を停止することにより前記シフトレジスタの駆動を停止させ、前記シフトレジスタ用クロックの供給を再開することにより前記シフトレジスタの駆動を再開させる

(14)乃至(17)のいずれかに記載の撮像素子。

(19) 前記制御部は、前記シフトレジスタを初期化することにより前記シフトレジスタの駆動を停止させ、前記シフトレジスタにトリガ信号を供給することにより前記シフトレジスタの駆動を再開させる

(14)乃至(18)のいずれかに記載の撮像素子。

(20) 被写体を撮像する撮像部と、

前記撮像部による撮像により得られた画像データを画像処理する画像処理部と

を備え、

前記撮像部は、

それぞれが入射光を光電変換する構成を有する複数の画素からなる画素アレイと、

前記画素アレイから得られるアナログ信号の画素出力をA/D変換するA/D変換部と、

前記A/D変換部により前記画素出力がA/D変換されて得られるデジタルデータの画素データを保持する保持部と、

前記保持部から読み出された前記画素データを電流から電圧に変換するセンスアンプと、

前記保持部と前記センスアンプとの駆動を制御することにより、前記画素データの転送を制御するシフトレジスタと、

前記A/D変換部による前記画素出力に対するA/D変換を行う期間の一部または全部において、前記シフトレジスタの駆動を停止させる制御部と

を備える電子機器。

符号の説明

[0222] 100 撮像素子, 101 制御部, 102 画素アレイ部, 103 行選択部, 104 参照電圧生成部, 105 カラムA/D変換部, 106 データ転送部, 107 読み出し処理部, 108 出力インタフェース部, 151 データラッチ, 152および153 データバス, 154 センスアンプ, 155 Hスキャナ, 161 増幅部, 162乃至164 フリップフロップ, 165乃至167 遅延部, 181 Hデコーダ, 182 シフトレジスタ, 191 フリップフロップ, 231 制御部, 232 データ処理部, 241 カウント型クロック制御部, 242 トリガ信号生成部, 243 SRAM, 301 イネーブル型クロック制御部, 600 撮像装置, 612 CMOSイメージセンサ, 613 画像処理部

請求の範囲

- [請求項1] アナログ信号の画素出力に対するA/D変換を行う期間の一部または全部において、前記A/D変換により得られるデジタルデータの画素データの転送を制御するシフトレジスタの駆動を停止させる制御部を備える信号処理装置。
- [請求項2] 前記制御部は、前記A/D変換を行う期間の開始タイミングから前記シフトレジスタの駆動を停止させる
請求項1に記載の信号処理装置。
- [請求項3] 前記制御部は、相関二重サンプリングのリセット期間の画素出力に対するA/D変換を行う期間、並びに、前記相関二重サンプリングの信号読み出し期間の画素出力に対するA/D変換を行う期間の一部または全部において、前記シフトレジスタの駆動を停止させる
請求項2に記載の信号処理装置。
- [請求項4] 前記制御部は、前記リセット期間の画素出力に対するA/D変換を行う期間の全部と、前記信号読み出し期間の画素出力に対するA/D変換を行う期間の内の、前記リセット期間の画素出力に対するA/D変換を行う期間よりも長い期間とにおいて、前記シフトレジスタの駆動を停止させる
請求項3に記載の信号処理装置。
- [請求項5] 前記シフトレジスタは、前記画素データを保持する保持部と、前記保持部から読み出された前記画素データを電流から電圧に変換するセンスアンプとの駆動を制御することにより、前記画素データの転送を制御する
請求項1に記載の信号処理装置。
- [請求項6] 前記制御部は、前記シフトレジスタを駆動させるシフトレジスタ用クロックの供給を停止することにより前記シフトレジスタの駆動を停止させ、前記シフトレジスタ用クロックの供給を再開することにより前記シフトレジスタの駆動を再開させる

請求項 5 に記載の信号処理装置。

[請求項7] 前記制御部は、所定の基準クロックをカウントし、そのカウント値に基づいて前記シフトレジスタ用クロックの供給の停止および再開を行う

請求項 6 に記載の信号処理装置。

[請求項8] 前記制御部は、イネーブル信号に基づいて前記シフトレジスタ用クロックの供給の停止および再開を行う

請求項 6 に記載の信号処理装置。

[請求項9] 前記制御部は、前記シフトレジスタを初期化することにより前記シフトレジスタの駆動を停止させ、前記シフトレジスタにトリガ信号を供給することにより前記シフトレジスタの駆動を再開させる

請求項 5 に記載の信号処理装置。

[請求項10] 前記制御部は、前記シフトレジスタの駆動を再開させる場合、前記シフトレジスタの、動作を再開させる位置に、前記トリガ信号を供給する

請求項 9 に記載の信号処理装置。

[請求項11] 前記シフトレジスタをさらに備える

請求項 5 に記載の信号処理装置。

[請求項12] 前記保持部と、
前記センスアンプと

をさらに備える請求項 11 に記載の信号処理装置。

[請求項13] アナログ信号の画素出力に対するA/D変換を行う期間の一部または全部において、前記A/D変換により得られるデジタルデータの画素データの転送を制御するシフトレジスタの駆動を停止させる

信号処理方法。

[請求項14] それぞれが入射光を光電変換する構成を有する複数の画素からなる画素アレイと、

前記画素アレイから得られるアナログ信号の画素出力をA/D変換す

るA/D変換部と、

前記A/D変換部により前記画素出力がA/D変換されて得られるデジタルデータの画素データを保持する保持部と、

前記保持部から読み出された前記画素データを電流から電圧に変換するセンスアンプと、

前記保持部と前記センスアンプとの駆動を制御することにより、前記画素データの転送を制御するシフトレジスタと、

前記A/D変換部による前記画素出力に対するA/D変換を行う期間の一部または全部において、前記シフトレジスタの駆動を停止させる制御部と

を備える撮像素子。

[請求項15] 前記制御部は、前記A/D変換部による前記画素出力に対する前記A/D変換を行う期間の開始タイミングから前記シフトレジスタの駆動を停止させる

請求項14に記載の撮像素子。

[請求項16] 前記制御部は、前記A/D変換部による、相関二重サンプリングのリセット期間の画素出力に対するA/D変換を行う期間、並びに、前記相関二重サンプリングの信号読み出し期間の画素出力に対するA/D変換を行う期間の一部または全部において、前記シフトレジスタの駆動を停止させる

請求項15に記載の撮像素子。

[請求項17] 前記制御部は、所定の基準クロックをカウントし、そのカウント値に基づいて、前記シフトレジスタを駆動させるシフトレジスタ用クロックの供給を停止することにより前記シフトレジスタの駆動を停止させ、前記シフトレジスタ用クロックの供給を再開することにより前記シフトレジスタの駆動を再開させる

請求項14に記載の撮像素子。

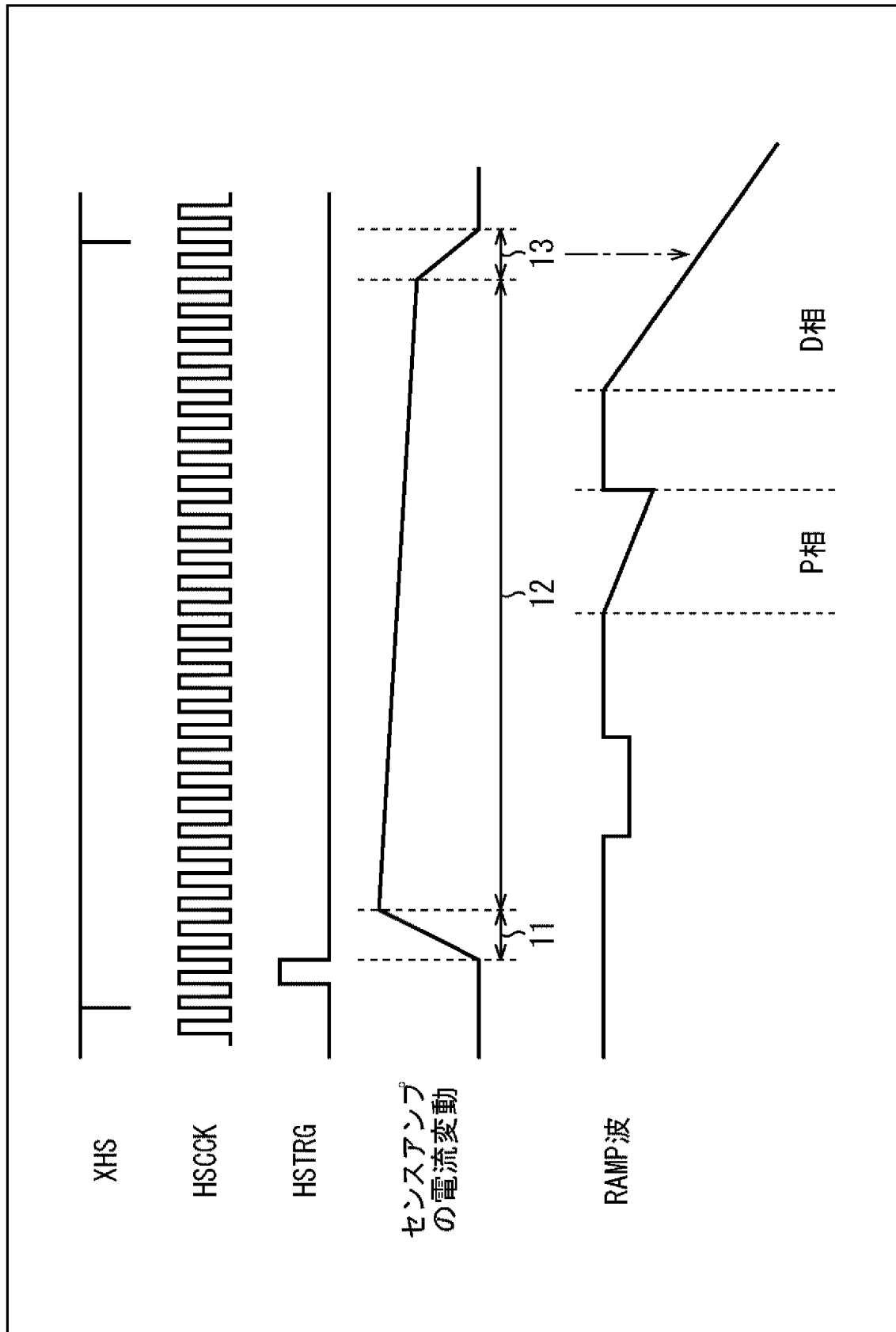
[請求項18] 前記制御部は、イネーブル信号に基づいて、前記シフトレジスタを

駆動させるシフトレジスタ用クロックの供給を停止することにより前記シフトレジスタの駆動を停止させ、前記シフトレジスタ用クロックの供給を再開することにより前記シフトレジスタの駆動を再開させる請求項14に記載の撮像素子。

[請求項19] 前記制御部は、前記シフトレジスタを初期化することにより前記シフトレジスタの駆動を停止させ、前記シフトレジスタにトリガ信号を供給することにより前記シフトレジスタの駆動を再開させる請求項14に記載の撮像素子。

[請求項20] 被写体を撮像する撮像部と、
前記撮像部による撮像により得られた画像データを画像処理する画像処理部と
を備え、
前記撮像部は、
それぞれが入射光を光電変換する構成を有する複数の画素からなる画素アレイと、
前記画素アレイから得られるアナログ信号の画素出力をA/D変換するA/D変換部と、
前記A/D変換部により前記画素出力がA/D変換されて得られるデジタルデータの画素データを保持する保持部と、
前記保持部から読み出された前記画素データを電流から電圧に変換するセンスアンプと、
前記保持部と前記センスアンプとの駆動を制御することにより、前記画素データの転送を制御するシフトレジスタと、
前記A/D変換部による前記画素出力に対するA/D変換を行う期間の一部または全部において、前記シフトレジスタの駆動を停止させる制御部と
を備える電子機器。

[図1]
FIG. 1



[図2]
FIG. 2

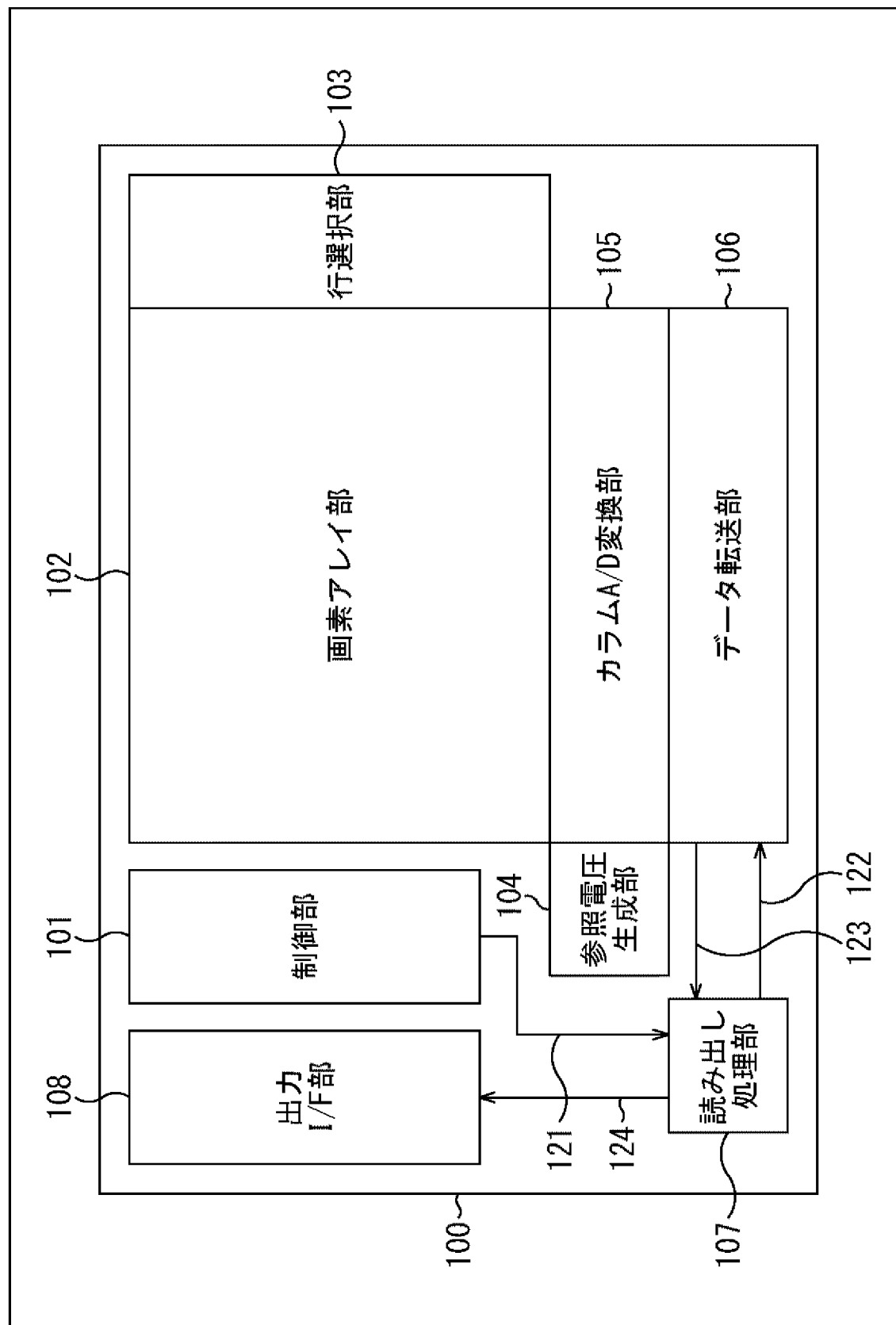
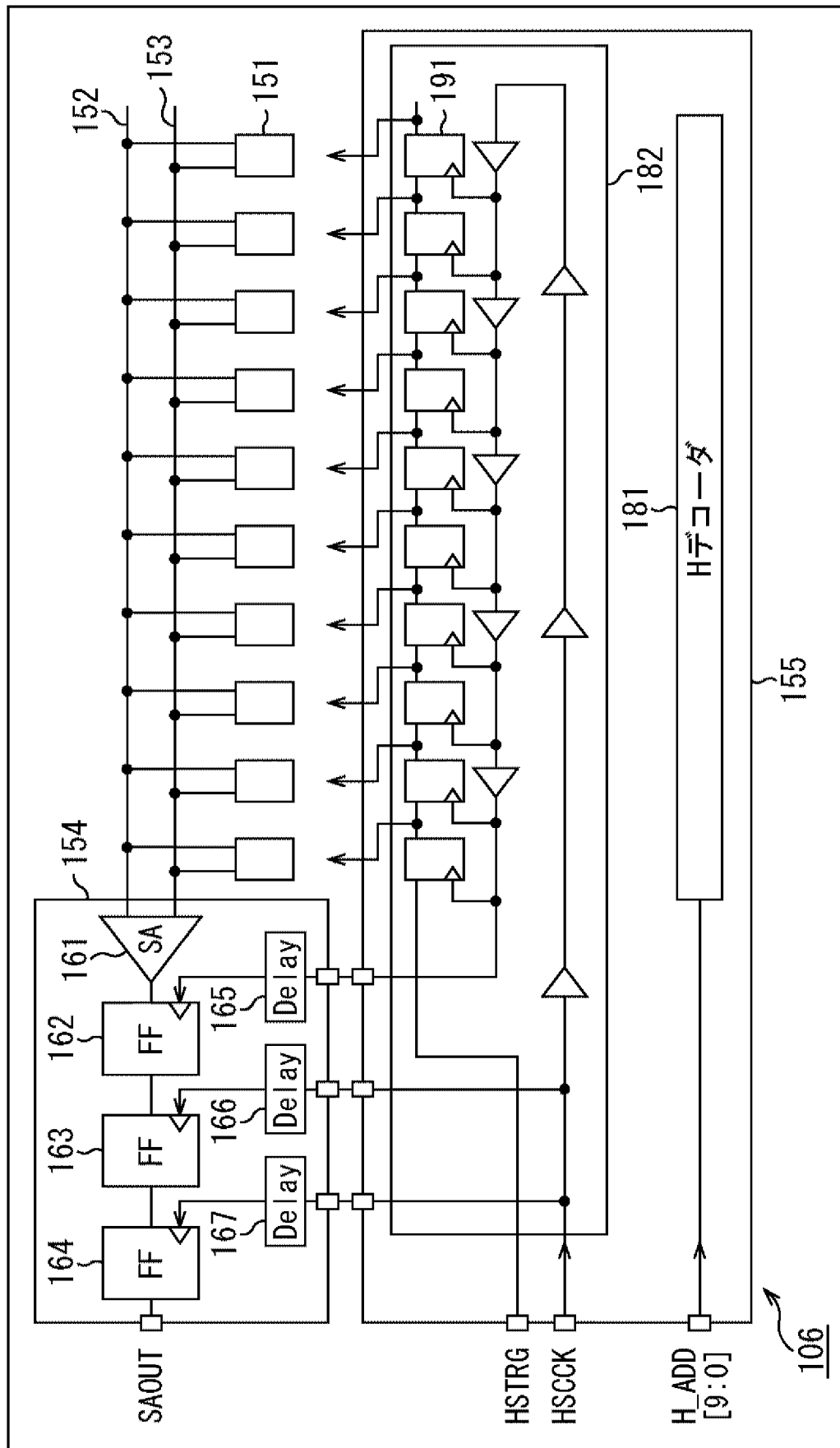
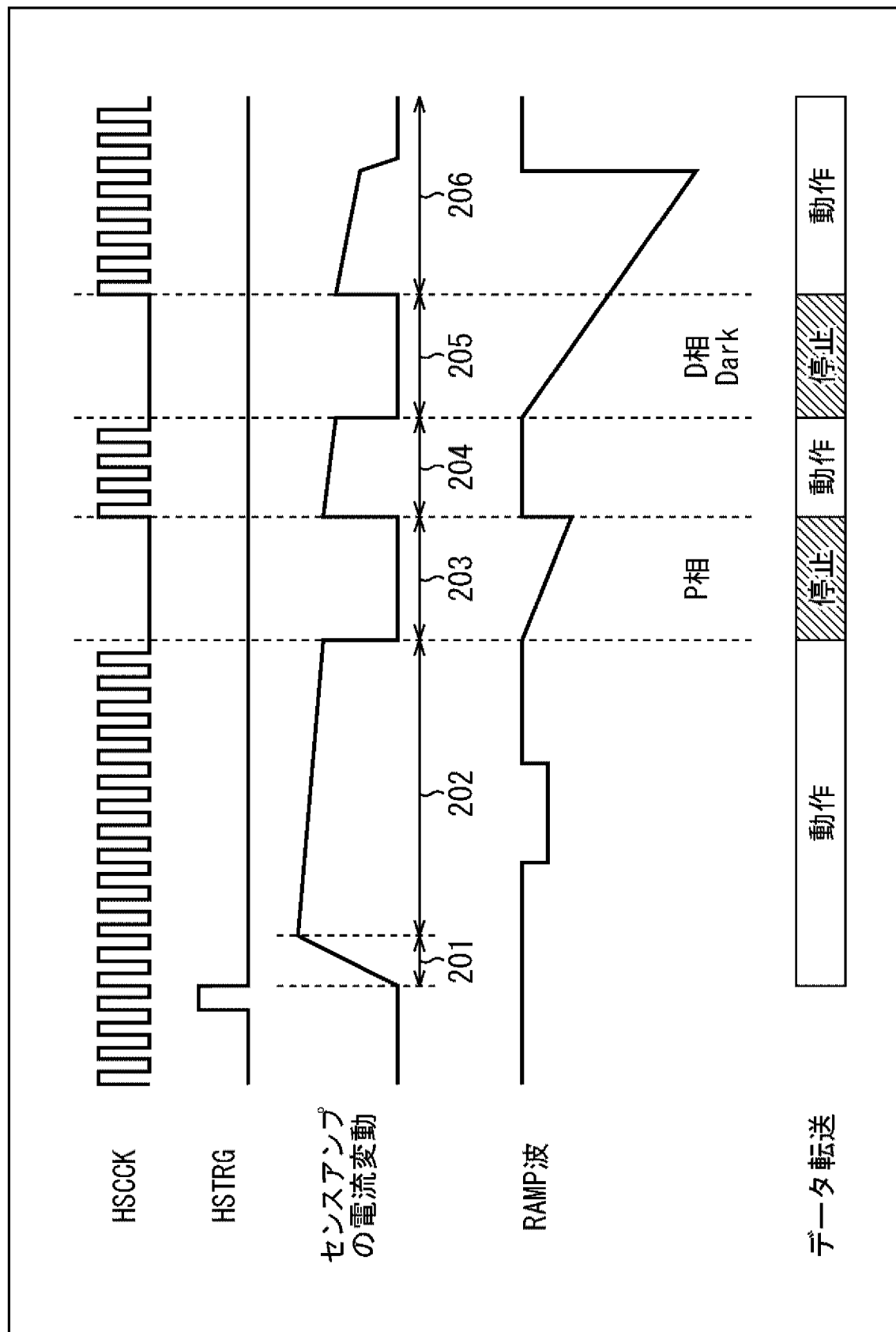
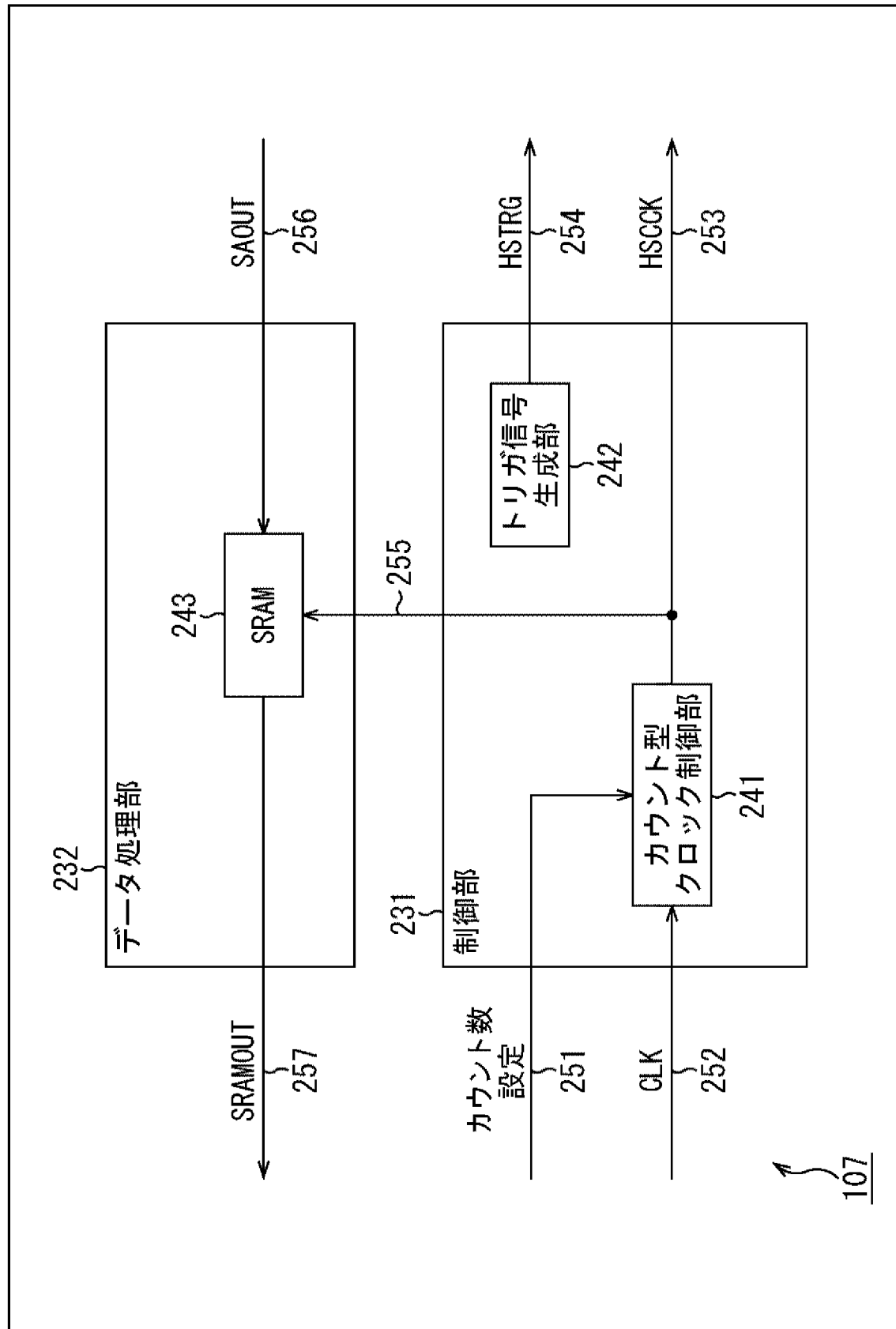


FIG. 3

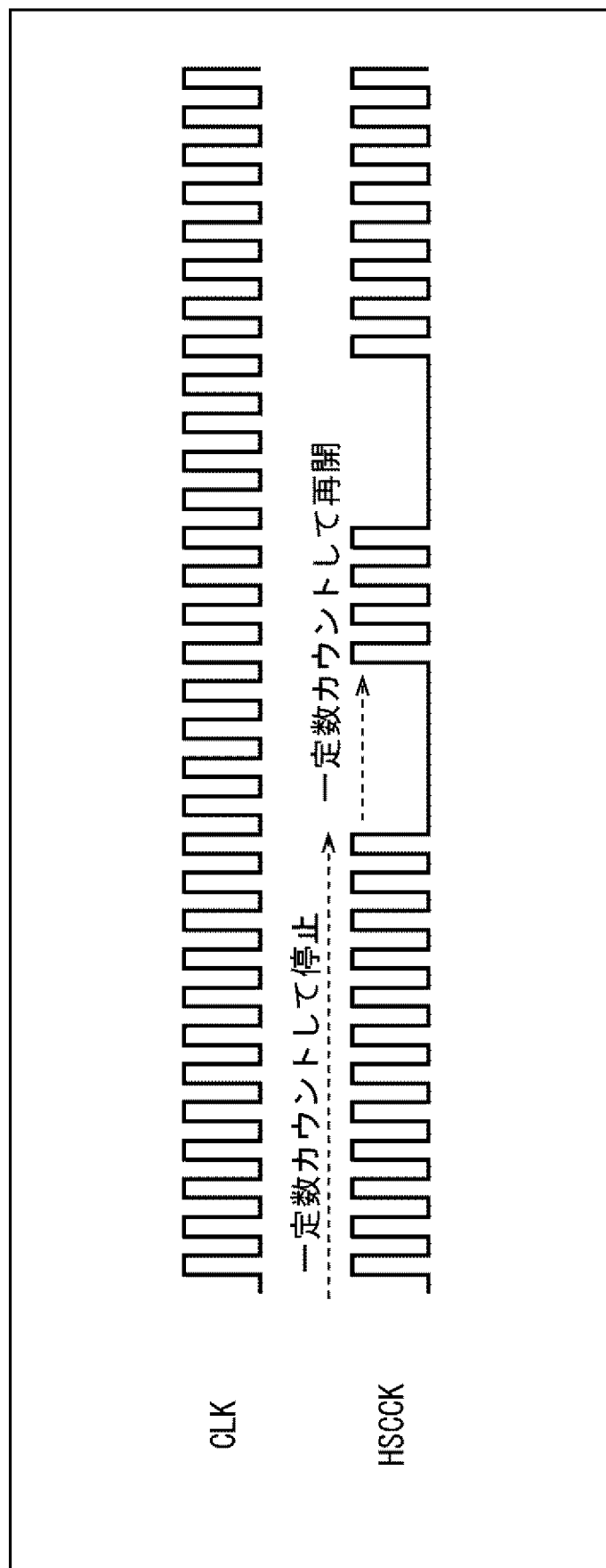


[図4]
FIG. 4

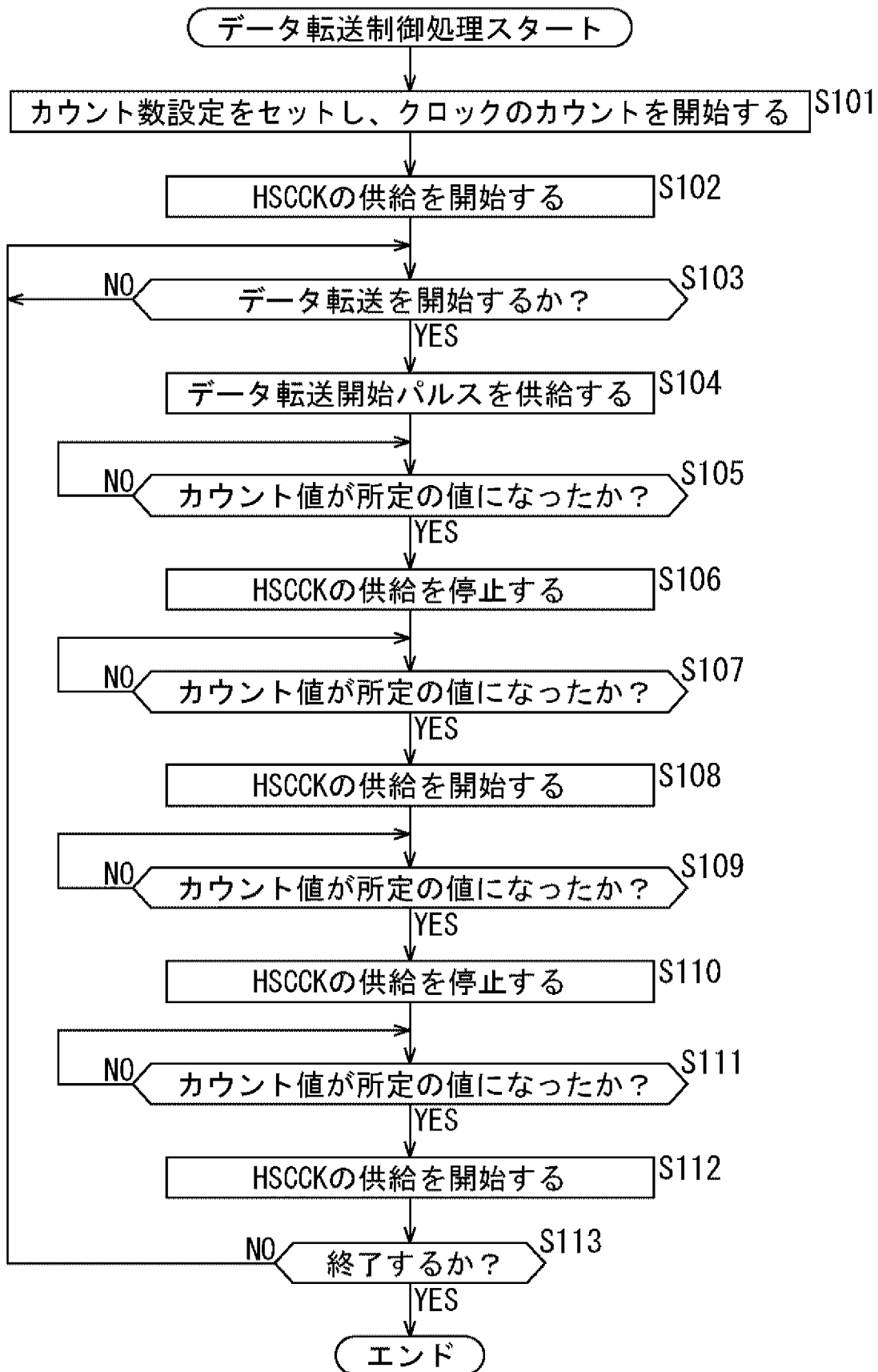
[図5]
FIG. 5

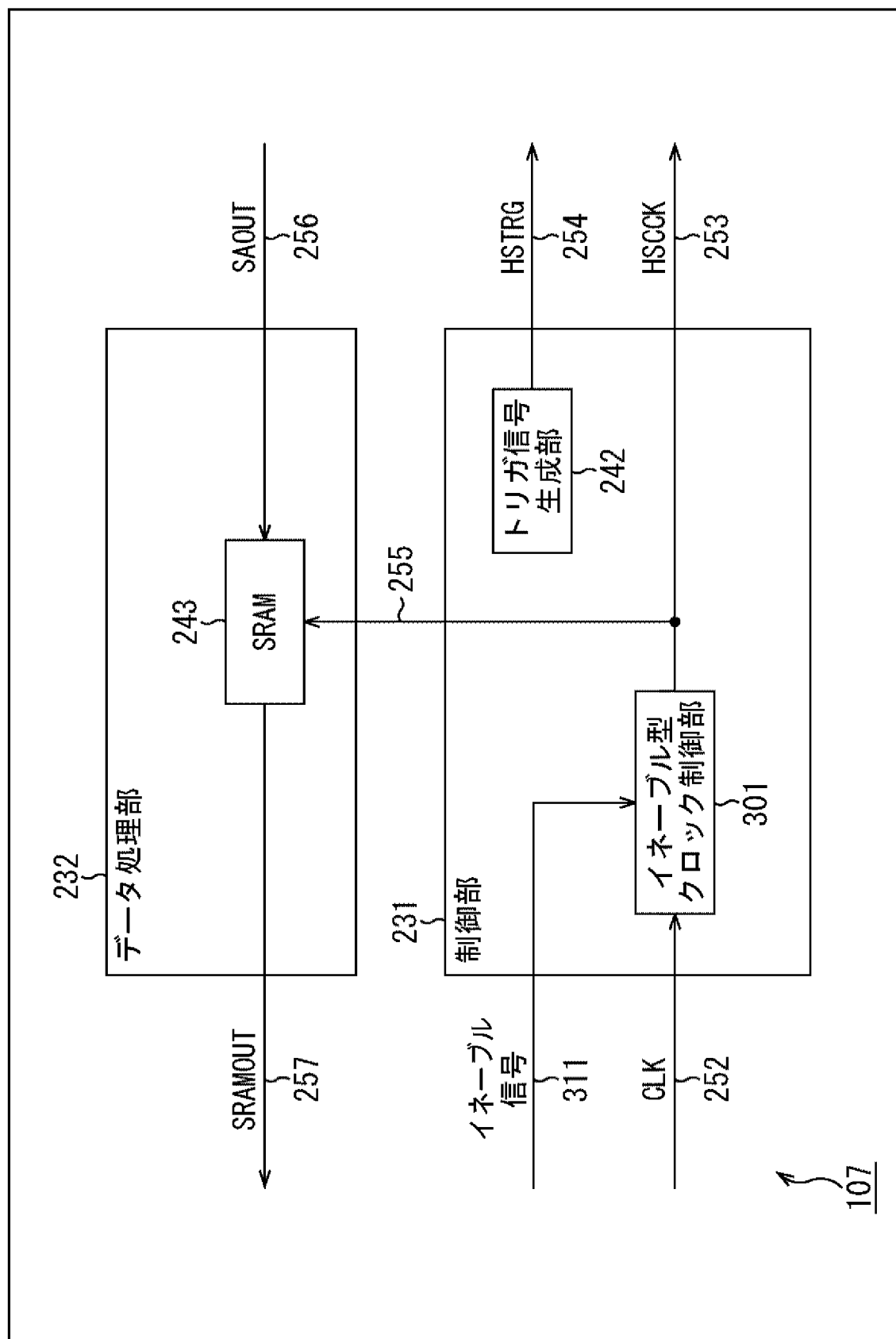


[図6]
FIG. 6

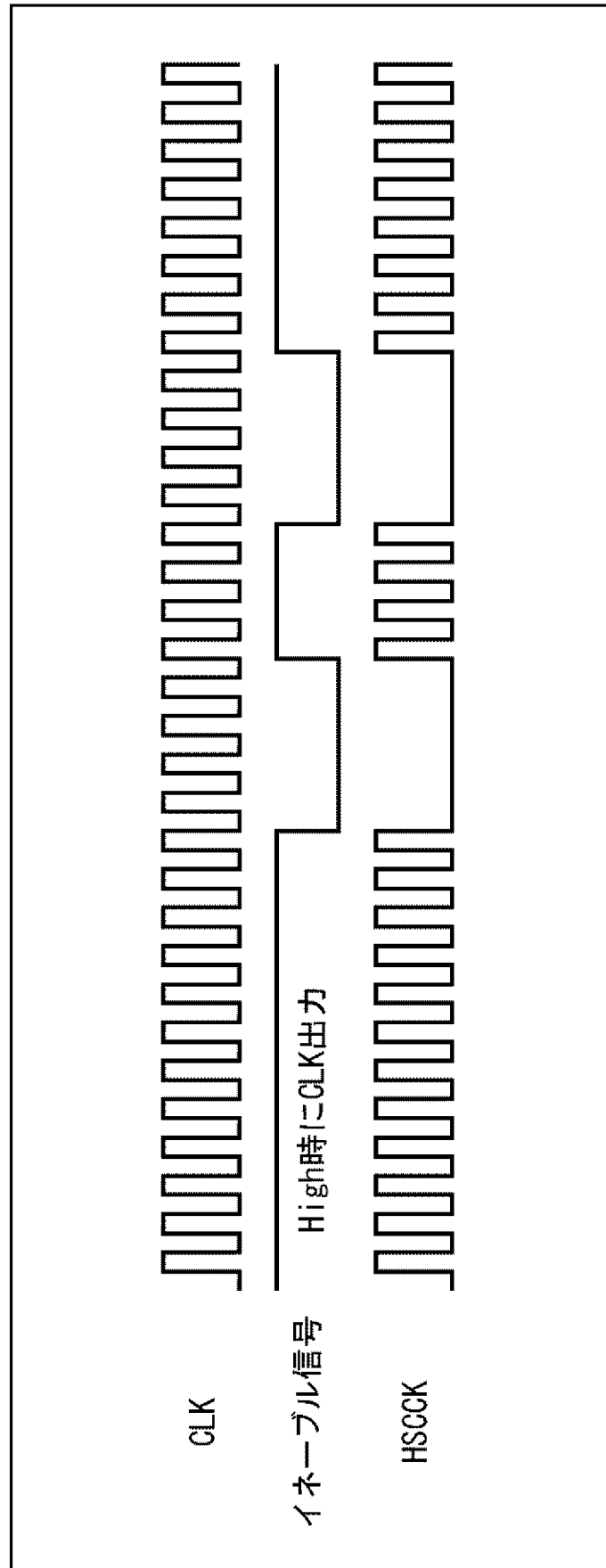


[図7]
FIG. 7

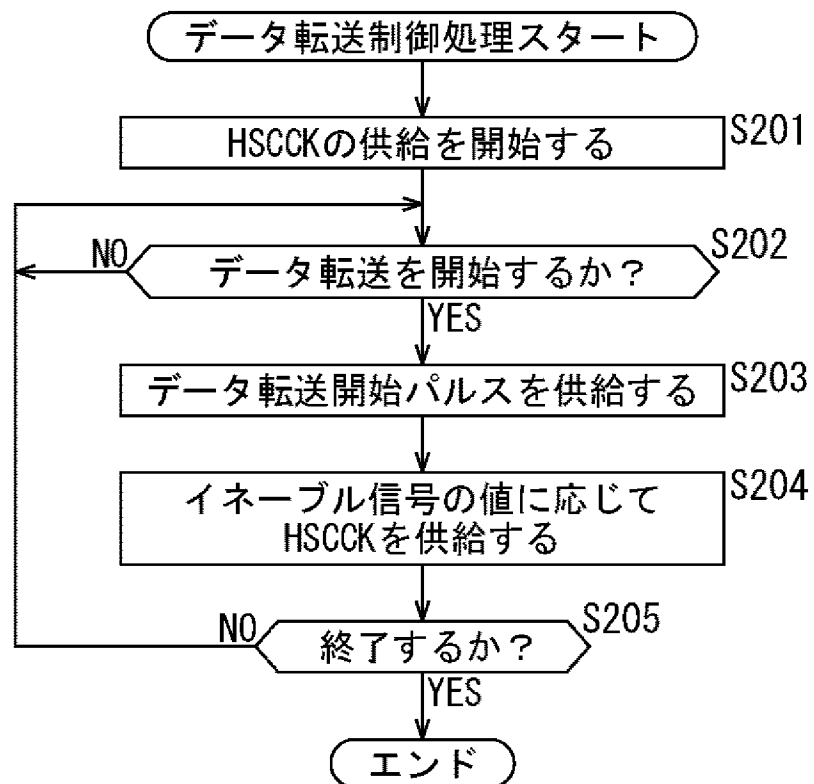


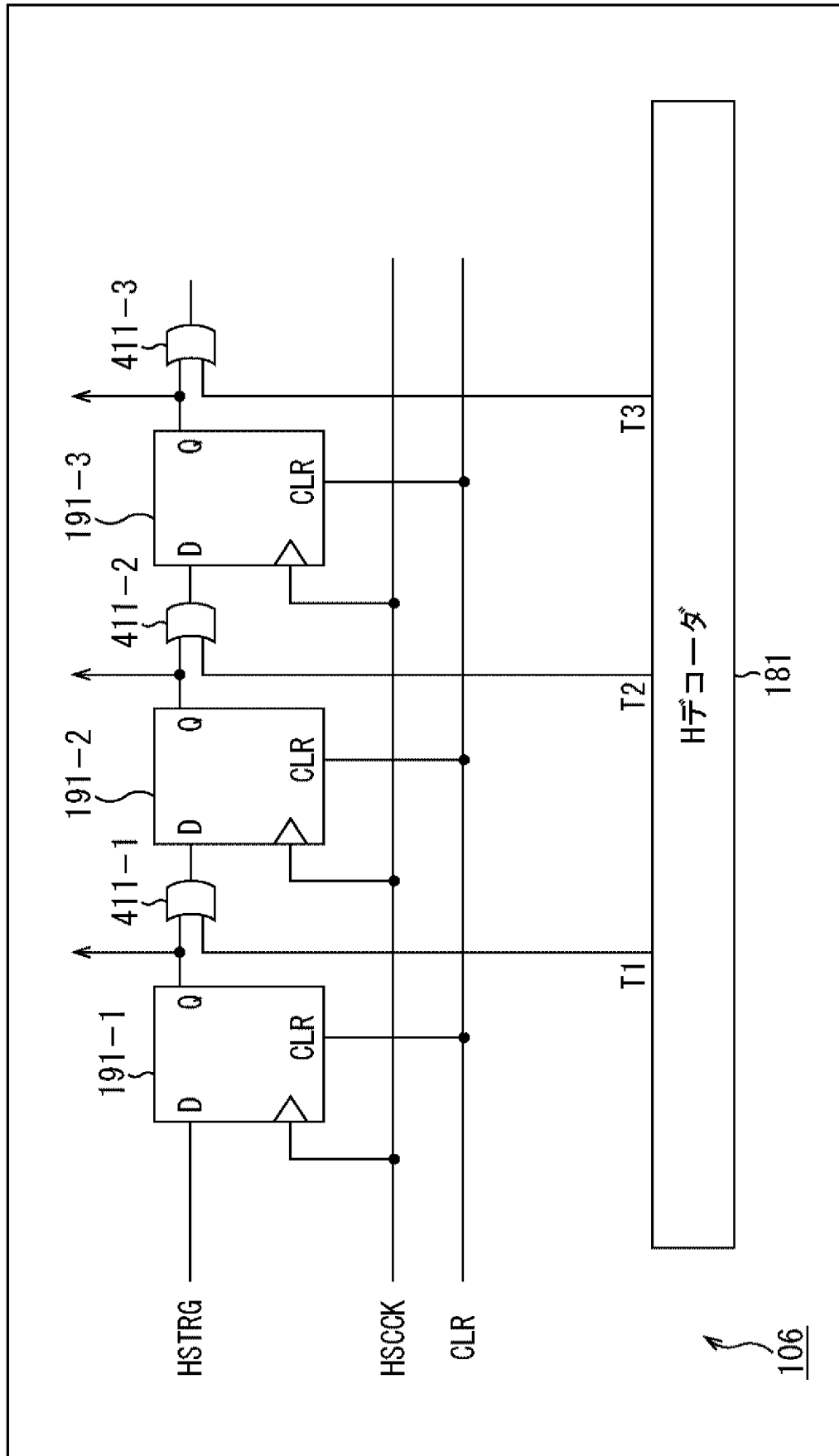
[図8]
FIG. 8

[図9]
FIG. 9

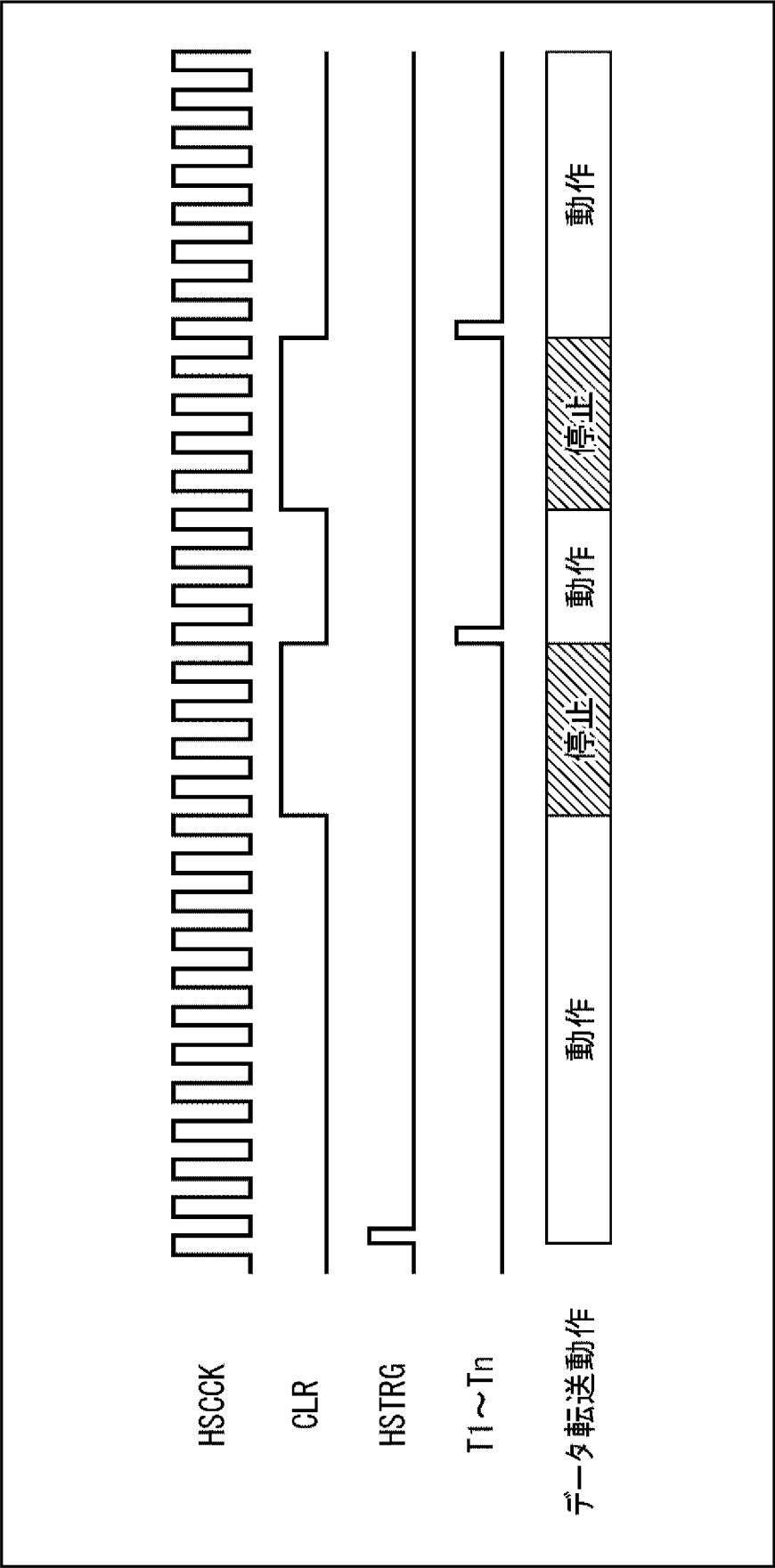


[図10]
FIG. 10

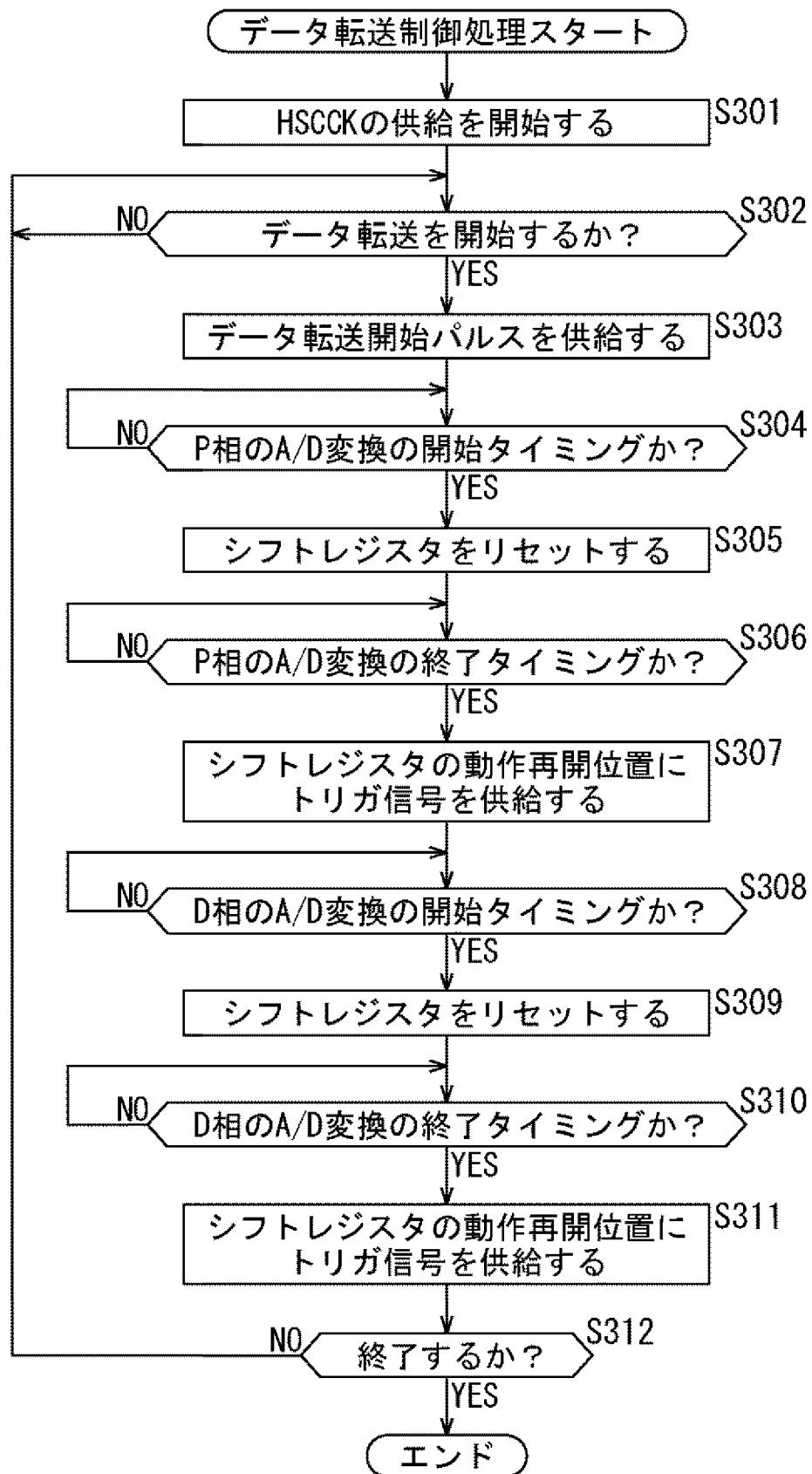


[図11]
FIG. 11

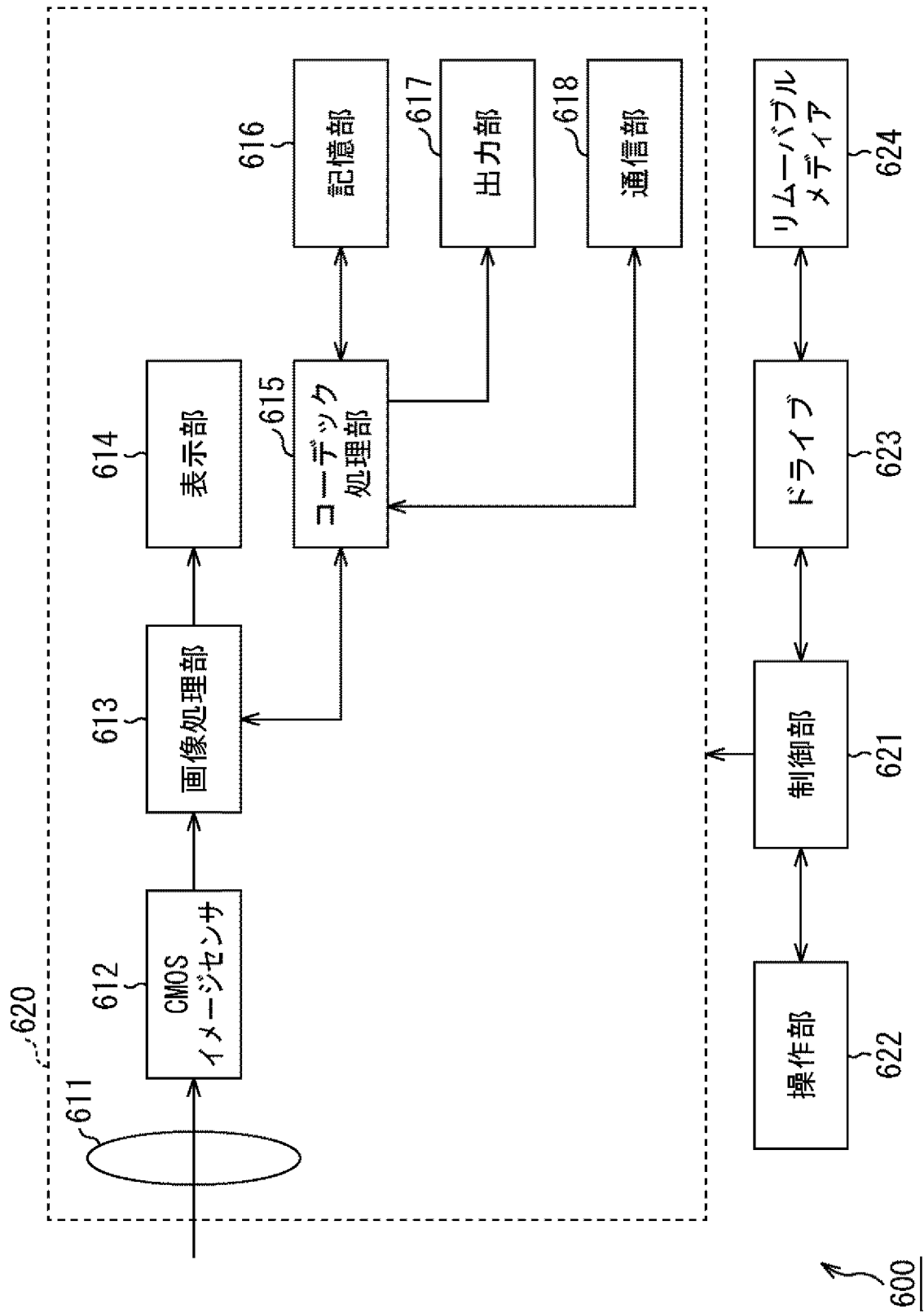
[図12]
FIG. 12



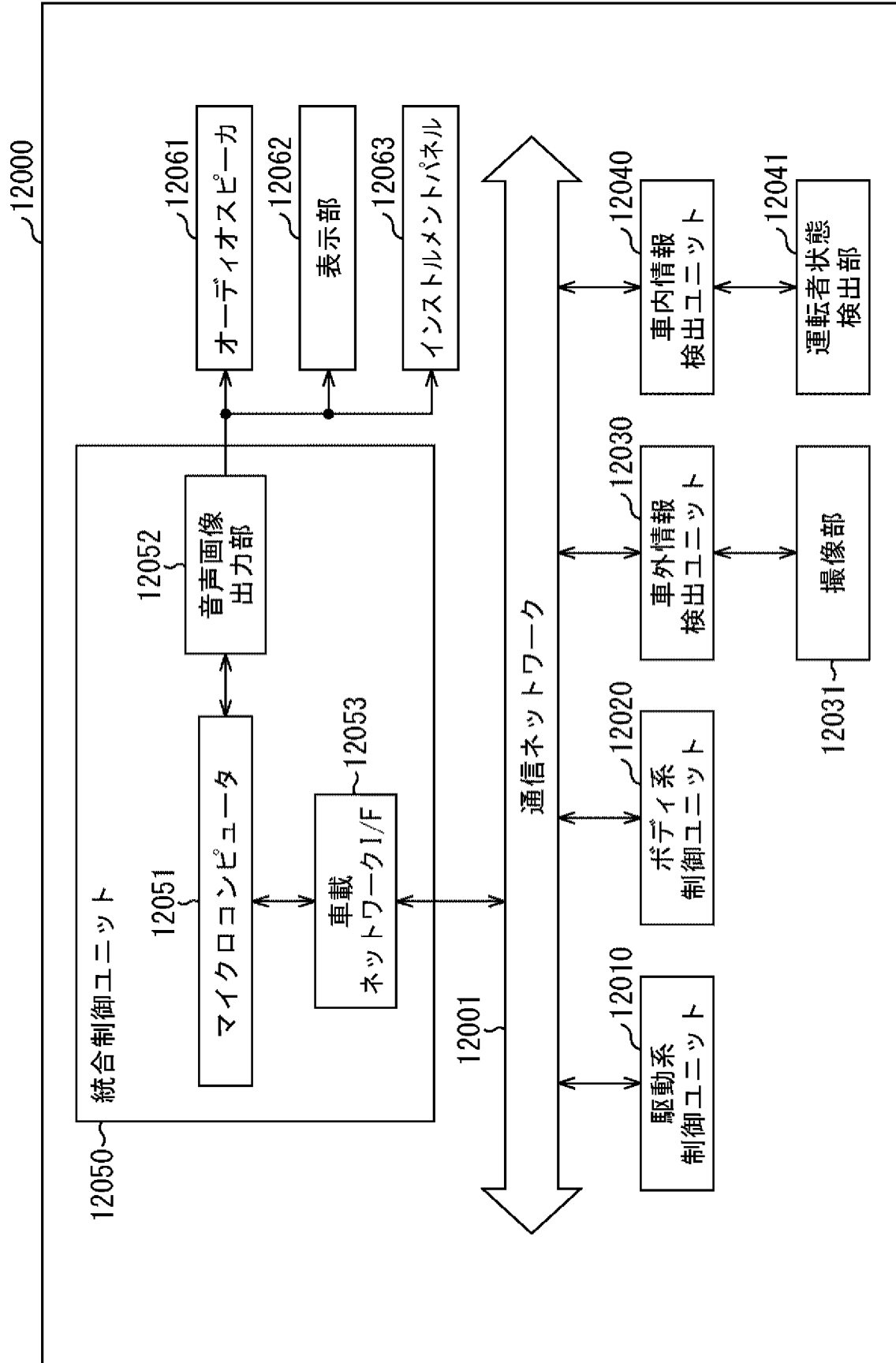
[図13]
FIG. 13



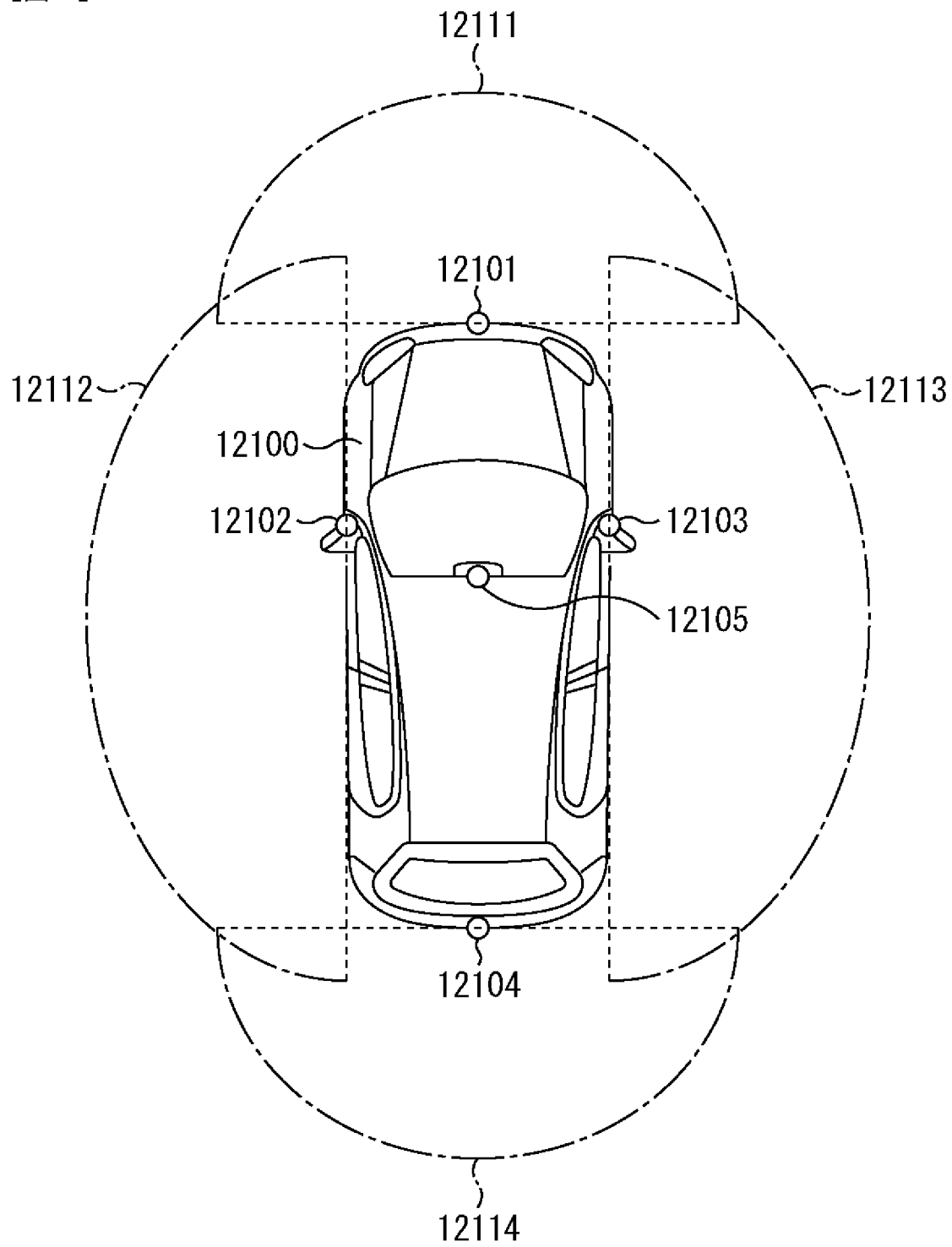
[図14]
FIG. 14



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/017489

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H04N5/378 (2011.01) i, H04N5/357 (2011.01) i, H04N5/374 (2011.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H04N5/378, H04N5/357, H04N5/374

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2012-165168 A (SONY CORP.) 30 August 2012, claim 1, paragraphs [0043]-[0103], fig. 1-6 & US 2012/0199724 A1, claim 1, paragraphs [0082]-[0142], fig. 1-6 & US 2015/0156433 A1 & CN 102629993 A	1-2, 13-15, 20 3-12, 16-19
A	JP 2014-007636 A (SONY CORP.) 16 January 2014, entire text & US 2013/0342744 A1, entire text & CN 103517003 A	1-20
A	JP 2012-095349 A (SONY CORP.) 17 May 2012, entire text & US 2008/0231491 A1, entire text & EP 2093883 A1	1-20

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
18 June 2018 (18.06.2018)

Date of mailing of the international search report
26 June 2018 (26.06.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H04N5/378(2011.01)i, H04N5/357(2011.01)i, H04N5/374(2011.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H04N5/378, H04N5/357, H04N5/374

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2012-165168 A（ソニー株式会社） 2012.08.30, 請求項1, 段落[0043]-[0103], 図1-6 & US 2012/0199724 A1, 請求項1, 段落[0082]-[0142], 図1-6 & US 2015/0156433 A1 & CN 102629993 A	1-2, 13-15, 20 3-12, 16-19
A	JP 2014-007636 A（ソニー株式会社） 2014.01.16, 全文 & US 2013/0342744 A1, 全文 & CN 103517003 A	1-20

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

18.06.2018

国際調査報告の発送日

26.06.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

橘 高志

5 V

8391

電話番号 03-3581-1101 内線 3571

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2012-095349 A (ソニー株式会社) 2012.05.17, 全文 & US 2008/0231491 A1, 全文 & EP 2093883 A1	1-20