(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 1817015 B
(45)授权公告日 2010.12.08

(21)申请号 200480018636.3

(22)申请日 2004.06.23

(30)优先权数据
10/611,079 2003.06.30 US

(85)PCT申请进入国家阶段日
2005.12.29

(86)PCT申请的申请数据
PCT/US2004/020832 2004.06.23

(87)PCT申请的公布数据
WO2005/006691 EN 2005.01.20

(73)专利权人 英特尔公司
地址 美国加利福尼亚州

(72)发明人 H·穆尔约诺 S·鲁苏

(74)专利代理机构 上海专利商标事务所有限公司 31100
代理人 李玲

(51)Int.Cl.
*H04L 25/02*(2006.01)

(56)对比文件
US 6211719 B1,2001.04.03, 第2栏第8-12行.
CN 1134624 A,1996.10.30, 全文.
US 6215339 B1,2001.04.10, 第1栏第21-34行,第1栏第55行-第2栏第32行,第2栏第51行-第3栏第19行,附图1-3.

审查员 李普昕

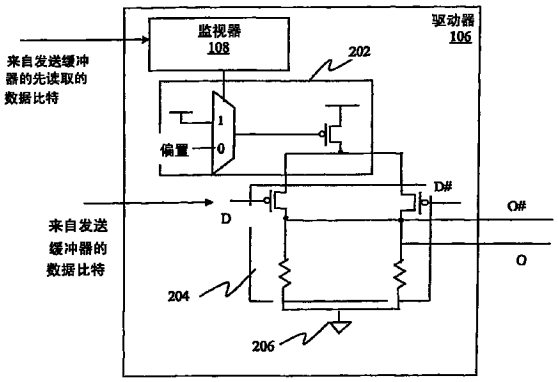
权利要求书 4 页 说明书 4 页 附图 7 页

(54)发明名称

低功率差分链路接口方法和装置

(57)摘要

装备系统中第一组件的驱动器和第二组件的接收器,使得当数据经由带有两条线路并耦合至所述组件的链路接口从所述第一组件差分地发送至所述第二组件时,所述驱动器和所述接收器中的至少一个在静止状态持续的至少部分时间内工作在低功耗状态。所述驱动器和所述接收器包括各自用于检测所述静止状态的监控电路,其中所述驱动器的监控电路在一个预定的周期内监控恒定性而所述接收器的监控电路监控两条线路上的零状态。此外在一个实施例中,所述驱动器的监控电路通过将所述两条线路接地使得所述驱动器工作在低功耗状态。




CN 1817015 B

1. 一种用于发送数据的装置，包括：

存储发送数据的发送缓冲器；以及

耦合至所述发送缓冲器用于将所述发送数据差分地并以第一功耗电平输出至具有两条线路的链路接口的驱动器，它包括了适于先查看所述发送数据以检测静止状态的监控电路并且当静止状态出现时，在所述静止状态持续的至少部分时期内将所述驱动器从所述第一功耗电平转到比第一功耗电平消耗功率更少的第二功耗电平。

2. 如权利要求 1 所述的装置，其特征在于，所述监控电路被设计先查看所述发送数据并且在所述发送数据在预定周期内保持不变的持续时间内推断静止状态。

3. 如权利要求 2 所述的装置，其特征在于，所述预定周期函数地取决于将所述驱动器从第一功耗电平转换为第二功耗电平的第一反应时间以及将所述驱动器从第二功耗电平转换为第一功耗电平的第二反应时间中的至少选定一个。

4. 如权利要求 2 所述的装置，其特征在于，所述驱动器还耦合至另一个装置的接收器，当所述发送数据处于静止状态时，装配所述接收器类似地从第三功耗电平转换至功耗小于所述第三功耗电平的第四功耗电平；以及

所述预定周期函数地取决于将所述接收器从第三功耗电平转换为第四功耗电平的第一反应时间以及将所述接收器从第三功耗电平转换为第四功耗电平的第二反应时间中的至少选定一个。

5. 如权利要求 2 所述的装置，其特征在于，所述预定周期被设计成容纳至少一个预驱动循环。

6. 如权利要求 1 所述的装置，其特征在于，所述监控电路被设计用于通过将两根线路接地而使得所述驱动器工作在第二功耗电平。

7. 如权利要求 6 所述的装置，其特征在于，

所述驱动器包括耦合接地并耦合到链路接口的输出缓冲器、以及将所述输出缓冲器耦合至所述监控电路的偏置控制电路；以及

所述监控电路通过关闭所述偏置控制电路把两条线路接地。

8. 如权利要求 1 所述的装置，其特征在于，所述监控电路还被设计用于使得所述驱动器在检测到的静止状态末期从第二功耗电平转换回第一功耗电平以重新接收并差分地输出发送数据至所述链路接口。

9. 如权利要求 1 所述的装置，其特征在于，所述装置是微处理器、总线控制器和大容量存储控制器中的选定一个。

10. 在一装置中，一种信号传输方法，包括：

在第一功耗电平下操作一装置的驱动器以接收发送数据，并将接收到的发送数据差分地输出到具有两条线路的媒介上；

监控所述发送数据以检测所述静止状态；以及

当静止状态出现时，使得所述驱动器工作在比第一功耗电平消耗更少功率的第二功耗电平。

11. 如权利要求 10 所述的方法，其特征在于，所述监控包括先查看所述发送数据并且在所述发送数据在预定周期内保持不变的持续时间内推断静止状态。

12. 如权利要求 11 所述的方法，其特征在于，所述预定周期函数地取决于将所述驱动

器从第一功耗电平转换为第二功耗电平的第一反应时间以及将所述驱动器从第二功耗电平转换为第一功耗电平的第二反应时间中的至少选定一个。

13. 如权利要求 11 所述的方法，其特征在于，

所述驱动器耦合至另一个装置的接收器，当所述发送数据处于静止状态时，装配所述接收器类似地从第三功耗电平转换至功耗小于所述第三功耗电平的第四功耗电平；以及

所述预定周期函数地取决于将所述接收器从第三功耗电平转换为第四功耗电平的第一反应时间以及将所述接收器从第三功耗电平转换为第四功耗电平的第二反应时间中的至少选定一个。

14. 如权利要求 11 所述的方法，其特征在于，所述预定周期被设计成容纳至少一个预驱动循环。

15. 如权利要求 10 所述的方法，其特征在于，所述在第二功耗电平下操作驱动器包括将两根线路接地。

16. 如权利要求 15 所述的方法，其特征在于，所述两根线路的接地包括关闭控制耦合接地并耦合到所述链路接口的输出缓冲器的偏置控制电路。

17. 如权利要求 10 所述的装置，其特征在于，所述方法还包括使得所述驱动器在检测到的静止状态末期从第二功耗电平转换回第一功耗电平以重新接收并差分地输出发送数据至所述链路接口。

18. 一种用于发送数据的装置，包括：

输入缓冲器；以及

耦合至所述输入缓冲器以及具有两条线路的链路接口的接收器，所述接收器在第一功耗电平处接收差分地发送的数据，并把接收的数据放入输入缓冲器，所述接收器包括一监控电路以检测静止状态，并且当检测到静止状态时，使得所述接收器从所述第一功耗电平转换到比第一功耗电平消耗功率更少的第二功耗电平，所述接收器包括相互连接的积分单元和锁存，所述积分单元与所述两条线路连接以接收数据且所述锁存与所述输入缓冲器连接。

19. 如权利要求 18 所述的装置，其特征在于，所述监控电路被设计成检测所述两条线路都处于零状态，并且在所述两条线路都处于零状态时的持续时间内推断静止状态。

20. 如权利要求 18 所述的装置，其特征在于，所述监控电路包括 3 输入差分放大器。

21. 如权利要求 18 所述的装置，其特征在于，所述监控电路包括设置在变动电平一半处的参考电压。

22. 如权利要求 18 所述的装置，其特征在于，所述监控电路还被设计成使得所述接收器在检测到的静止状态末期从第二功耗电平转换回第一功耗电平以重新接收在链路接口上差分发送的数据并且将接收到的数据放置在输入缓冲器上。

23. 如权利要求 18 所述的装置，其特征在于，所述装置是显示器、打印机和大容量存储设备中的选定一个。

24. 在一装置中，一种信号传输方法，包括：

在第一功耗电平下操作一装置的接收器以接收来自具有其上差分发送数据的两条线路的链路接口的数据，并将接收到的数据存储在输入缓冲器内；

对静止状态进行监控；以及

当检测到静止状态时，使得所述接收器工作在比第一功耗电平消耗更少功率的第二功耗电平，

其中，所述接收器包括相互连接的积分单元和锁存，所述积分单元与所述两条线路连接以接收数据且所述锁存与所述输入缓冲器连接。

25. 如权利要求 24 所述的方法，其特征在于，所述监控包括检测所述两条线路都处于零状态并且在所述两条线路都处于零状态时的持续时间内推断静止状态。

26. 如权利要求 24 所述的方法，其特征在于，本方法还包括在变动电平一半处设置参考电压用于执行所述监控。

27. 如权利要求 24 所述的方法，其特征在于，所述方法还被设计成使得所述接收器在检测到的静止状态末期从第二功耗电平转换回第一功耗电平以重新接收在链路接口上差分发送的数据并且将接收到的数据放置在输入缓冲器上。

28. 一种用于发送数据的系统，包括 ：

第一组件，它包括一驱动器，所述驱动器差分地并且在第一功耗电平处接收并输出所述发送数据至具有两条线路的链路接口，而所述驱动器包括用于检测静止状态的第一监控电路并且当静止状态出现时，在所述静止状态的至少一部分时期内将所述驱动器从所述第一功耗电平转换到比第一功耗电平消耗功率更少的第二功耗电平 ；

链路接口 ；以及

第二组件，它包括耦合至所述链路接口用以接收数据、在第三功耗电平下工作并且将接收到的数据放入输入缓冲器内的接收器，包括用于检测静止状态的第二监控电路并且当检测到静止状态时，将所述接收器从所述第三功耗电平转换到比第三功耗电平消耗功率更少的第四功耗电平，

其中，所述接收器包括相互连接的积分单元和锁存，所述积分单元与所述两条线路连接以接收数据且所述锁存与所述输入缓冲器连接。

29. 如权利要求 28 所述的系统，其特征在于，所述第一监控电路被设计成先查看所述发送数据并且在所述发送数据在预定周期内保持不变的持续时间内推断静止状态。

30. 如权利要求 29 所述的系统，其特征在于，所述预定周期函数地取决于下述被选的至少一个 ：

所述驱动器从第一功耗电平转换为第二功耗电平的第一反应时间，

所述驱动器从第二功耗电平转换为第一功耗电平的第二反应时间，

所述接收器从第三功耗电平转换为第四功耗电平的第三反应时间，

所述接收器从第四功耗电平转换为第三功耗电平的第四反应时间，

31. 如权利要求 29 所述的系统，其特征在于，所述预定周期被设计成容纳至少一个预驱动循环。

32. 如权利要求 28 所述的系统，其特征在于，所述第一监控电路被设计成通过将两根线路接地而使得所述驱动器工作在第二功耗电平。

33. 如权利要求 32 所述的系统，其特征在于，

所述驱动器包括耦合接地并耦合至链路接口的输出缓冲器、以及将所述输出缓冲器耦合至所述监控电路的偏置控制电路 ；以及

所述第一监控电路通过关闭所述偏置控制电路将两条线路接地。

34. 如权利要求 28 所述的系统，其特征在于，

所述第一监控电路还被设计成使得所述驱动器在检测到的静止状态末期从第二功耗电平转换回第一功耗电平以重新接收并差分地输出发送数据至所述链路接口。

所述第二监控电路还被设计成使得所述接收器在检测到的静止状态末期从第二功耗电平转换回第三功耗电平以重新接收在链路接口上差分发送的数据并且将接收到的数据放置在输入缓冲器上。

35. 如权利要求 28 所述的系统，其特征在于，所述第二监控电路被设计成检测所述两条线路都处于零状态，并且在所述两条线路都处于零状态时的持续时间内推断静止状态。

36. 如权利要求 28 所述的系统，其特征在于，所述第二监控电路包括 3 输入差分放大器。

37. 如权利要求 28 所述的系统，其特征在于，所述第二监控电路包括在变动电平一半处设置的参考电压。

38. 如权利要求 28 所述的系统，其特征在于，所述系统是平板计算设备、膝上型计算设备、桌上型计算设备以及服务器中的选定一个。

39. 如权利要求 28 所述的系统，其特征在于，所述系统是娱乐中心和机顶盒中的选定一个。

40. 如权利要求 28 所述的系统，其特征在于，所述系统是大容量存储阵列。

# 低功率差分链路接口方法和装置

## 技术领域

[0001] 本发明的实施例涉及数据通信领域。本发明的实施例尤其涉及低功率差分数据通信技术。

## 背景技术

[0002] 自开始计算，就需要把数据从计算设备的一个组件移动到另一个组件，例如从中央处理单元 (CPU) 到存储器，或者从存储器到外围设备。数据的移动可以是，例如串行的，即在单根传输线上一比特一比特的传输。另外对于大量数据，就可在多根传输线上并行传输这些数据。

[0003] 然而，在高速条件下可以并行移动的比特数目在实际应用中受到限制，是因为由大量比特线迅速开关所引起的瞬态噪声量可以在某些点上引发足够强的干扰从而限制了并行传输的距离。

[0004] 为了解决这些问题，就设计了为每一比特使用两个传输线的差分信令。然而现有应用具有即使在未传输数据的静止状态时也仍旧消耗功率的缺点。对于诸如带有宽数据路径的便携计算设备的低功率高性能应用来说，这是非常不愿意具有的缺点。

[0005] 这样就需要一种具有更高功率效率的差分信令技术。

## 附图说明

[0006] 将以附图中示出的示例性实施例而非限制的方式描述本发明的实施例，所述附图中类似的编号指代类似的元件，附图中：

[0007] 图 1 根据一个实施例示出了本发明的系统视图；

[0008] 图 2 根据一个实施例更详细地示出了图 1 中的驱动器；

[0009] 图 3 根据一个实施例更详细地示出了驱动器监控电路；

[0010] 图 4 根据一个实施例更详细地示出了图 1 中的接收器；

[0011] 图 5 根据一个实施例更详细地示出了接收器监控电路；

[0012] 图 6 示出了一个静止状态实例；

[0013] 图 7 结合了本发明实施例教导示出了用于驱动器实例的改进电流消耗分布曲线；

[0014] 图 8 根据一个实施例示出了接收器监控电路切换特性曲线。

## 具体实施方式

[0015] 本发明的实施例包括但不限于信号传输技术、实践该技术的电路以及具有这些电路的装置。

[0016] 本说明的部分所提供的诸如驱动器、接收器、差分信令之类的术语通常用于本领域普通技术人员将他们工作的本质传达给本领域其他普通技术人员。因此这些术语具有如本领域普通技术人员所理解的含义。

[0017] 在随后的说明中，将描述本发明实施例的各个方面。然而本领域普通技术人员显

而易见的是，本发明的实施例仅用本发明某些或全部的方面也能实施。出于解释的目的，将阐明特定的数字、材料和配置用于提供对所述本发明实施例的透彻理解。然而本领域普通技术人员显而易见的是，也可实现其他的实施例而无需这些特定细节。此外，将省略或简化对已知特征的阐述从而避免了对所述本发明实施例的混淆。

[0018] 将以最有助于理解这些实施例的方式轮流描述对作为多个不连续的操作的各种操作，但是说明的顺序不应被解释为这些操作必须是按照这一次序的暗示。特别是这些操作无需按照示出的顺序执行。

[0019] 将重复使用短语“在一个实施例中”。该短语虽然可以，但是通常不指代同一个实施例。除非上下文中指出，否则术语“包含”、“具有”和“包括”的含义相同。

[0020] 现在参考图 1，示出的是根据一个实施例的本发明的概览图。如该实施例中所示，计算设备 100 包括经由链路接口 110 相互耦合的组件 A 102 和组件 B 112。根据本发明的一个方面，组件 A 102 特别包括发送缓冲器 104 以及具有相应监控电路 108 的驱动器 106。而根据本发明的一个方面，组件 B 112 包括输入缓冲器 114 以及具有补充监控电路 118 的接收器 116。链路接口 110 包括 n 对比特线，用以方便从组件 A 102 到组件 B 112 的 n 比特并行数据差分传输。N 是大于 0 的整数，例如 16。

[0021] 如下将详述，驱动器 106 以及接收器 116 被设计能够在至少两个功耗电平上工作，即当数据从组件 A 102 发送至组件 B 112 时的高功耗电平以及静止状态时的低功耗电平。

[0022] 使用监控电路 108 监控静止状态以及在检测时若出现静止状态就将驱动器 106 置于在低功耗电平工作。互补地，使用监控电路 118 来监控驱动器 106 在低功耗电平上操作的事实。作为应答，监控电路 118 也将接收器 116 置于在低功耗电平工作。

[0023] 驱动器 106 和接收器 116 的“更高”功率电平可以是相同的也可以是不同的。类似地，驱动器 106 和接收器 116 的“更低”功率电平可以是相同的也可以是不同的。

[0024] 除了使用分别带有监控电路 108 和 118 的驱动器 106 和接收器 116 所带来的好处以及当时机（即静止状态）出现时驱动器 106 和接收器 116 能方便地被置于在低功率电平操作之外，包括了发送缓冲器 104 和输入缓冲器 114 的组件 A 102 和组件 B 112 还可代表本领域内已知的或将要设计的广范围的计算设备组件和构成缓冲器。

[0025] 在各个实施例中，计算设备 100 可以是掌上型计算设备、片状计算设备、膝上型计算机、桌上型计算机、机顶盒、娱乐中心、服务器和大容量存储阵列等等。组件 A 102 可以是处理器、存储器设备、总线控制器和大容量存储设备等等而组件 B 112 可以是存储器设备、大容量存储设备、打印机和显示器等等。

[0026] 在各个实施例中，发送缓冲器 104 和输入缓冲器 114 都是 FIFO。尽管如此在另外实施例中，它们也可以是其他类型的存储设备。

[0027] 虽然本发明的实施例能够优选地实现在静止状态期间驱动器 106 和接收器 116 都在低功率电平下工作，但是其他实施例可以在静止状态期间仅具有驱动器 106 和接收器 116 其中之一在低功率电平下工作。

[0028] 图 2 根据一个实施例更详细地图解一个驱动器 106。在此实施例中除了监控电路 108 之外，一个驱动器 106 如图所示可包括相互耦合的输出缓冲器 204 和偏置控制电路 202、发送缓冲器 104、发送比特线 0# 和 0 以及接地端 206。

[0029] 工作期间，监控电路 108 先查看发送缓冲器 104 内容的相关部分用以检测所述静

止状态。在一个实施例中，监控电路 108 监控所述发送数据的相关部分中的恒定性（例如至少 N 个 0 的邻接串）并且推断每个出现的邻接串是静止状态的。发送数据的相关部分是特定驱动器 106 负责发送的相应比特部分。N 是大于 1 的整数。

[0030] 对于此实施例当出现静止状态时，监控电路 108 通过关闭偏置控制电路 202 使得相应的传输比特线 0# 和 0 接地而把驱动器 106 置于低功耗电平。换句话说，在此实施例中当驱动器 106 被置于低功率状态时相应的传输比特线 0# 和 0 是处于零 - 零状态的。

[0031] 在各个实施例中，N 函数地基于，即 N 的设计至少要根据开关驱动器 106 的反应时间以及开关接收器 116 的反应时间。在一个实施例中，N 还依赖于预驱动循环以重启接收器 116 的使用，其中之一在图 6 中示出。

[0032] 更具体地，在一个实施例中将如下计算 N：

[0033] N ＝关闭驱动器偏置电路的反应时间 + 关闭接收器相关元件的反应时间 + 打开驱动器偏置电路的反应时间 + 打开接收器相关元件的反应时间 + 预驱动循环的一个时间周期

[0034] 在静止状态的末期，监控电路 108 重新打开偏置控制电路 202，使得在低功率状态下工作的驱动器 106 重新回到正常的更高功耗工作状态。此时相应的传输线 0# 和 0 不再处于接地的零 - 零状态。

[0035] 图 7 结合了本发明实施例教导示出了用于一个实例驱动器 106 的结果电流消耗分布曲线。如图所示，所述教导使得驱动器的功耗更低，这对诸如便携计算（尤其是带有宽数据路径的便携计算）的特定功率敏感应用特别难能可贵。

[0036] 除了使用带有监控电路 108、偏置控制 202 和能够接地的传输线 0# 和 0 的驱动器 106，以及能够对这些元件的使用可以让驱动器 106 在低功率状态下工作之外，包括输出缓冲器 204 的驱动器 106 还可代表本领域内已知的或将要设计的广范围的驱动器。

[0037] 图 3 根据一个实施例更详细地示出了驱动器的监控电路 108。在此实施例中，监控电路 108 包括如图所示相互耦合的两个比较器 302 和 310、加法器 304、选择器 306 和计数器 308。如图所示在此实施例中，因为监控电路 108 先查看在发送缓冲器 104 内的发送数据，所以就使用比较器 302 比较每一个连续比特用以确定其是否为零。如果为零就输出真值“1”，否则就输出假值“0”。

[0038] 使用加法器 304 将所述真 / 假值与累加计数值 308 的当前值相加。所述真 / 假值还用于在所述发送数据中检测到另一个 0 比特时选择增加的计数值，或者代替地在所述发送数据中检测到一个 1 比特时将所述计数值重新初始化置零。

[0039] 使用比较器 310 连续检查所述当前计数用以确定当前计数是否已超过预定的恒定长度 (N)。如果超过，将会输出关闭相应的偏置控制电路 202 的恰当输出。

[0040] 图 4 根据一个实施例更详细地示出了一个接收器 116。在此实施例中示出的接收器 116 除了监控电路 118 之外，还包括如图所示的相互连接的积分单元 402 和锁存 404、传输比特线 0# 和 0 以及输入缓冲器 114。传输比特线 0# 和 0 也接地。

[0041] 在各个实施例中，由于监控电路 108 被设计使得所述传输比特线 0# 和 0 接地而把驱动器 106 置于低功耗操作电平的事实，监控器电路 118 补充地监控其传输比特线对上的零 - 零状态用以推断是否进入静止状态。

[0042] 类似地，一进入静止状态，监控器电路 118 就关闭积分单元 402 和锁存 404 等等。

[0043] 同样地，在静止状态的末期，监控器电路 118 重新打开积分单元 402 和锁存 404 等

等。

[0044] 除了使用带有监控电路 118 的接收器 116 以及其对在低功率状态下工作的接收器 116 的使用，包括了积分单元 402 和锁存 404 的接收器 116 还可代表本领域内已知的或将要设计的广范围的接收器。

[0045] 图 5 根据一个实施例更详细地示出了用于检测一对传输比特线 0# 和 0 上零 - 零状态的接收器的监控电路 118。在此实施例中，监控电路 118 是 3 输入放大器，包括输入 IN、IN#406a 和 406b 以及参考电压 (Vref)。Vref 被置于变动幅度的一半处，例如 400mv 变动输入实施例的 200mv 处。这样当 IN 和 IN# 变为 0 的时候，输出信号 OUTP 408 变为高，从而关闭了接收器 116 的各个元件。所述信号开关的一个实例在图 8 中示出。

[0046] 这样由以上说明可以发现，已经描述了以更为功率有效的方式利用差分信号数据的新颖方法。

[0047] 虽然对本发明实施例的描述涉及了前述的实施例，但是本领域普通技术人员应该理解本发明不限于这些描述的实施例。可以在权利要求的精神和范围内实现对可选实施例的修改和变更。

[0048] 这样，上述说明被认为是示意性而非限制性的。

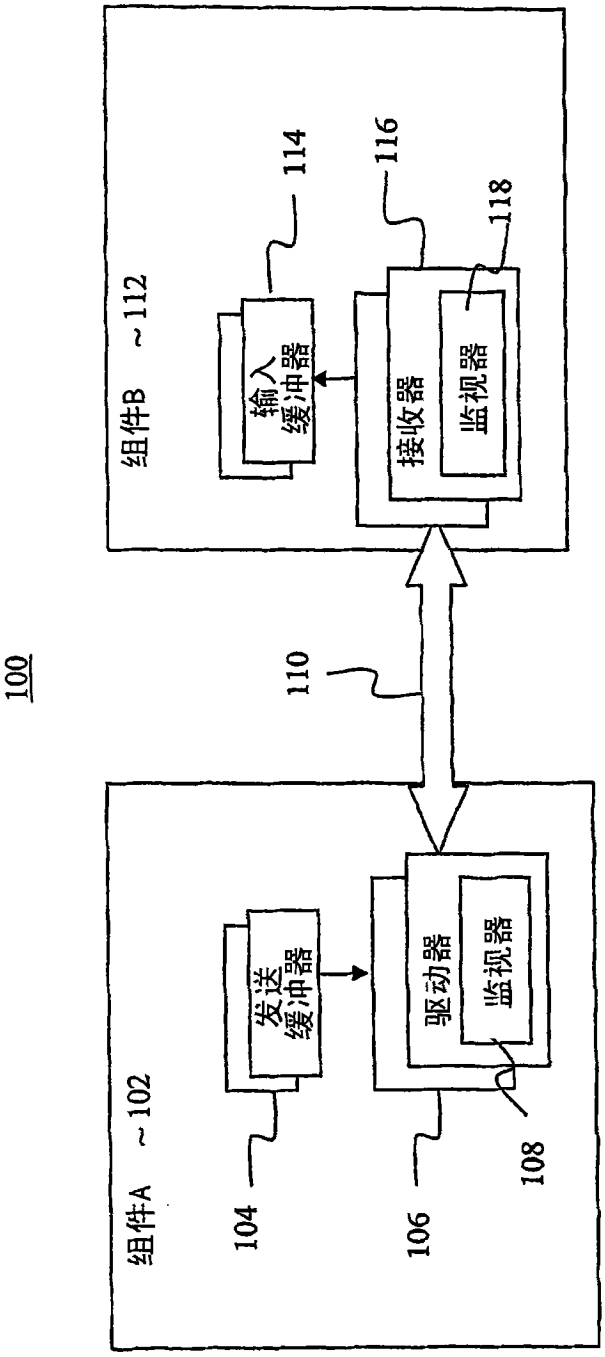

100
组件A ~102
组件B ~112
发送缓冲器
驱动器
监视器
输入缓冲器
接收器
监视器
104
106
108
110
114
116
118

图 1

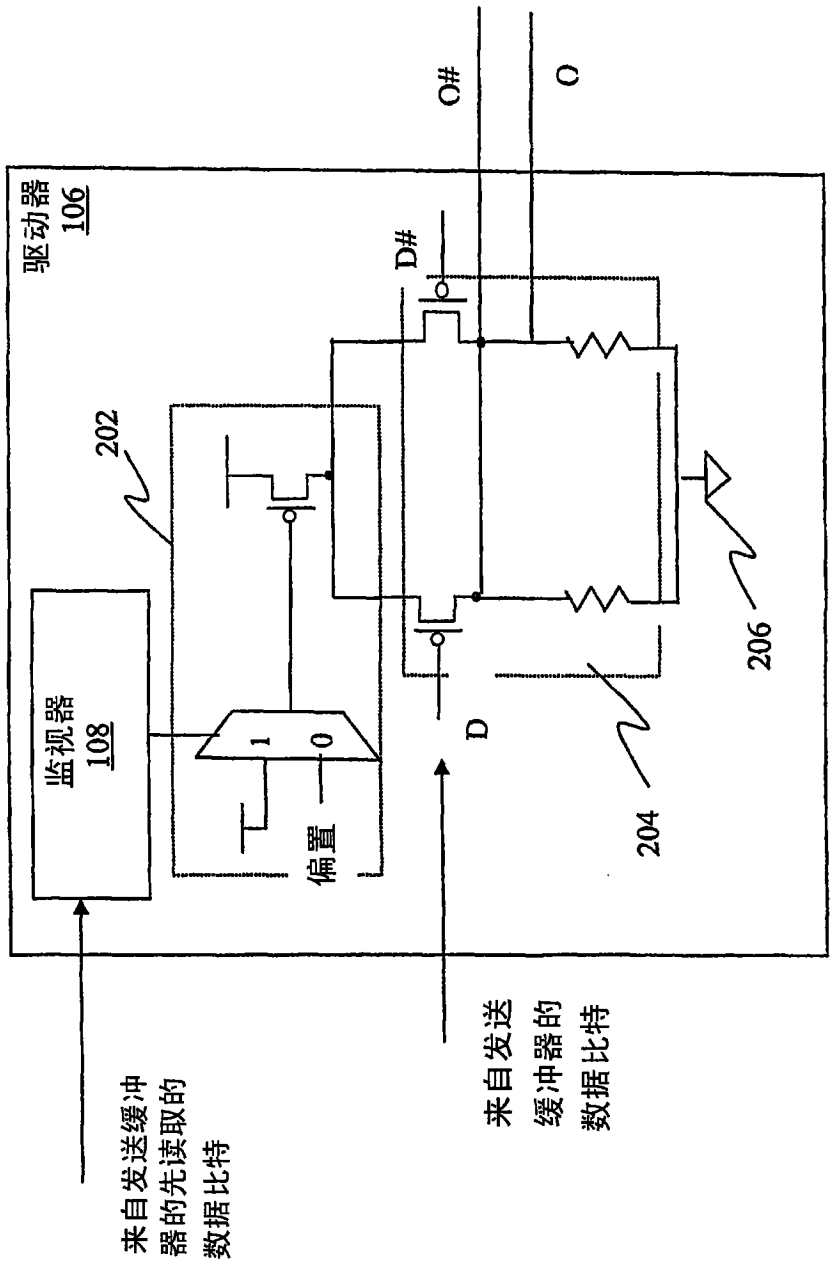

驱动器
106
O#
O
D#
202
监视器
108
1
0
偏置
D
204
206
来自发送缓冲
器的先读取的
数据比特
来自发送
缓冲器的
数据比特

图 2

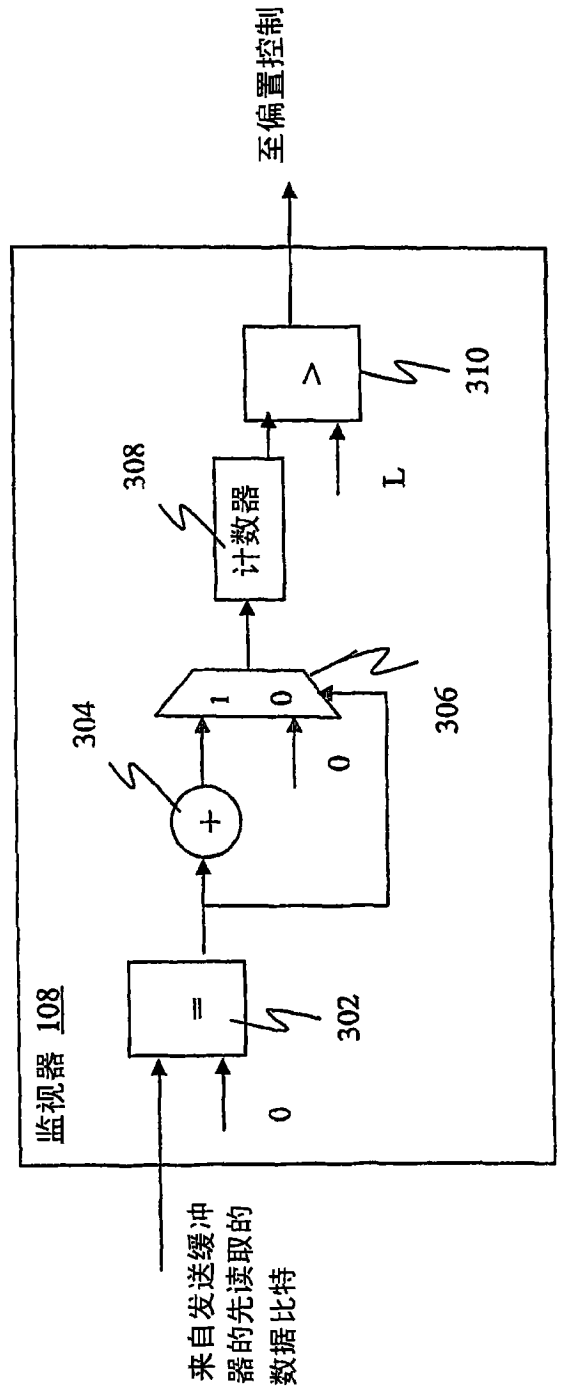

至偏置控制
监视器 108
=
302
0
来自发送缓冲器的先读取的数据比特
+
304
1
0
306
0
计数器
308
L
>
310

图 3

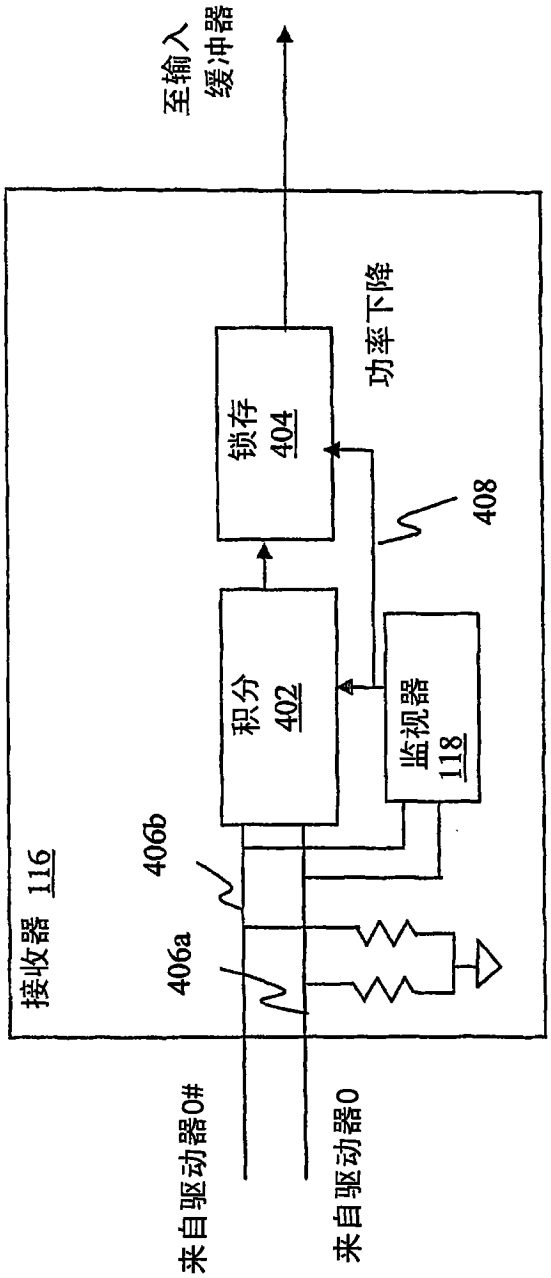

至输入缓冲器
锁存 404
功率下降
408
积分 402
监视器 118
406b
406a
接收器 116
来自驱动器0#
来自驱动器0

图 4

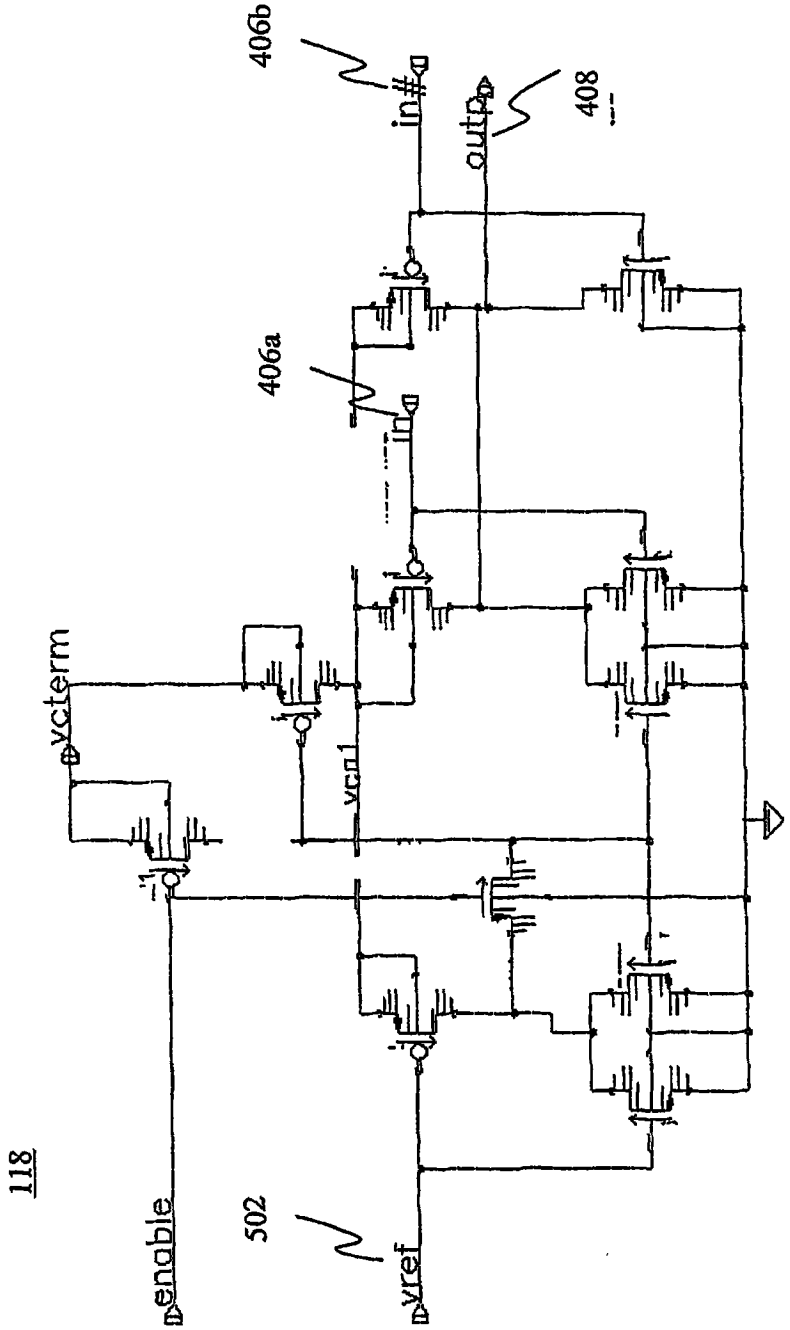



图 5

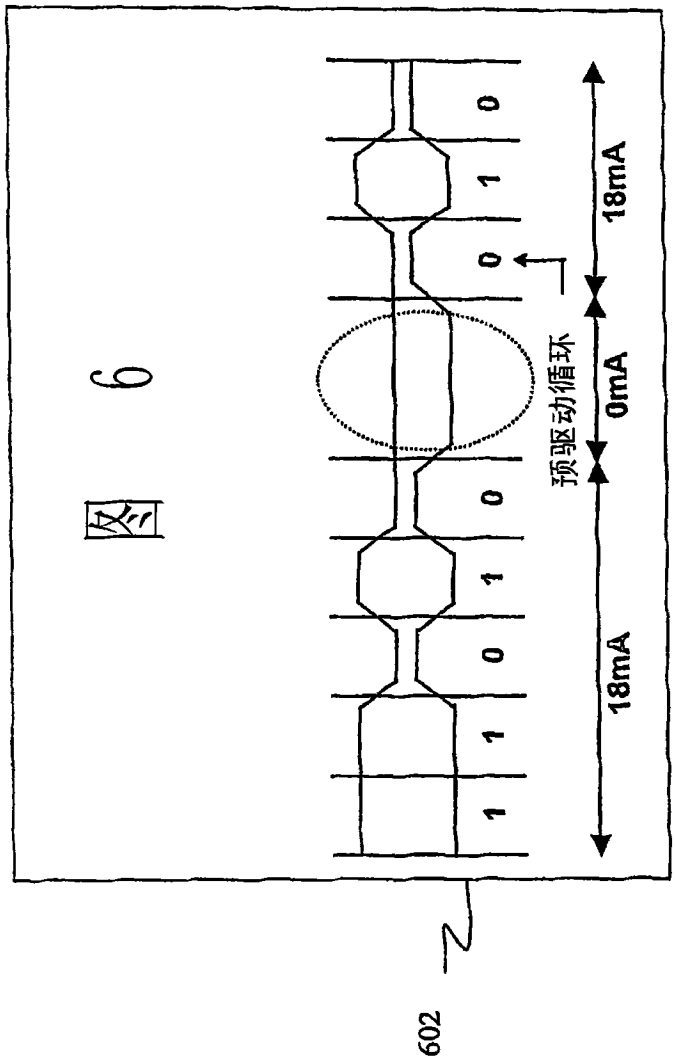

1 1 1 0 1 0 1 0 1 0
18mA
0mA
18mA
预驱动循环
602

图 6

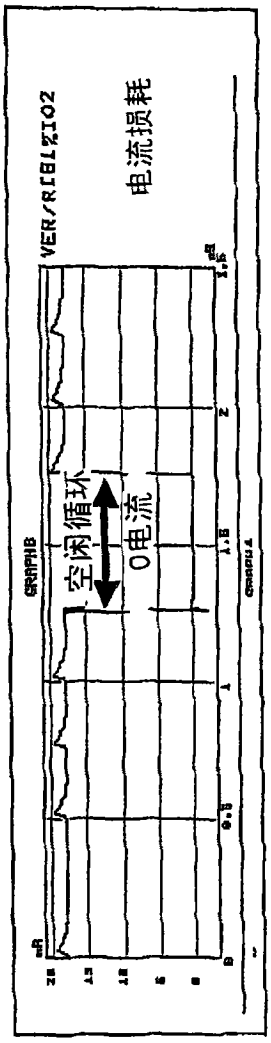

VER/RIEIZIO2
电流损耗
空闲循环
0电流
702

图 7

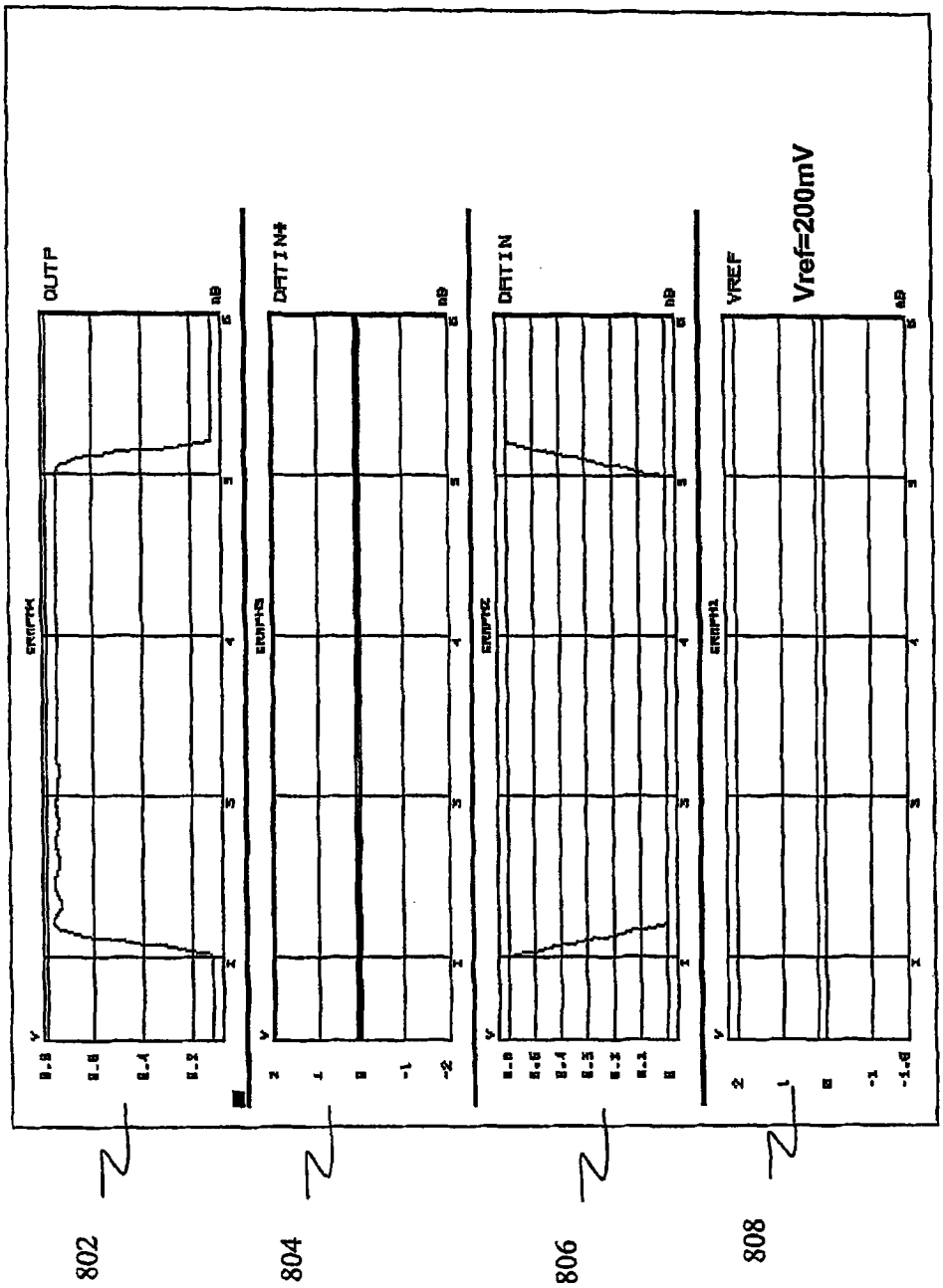



图 8