



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 96101114.9

[45] 授权公告日 2004 年 1 月 28 日

[11] 授权公告号 CN 1136503C

[22] 申请日 1996.1.30 [21] 申请号 96101114.9

[71] 专利权人 TDK 株式会社

地址 日本东京

[72] 发明人 柿沼裕二 荻部浩 寺崎幸夫

审查员 石 岗

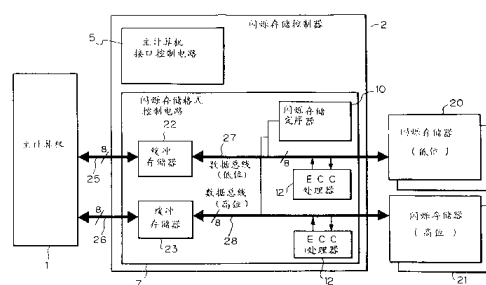
[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所
代理人 王以平

权利要求书 3 页 说明书 16 页 附图 4 页

[54] 发明名称 闪烁存储系统

[57] 摘要

一个通过闪烁存储控制器(2)与主计算机(1)相连的闪烁存储器(20, 21), 所述控制器(2)具有一对数据总线(27, 28)和一对缓冲存储器(22, 23)。每条所述数据总线连至一个有关的闪烁存储器及一个与所述主计算机相连的有关的缓冲存储器。所述数据总线(22, 23)被控制以便同时运行, 从而使所述闪烁存储器以并行形式被同时访问。主计算机中的数据通过所述缓冲存储器和所述数据总线传送至所述闪烁存储器, 反之亦然。



1. 一种连至主计算机的闪烁存储系统包括:

多个闪烁存储芯片; 和

一个用于控制所述存储芯片与所述主计算机之间数据传送的
闪烁存储控制器;

所述闪烁存储控制器包括:

多条数据总线, 每条所述总线连至有关的闪烁存储器, 用于
向/从所述闪烁存储芯片传送数据,

一个通过门连至所述数据总线的地址缓存, 用于通过所述数
据总线向所述闪烁存储芯片提供地址信息,

多个缓冲存储器, 每个所述缓冲存储器连至有关的数据总线
和所述主计算机, 用于临时存放向/从闪烁存储芯片传送的数据,

一个用于同时控制所述数据总线和所述缓冲存储器, 以使用
并行形式同时访问多个闪烁存储芯片的闪烁存储定序器,

多个比较器, 用于将由有关的闪烁存储芯片所提供的状态信
息与预定基准信息进行比较, 以及

一个 AND 电路, 用于提供所述比较器输出的逻辑 AND 运算,
从而只当前次操作中所有闪烁存储芯片都正确地操作后所述
AND 电路才提供一个正值输出信号。

2. 根据权利要求 1 的闪烁存储系统, 其中所述数据总线, 所
述闪烁存储芯片, 所述缓冲存储器和所述比较器的数量为 2。

3. 根据权利要求 1 的闪烁存储系统, 其中每条所述数据总线
中的数据具有并行形式。

4. 根据权利要求1的闪烁存储系统, 其中每条所述数据总线不但传送数据, 而且传送地址和命令至闪烁存储芯片。

5. 根据权利要求1的闪烁存储系统, 其中所述闪烁存储定序器包括一个计数器, 一个在由所述计数器指明的地址中存放指令的定序器 RAM, 一个连至所述定序器 RAM 用于将指令译码以便将被译码的微指令经所述数据总线送至闪烁存储芯片的指令译码器, 以及一个根据所述 AND 电路的输出调整所述计数器内容的决策电路。

6. 根据权利要求1的闪烁存储系统, 其中每块所述闪烁存储芯片在每个地址中有8位。

7. 根据权利要求1的闪烁存储系统, 进一步包括一块在其上安装有所述闪烁存储芯片和所述闪烁存储控制器的支撑卡, 及所述支撑卡具有一个连至主计算机的插件。

8. 一种闪烁存储控制器, 用于控制与所述控制器相连的闪烁存储芯片和主计算机之间的数据传送, 所述控制器包括:

多条数据总线, 每条所述总线与有关的闪烁存储芯片相连, 用于向/从所述闪烁存储器传送数据;

多个缓冲存储器, 每个所述缓冲存储器与有关的数据总线和所述主计算机相连, 用于临时地存放向/从闪烁存储器传送的数据; 以及

一个用于同时控制所述数据总线和所述缓冲存储器, 以便同时访问多个闪烁存储芯片的闪烁存储控制电路, 包括多个比较器, 用于将由有关的闪烁存储芯片所提供的状态信息与预定基准信息进行比较, 以及一个 AND 电路, 用于提供所述比较器输出的逻辑

AND 运算，从而只当前次操作中所有闪烁存储芯片都正确地操作后所述 AND 电路才提供一个正值输出信号。

闪烁存储系统

技术领域

本发明涉及一种使用闪烁存储卡的闪烁存储系统，该系统具有用作存储装置的闪烁存储器和/或用作存储媒体的具有闪烁存储器的外部存储装置。当它用作外部存储装置时，它犹如计算机系统**中的硬盘装置或软盘装置一样地运行着。**

背景技术

一个闪烁存储系统包括至少一块支撑卡，一块或多块安装在所述卡上的闪烁存储芯片，和一个安装在所述芯片上用于控制所述闪烁存储芯片操作的闪烁存储控制器。闪烁存储芯片有时称为 *EEP-ROM*，或电可擦可编程只读存储器。

图3显示现有闪烁存储控制器的框图。图3中，数字1是主计算机，2是闪烁存储控制器，3是由一个例如 *S-RAM* 实现的缓冲存储器，4是闪烁存储芯片，6是缓冲存储管理器，7是闪烁存储格式控制电路，8是主总线多路转换器，9是缓冲存储多路转换器，10是闪烁存储定序器，及12是 *ECC* 处理电路，后者用于在主计算机和闪烁存储芯片间传送时处理数据差错。

(1) 闪烁存储控制器

通常知道的闪烁存储卡具有一个用作存储装置的闪烁存储器和用作存储媒体的具有闪烁存储器的外部存储装置。闪烁存储卡，和/或外部存储装置具有用于控制闪烁存储芯片的闪烁存储控制器。

闪烁存储控制器根据主计算机命令对至/自闪烁存储器的写/读操作进行控制。闪烁存储控制器和硬盘控制器一样,通过完成数据传送控制,对闪烁存储器的写/读进行控制。

闪烁存储控制器具有一个外部缓冲存储器,通过它完成至/自闪烁存储器的写/读操作。

当将数据写入闪烁存储器时,控制操作如下。首先,自主计算机传来的数据存放于缓冲存储器中。接着存放于缓冲寄存器中的数据被读出,在完成格式处理后,数据传送至闪烁存储器。这样即完成写入闪烁存储器的写操作(至硬盘控制器的数据传送通过类似路径完成)。

(2)现有闪烁存储控制器

如图3所示,闪烁控制器2连至外部缓冲存储器3和闪烁存储器4,及所述闪烁存储控制器2连至主计算1(例如它可以是个人计算机)。

闪烁存储控制器2具有主接口控制电路5,缓冲存储管理器6,及闪烁存储格式控制电路7。

主接口控制电路5具有主总线多路转换器8,缓冲存储管理器6具有缓冲存储多路转换器9,以及闪烁存储格式控制电路7具有闪烁存储定序器10和用于处理差错的ECC处理电路12。

所述主接口控制电路5发送/接收用于传送数据至/自主计算机1的控制信号,以使闪烁存储控制器2中的主总线多路转换器8在分时基础上运行,从而将主计算机1中的16位数据总线转换为8位数据总线(称为主总线)。

所述闪烁存储格式控制电路7发送/接收用于传送数据至/自闪

烁存储器的控制信号。此种情况下,闪烁存储定序器10对写和/或读闪烁存储器4的访问过程进行控制。闪烁存储控制器2中的闪烁存储格式控制电路7完成在具有8位数据端的闪烁存储器4和8位总线(称为辅助总线)之间的数据传送。

所述缓冲存储器6在分时基础上切换主总线和辅助总线以使这些总线中的一条连至缓冲存储器3。

(3) 闪烁存储控制器的操作

如上所述,正如硬盘控制器一样,闪烁存储控制器2具有外部缓冲存储器3,从而通过所述缓冲存储器完成主计算机与闪烁存储器之间的数据传送。

根据数据传送率,数据流分为两种情况。

第一数据流是主总线中的流,该主总线的一端连至主计算机,因此第一数据流的数据传送率与主计算机相同。

第二数据流是辅助总线中的流,该辅助总线的一端连至闪烁存储器4,因此第二数据流的数据传送率与闪烁存储器4相同。

由于闪烁存储器的传送率低于主计算机,因此辅助总线中的传送率低于主总线。此外,当在闪烁存储器中写数据时,总线被占用以便向闪烁存储器发送命令和地址和从闪烁存储器接收状态,以及当写/读/删闪烁存储器时接收存在的某些总线忙碌情况,以便向闪烁存储控制器通知闪烁存储器的内部情况。由于以上操作,闪烁存储器中的数据传送率必须低。

所述缓冲存储器3位于两个在缓存操作中具有彼此不同传送率的装置之间。由于所述缓冲存储器同时接收来自主计算机的众多扇区的数据,因此通过量明显地增加了。

然而,现有闪烁存储控制器具有以下缺点。

(1)由于现有闪烁存储控制器具有一个外部缓冲存储器用于同时从主计算机接收众多扇区的数据,它的优点是增加通过量。然而如果缓冲存储器的容量不大,则上述效果也不大。

此外,当主计算机发出写命令时,来自主计算机的数据临时存放于缓冲存储器中,接着再读取缓冲存储器,以便将读出的数据传送至闪烁存储器。因此将数据写入缓冲存储器和自缓冲存储器读出数据需要一些时间。

此外,一个数据占用缓冲存储器的时间是访问时间的两倍,因需两个周期(写周期和读周期)。因此对闪烁存储器进行写的时间必须足够长。

(2)通常,主总线多路转换器 8 将来自主计算机的 16 位并行数据转换为送至一次总线的 8 位并行数据。

因此,送至主总线的传送率应为主计算机的两倍。缓冲存储管理器和闪烁存储器写操作的运行速率也应为主计算机的两倍。此外还要求闪烁存储格式控制器中的差错纠正装置具有中断的优先级,以便访问缓冲存储器。

因此缓冲存储器被经常访问,被差错纠正装置,主接口控制电路(低位访问和高位访问),对闪烁存储器的写操作等访问。这些对缓冲存储器的访问在分时基础上进行。

由于所述分时操作,闪烁存储控制器的运行速度必须比缓冲存储器快数倍。

例如,当缓冲存储器是一个其访问时间为 100ns 的静态 RAM,对主计算机的访问时间必须慢于 500ns。因此现有技术中对闪烁存

储器的访问率是低的。

(3) 如我们希望有一个快速的用于写/读数据的装置, 我们必须不但有一个高速运行的闪烁存储器, 还应有一个具有大容量、短访问时间高速缓存的缓冲存储器。

然而, 商用高速运行的高速缓存只具有小容量, 而且费用高。此外, 由于它们功率消耗大, 因此不适用于我们的目的。

发明内容

本发明的一个目的是提供一个能克服现有闪烁存储系统的缺点和限制的新的改善的闪烁存储系统。

本发明的另一个目的是提供一个闪烁存储系统, 后者能为闪烁存储器中的数据写读提供高速运行速度, 并改善通过特性。

根据本发明的一个方面, 一种连至主计算机的闪烁存储系统包括: 多个闪烁存储芯片; 和一个用于控制所述存储芯片与所述主计算机之间数据传送的闪烁存储控制器; 所述闪烁存储控制器包括: 多条数据总线, 每条所述总线连至有关的闪烁存储器, 用于向/从所述闪烁存储芯片传送数据, 一个通过门连至所述数据总线的地址缓存, 用于通过所述数据总线向所述闪烁存储芯片提供地址信息, 多个缓冲存储器, 每个所述缓冲存储器连至有关的数据总线和所述主计算机, 用于临时存放向/从闪烁存储芯片传送的数据, 一个用于同时控制所述数据总线和所述缓冲存储器, 以便使用并行形式同时访问多个闪烁存储芯片的闪烁存储定序器, 多个比较器, 用于将由有关的闪烁存储芯片所提供的状态信息与预定基准信息进行比较, 以及一个 AND 电路, 用于提供所述比较器输出的逻辑 AND 运算, 从而只当前次操作中所有闪烁存储芯片都正

确地操作后所述 AND 电路才提供一个正值输出信号。

根据本发明的另一个方面，一种闪烁存储控制器，用于控制与所述控制器相连的闪烁存储芯片和主计算机之间的数据传送，所述控制器包括：多条数据总线，每条所述总线与有关的闪烁存储芯片相连，用于向/从所述闪烁存储器传送数据；多个缓冲存储器，每个所述缓冲存储器与有关的数据总线和所述主计算机相连，用于临时地存放向/从闪烁存储器传送的数据；以及一个用于同时控制所述数据总线和所述缓冲存储器，以便同时访问多个闪烁存储芯片的闪烁存储控制电路，包括多个比较器，用于将由有关的闪烁存储芯片所提供的状态信息与预定基准信息进行比较，以及一个 AND 电路，用于提供所述比较器输出的逻辑 AND 运算，从而只当前次操作中所有闪烁存储芯片都正确地操作后所述 AND 电路才提供一个正值输出信号。

附图说明

依靠以下描述和附图，本发明的上述和其它目的，特征和附带优点将能被更好地理解，附图中有：

图 1A 是根据本发明的闪烁存储系统的框图；

图 1B 显示根据本发明的闪烁存储系统的结构；

图2是图1A中一部分的详细框图;以及

图3是现有闪烁存储系统的框图。

具体实施方式

图1A和图2显示根据本发明的闪烁存储系统的框图,及图1B显示根据本发明的闪烁存储系统的结构。在这些图中,数字1是主计算机,2是闪烁存储控制器,7是闪烁存储格式控制电路,10是闪烁存储定序器,12是ECC控制电路,20是用于低位(较低有效位)的闪烁存储芯片,21是用于高位(较高有效位)的闪烁存储芯片、在此说明书中闪烁存储芯片有时简称为闪烁存储器。闪烁存储器由一个EEPROM(电可擦可编程只读存储器)所实现。数字22和23是缓冲存储器,25是用于低位的数据总线,26是用于高位的数据总线,27是用于低位的数据总线,28是用于高位数据总线,30是地址缓存,31和32是比较器,33是AND电路,35是用于传送地址信息的门,36是用于传送命令值的门,37是用于传送低位数据的门,38是用于传送高位数据的门,39是用于采集高位状态的门,40是用于采集低位状态的门,43是用于地址值的传送线,44是用于命令值的传送线,45和46是用于采集状态值的线,47是用于比较状态的线,50是决策电路,51是计数器,52是定序器RAM(随机存取存储器),以及53是微序用译码器。

图1B显示现有闪烁存储系统的结构。闪烁存储系统具有塑料支撑100。闪烁存储控制器2,及闪烁存储芯片20和21灌封在所述支撑100中。支撑100还有一个用于与主计算机相连的插件102。虽然图1B中实施例具有两块闪烁存储芯片,但也可能安装多于三片闪烁存储芯片。支撑100还有一个微处理器单元(MPU)50及一个SRAM存储器52,用于控制闪烁存储控制器2和闪烁存储芯片20

和 21 的操作。*SRAM* 存储器 52 用于将来自主计算机的地址转换为闪烁存储芯片中的地址。由于部件 50 和 52 是常用的,同时与本发明无关,因此它们不在图 1A 中显示。

在典型实施例中,图 1B 中闪烁存储卡的尺寸是长度 L 为 85.6mm,宽度 W 为 46mm,及厚度 T 为 5mm,同时每块闪烁存储芯片的容量为 2 兆字节,每个字节为 8 位,因而每对芯片提供 4 兆个 8 位的字节,或 2 兆个 16 位的字。

[1] 实施例的结构(图 1A)

图 1A 是根据本发明的闪烁存储系统的框图。实施例中,闪烁存储芯片 20 和 21 是 *NAND* 型闪烁存储芯片,由闪烁存储控制器控制其写、读、删、和/或读状态操作。

如图 1A 所示,闪烁存储控制器 2 连至一对外部闪烁存储芯片 20 和 21,每一对芯片存放低位数据(较低有效位)和高位数据(较高有效位)。闪烁存储控制器 2 也连至主计算机 1。

用于低位的闪烁存储芯片 20 和用于高位位的闪烁存储芯片 21 可有众多闪烁存储元件(闪烁存储组),以使这些闪烁存储元件独立地进行写、读、删和/或读状态操作。在实施例 9,闪烁存储器芯片 20 和 21 中每一块有 8 位,而每一个闪烁存储元件有 1 位。假定主计算机中的字为 16 位,并在所述闪烁存储芯片中分为 8 位的高位和 8 位的低位。

NAND 型闪烁存储芯片没有地址端,但可将 3 字节地址信息送至数据端以便在内部存储区中选择一个存储区。

闪烁存储控制器 2 具有一个主接口控制电路 5 和一个闪烁存储格式控制电路 7。

闪烁存储格式控制电路 7 具有一个闪烁存储定序器 10, 一条低位总线 27, 一条高位总线 28, 缓冲存储器(用于主计算机)22 和 23, 以及一个 ECC 处理器 12。

闪烁存储控制器 2 具有一个微处理器 MPU 和一个 SRAM(图中未显示), 用于控制闪烁存储控制器的内部操作。

所述部件的功能如下。

(1) 主接口控制电路 5 向主计算机 1 发送和自后者接收控制信号, 其操作类似于常用硬盘装置。

(2) 低位总线 27 将 16 个并行位中的低 8 位传送至/自主计算机 1。

(3) 高位总线 28 将 16 个并行位中的高 8 位传送至/自主计算机 1。

(4) 当数据自闪烁存储系统传送至主计算机或自主计算机传送至闪烁存储系统时, 缓冲存储器 22 将送至/自主计算机的 16 个并行位中的低 8 位存储起来。缓冲存储器 22 的操作受闪烁存储格式控制电路 7 中的控制电路(未示出)控制。

(5) 当数据自闪烁存储系统传送至主计算机或自主计算机传送至闪烁存储系统时, 缓冲存储器 23 将送至/自主计算机 1 的 16 个并行位中的高 8 位存储起来。缓冲存储器 23 的操作受闪烁存储格式控制电路 7 中的控制电路(未示出)控制。

(6) ECC 处理器 12 用于被写和被读数据的 ECC 处理(差错纠正码), 包括 ECC 编码和译码。

(7) 闪烁存储定序器 10 同时控制低位数据总线 27 和高位数据总线 28, 以便同时访问用于低位的闪烁存储芯片 20 和用于高位的

闪烁存储芯片 21。

〔2〕闪烁存储器控制的操作

主计算机 1 与用于低位数据的闪烁存储芯片 20 和用于高位数据的闪烁存储芯片 21 之间的数据传送以具有 16 个位的并行地形式完成。此种情况下,所述 16 个并行位中的高 8 位和低 8 位是在闪烁存储控制器 2 个分别地而又同时传送的。

当在闪烁存储芯片中写数据时,来自主计算机 1 的数据以 16 个位的并行地形式通过具有 8 位的数据总线 25 和具有 8 位的数据总线 26 传送至闪烁存储控制器 2。

闪烁存储控制器 2 将来自主计算机的 16 位并行数据分别存放于一对缓冲存储器 22 和 23 中,从而使每个缓冲存储器存放 8 位。16 位并行数据中的低 8 位数据存放于缓冲存储器 22 中,及高 8 位数据存放于另一个缓冲存储器 23 中。

缓冲存储器 22 中存放的数据通过用于低位的数据总线 27 传送至用于低位数据的闪烁存储芯片 20。缓冲存储器 23 中存放的数据通过用于高位的数据总线 28 传送至用于高位的闪烁存储芯片 21。

当从闪烁存储芯片 20 和 21 读出数据时,数据在上面所述数据传送的相反方向内被传送。换言之,自用于低位的闪烁存储芯片 20 读出的数据(8 位)通过低位数据总线 27 存放于缓冲存储器 22 中,及自用于高位的闪烁存储芯片 21 读出的数据(8 位)通过高位数据总线 28 存放于缓冲存储器 23 中。数据总线 27 和 28 中的一对数据同时被传送,犹如传送 16 位并行数据一样。然后存放于缓冲存储器 22 和 23 中的数据通过数据总线 25 和 26 传送至主计算机 1。

如上所描述,一对各具有 8 位数据的闪烁存储芯片被同时访

问,因而 16 位数据以并行形式被访问。

对所述闪烁存储芯片 20 和 21 的控制由闪烁存储定序器 10 完成。对缓冲存储器 22 和 23 的控制由闪烁存储格式控制电路 7 中的控制电路(未示出)完成。

[3] 闪烁存储格式控制电路(图 2)

图 2 详细地显示了图 1A 的一部分。现根据图 2 描述闪烁格式控制电路。

闪烁存储格式控制电路 7 进一步包括一个地址缓存 30, 一个 AND 电路 33, 比较器 31 和 32, 一个用于传送地址值的门 35, 一个用于传送命令值的门 36, 一个用于传送低位数据的门 37, 一个用于传送高位数据的门 38, 一个用于采集高位状态的门 39, 一个用于采集低位状态的门 40, 一条用于地址值的线 43, 一条用于命令值的线 44, 用于采集状态值的线 45 和 46, 及用于将状态传送至比较器的线 47, 等等。

闪烁存储定序器 10 具有一个决策电路 50, 一个计数器 51, 一个定序器 RAM52, 及一个微序译码器 53。此外, 闪烁存储定序器 10 是供送至不同部件的各种控制信号、命令值和比较值, 以便同时访问用于低位数据的所述闪烁存储芯片 20 和用于高位数据的另一个闪烁存储芯片 21。

所述地址缓存 30 通过 MPU 总线连至一个 MPU(微处理器单元, 未示出), 从而使自所述 MPU 送出的闪烁存储芯片的地址信息临时地存放于所述地址缓存 30 中, 然后自缓冲存储器中将所述地址信息逐一读出至闪烁存储芯片 20 和 21。

现描述图 2 的操作。

闪烁存储系统的典型操作是“写”闪烁存储器，“读”闪烁存储器，“删”闪烁存储器和闪烁存储器的“读状态”。在“写”操作之后立即进行“读状态”操作，以便检查“写”操作是否正常操作。

(1)“写”、“读”或“删”命令

用于命令值的线 44 通过门 36 将在闪烁存储定序器 10 中生成的命令值传送到闪烁存储器，以便标示命令值中的一个值（“写”、“读”、等等）。命令值线 44 具有 8 个并行位。所述命令用于访问闪烁存储器。

用于地址值的线 43 通过用于地址值的门 35 将地址缓冲 30 输出的地址值传送给闪烁存储器。该地址值用于访问闪烁存储器。

当数据在主计算机与闪烁存储系统之间传送时，由 MPU 和 SRAM(静态 RAM)提供闪烁存储器地址，该 SRAM 具有主计算机地址与闪烁存储器地址之间的转换表。自 SRAM 读出的地址暂时存放在地址缓存 30 中，然后被读出，并通过门 37 和 38 和数据总线 27 和 28 送至闪烁存储芯片。

所述命令值和所述地址值通过用于低位的门 37 送至用于低位的数据总线 27，及通过用于高位的门 38 送至用于高位的数据总线 28。

接着，数据总线 27 上的命令值和地址值传送到用于低位的闪烁存储器 20，及数据总线 28 上的命令值和地址值传送到用于高位的闪烁存储器 21。在本实施例中，命令值和地址值通过公共的数据总线传送。

应注意到在上述解释中，当闪烁存储系统进行“写”操作时，用于标明“写”操作的命令首先送至闪烁存储芯片，接着用于标明所述操

作中闪烁存储芯片地址的地址值自地址缓存 30 送至闪烁存储芯片, 然后与送至闪烁存储器的所述地址有关的数据自与主计算机 1 相连的缓冲存储器 22 和 23 送至闪烁存储器。当命令为“读”命令时, 数据传送方向与“写”命令相反。当命令为“删”命令时, 不传送任何数据。

根据数据总线 27 和 28 上的命令值和地址值, 以并行形式同时访问闪烁存储器 20 和 21。

(2)“读状态”命令

当完成“写”命令时, 闪烁存储芯片设置一个标志, 以显示该写操作是否正确地完成。使用读状态命令读出该标志。因此闪烁存储控制器在写命令之后立即执行读状态命令, 以便检查刚才的写命令是否正确地执行。

一对比较器 31 和 32 用于比较状态值, 以使闪烁存储定序器 10 识别对闪烁存储器 20 和 21 的访问结果。

闪烁存储定序器 10 中生成的基准状态通过线 47 送至比较器 31 和 32 的第一输入端。用于标明正确“写”操作的基准状态例如为“000”。

比较器 31 的另一输入端通过数据总线 27 和用于低位的门 40 接收来自闪烁存储器 20 的状态值, 及比较器 32 的另一输入端通过数据总线 28 和用于高位的门 39 接收来自另一闪烁存储器 21 的状态值。

比较器 31 和 32 分别比较两个状态值。当两个状态值互相重合时, 每一个比较器输出高电平信号 1, 否则输出低电平信号 0。

AND 电路 33 产生两个比较器 31 和 32 输出量的逻辑积的值。

因此当两个比较器 31 和 32 都输出高电平信号时, *AND* 电路 33 提供高电平信号, 该信号被送至决策电路 50。 *AND* 电路 33 输出的高电平信号标明闪烁存储器中低 8 位和高 8 位都已正确地写完。

当 *AND* 电路输出量处于高电平时, 决策电路 50 识别到对闪烁存储器 20 和 21 的访问都已成功, 而当所述输出量处于低电平时, 则识别到访问失败。

决策电路 50 进一步自微序译码器 53 接收命令 *CD*, 及自闪烁存储器接收 *INPUT*。命令 *CD* 通知决策电路进行操作, 及当两个闪烁存储器都处于准备状态而不是忙碌状态时, *INPUT* 端的信号有效。因此只当 *AND* 电路 33 输出高电平输出量, 命令 *CD* 为有效和 *INPUT* 上的信号为有效时, 决策电路 50 才提供高电平输出量。

决策电路 50 的输出量加至计数器 51 上, 以便根据决策电路 50 的输出量切换计数器 51 的内容。

(4) 闪烁存储定序器

闪烁存储定序器 10 包括一个计数器 51, 一个定序器 *RAM52*, 一个微序译码器 53, 和一个决策电路 50, 以便产生用于控制闪烁存储器 20 和 21 的控制信号。

闪烁存储系统的必要操作由 *MPU* 通过 *MPU* 总线送至定序器 *RAM52*, 于是闪烁存储定序器开始操作。

在初始段, 计数器 51 内容为零。计数器 51 的内容逐一增量, 或根据决策电路 50 的输出量切换到预定值。计数器 51 的内容加到具有 4 字节乘 32 字的定序器 *RAM52* 上, 后者根据计数器 51 提供的地址输出一个用于操作闪烁存储芯片的命令信号。定序器 *RAM52* 存放用于访问闪烁存储器的码, 及定序器 *RAM52* 的零地址处存放

一个 4 字节的微码,用于启动闪烁存储器。

因此,当计数器 51 将零地址送至定序器 RAM52 时,定序器 RAM52 的零地址内容被读出,同时自零地址处如此读出的用于启动闪烁存储器的微码被送至微序译码器 53。

根据来自定序器 RAM52 的微码,微序译码器 53 产生不同控制信号、命令值供比较用的基准值,等等。

当计数器 51 增量时,在定序器 RAM52 和微码译码器 53 中完成类似操作。

因此,根据计数器 51 的内容,定序器 RAM52 提供根据计数器 51 的内容而定的微码,及微序译码器 53 提供闪烁存储控制器和闪烁存储芯片中每个电路操作所需信号。

对于熟悉本发明技术的人们,可以作一些修改。它们之中有一些是:

(1)上述实施例使用 NAND 型闪烁存储芯片。应注意到本发明中当然可用另一种类型的闪烁存储芯片。

(2)用于低位和用于高位的总线不限于 8 位总线,而 16 位总线或任何位数都可用于闪烁存储器。此种情况下,总线必须与闪烁存储芯片的格式相符合。

(3)上述实施例用 8 位低位数据总线和 8 位高位数据总线来提供 16 位并行总线。应该理解,当然可用 4 条每条 8 位的数据总线组成 32 位并行总线,及可用 8 条每条 8 位的数据总线组成 64 位并行总线。

最后,列举本发明的一些功能。

(1)闪烁存储控制器具有一对数据总线 and 一对缓冲存储器,而没

有现有技术中采用的外部缓冲存储器。因此来自主计算机的16位并行数据直接传送至闪烁存储芯片而不必传送至外部缓冲存储器。

此外,需送至主计算机的16位数据也直接送至主计算机。因此不需变换数据,从而完成快速的写/读闪烁存储器的操作。

(2)来自主计算机的数据临时地存放于闪烁存储控制器中的缓冲存储器。因此所述缓冲存储器的存在使通过量得过改善。

(3)闪烁存储控制器中的一对数据总线同时访问闪烁存储芯片,从而使一对闪烁存储芯片同时被访问。因此对闪烁存储器的操作速度得以改善。

(4)缓存操作由闪烁存储控制器中的内部缓冲存储器所完成。因此,与具有外部缓冲存储器的现有技术比较,对闪烁存储器的访问时间得以缩短。还有,读闪烁存储器的通过量也得以改善。

(5)闪烁存储控制器具有16位并行总线,因此不必如现有技术那样采用分时操作。因此写/读闪烁存储器的速度得以改善。

从以上所述可明显看出,已找到新的改善的闪烁存储系统。当然应该理解所公开的实施例只是解释性的,并不用于限制本发明范围。因此除说明书外更应参照所附权利要求书,其中标明本发明范围。

图 1B

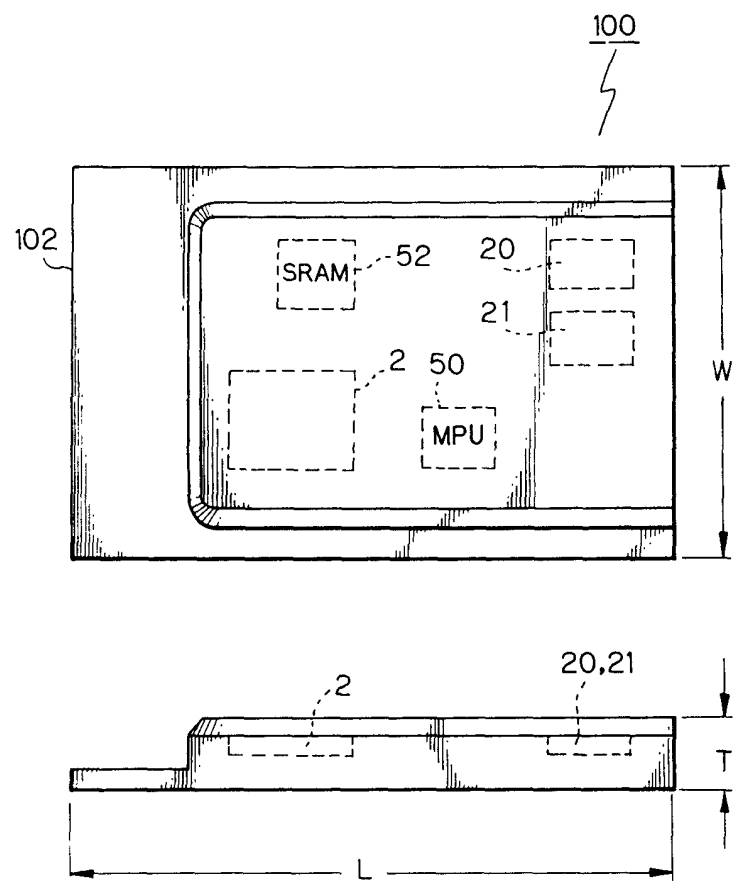


图3 现有技术

