



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

256872

(11) (B1)

(51) Int. Cl.⁴

H 03 B 21/02

(22) Přihlášeno 12 06 85

(21) PV 4212-85

(40) Zveřejněno 17 09 87

(45) Vydáno 16 01 89

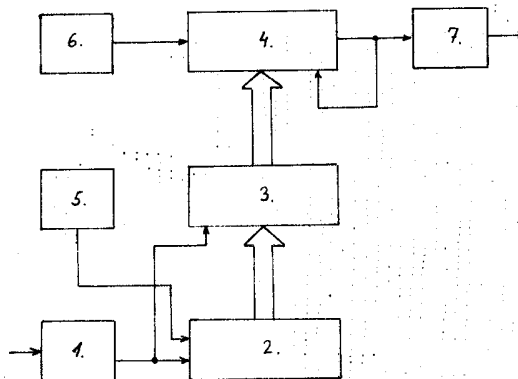
(75)

Autor vynálezu

ŠTORK MILAN ing., PLZEŇ

(54) Číslicový syntezátor kmítočtu

Zapojení se týká oboru měřící technika. Řeší problém vytváření signálu, jehož frekvence je násobkem frekvence vstupního signálu. Podstata řešení spočívá v použití dvou čítačů a dvou generátorů frekvence. Během periody vstupního signálu se první čítač plní pulzy z generátoru o frekvenci f_2 . Na konci periody vstupního signálu je obsah prvního čítače uložen do registru, pomocí kterého pak dojde k přednastavení druhého čítače na uložené číslo. Druhý čítač se pak vyprazdňuje pulzy z generátoru o frekvenci f_1 . Vzhledem k rozdílným hodnotám frekvence obou generátorů je výstupní frekvence druhého čítače násobkem vstupní frekvence. Zařízení lze použít všude tam, kde je třeba generovat signál o frekvenci, která je násobkem frekvence vstupního signálu, např. u pulzních čidel rychlostí otáčení, převodníků napětí-frekvence, případně frekvence-napětí a též u fázových závěsů. Výhodou je univerzálnost zařízení, neboť generátory mohou být řízeny buď napěťově, nebo číslicově.



Vynález se týká číslicového syntezátoru kmitočtu, tj. vytváření frekvence, která je násobkem vstupní frekvence.

Až dosud se pro syntezátory kmitočtu používá zapojení s řadou oscilátorů, směšovačů a filtrů, případně fázových závěsů. Nevýhodou těchto zapojení je složitost a nutnost přesného nastavování jednotlivých obvodů.

Uvedené nevýhody odstraňuje číslicový syntezátor kmitočtu, jehož podstatou je, že sestává ze vstupního obvodu jehož výstup je připojen jednak na nulovací vstup čítače čítajícího nahoru, dále pak na řídicí vstup registru. Výstupy čítače čítajícího nahoru jsou připojeny na datové vstupy registru a výstupy registru jsou připojeny na představovací vstupy čítače čítajícího dolů. Výstup generátoru nižší frekvence je přiveden na hodinový vstup čítače čítajícího nahoru, výstup generátoru vyšší frekvence je přiveden na hodinový vstup čítače čítajícího dolů je přiveden na vstup pro řízení přednastavení čítače čítajícího dolů, dále pak na děličku frekvence.

Číslicový syntezátor kmitočtu dle vynálezu umožňuje násobení vstupní frekvence reálným číslem, které je dáno poměrem frekvence generátoru vyšší frekvence ku součinu frekvence generátoru nižšího kmitočtu a čísla, kterým dělí frekvenci dělička.

Příkladné provedení předmětu vynálezu znázorňuje schéma na obr.

Číslicový syntezátor kmitočtu sestává ze vstupního obvodu 1, jehož výstup je připojen jednak na nulovací vstup čítače 2 čítajícího nahoru, dále pak na řídicí vstup registru 3, přičemž výstupy čítače 2 čítajícího nahoru jsou připojeny na datové vstupy registru 3 a výstupy registru 3 jsou připojeny na přednastavovací vstupy čítače 4 čítajícího dolů, přičemž výstup generátoru 5 nižší frekvence je přiveden na hodinový vstup čítače 2 čítajícího nahoru a výstup generátoru 6 vyšší frekvence je přiveden na hodinový vstup čítače 4 čítajícího dolů a výstup čítače 4 čítajícího dolů je přiveden jednak na vstup pro řízení přednastavení čítače 4 čítajícího dolů, dále pak na děličku 7 frekvence.

Vstupní pulzy o frekvenci f_1 jsou přivedeny na vstupní obvod 1, který vždy buď na nástupní, nebo odcházející hraně generuje krátký pulz, který je veden jednak na řídicí vstup registru 3 a umožňuje tak do registru 3 zápis čísla, které je na datových vstupech registru 3. Dále je tento pulz ze vstupního obvodu 1 veden na nulovací vstup čítače 2 čítajícího nahoru, jehož obsah je tedy tímto pulzem nulován. Pulzy o frekvenci f_2 z generátoru 5 nižší frekvence jsou přivedeny na hodinový vstup čítače 2 čítajícího nahoru. Číslo uložené v registru 3 je přivedeno na přednastavovací vstupy čítače 4 čítajícího dolů. Na hodinový vstup čítače 4 čítajícího dolů jsou přivedeny pulzy o frekvenci f_1 z generátoru 6 vyšší frekvence.

Čítač 4 čítající dolů čítá z přednastavené hodnoty do nulové hodnoty a při této hodnotě je na výstupu čítače 4 čítajícího dolů generován pulz, který se vede na vstup pro řízení přednastavení čítače 4 čítajícího dolů, čímž se do čítače znovu uloží číslo, které je na přednastavovacích vstupech čítače 4 čítajícího dolů a čítač začíná opět čítat, dolů. Pulzy výstupu čítače 4 čítajícího dolů jsou vedeny na děličku 7 frekvence, jejíž dělicí poměr je p.

Předpokladem funkce číslicového syntezátoru je platnost dle (1)

$$f_1 > f_2 \gg f_i \quad (1)$$

Za dobu jedné periody vstupní frekvence f_1 se při frekvenci generátoru 5 nižší frekvence f_2 uloží do čítače 2 čítajícího nahoru číslo N, které je dáno vztahem (2)

$$N = f_2 / f_1 \quad (2)$$

Toto číslo N se objeví na přednastavovacích vstupech čítače 4 čítajícího dolů a při frekvenci generátoru 6 vyšší frekvence f_1 bude frekvence f_c pulzů na výstupu čítače 4 čítajícího dolů dána dle (3)

$$f_c = f_1 / N \quad (3)$$

Tedy po dosazení (2) do (3)

$$f_c = f_1 \cdot f_1 / f_2 \quad (4)$$

Tato frekvence f_c je ještě dělena děličkou 7 frekvence s dělicím poměrem p , a na výstupu této děličky je frekvence f_o dle (5)

$$f_o = \frac{f_1}{f_2 \cdot p} \cdot f_1 \quad (5)$$

Ze vztahu (5) vyplývá, že frekvenci f_o lze měnit každou z veličin na pravé straně. Je pouze nutno dodržet vztah (1) a dále pak to, že délka L čítačů a registru musí vyhovovat vztahu (6)

$$L \geq \log \frac{f_2}{f_{i \min}} / \log 2 \quad [\text{bit, Hz}] \quad (6)$$

kde $f_{i \min}$ je minimální frekvence vstupního signálu a vztah (6) platí pro binární čítače.

Uvedený číslicový syntezátor kmitočtu je možno použít všude tam, kde je nutno generovat širokou škálu frekvencí, případně též získávat frekvenci, která vznikne ze vstupní frekvence vynásobením reálným číslem. Vzhledem k jednoduchosti lze tento číslicový syntezátor kmitočtu uplatnit i v aplikacích jednoduché násobičky frekvence, dále jako stavení prvek fázových závěsů a převodníků číslo-frekvence, nebo převodníků napětí-frekvence, neboť jednotlivé veličiny na pravé straně vztahu (5) lze řídit číslicově, nebo napěťově.

P R Ě D M Ě T V Y N Á L E Z U

Číslicový syntezátor kmitočtu, vyznačený tím, že sestává ze vstupního obvodu (1), jehož výstup je připojen jednak na nulovací vstup čítače (2) čítajícího nahoru, dále pak na řídicí vstup registru (3) přičemž výstupy čítače (2) čítajícího nahoru jsou připojeny na datové vstupy registru (3) a výstupy registru (3) jsou připojeny na přednastavovací vstupy čítače (4) čítajícího dolů, přičemž výstup generátoru (5) nižší frekvence je přiveden na hodinový vstup čítače (2) čítajícího nahoru a výstup generátoru (6) vyšší frekvence je přiveden na hodinový vstup čítače (4) čítajícího dolů a výstup čítače (4) čítajícího dolů je přiveden jednak na vstup pro řízení přednastavení čítače (4) čítajícího dolů, dále pak na děličku (7) frekvence.

256872

