(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H01L 21/76

(11) 공개번호 특1997-0077485
(43) 공개일자 1997년12월12일

(21) 출원번호 특1996-0016254
(22) 출원일자 1996년05월15일

(71) 출원인 삼성전자 주식회사 김광호
경기도 수원시 팔달구 매탄동 416번지
(72) 발명자 이주영
경기도 수원시 팔달구 우만동 주공아파트 208동 1207호
(74) 대리인 이영필, 권석흠, 노민식

심사청구 : 있음

(54) 얕은 트렌치 소자분리방법

요약

신규한 얕은 트렌치 소자분리방법이 개시되어 있다. 반도기판의 소자활성화영역 상에 패드 산화막, 제1마스크층 제2마스크층으로 이루어진 마스크층 패턴을 형성한다. 마스크층 패턴을 이용하여 반도체기판을 소정 깊이로 식각함으로써 트렌치를 형성한 후, 1마스크 층을 측벽 식각(언더커트)한다. 제1마스크층이 언더커트된 결과물 상에 트렌치를 완전히 채우도록 절연층을 증착하고, 화학계계폴리싱(CMP)공정으로 결과물을 폴리싱하여 평탄화된 트렌치 소자분리영역을 형성한다. 제1마스크층의 언더커트된 영역으로부터 후속공정에서 채워지는 절연층이 얕은 트렌치 소자분리영역의 엣지부분을 보강함으로써, 게이트 잔류물이 남지 않는다.

대표도

도3e

명세서

[발명의 명칭]

얕은 트렌치 소자분리방법

[도면의 간단한 설명]

제3A도 내지 제3E도는 본 발명에의한 얕은 트렌치 소자분리방법을 설명하기 위한 단면도들.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

반도체기판의 소자활성화영역 상에 패드 산화막, 제1마스크층 및 제2마스크층으로 이루어진 마스크층 패턴을 형성하는 제1단계; 상기 마스크층 패턴을 이용하여 상기 반도체기판을 소정깊이로 식각함으로써 트렌치를 형성하는 제2단계; 상기 제1마스크층을 측벽 시각(언더커트)하는 제3단계; 상기 제1마스크층이 언더커된 결과물 상에 상기 트렌치를 완전히 채우도록 절연층을 증착하고, 화학기계폴리싱(CMP) 공정으로 상기 결과물을 폴리싱하여 평탄화된 트렌치 소자분리영역을 형성하는 제4단계; 상기 제1마스크층 및 패드 산화막을 제거하는 제5단계를 구비하는 것을 특징으로 하는 반도체장치의 소자분리방법.

청구항 2

제1항에 있어서, 상기 제3단계의 제1마스크층을 측벽 식각하는 공정은 습식식각 방법으로 실시하는 것을 특징으로 하는 반도체장치의 소자분리방법.

청구항 3

제1항에 있어서, 사기 제3단계의 상기 제1마스크층이 언더케트되는 양은 소자분리영역의 엣지가 침하되는 정도 및 소자분리영역 간의 거리에 의해 조절하는 것을 특징으로 반도체장치의 반도체장치의 소자분리방법.

청구항 4

제3항에 있어서, 상기 제1마스크층이 언더커트되는 양은 수백 A정도인 것을 특징으로 하는 반도체장치의 소자분리방법.

청구항 5

제1항에 있어서, 상기 제4단계에서 상기 화학 기계폴리싱 공정은 상기 제1마스크층의 표면이 노출될 때까지 실시하는 것을 특징으로 하는 반도체장치의 소자분리방법.

청구항 6

제1항에 있어서, 상기 제4단계에서 상기 화학기계폴리싱 공정을 실시하기 전에, 상기 트렌치와 소자활성화영역 간의 단차를 보상하기 위하여 더미패턴을 이용하여 상기 소자활성화영역 상의 절연층을 일부 식각하는 단계를 더 구비하는 것을 특징으로 하는 반도체 장비의 소자분리방법

청구항 7

제1항에 있어서, 상기 제5단계에서, 상기 제1마스크층 및 패드 산화막은 습식식각 공정으로 제거하는 것을 특징으로 하는 반도체장치의 소자분리방법.

청구항 8

반도체기판의 소자활성화영역 상에 패드 산화막, 제1마스크층 및 제2마스크층으로 이루어진 마스크층 패턴을 형성하는 제1단계; 상기 제1마스크층을 측벽 식각(언더커트)하는 제2단계; 사기 언더커트된 제1마스크층을 포함하는 상기 마스크층 패턴을 이용하여 상기 반도체기판을 소정깊이로 식가함으로써 트렌치를 형성하는 제3단계; 상기 트렌치가 형성된 경과물 상에 상기 트렌치를 완전히 채우도록 절연층을 증착하고, 화학기계폴리싱(CMP) 공정으로 상기 결과물을 폴리싱하여 평탄화된 트렌치 소자분리영역을 형성하는 제4단계; 및 상기 제1마스크층 및 패드 산화막을 제거하는 제5단계를 구비하는 것을 특징으로 하는 반도체장치의 소자분리방법.

청구항 9

제8항에 있어서, 상기 제2단계의 제1마스크층을 측벽 식각하는 공정을 습식식각 방법으로 실시하는 것을 특징으로 하는 반도체장치의 소자분리방법.

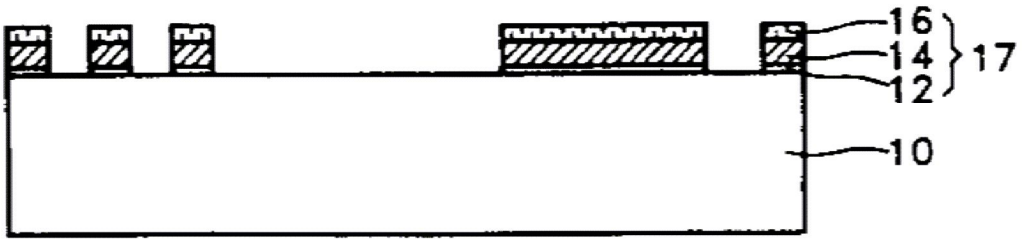
청구항 10

제8항에 있어서, 상기 제2단계의 제1마스크층을 측벽 식각하는 공정을 습식식각 방법으로 실시하는 것을 특징으로 하는 반도체장치의 소자분리방법.

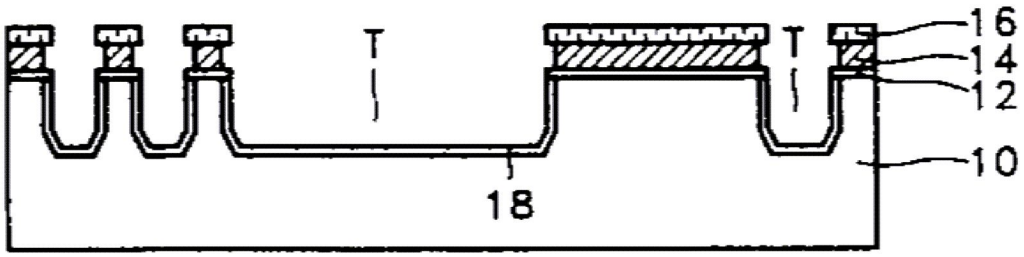
※ 참고사항 : 최초출원 내용에 의하여 공개되는 것임.

도면

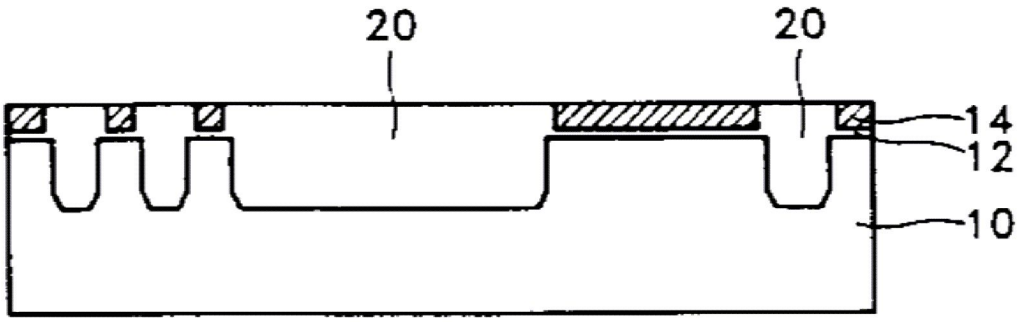
도면3a



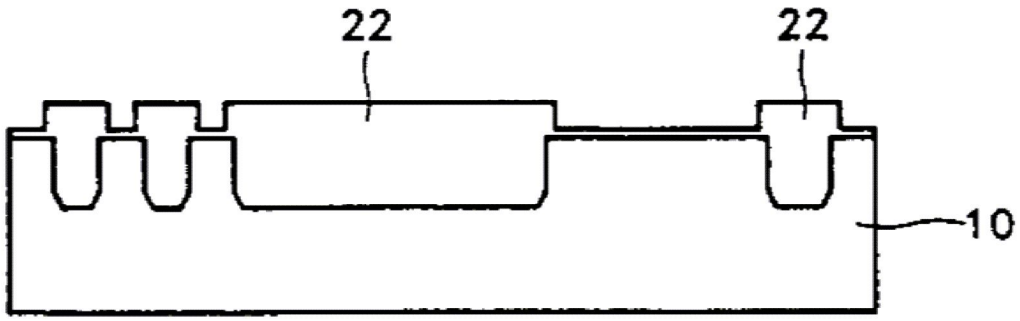
도면3b



도면3c



도면3d



도면3e

