

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-71375

(P2008-71375A)

(43) 公開日 平成20年3月27日(2008.3.27)

| (51) Int.Cl. | F I | テーマコード (参考) |
|--------------------------|-----------------------|-------------|
| G 1 1 C 11/408 (2006.01) | G 1 1 C 11/34 3 5 4 B | 5M024 |
| G 1 1 C 11/403 (2006.01) | G 1 1 C 11/34 3 7 1 J | |
| G 1 1 C 11/401 (2006.01) | G 1 1 C 11/34 3 7 1 K | |

審査請求 未請求 請求項の数 6 O L (全 16 頁)

(21) 出願番号 特願2006-246401 (P2006-246401)
 (22) 出願日 平成18年9月12日 (2006.9.12)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100092820
 弁理士 伊丹 勝
 (74) 代理人 100106389
 弁理士 田村 和彦
 (72) 発明者 川口 一昭
 東京都港区芝浦一丁目1番1号 株式会社東芝内
 (72) 発明者 白井 豊
 東京都港区芝浦一丁目1番1号 株式会社東芝内
 Fターム(参考) 5M024 AA04 AAG2 AA75 BB07 DD53
 KK13 KK22 LL16 LL20 PP02
 PP07

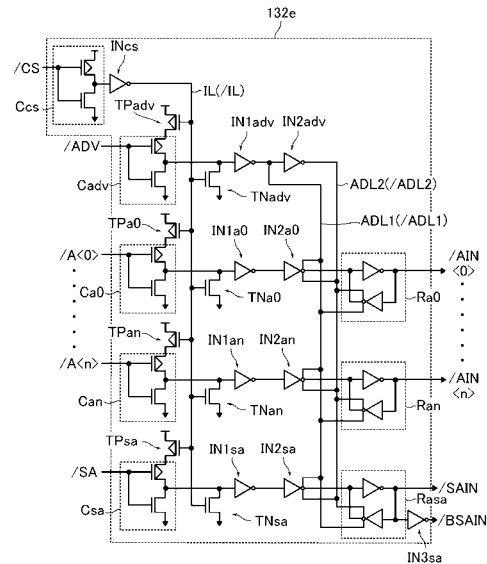
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 搭載するメモリの個数に変動が生じた場合であっても、低消費電力かつ低コストに製造可能な半導体装置を提供する。

【解決手段】 本発明の一実施形態に係る半導体装置は、主に、情報を格納する複数のPSRAM13と、当該複数のPSRAM13を制御する信号を当該PSRAM13に inputsするコントローラ12とを備える。メモリチップ13は、コントローラ12から入力された情報のアドレスを指定する複数のアドレス信号/A<0>~ /A<n>、及びコントローラ12から入力されたアドレス信号/A<0>~ /A<n>と異なるチップセレクト信号/CSを受け付け、複数のアドレス信号/A<0>~ /A<n>の内予め設定されたセレクトアドレス信号/SAとチップセレクト信号/CSに基づき、そのPSRAMを選択状態或いは非選択状態とする入力信号制御回路132eを備える。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

複数のメモリチップと、当該複数のメモリチップを制御する信号を前記複数のメモリチップに入力するコントローラとを備える半導体装置において、

前記複数のメモリチップは、

入力された信号に基づき駆動するメモリチップを選択或いは非選択とするチップ選択信号入力部と、

入力された信号に基づき前記メモリチップのアドレスを指定する信号を出力するアドレス信号入力部と、

入力された信号に基づき前記複数のメモリチップを選択或いは非選択すると共に前記アドレス信号入力部に転用可能に構成されたセレクトアドレス信号入力部と

を備えることを特徴とする半導体装置。

10

【請求項 2】

前記セレクトアドレス信号入力部は、2つの入力信号に基づき出力信号を反転させるか否かを切り換える切換回路を備えることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

ボンディングパッドに接続されたボンディングワイヤの有無により変動する信号を前記切換回路に入力するボンディング回路を備えることを特徴とする請求項 2 記載の半導体装置。

【請求項 4】

フューズの切断の有無により変動する信号を前記切換回路に入力するフューズ回路を備えることを特徴とする請求項 2 記載の半導体装置。

20

【請求項 5】

前記セレクトアドレス信号入力部の出力信号、及び前記チップアドレス信号入力部からの出力信号に基づき、前記アドレス信号入力部を入力禁止とすることにより、消費電力を低減するパワーダウン制御回路を備えることを特徴とする請求項 1 乃至 4 のいずれか 1 項記載の半導体装置。

【請求項 6】

前記メモリチップは、擬似スタティック RAM であることを特徴とする請求項 1 乃至 5 のいずれか 1 項記載の半導体装置。

30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、マルチ・チップ・パッケージ (MCP) 製品におけるランダム・アクセス・メモリ (RAM) を有する半導体装置に関する。

【背景技術】**【0002】**

近年、半導体メモリの大容量化及び縮小化に伴い、MCP 製品の要求が高まっている。

【0003】

MCP は、特に低消費電力用シンクロナス・ダイナミック RAM (LP SDRAM)、スタティック RAM (SRAM)、擬似 SRAM (PSRAM)、ファーストサイクル RAM (FCRAM) などの RAM と NAND 型フラッシュメモリ、NOR 型フラッシュメモリ等の不揮発メモリとの組み合わせが主流である。上記の MCP であれば、小さなスペースで RAM の大容量化が実現できることから、携帯機器等からスーパーコンピュータに至るまで、幅広く用いられている。

40

【0004】

通常の RAM においてコマンドの入力を行う場合には、コントローラは、一般に、RAM に当該 RAM を選択するか否かの判断に用いるチップセレクト信号を入力する。このように RAM をチップセレクト信号のみに基づく制御とすると、コントローラには、RAM の個数だけ信号を出力するチップセレクトピンが必要となる。すなわち、RAM が 4 個あ

50

れば、コントローラのチップセレクトピンも4本、RAMが8個あれば、コントローラのチップセレクトピンも8本必要となり、搭載されるRAMの個数が増えれば増えるほどコントローラのチップセレクトピンの本数も増加する。

【0005】

RAMの大容量化に伴い、複数個のRAMを2倍或いは4倍のセル容量を有する大容量のRAM1個に置き換えた場合に、チップセレクトピンは1本でよくなるが、逆にアドレスピンはRAMの大容量化に伴い本数を増加する必要が生じる。また、大容量化を行った場合に、コントローラには、不必要なチップセレクトピンが残る。したがって、アドレスピンが大容量化に対応されていないために、RAMの置換え毎にコントローラの再設計が必要となり、結果としてコストの増加を引き起こすという問題が生じる。

10

【0006】

MCP製品に関連する技術として、特許文献1には、特性の異なる少なくとも2個のメモリユニットを搭載し、メモリ使用環境設定時、或いはジョブ実行途中、メモリユニットを切替えて使用する構成のメモリシステムが開示されている。このシステムは、搭載されるメモリの特性が異なり、高速アクセス可能なメモリと低速大容量のメモリを切替えて使用する構成を有している。

【0007】

また、特許文献2には、メモリデバイスに論理制御素子を設けて各メモリ回路を選択状態または非選択状態に設定するメモリシステムが開示されている。このシステムは、メモリデバイスに論理制御素子を設けて、各メモリ回路を選択状態または非選択状態に設定可能としている。

20

【0008】

しかしながら、特許文献1, 2であっても、上記問題は解消されておらず、搭載するメモリの個数に変動が生じる場合であれば、そのコントローラを再設計する必要が生じる。すなわち、製造コストが上昇することになる。

【0009】

更にLPDDRAM、PSRAMに代表される携帯機器向けRAMにおいては、製造コストを抑えることと同様に消費電力の低減も大変重要である。

【特許文献1】特開平10-240607号公報

【特許文献2】特開平8-180668号公報

30

【発明の開示】

【発明が解決しようとする課題】

【0010】

本発明は、搭載するメモリの個数に変動が生じた場合であっても、低消費電流かつ低コストに製造可能な半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0011】

本発明に係る半導体装置は、複数のメモリチップと、当該複数のメモリチップを制御する信号を前記複数のメモリチップに入力するコントローラとを備える半導体装置において、前記複数のメモリチップは、入力された信号に基づき駆動するメモリチップを選択或いは非選択とするチップ選択信号入力部と、入力された信号に基づき前記メモリチップのアドレスを指定する信号を出力するアドレス信号入力部と、入力された信号に基づき前記複数のメモリチップを選択或いは非選択すると共に前記アドレス信号入力部に転用可能に構成されたセレクトアドレス信号入力部とを備える。

40

【発明の効果】

【0012】

この発明によれば、搭載するメモリの個数に変動が生じた場合であっても、低消費電流かつ低コストに製造可能な半導体装置を提供することが可能となる。

【発明を実施するための最良の形態】

【0013】

50

以下、図面を参照して、本発明に係る半導体装置の一実施形態を説明する。

【0014】

[第1実施形態]

図1～図3を参照して、本発明の第1実施形態に係る半導体装置を説明する。

【0015】

図1は、第1実施形態に係る半導体装置の概略図である。図1に示すように、第1実施形態に係る半導体装置は、主として、基板11上に積載されたコントローラ12と、コントローラ12に積載された2つのPSRAM13A, 13Bとを備えている。

【0016】

このPSRAM13A, 13Bは、1個のトランジスタと1個のキャパシタとで構成されるため、従来のSRAM(フルCMOSタイプで6個のトランジスタ)と比較して、小型化、大容量化に適している。その他PSRAM13A, 13Bは、アドレスをマルチプレクスせず、全アドレスを同時に入力する機能を有している。また、PSRAM13A, 13Bは、リフレッシュコマンドが存在せず、自動的にリフレッシュを行う回路を内蔵している。

10

【0017】

また、PSRAM13A, 13Bは、コントローラによる制御の更なる容易化のため、外部からのコマンド入力によりリフレッシュを制御する機能を有していてもよい。

【0018】

コントローラ12及びPSRAM13A, 13Bには、ボンディングパッド12a, 13aが設けられている。各ボンディングパッド12a, 13aは、基板11に設けられた基板回路パターン11aにボンディングワイヤ14により電氣的に接続されている。また、これらコントローラ12、PSRAM13等は、基板11上に搭載されてモールド樹脂15により封止される。また、基板11下面には、半田ボール16が設けられている。半田ボール16から入力された信号は、基板回路パターン11a及びボンディングワイヤ14を介して、コントローラ12、PSRAM13A, 13Bに出力される。

20

【0019】

図2は、本発明の第1実施形態に係る半導体装置におけるコントローラ12から出力されるPSRAM13A, 13Bを制御する制御信号を説明する概略図である。図2に示すように、本発明の第1実施形態に係る半導体装置においては、コントローラ12は、PSRAM13A, 13Bの選択状態或いは非選択状態を決定する信号を出力するチップセレクトピン(以下、CSピン)P1、及びCSピンP1と同様の機能を備えるセレクトアドレスピン(以下、SAピン)P2を有している。CSピンP1及びSAピンP2からの信号は、分岐し2つのPSRAM13A, 13Bに共通入力される。通常MCPが適応される半導体装置では、メモリチップの数だけ、チップセレクトピンを有しているが、本実施形態では、2つのメモリチップ(PSRAM13A, 13B)に対し、唯一つのチップセレクトピンを有している。

30

【0020】

図2においては図示を省略するが、この他、コントローラ12には、アドレス入力のタイミングを決定するアドレスアドバンスピン(以下、ADVピン)、PSRAM13のアドレス情報を出力する複数のアドレスピン(以下、Aピン)、ライトイネーブルピン(以下、WEピン)、出カインーブルピン(以下、OE)、データ入出力ピン(以下、DQiピン)が設けられている。

40

【0021】

従来のPSRAMにおいては、OEピンを出力制御ピンとして使用しているが、本実施形態においては、コントローラによる制御の更なる容易化のため、OEピンによるデータ出力の有無の制御を廃止してもよい。

【0022】

また、SAピンP2から出力される信号は、複数のAピンから出力される信号の一部であり、Aピンから出力される信号としても転用可能である。

50

【0023】

以下において、CSピンP1から出力された信号を/CS、SAピンP2から出力された信号を/SA、ADVピンから出力された信号を/ADV、複数のAピンから出力された信号を/A<0>~ /A<n>と表記する。

【0024】

図3は、PSRAM13A, 13Bのチップ構成を示す図である。PSRAM13A, 13Bは、図3に示すように、チップの中央付近に配置されたコア回路131と、チップの周辺に配置されてコア回路131の制御を行う周辺回路132とにより構成されている。

【0025】

コア回路131は、メモリセルアレイ、センスアンプ、ロウデコーダ、カラムデコーダ等を備える。

【0026】

PSRAM13A, 13Bの一端側の周辺回路132には、DQiピンのパッド群132aと、パッド群132aの入出力回路132bと、データバスの制御を実行するデータバス制御回路132cとが形成されている。

【0027】

PSRAM13A, 13Bの他端側の周辺回路132には、コントロールピン(CSピン、SAピン、ADVピンなど)からの信号を受け付けるパッド群132dと、コントロールピンからの信号に基づき入力制御を制御する入力信号制御回路132eと、ロウデコーダ及びカラムデコーダの制御を実行するデコーダ制御回路132fとが形成されている。また、コア回路131とコア回路131との間には、配線エリア132gが形成されている。

【0028】

次に、図4を参照して、入力信号制御回路132eの構成について説明する。図4は、入力信号制御回路132eの回路図である。図4に示すように、入力信号制御回路132eは、 $2(n+1)+5$ 個のPチャンネルトランジスタ、 $2(n+1)+5$ 個のNチャンネルトランジスタ、 $2(n+1)+6$ 個のインバータ、 $2(n+1)+2$ 個のクロックインバータ(n は任意の自然数)により構成されている。

【0029】

CSピンP1から出力された信号/CSは、CMOSインバータ回路Ccs、インバータINcsを介し、入力線IL(以下、入力線ILの信号を/ILと表記)に出力される。一方、信号/ADV、信号/A<0>~A<n>、信号/SAは、各々CMOSインバータ回路Cadv, Ca0~Can, Csaにされる。

【0030】

信号/CSは、入力線ILからCMOSインバータ回路Cadv, Ca0~Can, CsaのPMOSTランジスタのソース側に設けられたPMOSTランジスタTPadv, TPa0~TPan, TPsaのゲートに出力される。

【0031】

CMOSインバータ回路Cadv, Ca0~Can, Csaの出力線は、NMOSTランジスタTNadv, TNa0~TNan, TNsaのドレインと接続されている。NMOSTランジスタTNadv, TNa0~TNan, TNsaのソースは、接地され、そのゲートは入力線ILに接続されている。

【0032】

ADVピンからの信号/ADVは、CMOSインバータ回路CadvからインバータIN1advを介し第1のアドレス制御線ADL1(以下、第1のアドレス制御線ADL1の信号を/ADL1と表記)に出力される。また、信号/ADVは、インバータIN1adv、インバータIN2advを介し、第2のアドレス制御線ADL2(以下、第2のアドレス制御線ADL2の信号を/ADL2と表記)に出力される。

【0033】

10

20

30

40

50

複数のAピンからの信号/A<0>~ /A<n>は、各々CMOSインバータ回路Ca0~Canから各々1つのインバータIN1a0~IN1an, 1つのクロックドインバータIN2a0~IN2anを介して、1つのインバータと1つのクロックドインバータにより構成されたラッチ回路Ra0~Ranに入力される。そして、それらラッチ回路Ra0~Ranから、各メモリに出力信号/AIN<0>~ /AIN<n>が出力される。なお、クロックドインバータIN2a0~IN2an及びラッチ回路Ra0~Ranは、第1のアドレス制御線ADL1から「Low」が入力される。これにより、インバータIN2a0~IN2anはオン状態となり、信号/A<0>~ /A<n>が取り込まれる。或いは、インバータIN2a0~IN2an及びラッチ回路Ra0~Ranは、第1のアドレス制御線ADL1から「High」が入力される。これにより、インバータIN2a0~IN2anはオフ状態となり、信号/A<0>~ /A<n>の取り込みを禁止する。

10

【0034】

上述した第1のアドレス制御線ADL1の制御は、ADVピンから入力された信号/ADVにより行われているが、第1のアドレス制御線ADL1を「Low」にする回数を必要最低限にすることにより、信号/AIN<0>~ /AIN<n>の切替る回数が削減され、これにより低消費電力による動作が可能となる。

【0035】

SAピンP2からの信号/SAは、各々2つのインバータIN1sa, IN2saを介して、第1及び第2のアドレス制御線ADL1, ADL2を介し、1つのインバータと1つのクロックドインバータにより構成されたラッチ回路Rasaに入力される。ラッチ回路Rasaにおいて、分岐した2つの信号が出力される。この一方の信号は、第1選択信号/SAINとして出力され、他方の信号は、インバータIN3saを介して、第2選択信号/BSAINとして出力される。すなわち、信号/SAに対しては、ラッチ回路Rasaまでは、信号/A<0>~ A<n>と同様の処理が施される。

20

【0036】

すなわち、信号/A<0>~ A<n>と信号/SAとにおいて同一回路による制御が可能なることから、回路のAC特性のばらつきが小さくなり特性が揃うことにより、アドレスの高速処理が実現できる。

【0037】

インバータIN2sa及びラッチ回路Ras3saは、第1のアドレス制御線ADL1から「Low」が入力される。これにより、インバータIN2saはオン状態となり、信号/SAが取り込まれる。或いは、ラッチ回路Rasaは、第1のアドレス制御線ADL1から「High」が入力される。これにより、インバータIN2saはオフ状態となり、信号/A<0>~ /A<n>の取り込みを禁止する。

30

【0038】

次に、図4及び図5を参照して、入力信号制御回路132eの動作を説明する。図5は、入力信号制御回路132eの動作を説明したタイミング図である。

【0039】

まず、CSピンP1からの信号/CSを「Low」に切り替え、CMOSインバータ回路Ccs及びインバータINcsを介して、入力線ILの信号/ILを「Low」に切り替える。これにより、PMOSトランジスタTPadv, TPa0~TPan, TPsaのゲートが「ON」状態となり、入力信号制御回路132eは、信号/ADV, 信号/A<0>~ 信号/A<n>及び信号/SAを受け付けないスタンバイ状態から、それら信号を受け付けるアクティブ状態に切り替わる。

40

【0040】

次に、信号/ADVを「Low」に切り替えることにより、CMOSインバータ回路Cadv及びインバータIN1advを介して、第1のアドレス制御線ADL1の信号/ADL1は「Low」に切り替わり、これにより信号/A<0>~ /A<n>が、各々信号/AIN<0>~ /AIN<n>として出力される。

【0041】

50

この後に、信号 / ADV を「High」に切り替えることにより、信号 / ADL1 は「High」に切り替えられ、信号 / A<0> ~ / A<n> は、/ AIN<0> ~ AIN<n> として出力不能となる。

【0042】

一方、信号 / SA を「High」とすることにより、第1選択信号 / SA IN は、「High」となり、第2選択信号 / BSA IN は、「Low」となる。

【0043】

すなわち、第1選択信号 / SA IN と第2選択信号 / BSA IN とは、逆特性となる。したがって、積載された2個の PSRAM13A, 13B の一方の PSRAM13A は、第1選択信号 / SA IN が「High」において活性（選択状態）とし、もう片方の PSRAM13B は、第2選択信号 / BSA IN が「Low」において活性とすれば、SAピンP2を用いた PSRAM13A, 13B の選択 / 非選択が可能となる。このように図4に示す例では、SAピンP2からの信号 / SA の High / Low を受けて、第1選択信号 / SA IN が High / Low に切り替わり、第2選択信号 / BSA IN、第1選択信号 / SA IN とは逆に Low / High に切り替えることにより、PSRAM13A, 13B の選択 / 非選択を制御することができる。

【0044】

上記のように本発明の第1実施形態に係る半導体装置によれば、2つの PSRAM13A, 13B のうち動作させたい PSRAM の選択を CSピンP1と、SAピンP2からの信号を用い行うことができる。そして、この半導体装置における SAピンP2からの信号 / SA は、その回路構成から Aピンからの信号 / A として転用することができる。

【0045】

ここで、2つの PSRAM13A, 13B を、PSRAM13A と PSRAM13B とにおける総メモリセルと同一あるいはそれ以下となる1つの PSRAM に置き換える場合を想定する。この場合、1つの CSピンは PSRAM の制御に用いられ、1つの SAピンは Aピンとして転用することができる。換言すれば、第1選択信号 / SA IN を信号 / A IN<0> ~ A IN<n> として転用することができる。

【0046】

上記のように本発明の第1実施形態によれば、CSピンでなく SAピンで選択 / 非選択を制御可能であり、PSRAM の個数が変動した場合であっても、各ピンから出力される信号を無駄にすることなく活用できる。したがって、本実施形態によれば、メモリコントローラの再設計の必要が低減され、半導体装置製造の低コスト化が図れる。

【0047】

すなわち、上記第1実施形態に係る半導体装置の構成を換言すると、CSピンP1, CMOSインバータ Ccs、入力線 IL、P型トランジスタ TPadv, TP a0 ~ TP an, TPsa、n型トランジスタ TNadv, TN a0 ~ TN an, TNsa は、入力された信号に基づき駆動するメモリチップを選択或いは非選択とするチップ選択信号入力部として機能する。

【0048】

また、複数の Aピン, CMOSインバータ Ca0 ~ Can、インバータ IN1a0 ~ IN1an、IN2a0 ~ IN2an、ラッチ回路 Ra0 ~ Ran は、入力された信号に基づき前記メモリチップのアドレスを指定する信号を出力するアドレス信号入力部として機能する。

【0049】

また、CMOSインバータ Csa、インバータ IN1sa、IN2sa、ラッチ回路 Rasa、インバータ INsa が、入力された信号に基づき複数のメモリチップを選択或いは非選択とすると共に上記アドレス信号入力部に転用可能に構成されたセレクトアドレス信号入力部として機能する。

【0050】

[第2実施形態]

10

20

30

40

50

次に、図6及び図7を参照して、本発明の第2実施形態に係る半導体装置について説明する。本発明の第2実施形態に係る半導体装置は、入力信号制御回路132e'以外、第1実施形態と同様の構成を有している。したがって、以下に述べる第2実施形態の説明は、入力制御回路132e'の構成を中心とする。

【0051】

図6は、本発明の第2実施形態に係る半導体装置の入力信号制御回路132e'を示す図である。なお、図6において、第1実施形態と同一の要素には、同一符号を付し、その説明を省略する。図6に示すように、第1実施形態の入力信号制御回路132eと異なる箇所は、SAピンP2からの信号/SAが入力される回路において、ラッチ回路Rasaの後に、インバータIN3saの代わりに、セレクトアドレス制御回路SCsaが設けられている点である。ここで、セレクトアドレス制御回路SCsaは、XNORゲートである。このセレクトアドレス制御回路SCsaの入力側には、ラッチ回路Rasaからの出力信号と、後述するボンディング回路BCからの出力信号が入力される。なお、図6において、第1実施形態に係る入力信号制御回路132eと同様の構成箇所は、同一符号とし、その説明を省略する。

10

【0052】

セレクトアドレス制御回路SCsaは、図7に示す真理表に従い動作する。なお、図7において「1」は、信号が「High」である状態を示し、「0」は、信号が「Low」である状態を示す。すなわち、ボンディング回路BCからの出力信号/BDGが「High」であれば、信号/SAを「High」とすることにより、セレクトアドレス制御回路SCsaからの出力信号/SAIN'は、「High」となる。一方、出力信号/BDGが「Low」であれば、信号/SAを「Low」とすれば、出力信号/SAIN'は「High」となる。

20

【0053】

よって、信号/BDGを「High」または「Low」に切り換えることにより、PSRAMが活性化するための条件をチップ毎に変更することができる。

【0054】

次に、図8を参照して、ボンディング回路BCの具体的構成を説明する。図8に示すように、ボンディング回路BCは、接地電位VSSが供給される接地パッドVSSPと、接地パッドVSSPにボンディングワイヤ14により接続されたボンディングパッドBDPと、PチャンネルトランジスタPTbと、2個のインバータINb1, INb2とから構成されている。なお、PチャンネルトランジスタPTbは、常時オンであるが、電源供給能力が極めて低いものとする。

30

【0055】

ここで、ボンディングパッドBDPにボンディングワイヤ14を介して電圧VSSが供給される場合には、一つ目のインバータINb1の入力が「Low」になることから、二つ目のインバータINb2を介した出力信号/BDGも「Low」となる。これに対し、ボンディングパッドBDPに接地電位VSSが供給されていない場合には、常時オンのPチャンネルトランジスタPTbにより、一つ目のインバータINb1の入力が「High」になることから、二つ目のインバータINb2を介した出力信号/BDGも「High」となる。

40

【0056】

すなわち、ボンディングパッドBDPに接地パッドVSSPが接続されているか否かにより信号/BDGのLow/Highを切り換えることが可能である。

【0057】

上記のように本発明の第2実施形態に係る半導体装置によれば、ボンディングパッドBDPがワイヤボンディング14に接続されているか否か、及び信号/SAのLow/HighでPSRAMの選択/非選択を制御することができる。また、第一実施形態と同様に、PSRAMを選択する必要がない場合であれば、信号/SAIN'を信号/A<0>~A<n>に転用することができる。つまり、メモリコントローラの再設計の必要が低減さ

50

れ、半導体装置製造の低コスト化が図れる。即ち、ボンディング回路BDCにおけるボンディングワイヤ14の切断により、信号/A<0>からA<n>用に転用することができる。

【0058】

なお、上記第2実施形態に係る半導体装置の構成を換言すると、セレクトアドレス制御回路SCsaが、2つの入力信号に基づき出力信号を反転させるか否かを切り換える切換回路として機能する。

【0059】

[第3実施形態]

次に、図9及び図10を参照して、本発明の第3実施形態に係る半導体装置について説明する。本発明の第3実施形態に係る半導体装置は、第2実施形態と略同一の構成を有する。したがって、第2実施形態と同一の構成については、その説明を省略する。第3実施形態の半導体装置の第2実施形態と異なる箇所は、ボンディング回路BDCに替えて、フューズ回路FCを設けた点である。なお、セレクトアドレス制御回路SCsaには、フューズ回路FCからの信号が入力される構成とされている。図9は、フューズ回路FCの具体的構成を示す図であり、図10は、フューズ回路FCによる動作波形図である。

10

【0060】

図9に示すように、フューズ回路FCは、直列に接続されたPチャンネルトランジスタPTf、NチャンネルトランジスタNTf、フューズFuと、3個のインバータINf1~INf3とから構成されている。インバータINf1とインバータINf2とはラッチ回路を構成している。

20

【0061】

このフューズ回路FCは、PチャンネルトランジスタPTfのゲートに入力された第1入力信号/BFPUP、及びNチャンネルトランジスタNTfのゲートに入力された第2入力信号/FPUNに基づき、フューズ信号/FUSEを出力する。

【0062】

図10は、フューズ回路FCの動作波形を示す図である。図10に示すように、電源入力時において、まず第1入力信号/BFPUPが「Low」から「High」に切り替わり、その後、第2入力信号/FPUNが「Low」から「High」に切り替わる。そして、第2入力信号/FPUNが、再び「High」から「Low」に切り替わり、電源入力時の入力信号/BFPUP、/FPUNのシーケンスが終了する。

30

【0063】

ここで、図9のフューズFuが切断されていない場合には、入力信号/BFPUP、/FPUNが共に「High」になると、P及びNチャンネルトランジスタPTf、NTfに隣接するインバータINf1の入力信号は、「Low」に切り替わり、インバータINf3の出力側の信号である信号/FUSEは「Low」として、出力される。

【0064】

一方、フューズFuが切断されている場合、入力信号/BFPUP、/FPUNが共に、「High」になった場合においても、インバータINf1の入力は接地電位へのパスがなくなることから「High」を保持し、これにより信号/FUSEも「High」を保持する。

40

【0065】

このように、信号/FUSEを制御するフューズ回路FCを用いれば、フューズFuが切断されているか否かにより、信号/FUSEのLow/Highを切り替えることが可能である。

【0066】

上記のように本発明の第3実施形態に係る半導体装置によれば、同一のPSRAMにおいてフューズFuの切断の有無、及び信号/SAのLow/HighによりPSRAMの選択/非選択を制御することができる。また、第一実施形態と同様に、PSRAMが単数であり、PSRAMを選択する必要がない場合であれば、信号/SAIN'を信号/A<

50

0 > ~ A < n > に転用することができる。つまり、メモリコントローラの再設計の必要が低減され、半導体装置製造の低コスト化が図れる。

【0067】

[第4実施形態]

次に、図11乃至図14を参照して、本発明の第4実施形態に係る半導体装置について説明する。本発明の第4実施形態に係る半導体装置は、入力信号制御回路132e'以外、第2実施形態と同様の構成を有している。したがって、以下に述べる第4実施形態の説明は、入力制御回路132e'の構成を中心とする。

【0068】

図11は、本発明の第4実施形態に係る半導体装置の入力信号制御回路132e'を示す図であり、図12は、図11の入力信号制御回路132e'における動作を説明したタイミング図である。なお、図11において、第2実施形態と同一の要素には、同一符号を付し、その説明を省略する。

10

【0069】

第4実施形態の入力制御回路132e'の第2及び第3実施形態と異なる箇所は、入力線ILによる入力信号制御回路132e'のパワーダウン制御を行うパワーダウン制御回路PDCが設けられている点である。パワーダウン制御回路PDCは、信号/CS、信号/SAIN'及び信号/ADL2に基づき、入力線ILにかかる信号/ILを「High」或いは「Low」とし、信号/ADV、信号/A<0>~ /A<n>、信号/SAの取り込みを制御する。すなわち、パワーダウン制御回路PDCは、消費電力の削減を可能とするものである。図11に示すように、パワーダウン制御回路PDCには、インバータINcsの出力信号、セレクトアドレス制御回路SCsaからの出力信号/SAIN'、第2アドレス線ADL2からの信号/ADL2が入力される。

20

【0070】

パワーダウン制御回路PDCは、4つのNANDゲートNA1~NA4と、インバータINpdcと、遅延回路DCとから構成されている。インバータINpdcには、セレクトアドレス制御回路SCsaからの出力線が接続され、遅延回路DCには、第2アドレス線ADL2が接続されている。インバータINpdc及び遅延回路DCからの出力線は、NANDゲートNA1に接続されている。NANDゲートNA1の出力線、及びNANDゲートNA3の出力線は、NANDゲートNA2に接続されている。NANDゲートNA2の出力線、及びインバータINcsの出力線は、NANDゲートNA3に接続されている。つまり、NANDゲートNA2及びNANDゲートNA3は、ラッチ回路Rapdcを構成している。NANDゲートNA3の出力線及びインバータINcsの出力線は、NANDゲートNA4の入力側に接続されている。NANDゲートNA4の出力は、入力線ILに接続されている。

30

【0071】

パワーダウン制御回路PDCにおいて、セレクトアドレス制御回路SCsaからの出力信号/SAIN'は、インバータINpdcに入力される。一方、第2アドレス線ADL2からの信号は、遅延回路DCに入力される。インバータINpdc及び遅延回路DCからの出力信号は、NANDゲートNA1に入力される。NANDゲートNA1からの出力信号/BFFINは、NANDゲートNA2、NA3によって構成されるラッチ回路Rapdcに入力される。また、ラッチ回路Rapdcには、CSピンP1からCMOSインバータ回路INcsを介した信号/CSINが入力されている。ラッチ回路Rapdcの出力信号、及び信号/CSINは、NANDゲートNA4に入力され、その出力信号は、信号/ILとして入力線ILに出力される。

40

【0072】

次に、図12を参照して、図11のパワーダウン制御回路PDCを備える入力信号制御回路132e'の動作を説明する。

【0073】

信号/SAにより非活性となった入力信号制御回路132e'においては、出力信号

50

／S A I N ' が「L o w」となる。このため、インバータI N p d cからの出力信号／B S A I N ' が「H i g h」となり、遅延回路D Cからの出力信号／A D V I Nが「H i g h」になるタイミングで、N A N DゲートN A 1からの出力信号は「L o w」に切り替わる。この切り替わりにより、ラッチ回路R a p d cにおけるN A N DゲートN A 2からの出力信号／F F L T Cは「H i g h」に切り替わる。これを受けて入力線I Lの信号／I Lは、「H i g h」に切り替わり、P型トランジスタT P a d v , T P a 0 ~ T P a n , T P s aは、オフ状態となる。つまり、信号／A D V及び信号／A < 0 > ~ A < n >は、入力信号制御回路1 3 2 e ' 'へ入力不能となり、入力信号制御回路1 3 2 e ' 'は、パワーダウンを開始する。その後、ラッチ回路R a p d cにより、信号／C Sが、「H i g h」になるまで、出力信号／F F L T C Hは「H i g h」を保持する。次に、信号／C Sが、「H i g h」に切り替わることにより、出力信号／F F L T Cは、「L o w」に切り替わるが、同時に、C M O Sインバータ回路C c sからの信号／C S I Nが「L o w」に切り替わるため、信号／I Lの「H i g h」を保持する。すなわち、次に信号／C Sが「L o w」に切り替わるまで、入力信号制御回路1 3 2 e ' 'のパワーダウンは保持される。

10

20

30

40

50

【0074】

信号／S Aにより活性された入力信号制御回路1 3 2 e ' 'においては、信号／S A I N ' が「L o w」になり、信号／B F F I Nは、「H i g h」を保持する。これにより信号／F F L T Cも「L o w」を保持し、出力信号／C S I Nは、「L o w」を保持する。すなわち、入力信号制御回路1 3 2 e ' 'は、活性状態を保持する。その後、信号／C Sが「H i g h」に替わり、コア回路1 1 1 , 1 1 1のプリチャージを開始することにより、信号／I Lが「H i g h」になり、入力信号制御回路1 3 2 e ' 'におけるC M O Sインバータ回路C a d v , C a 0 ~ C a n , C s aのパワーダウンを開始する。

【0075】

上記のような第4実施形態に係る半導体装置によれば、第2及び第3実施形態と同様の効果が得られる。さらに、第4実施形態に係る半導体装置によれば、P S R A M 1 3 A , 1 3 Bのうち、非活性のP S R A M 1 3 A , 1 3 Bの入力信号制御回路1 3 2 e ' 'におけるC M O Sインバータ回路C a d v , C a 0 ~ C a n , C s aをパワーダウンさせることにより、P S R A M 1 3 A , 1 3 Bの消費電力を削減することができる。

【0076】

なお、第4実施形態に係る半導体装置におけるセレクトアドレス制御回路S C s aには、ボンディング回路B Cからの信号／B D Gが入力される構成であるが、フューズ回路F Cからの信号／F Cが入力される構成であってもよい。

【0077】

また、第4の実施形態において、前述の信号／A D Vによる第1のアドレス制御線A D L 1における信号／A D L 1を「L o w」にする回数を必要最低限にする制御を併用することも可能であり、双方の効果により更なる消費電力の低減が実現できる。

【0078】

[第5実施形態]

次に、図1 3及び図1 4を参照して、本発明の第5実施形態に係る半導体装置について説明する。第5実施形態に係る半導体装置は、入力信号制御回路以外、第1実施形態と同様の構成を有しており、入力信号制御回路のセレクトアドレス制御回路S C s a 'の構成に特徴を有している。

【0079】

図1 3は、本発明の第5実施形態に係る半導体装置のセレクトアドレス制御回路S C s a 'を示す図であり、図1 4は、セレクトアドレス制御回路S C s a 'の真理表である。なお、図1 4において「1」は、信号が「H i g h」である状態を示し、「0」は、信号が「L o w」である状態を示す。

【0080】

第5実施形態に係るセレクトアドレス制御回路S C s a 'は、2つのS Aピンから出力

された信号 / S A 1 , / S A 2 と、2つのボンディング回路 B C から出力された信号 / B D G 1 , / B D G 2 (或いは、2つのフューズ回路 F C から出力された信号 / F U S E 1 , / F U S E 2) に基づき出力信号を決定する。

【 0 0 8 1 】

このセレクトアドレス制御回路 S C s a ' は、図 1 3 に示すように、2つのエクスクルーシブノアゲート X N 1 , X N 2 と、その出力信号が入力される N A N D ゲート N A ' と、N A N D ゲート N A ' の出力信号が入力されるインバータ I N ' とにより構成されている。エクスクルーシブノアゲート X N 1 , X N 2 には、2つのボンディング回路からの出力信号 / B D G 1 , / B D G 2 (或いは2つのフューズ回路からの出力信号 / F U S E 1 , / F U S E 2) と、信号 / S A 1 , / S A 2 とが入力される。

10

【 0 0 8 2 】

図 1 3 におけるセレクトアドレス制御回路 S C a ' は、図 1 4 の真理表に示すように、出力信号 / B D G 1 又は / F U S E 1 、出力信号 / B D G 2 又は / F U S E 2 の入力を「 L o w 」又は「 H i g h 」に切り替えることにより、信号 / S A 1 、信号 / S A 2 の4通りの組み合わせのうち任意の一つのコマンドを実行することが可能となる。

【 0 0 8 3 】

本発明の第 5 実施形態に係る半導体装置によれば、コントローラに設けられた2本の S A ピンからの信号 / S A 1 , / S A 2 に基づき、4個の P S R A M を独立して制御可能となる。

【 0 0 8 4 】

さらに S A ピンと、ボンディング回路 B C 又はフューズ回路 F C を各々 x 個 (x は任意の自然数) に増やすことにより、2の x 乗個分の P S R A M を独立に制御することが可能である。

20

【 0 0 8 5 】

また、第 5 実施形態に係る半導体装置によれば、複数個存在する P S R A M の選択 / 非選択の制御を、信号 / C S 及び信号 / S A を用いることにより制御可能としている。また、P S R A M の数に応じて、共有の信号 / C S で制御し、信号 / S A I N ' ' を信号 / A < 0 > ~ A < n > に転用することができる。したがって、コントローラを再設計する必要が低減され、製造コスト削減を実現することができる。

【 0 0 8 6 】

以上、発明の実施形態及びその製造方法を説明したが、本発明はこれらに限定されるものではなく、発明の趣旨を逸脱しない範囲内において種々の変更、追加、置換等が可能である。例えば、上記実施形態においては、P S R A M を用いたが、その他のメモリであってもよい。

30

【 図面の簡単な説明 】

【 0 0 8 7 】

【 図 1 】 本発明の第 1 実施形態に係る半導体装置の概略図である。

【 図 2 】 本発明の第 1 実施形態に係る半導体装置のコントローラから出力される P S R A M の選択及び非選択を制御する信号を模式的に示した図である。

【 図 3 】 本発明の第 1 実施形態に係る半導体装置の P S R A M の概略図である。

40

【 図 4 】 本発明の第 1 実施形態に係る半導体装置の入力信号制御回路の回路図である。

【 図 5 】 本発明の第 1 実施形態に係る半導体装置の入力信号制御回路のタイミング図である。

【 図 6 】 本発明の第 2 実施形態に係る半導体装置の入力信号制御回路の回路図である。

【 図 7 】 本発明の第 2 実施形態に係る半導体装置のセレクトアドレス制御回路の真理表である。

【 図 8 】 本発明の第 2 実施形態に係る半導体装置のボンディング回路の回路図である。

【 図 9 】 本発明の第 3 実施形態に係る半導体装置のフューズ回路の回路図である。

【 図 1 0 】 本発明の第 3 実施形態に係る半導体装置のフューズ回路のタイミング図である。

50

【図 1 1】本発明の第 4 実施形態に係る半導体装置の入力信号制御回路の回路図である。
 【図 1 2】本発明の第 4 実施形態に係る半導体装置の入力信号制御回路のタイミング図である。

【図 1 3】本発明の第 5 実施形態に係る半導体装置のセレクトアドレス制御回路の回路図である。

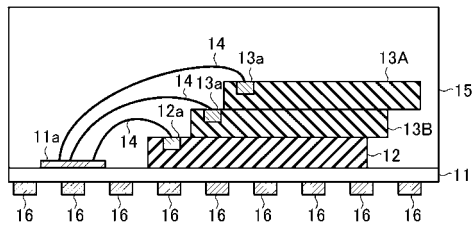
【図 1 4】本発明の第 5 実施形態に係る半導体装置のセレクトアドレス制御回路の真理表である。

【符号の説明】

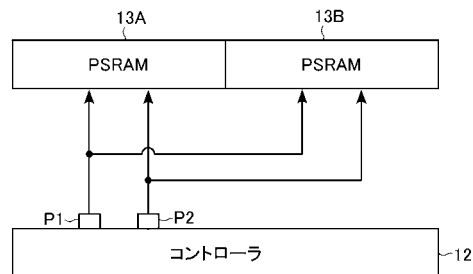
【 0 0 8 8 】

1 1 ... 基板、1 2 ... コントローラ、1 3 ... P S R A M、1 4 ... ボンディングワイヤ、1 5 ... モールド樹脂、1 6 ... 半田ボール、1 3 1 ... コア回路、1 3 2 ... 周辺回路、1 3 2 a ... データ入出力ピンのパッド群、1 3 2 b ... データ入出力ピン 1 3 2 a の入出力回路、1 3 2 c , 1 3 2 f ... デコーダ制御回路、1 3 2 d ... コントロールピンのパッド群、1 3 2 e , 1 3 2 e ' , 1 3 2 e ' ' ... 入力信号制御回路。

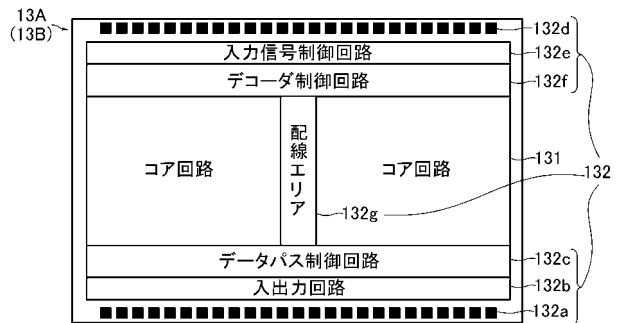
【 図 1 】



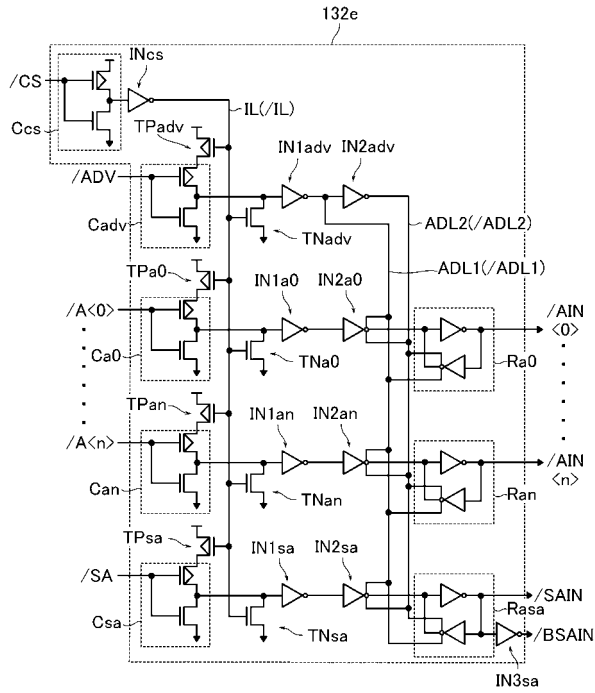
【 図 2 】



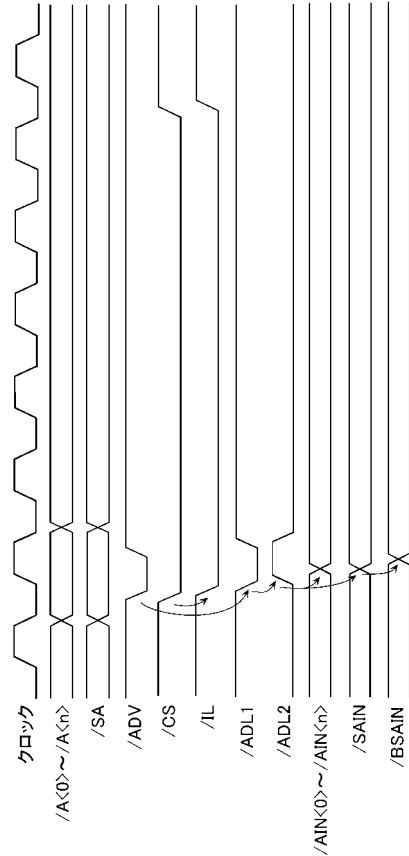
【 図 3 】



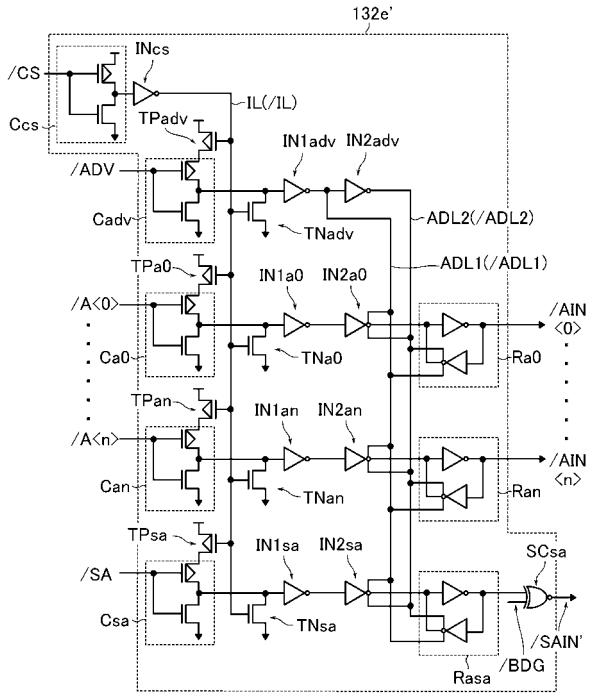
【 図 4 】



【 図 5 】



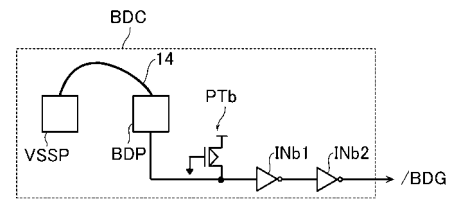
【 図 6 】



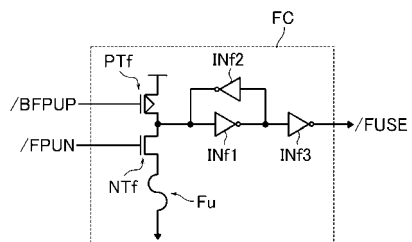
【 図 7 】

| /SA | /BDG | /SAIN' |
|-----|------|--------|
| 1 | 1 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 0 | 0 | 1 |

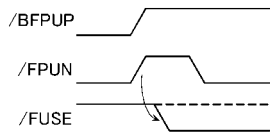
【 図 8 】



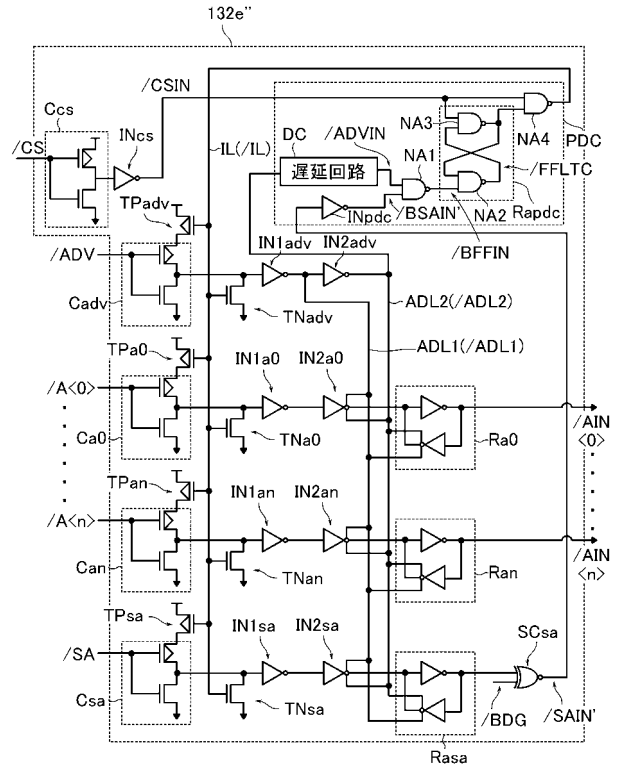
【 図 9 】



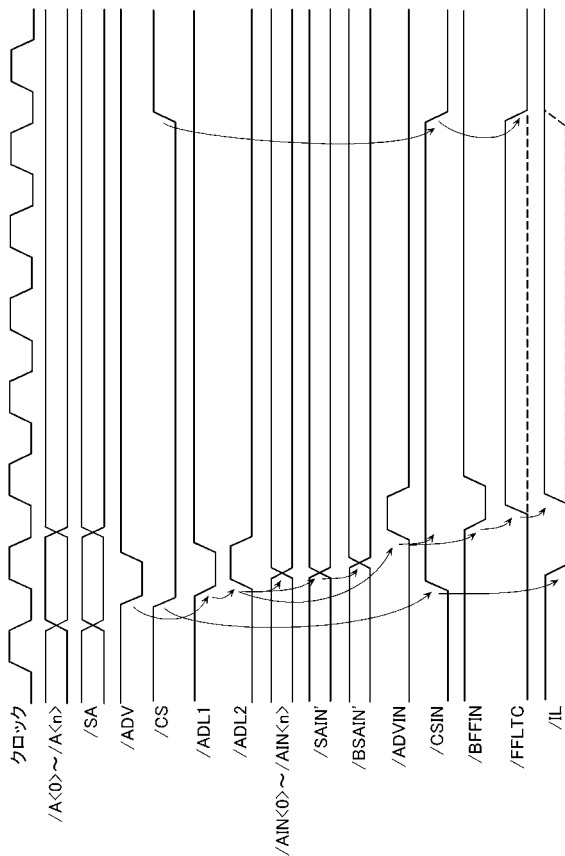
【図 1 0】



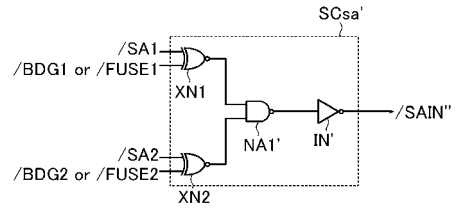
【図 1 1】



【図 1 2】



【図 1 3】



【 図 1 4 】

| /SA1 | /BDG1 or /FUSE1 | /SA2 | /BDG2 or /FUSE2 | /SAIN" |
|------|--------------------|------|--------------------|--------|
| 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 0 | 0 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 |