



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년01월05일
(11) 등록번호 10-1102785
(24) 등록일자 2011년12월29일

(51) Int. Cl.

H01L 27/108 (2006.01) *H01L 27/06* (2006.01)

(21) 출원번호 10-2006-7018444

(22) 출원일자(국제출원일자) 2005년02월10일

심사청구일자 2010년02월10일

(85) 번역문제출일자 2006년09월08일

(65) 공개번호 10-2007-0012361

(43) 공개일자 2007년01월25일

(86) 국제출원번호 PCT/US2005/004008

(87) 국제공개번호 WO 2005/091795

국제공개일자 2005년10월06일

(30) 우선권주장

10/799,554 2004년03월10일 미국(US)

(56) 선행기술조사문현

JP2000252427 A

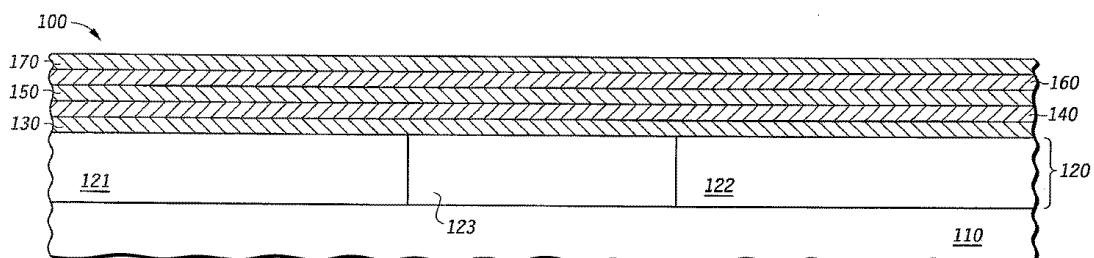
US20020017686 A1

전체 청구항 수 : 총 5 항

심사관 : 김기환

(54) 반도체 장치 제조 방법, 및 그 방법으로 제조된 반도체장치**(57) 요 약**

반도체 장치를 제조하는 방법은, 반도체 기판 위에 형성되는 패터닝된 상호연결층(120, 520, 1020, 1620)을 갖는 반도체 기판(110, 510, 1010, 1610)을 제공하는 단계; 상호연결층 위에 제 1 유전체 물질(130, 530, 1030, 1630)을 증착하는 단계; 제 1 유전체 물질 위에 제 1 전극 물질(140, 540, 1040, 1640)을 증착하는 단계; 제 1 전극 물질 위에 제 2 유전체 물질(150, 550, 1050, 1650)을 증착하는 단계; 제 2 유전체 물질 위에 제 2 전극 물질(160, 560, 1060, 1660)을 증착하는 단계; 제 1 캐패시터(210, 710, 1310, 1615)의 상부 전극(211, 611, 1111, 1611)을 형성하기 위해 상기 제 2 전극 물질을 패터닝하는 단계; 및 제 2 캐패시터의 전극(220, 720, 1320, 1625)의 상부 전극(221, 721, 1221, 1621)을 형성하고, 제 1 캐패시터의 전극(212, 712, 1212, 1612)을 형성하고, 저항을 규정하기 위해 제 1 전극 물질을 패터닝하는 단계를 포함한다.

대 표 도

(72) 발명자

밀러, 멜비 에프.

미국 아리조나 85284, 템피, 웨스트 케롤라인 레인
177

취리히, 피터

미국 아리조나 85044, 피닉스, 이스트 호피 스트리
트 4514

특허청구의 범위

청구항 1

반도체 장치 제조 방법에 있어서:

반도체 기판 위에 형성되는 패터닝된 상호연결층을 갖는 상기 반도체 기판을 제공하는 단계;

상기 패터닝된 상호연결층 위에 제 1 유전체 물질을 증착하는 단계;

상기 제 1 유전체 물질 위에 제 1 전극 물질을 증착하는 단계;

상기 제 1 전극 물질 위에 제 2 유전체 물질을 증착하는 단계;

상기 제 2 유전체 물질 위에 제 2 전극 물질을 증착하는 단계;

제 1 캐패시터의 상부 전극을 형성하기 위해 상기 제 2 전극 물질을 패터닝하는 단계; 및

제 2 캐패시터의 전극을 형성하고, 상기 제 1 캐패시터의 전극을 형성하고, 저항을 규정하기 위해 상기 제 1 전극 물질을 패터닝하는 단계를 포함하는, 반도체 장치 제조 방법.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

반도체 장치에 있어서:

반도체 기판;

상기 반도체 기판 위의 패터닝된 상호연결층;

상기 패터닝된 상호연결층 위의 제 1 캐패시터;

상기 패터닝된 상호연결층 위의 제 2 캐패시터; 및

상기 패터닝된 상호연결층 위의 저항을 포함하고,

상기 제 1 캐패시터는 전극 물질층을 포함하고 제 1 개수의 유전체층들을 더 포함하고,

상기 제 2 캐패시터는 상기 전극 물질층을 포함하고 제 2 개수의 유전체층들을 더 포함하고,

상기 제 1 캐패시터가 상기 제 2 캐패시터보다 단위 면적당 더 높은 캐패시턴스를 갖도록 상기 제 1 캐패시터와 연관된 유전체층들의 제 1 개수는 상기 제 2 캐패시터와 연관된 유전체층들의 제 2 개수보다 많은, 반도체 장치.

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

반도체 장치 제조 방법에 있어서:

반도체 기판 위에 형성되는 패터닝된 상호연결층을 갖는 상기 반도체 기판을 제공하는 단계로서, 상기 패터닝된 상호연결층의 부분들은 제 1 캐패시터의 하부 전극 및 제 2 캐패시터의 하부 전극을 규정하는, 상기 반도체 기판 제공 단계;

상기 패터닝된 상호연결층 위에 제 1 유전체 물질을 증착하는 단계;

상기 패터닝된 상호연결층의 부분을 노출시키는 개구를 형성하기 위해 상기 제 1 유전체 물질을 패터닝하는 단계;

상기 제 1 전극 물질이 상기 패터닝된 상호연결층의 부분과 접촉하도록 상기 제 1 유전체 물질 위 및 상기 개구 내에 제 1 전극 물질을 증착하는 단계;

상기 제 1 전극 물질 위에 제 2 유전체 물질을 증착하는 단계;

상기 제 2 유전체 물질 위에 제 2 전극 물질을 증착하는 단계;

상기 제 1 캐패시터의 상부 전극을 형성하기 위해 상기 제 2 전극 물질을 패터닝하는 단계; 및

상기 제 2 캐패시터의 상부 전극 및 상기 제 1 캐패시터의 하부 전극을 형성하기 위해 상기 제 1 전극 물질을 패터닝하는 단계를 포함하는, 반도체 장치 제조 방법.

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

반도체 장치 제조 방법에 있어서:

반도체 기판 위에 형성되는 패터닝된 상호연결층을 갖는 상기 반도체 기판을 제공하는 단계;

상기 패터닝된 상호연결층 위에 제 1 유전체 물질을 증착하는 단계;

상기 제 1 유전체 물질에서 제 1 개구 및 제 2 개구를 형성하기 위해 상기 제 1 유전체 물질을 패터닝하는 단계;

상기 제 1 유전체 물질 위 및 상기 제 1 및 제 2 개구들 내에 제 1 전극 물질을 증착하는 단계;

상기 제 1 전극 물질 위에 제 2 유전체 물질을 증착하는 단계;

상기 제 2 유전체 물질 위에 제 2 전극 물질을 증착하는 단계;

상기 제 2 전극 물질 위에 제 3 유전체 물질을 증착하는 단계;

상기 제 3 유전체 물질 위에 제 3 전극 물질을 증착하는 단계;

제 1 캐패시터의 상부 전극을 형성하기 위해 상기 제 3 전극 물질을 패터닝하는 단계;

상기 제 1 캐패시터의 중간 전극 및 제 2 캐패시터의 상부 전극을 형성하기 위해 상기 제 3 유전체 물질 및 상기 제 2 전극 물질을 패터닝하는 단계; 및

상기 제 1 캐패시터의 하부 전극 및 상기 제 2 캐패시터의 하부 전극을 형성하기 위해 상기 제 2 유전체 물질 및 상기 제 1 전극 물질을 패터닝하는 단계를 포함하는, 반도체 장치 제조 방법.

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

반도체 장치 제조 방법에 있어서:

반도체 기판 위에 형성되는 패터닝된 상호연결층을 갖는 상기 반도체 기판을 제공하는 단계;

상기 패터닝된 상호연결층 위에 제 1 유전체 물질을 증착하는 단계;

상기 제 1 유전체 물질 위에 제 1 전극 물질을 증착하는 단계;

상기 제 1 전극 물질 위에 제 2 유전체 물질을 증착하는 단계;

상기 제 2 유전체 물질 위에 제 2 전극 물질을 증착하는 단계;

제 1 캐패시터의 상부 전극을 형성하기 위해 상기 제 2 전극 물질을 패터닝하는 단계; 및

제 2 캐패시터의 전극 및 상기 제 1 캐패시터의 전극을 형성하기 위해 상기 제 1 전극 물질을 패터닝하는 단계를 포함하고,

상기 패터닝된 상호연결층은 상기 제 2 캐패시터의 하부 전극을 형성하고 상기 제 1 캐패시터에는 존재하지 않는, 반도체 장치 제조 방법.

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

명세서

기술 분야

[0001]

본 발명은 반도체 장치에 관한 것이고, 특히, 반도체 장치의 수동 소자에 관한 것이다.

배경 기술

[0002]

캐패시터들, 저항들, 인덕터들 등과 같은 수동 소자들이 넓고 다양한 기능들을 수행하기 위해 반도체 장치들에서 사용된다. 수동 소자들은 예를 들어, 수동 소자의 크기 및 부피를 제어 및/또는 수동 소자를 형성하기 위해 사용된 물질들을 제어함으로써 특정한 기능 또는 기능들에 대해 최적화될 수 있다. 예로서, 반도체 장치의 층간-유전체(inter-layer-dielectric; ILD) 영역 내에 형성된 MIM(metal-insulator-metal) 캐패시터를 고려한다.

고용량 밀도를 원하다면, MIM 캐패시터는 그 두께가 가능한 한 적게 되도록 구성될 수 있고 및/또는 고 유전체 상수들을 갖는 물질들을 사용해서 구성될 수 있다. 다른 한편으로, 고성능 캐패시터를 원한다면, MIM 캐패시터는 고 선형성, 낮은 누출, 및 낮은 TCC(temperature coefficient of capacitance)를 제공하는 물질들을 사용해서 구성될 수 있다. 다수의 활용들에서, 고성능 캐패시터 및 고밀도 캐패시터 모두가 단일 접적 회로에서 바람직하게 사용된다. 그러나, 최근의 제조 방법들은 그러한 회로를 제공할 수 없다.

발명의 상세한 설명

- [0003] 따라서, 반도체 소자, 및 그 반도체 소자의 제조 방법이 필요하고, 그 방법에서 고성능 캐패시터 및 고밀도 캐패시터 모두가 단일 접적 회로에서 접적된다.
- [0004] 본 발명은 첨부 도면을 참조해서 다음의 상세한 설명을 관독하면 잘 이해될 것이다.

실시예

- [0022] 예시를 단순하고 명료하게 하기 위해, 도면은 일반적인 구성 방법을 예시하고, 잘 알려진 특성 및 기술의 설명 및 상세한 설명이 본 발명을 불필요하게 모호하게 되는 것을 방지하기 위해 생략될 수 있다. 또한, 도면의 소자가 반드시 실제 크기일 필요가 없다. 예를 들어, 도면의 소자 부분의 크기가 본 발명의 실시예의 이해를 돋도록 나머지 소자에 대해 과장될 수 있다. 다른 도면에서 같은 도면 번호가 같은 소자를 나타낸다.
- [0023] 상세한 설명 및 청구항에서, 용어 "제1", "제2", "제3", "제4" 등이 있다면, 유사한 구성 요소들간에 구별하기 위해 사용되고 특정 시퀀스 또는 시간 순서를 설명하는 것이 아니다. 그렇게 사용된 용어가 알맞은 환경에 서로 교환가능하여 본원에서 설명된 실시예가 예를 들어, 본원에서 예시되거나 그렇지 않고 설명된 것을 제외한 시퀀스에서 동작을 할 수 있다. 또한, 용어 "포함," "갖는," 및 그 변형은 비-독점적 포함을 의미하여, 구성요소 목록을 포함하는 공정, 방법, 아티클, 또는 장치가 그 구성요소로 반드시 제한되는 것이 아니라, 그 공정, 방법, 아티클, 또는 장치에 목록되지 않거나 원래 있던 다른 구성요소를 포함할 수 있다.
- [0024] 상세한 설명 및 청구항의 용어 "좌측," "우측," "전면," "후면," "상부," "하부," "위에," "밑에," 등이, 있다면, 설명 목적으로 사용되고 영구적인 상대적 위치를 설명하는 것이 아니다. 그렇게 사용된 용어가 알맞은 환경에서 상호교환가능하여 본원에서 설명된 본 발명의 실시예가 예를 들어, 본원에서 예시되거나 그렇지 않고 설명된 것을 제외한 다른 방향으로 동작을 할 수 있다. 본원에서 사용된 바와 같은 용어 "결합된"은 전기적, 기계적, 또는 다른 방법으로 직간접으로 연결되듯이 정의된다.
- [0025] 본 발명의 일 실시예에서, 반도체 장치 제조 방법은, 반도체 기판 위에 형성되는 패터닝된 상호연결층을 갖는 반도체 기판을 제공하는 단계와; 패터닝된 상호연결층 위에 제 1 유전체 물질을 증착하는 단계와; 제 1 유전체 물질 위에 제 1 전극 물질을 증착하는 단계와; 제 1 전극 물질 위에 제 2 유전체 물질을 증착하는 단계와; 제 2 유전체 물질 위에 제 2 전극 물질을 증착하는 단계와; 제 2 전극 물질 위에 제 3 유전체 물질을 증착하는 단계와; 제 1 캐패시터의 상부 전극을 형성하기 위해 제 3 유전체 물질 및 제 2 전극 물질을 패터닝하는 단계와; 및 제 2 캐패시터의 상부 전극을 형성하고, 제 1 캐패시터의 전극을 형성하고, 저항을 규정하기 위해 제 2 유전체 물질 및 제 1 전극 물질을 패터닝하는 단계를 포함한다. 본 발명의 다른 실시예에서, 패터닝된 상호연결층이 제 2 캐패시터의 하부 전극을 형성하고 제 1 캐패시터에는 존재하지 않으며, 제 1 전극 물질을 패터닝하는 것이 저항을 규정하지 않는다.
- [0026] 사용되는 단어 "위에(over)"가 본원에서 사용할 수 있으나 "위에(on)"를 반드시 의미하지 않는다. 따라서, 예를 들어, 문구 "제 1 전극 물질 위에 제 2 유전체 물질을 증착하는 것"은 본원에 설명된 방법들 중 적어도 한 방법의 적어도 하나의 실시예에서 제 1 전극 물질 위에 제 2 유전체 물질을 증착하는 것을 의미할 수 있다. 본원에서 유사한 문구가 단어 "위에(over)" 및 "위에(over)"에 대해 유사한 의미를 가질 수 있다.
- [0027] 도 1은 본 발명의 실시예에 따른 제조 공정의 특정 단계에서 반도체 장치(100)의 부분 횡단면도이다. 도 1에 예시했듯이, 반도체 장치(100)는 반도체 기판(110)과; 반도체 기판(110) 위의 패터닝된 상호연결층(120)과; 패터닝된 상호연결층(120) 위의 유전체 물질(130)과; 유전체 물질(130) 위의 전극 물질(140)과; 전극 물질(140) 위의 유전체 물질(150)과; 유전체 물질(150) 위의 전극 물질(160)과; 및 전극 물질(160) 위의 유전체 물질(170)을 포함한다.
- [0028] 예로서, 패터닝된 상호연결층(120)은 구리를 포함할 수 있고, 일 실시예에서는 물결 무늬의 구리를 포함한다. 패터닝된 상호연결층(120)이 본 기술에 알려진 바와 같이 알루미늄 또는 다른 전도 물질을 포함할 수 있다. 일

실시예에서, 패터닝된 상호연결층(120)이 부분(121), 및 그 부분(121)으로부터 간격(123)으로 분리된 부분(122)을 포함할 수 있다. 적어도 하나의 실시예에서, 간격(123)은 이산화규소 영역, 이산화규소 기반의 물질의 영역, 또는 저 유전체 상수를 갖는 물질 영역을 나타낸다.

[0029] 다른 예로서, 유전체 물질(130)은 질화 규소 또는 산소를 함유하지 않은 다른 유전체 물질을 포함할 수 있다. 특정한 실시예에서, 유전체 물질(130)은 PEN(plasma-enhanced nitride)을 포함한다.

[0030] 또 다른 예로서, 유전체 물질(150)은 물질 또는 대략 8보다 크고 양호하게는 대략 20보다 큰 유효 유전체 상수를 갖는 물질들의 결합을 포함할 수 있다. 일 실시예에서, 유전체 물질(150)은 제 1 층의 하프늄 산화물, 그 제 1 층의 하프늄 산화물 위의 탄탈 산화물층, 및 그 탄탈 산화물층 위의 제 2 층의 하프늄 산화물을 포함하는 스택을 포함한다. 다른 실시예에서, 유전체 물질(150)은 지르코늄 산화물, 알루미늄 산화물, 티타늄 산화물, BST(barium-strontium-titanate), 질화 규소(PEN을 포함하는)을 포함할 수 있다.

[0031] 부가적인 실시예에서, 유전체 물질(150)은 본원에서 앞선 물질의 다수 층 또는 설명안된 다른 유사한 물질이 위에 서로 스택되는 박판 구조를 포함할 수 있다. 그 부가적인 실시예에서, 전극 물질과 같은 인접한 물질과 접촉하는 특정한 박판 구조층은 인접한 물질과 호환되도록 선택된다. 이런 환경에서, 호환성은 물질 접착 특성, 화학 및 전기 상호작용 특성 등에 의한 호환성을 의미한다. 예로서, 탄탈 산화물이 구리를 산화하기 때문에 탄탈 산화물은 구리의 상부에 직접적으로 위치될 수 없다. 다른 예로서, 탄탈 산화물은 탄탈 질화물의 상부에서 직접적으로 위치될 수 없는 데, 왜냐하면 산소가 탄탈 질화물로 확산하고 질소가 탄탈 산화물로 확산하기 때문이어서, 전극 물질의 전기 특성 및 유전체 물질의 유전체 특성 각각에 악영향을 미친다. 대조적으로, 하프늄 산화물은 탄탈 질화물과 원치 않는 반응을 하지 않는다.

[0032] 또 다른 실시예에서, 유전체 물질(150)은 본원에서 앞선 물질의 각종 결합 또는 설명안된 다른 유사한 물질이 각종 특성에서 함께 혼합되어 유전체 물질층(들)을 형성하는 혼합물을 포함할 수 있다.

[0033] 또 다른 예로서, 유전체 물질(140)은 탄탈 질화물, 티타늄 질화물, 탄탈, 텉스텐 기반의 금속, 니켈 기반의 금속, 다른 내화 금속, 및 유사 물질을 포함할 수 있다. 여기에서 더 논의했듯이, 전극 물질(140)의 부분이 본 발명의 소정의 실시예에서 저항으로서 사용될 수 있는 반면에 본 발명의 소정의 실시예에서 전극 물질(160)의 부분이 저항으로서 사용되지 않는다. 따라서, 전극 물질(160)은 전극 물질(140)을 위해 상기 목록화된 물질을 포함할 수 있고, 구리, 알루미늄, 금 등과 같은 고 전도성 물질도 포함할 수 있다.

[0034] 유전체 물질(170)은 유전체 물질(130)의 조성과 유사하게 될 수 있고, 예를 들어, 비결정질 탄소도 포함할 수 있다. 유전체 물질(170)은 적어도 하나의 실시예에서 전기 기능을 하지 못하나 전극 물질(160)의 연속 패터닝동안 비어(via) 에치에 대한 에치 정지 및/또는 하드 마스크로서 작용할 수 있다. MIM 캐패시터에서 유전체로서 역할하는 것에 부가하여, 유전체 물질(150 및 130)은 에치 정지로서도 역할할 수 있고, 유전체 물질(150)이 전극 물질(160)의 연속 패터닝동안 하드 마스크로서도 역할할 수 있다.

[0035] 도 2는 본 발명의 실시예에 따라 제조 공정의 후속 단계에서 반도체 장치(100)의 부분 횡단면도이다. 도 2에 예시했듯이, 유전체 물질(170) 및 전극 물질(160)은 패터닝되어 캐패시터(210)의 전극(211)을 형성한다. 도 2에도 예시했듯이, 유전체 물질(150) 및 전극 물질(140)은 패터닝되어 캐패시터(220)의 전극(221)을 형성하고, 캐패시터(210)의 전극(212)을 형성하고, 저항(230)을 규정한다. 캐패시터들(210 및 220) 및 저항(230)의 적어도 일부분들이 상기 패터닝된 상호연결층(120) 위에 형성된다.

[0036] 본 발명의 일 실시예에서, 패터닝된 상호연결층(120)의 부분(121)은 캐패시터(210)의 전극(213)을 형성한다. 같거나 다른 실시예에서, 패터닝된 상호연결층(120)의 부분(122)이 캐패시터(220)의 전극(222)을 형성한다.

[0037] 예로서, 전극(211)은 캐패시터(210)의 상부 전극이고, 전극(212)은 캐패시터(210)의 중간 전극이고, 전극(213)은 캐패시터(210)의 하부 전극이다. 다른 예로서, 전극(221)은 캐패시터(220)의 상부 전극이고, 전극(222)은 캐패시터(220)의 하부 전극이다.

[0038] 일 실시예에서, 캐패시터(210)는 고 용량성 밀도를 가질 수 있다. 다른 말로, 캐패시터(210)는 대략 4 스퀘어 마이크로미터당 펜토-파라드($fF/\mu m^2$)와 같거나 큰 단위 면적당 캐패시턴스(C/A)로서 본원에서 정의된 단위 면적당 더 높은 캐패시턴스를 가질 수 있다. 같거나 다른 실시예에서, 캐패시터(220)는 단위 면적당 더 낮은 캐패시턴스를 가지나 캐패시터(210)보다 높은 품질을 가질 수 있다. 예로서, 캐패시터(220)는 대략 $1.6 fF/\mu m^2$ 의 C/A를 가질 수 있다. 캐패시터(220)는 부분적으로 캐패시터(210)보다 더 높은 품질을 가질 수 있는 데, 왜냐하면 캐패시터(220)가 캐패시터(210)를 형성하는 물질들 중 적어도 일부 물질들보다 예를 들어, 누출 전류, 선형

성, 및/또는 신뢰성에 대해 양호하게 수행하는 유전체 물질을 함유하기 때문이다. 적어도 하나의 실시예에서, 캐패시터들(210 및 220)의 부분을 형성하는 유전체 물질들의 차이들이 캐패시터들(210 및 220)간의 품질 및 단위 면적당 캐패시턴스의 차이들에도 기인한다. 따라서, 이러한 적어도 하나의 실시예에서, 캐패시터(210)의 유전체층들 중 적어도 하나의 유전체층은 캐패시터(220)의 유전체층들 중 적어도 하나의 유전체층의 물질과 다른 물질을 포함한다. 캐패시터들(210 및 220)에 대해 허용가능한 유전체 물질들의 특정 예들은 상기에서 주어진다.

[0039] 예로서, 캐패시터(220)는 높은 선형성, 낮은 TCC, 및 낮은 누출 물질 중 하나 이상을 가질 수 있어서, 캐패시터(220)를 높은 성능 캐패시터로 되게 한다. 저항(230)은 예를 들어, 고성능 박막 저항일 수 있다.

[0040] 캐패시터(210 및 220) 모두가 반도체 기판(110)상에 위치되기 때문에, 단일 캐패시터가 높은 용량성 밀도 또는 고 선형성, 낮은 TCC, 또는 낮은 누출을 가진다면, 반도체 장치(100)는 그 단일 캐패시터만을 갖는 반도체 장치 보다 큰 성능 유연성을 제공한다. 단지 하나의 예로서, 반도체 장치(100)와 같은 반도체 장치가 무선 및 유선 기반의 통신 시스템에서 사용가능하다.

[0041] 도 3은 본 발명의 일 실시예에 따라 제조 공정의 후속 단계에서 반도체 장치(100)의 부분 횡단면도이다. 도 3에 예시했듯이, 전기 접촉부(311)는 캐패시터(210)의 전극(213)에 결합되었고, 전기 접촉부들(312 및 313)은 캐패시터(210)의 전극(211)에 결합되었고, 전기 접촉부(314)는 캐패시터(210)의 전극(212)에 결합되었다. 도 3에도 예시했듯이, 전기 접촉부들(321 및 322)은 캐패시터(220)의 전극(221)에 결합되었고, 전기 접촉부(323)는 캐패시터(220)의 전극(222)에 결합되었고, 전기 접촉부들(331 및 332)은 저항(230)에 결합되었다. 본 기술에 알려진 바와 같이, 저항(230)은 소정의 실시예들에서 도 3에 예시된 2개의 전기 접촉부들(331 및 332)에 부가하여 다른 전기 접촉부들에도 결합될 수 있었다. 유사하게, 캐패시터(210)의 전극들(211, 212, 및 213) 및 캐패시터(220)의 전극들(221 및 222)은 전극들(211, 212, 213, 221, 및 222)에 결합되기 위해 도 3에 예시된 하나 또는 2개의 전기 접촉부들에 부가하여 다른 전기 접촉부들에 부가적으로 결합될 수 있었다.

[0042] 예시된 실시예에서, 캐패시터(210)는 병렬로 배선된 2개의 MIM 캐패시터들을 갖는 스택된 캐패시터를 포함한다. 병렬로 배선된 다수의 MIM 캐패시터들에 의해, 캐패시터(210)는 스택안된 캐패시터보다 높은 C/A를 잠재적으로 가지나, 스택된 캐패시터의 유전체 물질들의 저 품질로 인해 스택안된 캐패시터보다 낮은 품질로 된다.

[0043] 일 실시예에서, 적어도 전기 접촉부들(311, 312, 313, 314, 321, 322, 및 323)은 서로 거의 동시에 형성된다. 예시안된 실시예에서, 적어도 전기 접촉부들(312, 313, 314, 321, 322, 및 323)은 서로 거의 동시에 형성되나, 전기 접촉부(311)는 형성되지 않는다. 예시안된 실시예에서, 캐패시터(210)의 전극(213)은 부분(121)을 통해 접적 회로의 다른 부분에 전기적으로 연결된다. 부분(121)은 반드시는 아니나 전극들(211 또는 212) 모두 아래에 확장할 수 있음이 당업자에게 인식된다. 유사하게, 부분(122)은 반드시는 아니나 전극(221) 아래에 확장할 수 있다. 또한, 부분들(121 및 122)은 전극들(211, 212, 및 221) 아래에 반드시는 아니나 연속된다.

[0044] 도 4는 본 발명의 일 실시예에 따라 반도체 장치(100)를 제조하는 방법(400)을 예시하는 흐름도이다. 방법(400)은 그 단계 중에서도 특히 2개의 패터닝 단계를 포함하고, 그 패터닝 단계에서 그 방법(400)은 단일 접적 회로에서 하나의 마스크 및 2개의 마스크 MIM 캐패시터를 저항과 접적하는 2개의 마스크 제조 방법이다. 선행 문장에서 언급된 2개의 마스크가 본 발명의 실시예에 따라 MIM 캐패시터를 형성하기에 필요한 마스크이고, 추가의 마스크가 기본 MIM 캐패시터 구조 등을 형성하기 위해 필요하지 않은 예를 들어, 패터닝된 상호연결층, 상부 상호연결 구조, 선택층과 같은, 접적 회로의 다른 부분을 형성하기 위해 필요로 된다.

[0045] 방법(400)의 단계(410)는 위에 형성된 패터닝된 상호연결층을 갖는 반도체 기판을 제공한다. 예로서, 반도체 기판은 처음으로 도 1에 도시된 반도체 기판(110)과 유사하게 될 수 있고, 패터닝된 상호연결층이 처음으로 도 1에 역시 도시된 패터닝된 상호연결층(120)과 유사하게 될 수 있다.

[0046] 방법(400)의 단계(420)는 패터닝된 상호연결층 위에 제 1 유전체 물질을 증착한다. 예로서, 제 1 유전체 물질이 처음으로 도 1에 도시된 유전체 물질(130)과 유사하게 될 수 있다.

[0047] 방법(400)의 단계(430)는 제 1 유전체 물질 위에 제 1 전극 물질을 증착한다. 예로서, 제 1 전극 물질이 처음으로 도 1에 도시된 전극 물질(140)과 유사하게 될 수 있다.

[0048] 방법(400)의 단계(440)는 제 1 전극 물질 위에 제 2 유전체 물질을 증착한다. 예로서, 제 2 유전체 물질이 처음으로 도 1에 도시된 유전체 물질(150)과 유사하게 될 수 있다.

[0049] 방법(400)의 단계(450)는 제 2 유전체 물질 위에 제 2 전극 물질을 증착한다. 예로서, 제 2 전극 물질이 처음으로 도 1에 도시된 전극 물질(160)과 유사하게 될 수 있다.

- [0050] 방법(400)의 단계(460)는 제 2 전극 물질 위에 제 3 유전체 물질을 증착한다. 예로서, 제 3 유전체 물질이 처음으로 도 1에 도시된 유전체 물질(170)과 유사하게 될 수 있다.
- [0051] 방법(400)의 단계(470)는 제 1 마스크를 사용해서 제 3 유전체 물질 및 제 2 전극 물질을 패터닝하여 제 1 캐페시터의 상부 전극을 형성한다. 예로서, 제 1 캐페시터가 처음에 도 2에 처음으로 도시된 캐페시터(210)와 유사하게 될 수 있고, 제 1 캐페시터의 상부 전극이 처음으로 도 2에 도시된 전극(211)과 유사하게 될 수 있다.
- [0052] 방법(400)의 단계(480)는 제 2 마스크를 사용해서 제 2 유전체 물질 및 제 1 전극 물질을 패터닝하여 제 2 캐페시터의 상부 전극을 형성하고, 제 1 캐페시터의 중간 전극을 형성하고, 저항을 규정한다. 예로서, 제 2 캐페시터가 캐페시터(220)와 유사하게 될 수 있고, 제 2 캐페시터의 상부 전극이 전극(221)과 유사하게 될 수 있고, 중간 전극이 전극(212)과 유사하게 될 수 있고, 저항은 저항(230)과 유사하게 될 수 있고, 그 모두가 처음으로 도 2에 도시된다.
- [0053] 방법(400)의 단계(490)는 제 1 캐페시터의 적어도 상부 및 중간 전극들과 제 2 캐페시터의 적어도 상부 전극에 결합된 적어도 하나의 전기 접촉부를 형성하고, 저항에 적어도 2개의 전기 접촉부를 형성한다. 예로서, 전기 접촉부들이 하나 이상의 전기 접촉부들(311, 312, 313, 314, 321, 322, 323, 331, 및 332)과 유사하게 될 수 있고, 그 모두가 도 3에 처음으로 도시된다. 방법(400)의 일 실시예에서, 단계(480)는 전기 접촉부들을 서로 동시에 형성하는 단계를 포함한다.
- [0054] 방법(400)의 일 실시예에서, 패터닝된 상호연결층은 제 2 캐페시터의 하부 전극을 형성하고 제 1 캐페시터에는 존재하지 않는다. 방법(400)의 다른 실시예에서, 패터닝된 상호연결층은 제 1 캐페시터의 하부 전극 및 제 2 캐페시터의 하부 전극을 형성한다. 방법(400)의 다른 실시예에서, 제 1 캐페시터의 전극이 제 1 캐페시터의 중간 전극을 포함하고, 제 1 캐페시터의 중간 전극은 제 1 캐페시터의 상부 전극과 제 1 캐페시터의 하부 전극 사이에 위치된다.
- [0055] 도 5는 본 발명의 실시예에 따라 제조 공정의 특정 단계에서 반도체 장치(500)의 부분 획단면도이다. 도 5에 예시했듯이, 반도체 장치(500)는 반도체 기판(510), 반도체 기판(510) 위의 패터닝된 상호연결층(520), 패터닝된 상호연결층(520) 위의 유전체 물질(530), 유전체 물질(530) 위의 전극 물질(540), 전극 물질(540) 위의 유전체 물질(550), 유전체 물질(550) 위의 전극 물질(560), 및 전극 물질(560) 위의 유전체 물질(570)을 포함한다. 예로서, 반도체 기판(510), 패터닝된 상호연결층(520), 유전체 물질(530), 전극 물질(540), 유전체 물질(550), 전극 물질(560), 및 유전체 물질(570)은 도 1에 도시된 반도체 기판(110), 패터닝된 상호연결층(120), 유전체 물질(130), 전극 물질(140), 유전체 물질(150), 전극 물질(160), 및 유전체 물질(170) 각각과 유사하게 될 수 있다. 예시된 실시예에서, 패터닝된 상호연결층(520)은 부분(521), 및 그 부분(521)으로부터 간격(523)으로 분리된 부분(522)을 포함한다. 부분(521), 부분(522), 및 간격(523)은 도 1에 도시된 부분(121), 부분(122), 및 간격(123) 각각과 유사하게 될 수 있다.
- [0056] 도 5에 또한 예시했듯이, 유전체 물질(530)은 패터닝된 상호연결층(520)의 부분(525)을 노출시키는 개구(531)를 형성하기 위해 패터닝되었고, 전극 물질(540)은 유전체 물질(530) 위 및 개구(531)내에 증착되어서 전극 물질(540)이 패터닝된 상호연결층(520)의 부분(525)에 물리적으로 및 전기적으로 접촉하거나 결합된다.
- [0057] 도 6은 본 발명의 실시예에 따라 제조 공정의 후속 단계에서 반도체 장치(500)의 부분 획단면도이다. 도 6에 예시했듯이, 유전체 물질(570) 및 전극 물질(560)은 패터닝되어 전극(611)을 형성한다. 예로서, 전극(611)은 도 2에 처음으로 도시된 전극(211)과 유사하게 될 수 있다.
- [0058] 도 7은 본 발명의 일 실시예에 따라 제조 공정의 후속 단계에서 반도체 장치(500)의 획단면도이다. 도 7에 예시했듯이, 전극(611)은 캐페시터(710)의 전극이다. 도 7에 부가적으로 예시했듯이, 유전체 물질(550) 및 전극 물질(540)은 패터닝되어 캐페시터(720)의 전극(721)을 형성하고, 캐페시터(710)의 전극(712)을 형성하고, 저항(730)을 규정한다. 캐페시터들(710 및 720) 및 저항(730)의 적어도 일부분들이 상기 패터닝된 상호연결층(520) 위에 형성된다. 예로서, 전극(721) 및 저항(730)은 전극(221) 및 저항(230) 각각과 유사하게 될 수 있고, 그 모두가 도 2에 처음으로 도시된다. 다른 예로서, 캐페시터(710)는 캐페시터(210)와 같은 캐페시터(710)가 고 용량 성 밀도를 갖는다는 점에서 도 2에 도시된 캐페시터(210)와 유사하게 될 수 있다. 또 다른 예로서, 캐페시터(220)가 캐페시터(210)보다 높은 품질을 가지는 바와 같이 캐페시터(720)가 캐페시터(710)보다 높은 품질을 가질 수 있는 점에서 캐페시터(720)는 도 2에 도시된 캐페시터(220)와 유사하게 될 수 있다.
- [0059] 본 발명의 일 실시예에 따라, 패터닝된 상호연결층(520)의 부분(521)은 캐페시터(710)의 전극(713)을 형성한다. 그 실시예에서, 전극(713 및 712)은 캐페시터(710)의 하부 전극을 형성한다. 다른 실시예에서, 부분(521)이 전

극(713)을 형성하지 않는 데서, 전극(712)이 캐패시터(710)의 하부 전극을 형성한다. 같거나 다른 실시예에서, 패터닝된 상호연결층(520)의 부분(522)이 캐패시터(720)의 전극(722)을 형성한다.

[0060] 도 8은 본 발명의 실시예에 따라 제조 공정의 후속 단계에서 반도체 장치(500)의 부분 횡단면도이다. 도 8에 예시했듯이, 전기 접촉부(811)는 캐패시터(710)의 전극(713)에 결합되었고, 전기 접촉부들(812 및 813)은 캐패시터(710)의 전극(611)에 결합되었고, 전기 접촉부(814)는 캐패시터(710)의 전극(712)에 결합되었다. 전기 접촉부(814)가 패터닝된 상호연결층(520)의 부분(521)을 갖지 않은 실시예들에서만 형성되는 것을 당업자는 이해할 것이다. 부분(521)을 갖는 실시예에서, 전극(712)에 대한 전기 접촉부가 부분(521)을 경유해서 수행된다.

[0061] 도 8에 부가적으로 예시했듯이, 전기 접촉부들(821 및 822)은 캐패시터(720)의 전극(721)에 결합되었고, 전기 접촉부(823)는 캐패시터(720)의 전극(722)에 결합되었고, 전기 접촉부들(831 및 832)은 저항(730)에 결합되었다. 본 기술에 알려진 바와 같이, 저항(730)은 소정의 실시예에서 도 8에 예시된 2개의 전기 접촉부들(831 및 832)에 부가하여 다른 전기 접촉부들에 또한 결합될 수 있었다. 유사하게, 캐패시터(710)의 전극들(611, 712, 및 713) 및 캐패시터(720)의 전극들(721 및 722)은 전극들(611, 712, 713, 721, 및 722)에 결합되기 위해 도 8에 예시된 하나 또는 2개의 전기 접촉부들에 부가하여 다른 전기 접촉부들에 또한 결합될 수 있었다.

[0062] 일 실시예에서, 적어도 전기 접촉부들(811, 812, 813, 814, 821, 822, 및 823)은 서로 거의 동시에 형성된다. 예시안된 실시예에서, 적어도 전기 접촉부들(812, 813, 814, 821, 및 822)은 서로 거의 동시에 형성되나, 전기 접촉부(811) 및/또는 전기 접촉부(823)가 형성되지 않는다. 예시안된 실시예에서, 캐패시터(710)의 전극(713) 및/또는 캐패시터(720)의 전극(722)은 부분(521) 및 부분(522) 각각을 통해 집적 회로의 다른 부분에 전기적으로 연결된다.

[0063] 도 9는 본 발명의 실시예에 따라 반도체 장치(500)를 제조하는 방법(900)을 예시하는 흐름도이다. 방법(900)은 그 단계 중에서도 특히 3개의 패터닝 단계들을 포함하고, 그 패터닝 단계들에서 방법(900)은 단일 집적 회로에서 하나의 마스크 및 3개의 마스크 MIM 캐패시터를 저항과 집적하는 3개의 마스크 제조 방법이다. 선행 문장에서 언급된 3개의 마스크가 본 발명의 실시예에 따라 MIM 캐패시터를 형성하기에 필요한 마스크이고, 추가의 마스크가 기본 MIM 캐패시터 구조 등을 형성하기 위해 필요하지 않은 예를 들어, 패터닝된 상호연결층, 상부 상호연결 구조, 선택층과 같은, 집적 회로의 다른 부분을 형성하기 위해 필요로 됨을 당업자는 이해하게 된다.

[0064] 방법(900)의 단계(905)는 위에 형성된 패터닝된 상호연결층을 갖는 반도체 기판을 제공하고, 패터닝된 상호연결층의 부분이 제 1 및 제 2 캐패시터의 하부 전극들을 규정한다. 예로서, 반도체 기판은 도 5에 처음으로 도시된 반도체 기판(510)과 유사하게 될 수 있고, 패터닝된 상호연결층이 처음으로 도 5에 또한 도시된 패터닝된 상호연결층(520)과 유사하게 될 수 있다. 다른 예로서, 제 1 캐패시터는 처음으로 도 7에 도시된 캐패시터(710)와 유사하게 될 수 있고, 제 2 캐패시터는 도 7에 처음으로 또한 도시된 캐패시터(720)와 유사하게 될 수 있다. 또 다른 예로서, 제 1 및 제 2 캐패시터들의 하부 전극들을 형성하는 패터닝된 상호연결층의 부분들이 도 5에 처음으로 도시된 부분들(521 및 522)과 유사하게 될 수 있다.

[0065] 방법(900)의 단계(910)는 패터닝된 상호연결층 위에 제 1 유전체 물질을 증착한다. 예로서, 제 1 유전체 물질이 도 5에 도시된 유전체 물질(530)과 유사하게 될 수 있다.

[0066] 방법(900)의 단계(915)는 제 1 마스크를 사용해서 제 1 유전체 물질을 패터닝하여 패터닝된 상호연결층의 부분을 노출시키는 개구를 형성한다. 예로서, 그 개구가 개구(531)와 유사하게 될 수 있고, 패터닝된 상호연결층의 노출된 부분이 부분(525)과 유사하게 될 수 있고, 그 모두가 도 5에 처음으로 도시된다.

[0067] 방법(900)의 단계(920)는 제 1 유전체 물질 위 및 개구내에 제 1 전극 물질을 증착하여 제 1 전극 물질이 패터닝된 상호연결층의 부분과 접촉한다. 예로서, 제 1 전극 물질이 도 5에 처음으로 도시된 전극 물질(540)과 유사하게 될 수 있다.

[0068] 방법(900)의 단계(925)는 제 1 전극 물질 위에 제 2 유전체 물질을 증착한다. 예로서, 제 2 유전체 물질이 도 5에 처음으로 도시된 유전체 물질(550)과 유사하게 될 수 있다.

[0069] 방법(900)의 단계(930)는 제 2 유전체 물질 위에 제 2 전극 물질을 증착한다. 예로서, 제 2 전극 물질이 도 5에 처음으로 도시된 전극 물질(560)과 유사하게 될 수 있다.

[0070] 방법(900)의 단계(935)는 제 2 전극 물질 위에 제 3 유전체 물질을 증착한다. 예로서, 제 3 유전체 물질이 도 5에 처음으로 도시된 유전체 물질(570)과 유사하게 될 수 있다.

- [0071] 방법(900)의 단계(940)는 제 2 마스크를 사용해서 제 3 유전체 물질 및 제 2 전극 물질을 패터닝하여 제 1 캐패시터의 상부 전극을 형성한다. 예로서, 제 1 캐패시터의 상부 전극이 도 6에 처음으로 도시된 전극(611)과 유사하게 될 수 있다.
- [0072] 방법(900)의 단계(945)는 제 3 마스크를 사용해서 제 2 유전체 물질 및 제 1 전극 물질을 패터닝하여 제 2 캐패시터의 상부 전극과, 제 1 캐패시터의 하부 전극의 적어도 일부분을 형성한다. 예로서, 제 2 캐패시터의 상부 전극이 도 7에 처음으로 도시된 전극(721)과 유사하게 될 수 있고, 제 1 캐패시터의 하부 전극 또는 하부 전극의 일부분이 도 7에 처음으로 도시된 전극(712)과 유사하게 될 수 있다. 일 실시예에서, 단계(945)는 저항을 형성하는 단계를 더 포함할 수 있다. 예로서, 저항은 도 7에 처음으로 도시된 저항(730)과 유사하게 될 수 있다.
- [0073] 방법(900)의 단계(950)는 제 1 캐패시터의 상부 및 하부 전극들 각각 및 제 2 캐패시터의 상부 및 하부 전극들 각각에 결합된 적어도 하나의 전기 접촉부를 형성하고, 전기 접촉부들 각각은 서로 거의 동시에 형성된다. 다른 실시예에서, 단계(950)는 제 1 캐패시터의 상부 전극 각각 및 제 2 캐패시터의 상부 및 하부 전극들 각각에 결합되나 제 1 캐패시터의 하부 전극에는 결합되지 않는 전기 접촉부를 형성하는 단계를 포함할 수 있다. 그 다른 실시예에서, 캐패시터(710)의 전극(713)은 부분(521)을 통해 접적 회로의 다른 부분에 전기적으로 연결된다. 또 다른 실시예들에서, 단계(950)는 제 1 캐패시터의 상부 전극 및 제 2 캐패시터의 상부 전극에 전기 접촉부들을 형성하는 단계를 포함할 수 있으나, (1) 제 1 캐패시터의 하부 전극 및 제 2 캐패시터의 하부 전극에는 및/또는 (2) 제 2 캐패시터의 하부 전극에는 그런 단계를 포함할 수 없다. 이러한 다른 실시예들에서, 캐패시터(710)의 전극(713) 및/또는 캐패시터(720)의 전극(722)은 부분들(521 및 522) 각각을 통해 접적 회로의 다른 부분에 전기적으로 연결된다.
- [0074] 저항을 형성하는 방법(900)의 실시예에서, 단계(950) 또는 다른 단계가 저항에 대해 전기 접촉부들을 형성하는 단계를 더 포함할 수 있다. 예로서, 전기 접촉부들이 하나 이상의 전기 접촉부들(811, 812, 813, 814, 821, 822, 823, 831, 및 832)과 유사하게 될 수 있고, 그 모두가 도 8에 처음으로 도시된다.
- [0075] 도 10은 본 발명의 실시예에 따라 제조 공정의 특정 단계에서 반도체 장치(1000)의 부분 횡단면도이다. 도 10에 예시했듯이, 반도체 장치(1000)는 반도체 기판(1010), 반도체 기판(1010) 위에 형성된 패터닝된 상호연결층(1020), 패터닝된 상호연결층(1020) 위의 유전체 물질(1090), 유전체 물질(1090) 위의 전극 물질(1080), 전극 물질(1080) 위의 유전체 물질(1030), 유전체 물질(1030) 위의 전극 물질(1040), 및 전극 물질(1040) 위의 유전체 물질(1050), 유전체 물질(1050) 위의 전극 물질(1060), 및 전극 물질(1060) 위의 유전체 물질(1070)을 포함한다.
- [0076] 예로서, 반도체 기판(1010), 패터닝된 상호연결층(1020), 유전체 물질(1030), 전극 물질(1040), 유전체 물질(1050), 전극 물질(1060), 및 유전체 물질(1070)은 도 1에 도시된 반도체 기판(110), 패터닝된 상호연결층(120), 유전체 물질(130), 전극 물질(140), 유전체 물질(150), 전극 물질(160), 및 유전체 물질(170) 각각과 유사하게 될 수 있다. 또한 예로서, 전극 물질(1080)은 전극 물질(140)과 유사하게 될 수 있고 유전체 물질(1090)이 유전체 물질(130)과 유사하게 될 수 있고, 그 모두가 도 1에 도시된다.
- [0077] 예시된 실시예에서, 패터닝된 상호연결층(1020)은 부분(1021)으로부터 간격(1023)으로 분리된 부분(1021) 및 부분(1022)을 포함한다. 부분(1021), 부분(1022), 및 간격(1023)은 도 1에 도시된 부분(121), 부분(122), 및 간격(123) 각각과 유사하게 될 수 있다.
- [0078] 도 10에 또한 예시했듯이, 유전체 물질(1090)은 패터닝된 상호연결층(1020)의 부분들을 노출시키는 개구(1031) 및 개구(1032)를 형성하기 위해 패터닝되었고, 전극 물질(1080)은 유전체 물질(1090) 위 및 개구들(1031 및 1032)내에 증착되어서, 전극 물질(1080)이 패터닝된 상호연결층(1020) 중 노출된 부분들에 물리적으로 및 전기적으로 접촉하거나 결합된다.
- [0079] 도 11은 본 발명의 실시예에 따라 제조 공정의 후속 단계에서 반도체 장치(1000)의 부분 횡단면도이다. 도 11에 예시했듯이, 유전체 물질(1070) 및 전극 물질(1060)은 패터닝되어 전극(1111)을 형성한다. 예로서, 전극(1111)은 도 2에 처음으로 도시된 전극(211)과 유사하게 될 수 있다.
- [0080] 도 12는 본 발명의 실시예에 따라 제조 공정의 후속 단계에서 반도체 장치(1000)의 횡단면도이다. 도 12에 예시했듯이, 유전체 물질(1050) 및 전극 물질(1040)은 패터닝되어 전극(1212) 및 전극(1221)을 형성한다. 예로서, 전극(1221)은 도 7에 처음으로 도시된 전극(721)과 유사하게 될 수 있다.
- [0081] 도 13은 본 발명의 실시예에 따라 제조 공정의 후속 단계에서 반도체 장치(1000)의 부분 횡단면도이다. 도 13에

예시했듯이, 전극들(1111 및 1212)은 캐패시터(1310)의 전극들이다. 도 13에 또한 예시했듯이, 전극(1221)은 캐패시터(1320)의 전극이다. 도 13에서 또한 부가적으로 예시했듯이, 유전체 물질(1030) 및 전극 물질(1080)은 패터닝되어 캐패시터(1310)의 전극(1313), 캐패시터(1320)의 전극(1322), 및 저항(1330)을 형성한다. 캐패시터들(1310 및 1320) 및 저항(1330)의 적어도 일부분들이 패터닝된 상호연결층(1020) 위에 형성된다. 예로서, 전극(1212) 및 전극(1221)은 전극들(212) 및 전극(221) 각각과 유사하게 될 수 있고, 그 모두가 도 2에 처음으로 도시된다. 다른 예로서, 캐패시터(210)와 같은 캐패시터(1310)가 고 용량성 밀도를 갖는다는 점에서 캐패시터(1310)는 도 2에 처음으로 도시된 캐패시터(210)와 유사하게 될 수 있다. 또 다른 예로서, 캐패시터(220)가 캐패시터(210)보다 높은 품질을 가지는 바와 같이 캐패시터(1320)가 캐패시터(1310)보다 높은 품질을 가질 수 있는 점에서 캐패시터(1320)는 도 2에 처음으로 도시된 캐패시터(220)와 유사하게 될 수 있다.

[0082] 도 14는 본 발명의 실시예에 따라 제조 공정의 후속 단계에서 반도체 장치(1000)의 부분 횡단면도이다. 도 14에 예시했듯이, 전기 접촉부(1411)는 캐패시터(1310)의 전극(1313)에 결합되었고, 전기 접촉부들(1412 및 1413)은 캐패시터(1310)의 전극(1111)에 결합되었고, 전기 접촉부(1414)는 캐패시터(1310)의 전극(1212)에 결합되었고, 전기 접촉부(1415)는 패터닝된 상호연결층(1020)의 부분(1021)에 결합되었다. 도 14에 또한 예시했듯이, 전기 접촉부들(1421 및 1422)은 캐패시터(1320)의 전극(1221)에 결합되었고, 전기 접촉부(1423)는 캐패시터(1320)의 전극(1322)에 결합되었고, 전기 접촉부(1424)는 패터닝된 상호연결층(1020)의 부분(1022)에 결합되었고, 전기 접촉부들(1431 및 1432)은 저항(1330)에 결합되었다.

[0083] 캐패시터(1310)의 전극(1313)에 대한 전기 접촉부가 각종 방법들을 사용해서 수행될 수 있다. 예로서, 전극(1313)에 대한 전기 접촉부가 전기 접촉부(1411)만, 전기 접촉부(1415)만, 또는 패터닝된 상호연결층(1020)의 부분(1021)만을 경유해 수행될 수 있다. 다른 예로서, 전극(1313)에 대한 전기 접촉부가 2개의 전기 접촉부들(1411 및 1415) 및 패터닝된 상호연결층(1020)의 부분(1021)을 경유해, 즉, 전기 접촉부들(1411 및 1415)을 경유해, 전기 접촉부(1411) 및 부분(1021)을 경유해, 또는 전기 접촉부(1415) 및 부분(1021)을 경유해 수행될 수 있다. 또 다른 예로서, 전극(1313)에 대한 전기 접촉부가 3개의 전기 접촉부들(1411 및 1415) 및 패터닝된 상호연결층(1020)의 부분(1021) 모두를 동시에 경유해 수행될 수 있다. 유사하게, 캐패시터(1320)의 전극(1322)에 대한 전기 접촉부가 각종 방법들로 수행될 수 있다. 예로서, 전극(1322)에 대한 전기 접촉부가 전기 접촉부(1423)만, 전기 접촉부(1424)만, 또는 패터닝된 상호연결층(1020)의 부분(1022)만을 경유해 수행될 수 있다. 다른 예로서, 전극(1322)에 대한 전기 접촉부가 2개의 전기 접촉부들(1423 및 1424) 및 패터닝된 상호연결층(1020)의 부분(1022)을 경유해, 즉, 전기 접촉부들(1423 및 1424)을 경유해, 전기 접촉부(1423) 및 부분(1022)을 경유해, 또는 전기 접촉부(1424) 및 부분(1022)을 경유해 수행될 수 있다. 또 다른 예로서, 전극(1322)에 대한 전기 접촉부가 3개의 전기 접촉부들(1423 및 1424) 및 패터닝된 상호연결층(1020)의 부분(1022)을 동시에 경유해서 수행될 수 있다.

[0084] 캐패시터들(1310 및 1320) 중 하나에서 사용된 특정한 전기 접촉 방법이 캐패시터들(1310 및 1320) 중 나머지 하나에서 사용된 전기 접촉 방법에 반드시 영향을 미치지 않는다는 것을 당업자는 이해할 것이다. 대신에, 상기 언급된 전기 접촉 방법들은 나머지 캐패시터에 대해 선택된 특정한 전기 접촉 방법과 관계없이 하나의 캐패시터에 가능하다.

[0085] 본 기술에 알려진 바와 같이, 저항(1330)은 소정의 실시예들에서 도 14에 예시된 2개의 전기 접촉부들(1431 및 1432)에 부가하여 다른 전기 접촉부들에도 결합될 수 있었다. 유사하게, 캐패시터(1310)의 전극들(1111, 1212, 및 1313) 및 캐패시터(1320)의 전극들(1221 및 1322)은 전극들(1111, 1212, 1313, 1221, 및 1322)에 결합되기 위해 도 14에 예시된 하나 또는 2개의 전기 접촉부들에 부가하여 다른 전기 접촉부들에도 결합될 수 있었다. 그 예시된 실시예에서, 캐패시터(210)와 같은 캐패시터(1310)는 별별로 배선된 2개의 MIM 캐패시터들을 갖는 스택된 캐패시터를 포함한다.

[0086] 일 실시예에서, 적어도 전기 접촉부들(1411, 1412, 1413, 1414, 1421, 1422, 및 1423)은 서로 거의 동시에 형성된다. 예시안된 실시예에서, 적어도 전기 접촉부들(1412, 1413, 1414, 1421, 1422, 및 1423)은 서로 거의 동시에 형성되나, 전기 접촉부(1411)가 형성되지 않는다. 예시안된 실시예에서, 캐패시터(1310)의 전극(1313)은 부분(1021)을 통해 접적 회로의 다른 부분에 전기적으로 연결된다.

[0087] 도 15는 본 발명의 실시예에 따라 반도체 장치(1000)를 제조하는 방법(1500)을 예시하는 흐름도이다. 방법(1500)은 그 단계 중에서도 특히 4개의 패터닝 단계들을 포함하고, 그 패터닝 단계에서 방법(1500)은 단일 접적 회로에서 2개의 마스크 및 3개의 마스크 MIM 캐패시터를 저항과 접적하는 4개의 마스크 제조 방법이다. 선행 문장에서 언급된 4개의 마스크들이 본 발명의 실시예에 따라 MIM 캐패시터를 형성하기에 필요한 마스크들이고, 추

가의 마스크들이 기본 MIM 캐패시터 구조 등을 형성하기 위해 필요하지 않은 예를 들어, 패터닝된 상호연결층, 상부 상호연결 구조, 선택층과 같은, 접적 회로의 다른 부분들을 형성하기 위해 필요로 된다.

[0088] 방법(1500)의 단계(1505)는 위에 형성된 패터닝된 상호연결층을 갖는 반도체 기판을 제공한다. 예로서, 반도체 기판은 도 10에 도시된 반도체 기판(1010)과 유사하게 될 수 있다. 또한 예로서, 패터닝된 상호연결층이 도 10에 처음으로 역시 도시된 패터닝된 상호연결층(1020)과 유사하게 될 수 있다.

[0089] 방법(1500)의 단계(1510)는 패터닝된 상호연결층 위에 제 1 유전체 물질을 증착한다. 예로서, 제 1 유전체 물질이 도 10에 처음으로 도시된 유전체 물질(1090)과 유사하게 될 수 있다.

[0090] 방법(1500)의 단계(1515)는 제 1 마스크를 사용해서 제 1 유전체 물질을 패터닝하여 제 1 및 제 2 개구를 제 1 유전체 물질에 형성한다. 예로서, 제 1 개구가 개구(1031)와 유사하게 될 수 있고, 제 2 개구가 개구(1032)와 유사하게 될 수 있고, 그 모두가 도 10에 처음으로 도시된다.

[0091] 방법(1500)의 단계(1520)는 제 1 전극 물질을 제 1 유전체 물질 위 및 제 1 및 제 2 개구내에 증착한다. 예로서, 제 1 전극 물질이 도 10에 처음으로 도시된 전극 물질(1080)과 유사하게 될 수 있다.

[0092] 방법(1500)의 단계(1525)는 제 2 유전체 물질을 제 1 전극 물질 위에 증착한다. 예로서, 제 2 유전체 물질이 도 10에 처음으로 도시된 유전체 물질(1030)과 유사하게 될 수 있다.

[0093] 방법(1500)의 단계(1530)는 제 2 전극 물질을 제 2 유전체 물질 위에 증착한다. 예로서, 제 2 전극 물질이 도 10에 처음으로 도시된 전극 물질(1040)과 유사하게 될 수 있다.

[0094] 방법(1500)의 단계(1535)는 제 3 유전체 물질을 제 2 전극 물질 위에 증착한다. 예로서, 제 3 유전체 물질이 도 10에 처음으로 도시된 유전체 물질(1050)과 유사하게 될 수 있다.

[0095] 방법(1500)의 단계(1540)는 제 3 전극 물질을 제 3 유전체 물질 위에 증착한다. 예로서, 제 3 전극 물질이 도 10에 처음으로 도시된 전극 물질(1060)과 유사하게 될 수 있다.

[0096] 방법(1500)의 단계(1545)는 제 4 유전체 물질을 제 3 전극 물질 위에 증착한다. 예로서, 제 4 유전체 물질이 도 10에 처음으로 도시된 유전체 물질(1070)과 유사하게 될 수 있다.

[0097] 방법(1500)의 단계(1550)는 제 2 마스크를 사용해서 제 4 유전체 물질 및 제 3 전극 물질을 패터닝하여 제 1 캐패시터의 상부 전극을 형성한다. 예로서, 제 1 캐패시터가 도 13에 처음으로 도시된 캐패시터(1310)와 유사하게 될 수 있고, 제 1 캐패시터의 상부 전극이 도 11에 처음으로 도시된 전극(1111)과 유사하게 될 수 있다.

[0098] 방법(1500)의 단계(1555)는 제 3 마스크를 사용해서 제 3 유전체 물질 및 제 2 전극 물질을 패터닝하여 제 1 캐패시터의 중간 전극을 형성하고, 제 2 캐패시터의 상부 전극을 형성한다. 예로서, 제 2 캐패시터가 도 13에 처음으로 도시된 캐패시터(1320)와 유사하게 될 수 있다. 다른 예로서, 제 1 캐패시터의 중간 전극이 도 12에 처음으로 도시된 전극(1212)과 유사하게 될 수 있고, 제 2 캐패시터의 상부 전극이 도 12에 처음으로 도시된 전극(1221)과 유사하게 될 수 있다.

[0099] 방법(1500)의 단계(1560)는 제 4 마스크를 사용해서 제 2 유전체 물질 및 제 1 전극 물질을 패터닝하여 제 1 캐패시터의 하부 전극을 형성하고, 제 2 캐패시터의 하부 전극을 형성한다. 적어도 하나의 실시예에서, 단계(1560)를 수행하는 단계는 저항을 또한 형성한다. 예로서, 제 1 캐패시터의 하부 전극이 전극(1313)과 유사하게 될 수 있고, 제 2 캐패시터의 하부 전극이 전극(1322)과 유사하게 될 수 있고, 그 모두가 도 13에 처음으로 도시된다. 다른 예로서, 저항은 도 13에 처음으로 도시된 저항(1330)과 유사하게 될 수 있다.

[0100] 방법(1500)의 단계(1565)는 제 1 캐패시터의 상부, 중간 및 하부 전극들 각각 및 제 2 캐패시터의 상부 및 하부 전극들 각각에 전기 접촉부들을 형성한다. 단계(1560)가 저항을 형성하는 실시예에서, 단계(1565) 또는 다른 단계가 저항에 대해 전기 접촉부들을 형성하는 단계를 더 포함한다. 예로서, 전기 접촉부들이 하나 이상의 전기 접촉부들(1411, 1412, 1413, 1414, 1415, 1421, 1422, 1423, 1424, 1431, 및 1432)과 유사하게 될 수 있고, 그 모두가 도 14에 처음으로 도시된다.

[0101] 듀얼 MIM 캐패시터들을 갖는 접적 회로가 상기 설명된 것에 부가해서 다른 공정 흐름을 사용해서 형성될 수 있다는 것을 당업자에게는 명백하다. 예를 들어, 예시안된 실시예에서, 듀얼 MIM 캐패시터들을 갖는 반도체 장치는, 위에 형성되는 패터닝된 상호연결층을 갖는 반도체 기판을 제공하는 단계와; 패터닝된 상호연결층 위에 제 1 유전체 물질을 증착하는 단계와; 제 1 캐패시터에 대한 패터닝된 상호연결층에 제 1 개구를 생성하기 위해 제 1 유전체 물질을 패터닝하는 단계와; 제 1 전극 물질을 제 1 유전체 물질 위 및 제 1 개구내에 증착하는

단계와; 제 1 전극 물질 위에 제 2 유전체 물질을 중착하는 단계와; 제 2 캐페시터에 대한 패터닝된 상호연결층에 제 2 개구를 생성하기 위해 제 2 유전체 물질, 제 1 전극 물질, 및 제 1 유전체 물질을 패터닝하는 단계와; 제 2 전극 물질을 제 2 유전체 물질 위 및 제 2 개구내에 중착하는 단계와; 제 2 전극 물질 위에 제 3 유전체 물질을 중착하는 단계와; 제 1 캐페시터의 상부 전극을 규정하기 위해 제 3 유전체 물질 및 제 2 전극 물질을 패터닝하는 단계와; 제 3 전극 물질을 제 3 유전체 물질 위에 중착하는 단계와; 제 4 유전체 물질을 제 3 전극 물질 위에 중착하는 단계와; 제 2 캐페시터에 대한 상부 전극을 규정하기 위해 제 4 유전체 물질 및 제 3 전극 물질을 패터닝하는 단계와; 제 1 캐페시터의 하부 전극 및 제 2 캐페시터의 하부 전극을 격리시키고 저항을 규정하기 위해 제 2 유전체 물질 및 제 1 전극 물질을 패터닝하는 단계와; 및 캐페시터들의 전극들 및 저항에 대해 전기 접촉부들을 생성하는 단계에 의해 형성될 수 있다.

[0102]

선행 문장에서 설명된 공정에 의해 형성된 구조는 도 7에 처음으로 도시된 캐페시터(710)와 유사한 제 1 캐페시터를 포함할 수 있으나, 추가의 유전체 및/또는 전극 물질이 전극(611)과 비슷한 전극의 양단부에 및 유전체 물질(550)과 비슷한 유전체 물질의 부분 위에 위치될 수 있다는 점에서 적어도 다르다. 또한,선행 문장에서 설명된 공정에 의해 형성된 구조는 도 13에 처음으로 도시된 캐페시터(1320)와 유사한 제 2 캐페시터를 더 포함할 수 있으나, 추가의 유전체 및/또는 전극 물질이 전극(1221)과 비슷한 전극의 양단부에 및 유전체 물질(1030)과 비슷한 유전체 물질의 부분 위에 위치될 수 있고, 전극 물질(1080)과 비슷한 전극 물질 및 유전체 물질(1030)과 비슷한 유전체 물질이 그 내부에 형성된 더 깊은 개구를 가질 수 있어서 다른 구성을 갖는 상태로 된 물질로 되게 한다는 점에서 적어도 다르다. 또한,선행 문장에서 설명된 공정에 의해 형성된 구조가 도 13에 처음으로 도시된 예를 들어, 저항(1330)과 유사한 저항을 더 포함할 수 있다.

[0103]

도 16은 본 발명의 실시예에 따라 제조 공정의 특정 단계에서 반도체 장치(1600)의 부분 횡단면도이다. 도 16에 예시했듯이, 반도체 장치(1600)는, 위에 형성되는 패터닝된 상호연결층(1620)을 갖는 반도체 기판(1610)과, 패터닝된 상호연결층(1620) 위의 유전체 물질(1630)과, 유전체 물질(1630) 위의 전극 물질(1640)과, 전극 물질(1640) 위의 유전체 물질(1650)과, 유전체 물질(1650) 위의 전극 물질(1660)과, 전극 물질(1660) 위의 유전체 물질(1670)을 포함한다. 예로서, 반도체 기판(1610)과, 유전체 물질(1630)과, 전극 물질(1640)과, 유전체 물질(1650)과, 전극 물질(1660), 및 유전체 물질(1670)은 반도체 기판(110)과, 유전체 물질(130)과, 전극 물질(140)과, 유전체 물질(150)과, 전극 물질(160), 및 유전체 물질(170) 각각에 유사하게 될 수 있고, 그 모두가 도 1에 처음으로 도시된다. 다른 예로서, 패터닝된 상호연결층(1620)은 예시된 실시예에서 패터닝된 상호연결층(1620)이 패터닝된 상호연결층(120)의 부분(122)에 대응하는 부분(1622)만을 포함하는 것을 제외하고는 도 1에 도시된 패터닝된 상호연결층(120)과 유사하게 될 수 있다. 패터닝된 상호연결층(120)의 부분(121)에 대응하는 어떤 부분도 패터닝된 상호연결층(1620)을 갖지 않는다.

[0104]

도 16에 또한 예시했듯이, 유전체 물질(1670) 및 전극 물질(1660)은 패터닝되어서 캐페시터(1615)의 전극(1611)을 형성한다. 도 16에 더 예시했듯이, 유전체 물질(1650) 및 전극 물질(1640)은 패터닝되어서 캐페시터(1625)의 전극(1621)을 형성하고, 캐페시터(1615)의 전극(1612)을 형성한다. 캐페시터(1615 및 1625)의 적어도 일부가 패터닝된 상호연결층(1620) 위에 형성된다.

[0105]

본 발명의 일 실시예에서, 패터닝된 상호연결층(1620)의 부분(1622)은 캐페시터(1625)의 전극(1682)을 형성한다. 예로서, 전극(1611)은 캐페시터(1615)의 상부 전극으로 될 수 있고, 전극(1612)은 캐페시터(1615)의 하부 전극으로 될 수 있다. 다른 예로서, 전극(1621)은 캐페시터(1625)의 상부 전극으로 될 수 있고 전극(1682)은 캐페시터(1625)의 하부 전극으로 될 수 있다.

[0106]

도 16에 또한 예시했듯이, 전기 접촉부들(1662 및 1663)은 캐페시터(1615)의 전극(1611)에 결합되었고, 전기 접촉부(1664)는 캐페시터(1615)의 전극(1612)에 결합되었다. 전기 접촉부들(1671 및 1672)은 캐페시터(1625)의 전극(1621)에 결합되었고, 전기 접촉부(1673)는 캐페시터(1625)의 전극(1682)에 결합되었다. 본 기술에 알려진 바와 같이, 캐페시터(1615)의 전극들(1611 및 1612) 및 캐페시터(1625)의 전극들(1621 및 1682)은 전극들(1611, 1612, 1621, 및 1682)에 결합되기 위해 도 16에 예시된 하나 또는 2개의 전기 접촉부들에 부가하여 다른 전기 접촉부들에도 결합될 수 있었다. 일 실시예에서, 적어도 전기 접촉부들(1662, 1663, 1664, 1671, 1672, 및 1673)은 서로 거의 동시에 형성된다.

[0107]

반도체 장치(1600)는 전극 물질(1640) 및 유전체 물질(1650)의 부분들에 의해 형성된 부분(1690)을 더 포함한다. 일 실시예에서, 부분(1690)은 도 2에 처음으로 도시된 저항(230)과 유사하게 될 수 있는 저항을 형성하기 위해 사용될 수 있다. 그 실시예에서, 전기 접촉부들이 저항(230)으로 도시되고 설명된 것과 유사한 방법으로 저항에 결합될 수 있다.

- [0108] 도 17은 본 발명의 실시예에 따라 반도체 장치(1600)를 제조하는 방법(1700)을 예시하는 흐름도이다. 방법(1700)의 단계(1710)는 위에 형성되는 패터닝된 상호연결층을 갖는 반도체 기판을 제공하고, 그 패터닝된 상호연결층이 제 2 캐패시터의 하부 전극을 형성하고 제 1 캐패시터에는 존재하지 않는다. 예로서, 반도체 기판은 도 16에 처음으로 도시된 반도체 기판(1610)과 유사하게 될 수 있고, 패터닝된 상호연결층이 도 16에 처음으로 도시된 패터닝된 상호연결층(1620)과 유사하게 될 수 있다. 다른 예로서, 제 1 캐패시터는 캐패시터(1615)와 유사하게 될 수 있고, 제 2 캐패시터는 캐패시터(1625)와 유사하게 될 수 있고, 제 2 캐패시터의 하부 전극은 전극(1682)과 유사하게 될 수 있고, 그 모두가 도 16에 처음으로 도시된다.
- [0109] 방법(1700)의 단계(1720)는 패터닝된 상호연결층 위에 제 1 유전체 물질을 증착한다. 예로서, 제 1 유전체 물질이 도 16에 처음으로 도시된 유전체 물질(1630)과 유사하게 될 수 있다.
- [0110] 방법(1700)의 단계(1730)는 제 1 유전체 물질 위에 제 1 전극 물질을 증착한다. 예로서, 제 1 전극 물질이 도 16에 처음으로 도시된 전극 물질(1640)과 유사하게 될 수 있다.
- [0111] 방법(1700)의 단계(1740)는 제 1 전극 물질 위에 제 2 유전체 물질을 증착한다. 예로서, 제 2 유전체 물질이 도 16에 처음으로 도시된 유전체 물질(1650)과 유사하게 될 수 있다.
- [0112] 방법(1700)의 단계(1750)는 제 2 유전체 물질 위에 제 2 전극 물질을 증착한다. 예로서, 제 2 전극 물질이 도 16에 처음으로 도시된 전극 물질(1660)과 유사하게 될 수 있다.
- [0113] 방법(1700)의 단계(1760)는 제 2 전극 물질 위에 제 3 유전체 물질을 증착한다. 예로서, 제 3 유전체 물질이 도 16에 처음으로 도시된 유전체 물질(1670)과 유사하게 될 수 있다.
- [0114] 방법(1700)의 단계(1770)는 제 3 유전체 물질 및 제 2 전극 물질을 패터닝하여 제 1 캐패시터의 상부 전극을 형성한다. 예로서, 제 1 캐패시터의 상부 전극이 도 16에 처음으로 도시된 유전체 물질(1611)과 유사하게 될 수 있다.
- [0115] 방법(1700)의 단계(1780)는 제 2 유전체 물질 및 제 1 전극 물질을 패터닝하여 제 2 캐패시터의 상부 전극 및 제 1 캐패시터의 전극을 형성한다. 예로서, 제 2 캐패시터의 상부 전극은 전극(1621)과 유사하게 될 수 있고 그 전극이 전극(1612)에 유사하게 될 수 있고, 그 모두가 도 16에 처음으로 도시된다.
- [0116] 방법(1700)의 단계(1790)는 제 1 캐패시터의 적어도 상부 및 하부 전극 및 제 2 캐패시터의 상부 및 하부 전극에 결합된 적어도 하나의 전기 접촉부를 형성한다. 예로서, 전기 접촉부들이 하나 이상의 전기 접촉부들(1662, 1663, 1664, 1671, 1672, 및 1673)과 유사하게 될 수 있고, 그 모두가 도 16에 처음으로 도시된다. 방법(1700)의 일 실시예에서, 단계(1790)는 전기 접촉부를 서로 동시에 형성하는 단계를 포함한다.
- [0117] 방법(1700)의 일 실시예에서, 단계(1780)는 반도체 기판 위에 저항을 형성하기 위해 사용될 수 있다. 그 실시예에서, 및 예로서, 저항은 도 2에 처음으로 도시된 230과 유사하게 될 수 있다. 저항은 제 1 전극 물질 및 제 2 유전체 물질의 부분을 사용해서 형성될 수 있다. 예로서, 제 1 전극 물질 및 제 2 유전체 물질의 부분이 도 16에 처음으로 도시된 부분(1690)과 유사하게 될 수 있다.
- [0118] 본 발명이 특정 실시예를 참고로 설명되었지만, 각종 변화가 본 발명의 정신 또는 범위를 벗어남이 없이 이루어지는 것이 당업자에게는 이해될 것이다. 그 변화의 각종 예가 다음의 설명에서 주어졌다. 따라서, 본 발명의 실시예의 공개는 본 발명의 범위를 예시하려는 것이고 제한하려는 것이 아니다. 본 발명의 범위가 첨부된 청구항에서 요구된 범위만으로 제한되는 것이다. 예를 들어, 본원에 논의된 반도체 장치가 각종 실시예에서 구현될 수 있고, 상기 실시예의 앞선 논의가 모든 가능한 실시예를 완전히 설명한 것이 아니라는 것이 명백하다.
- [0119] 또한, 문제의 이익, 다른 장점, 해결책은 특정 실시예에서 설명되었다. 그러나, 문제의 이익, 다른 장점, 해결책, 및 이익, 장점, 또는 해결책을 발생하는 구성 요소는 일부 또는 모든 청구항의 기준으로 요구되거나 필수적인 특성 또는 구성요소로 성취되지 않는다.
- [0120] 더구나, 본원에서 개시된 실시예 및 제한사항은, 그 실시예 및/또는 제한사항이 (1)청구항에서 표현으로 청구되지 않고, (2) 균등론하에서 청구항의 구성 및/또는 제한사항을 표현하는 등가물이면, 제공 원칙하에서 공개되지 않는다.

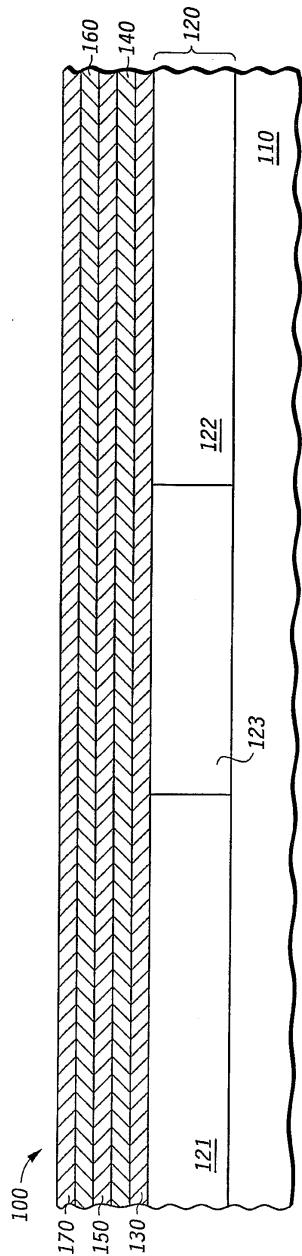
도면의 간단한 설명

- [0005] 도 1은 본 발명의 실시예에 따라 제조 공정의 특정 단계에서 반도체 장치의 부분 획단면도.

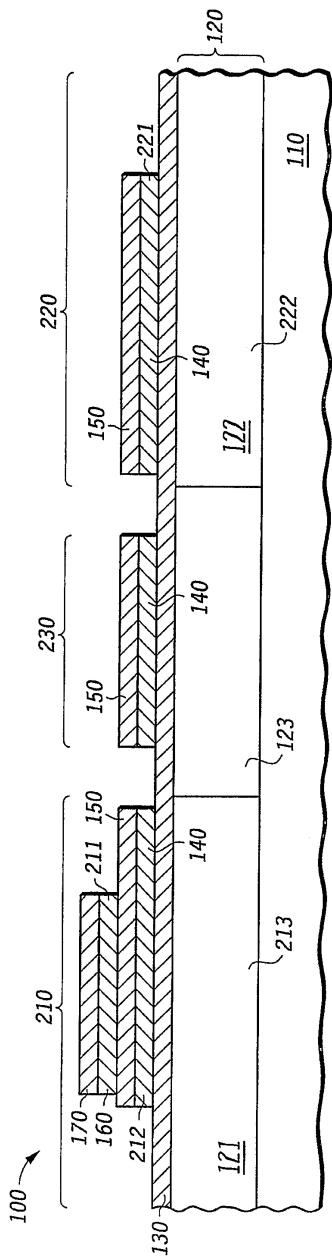
- [0006] 도 2는 본 발명의 실시예에 따라 제조 공정의 후속 단계에서 도 1의 반도체 장치의 부분 횡단면도.
- [0007] 도 3은 본 발명의 실시예에 따라 제조 공정의 후속 단계에서 도 2의 반도체 장치의 부분 횡단면도.
- [0008] 도 4는 본 발명의 실시예에 따라 도 1-3의 반도체 장치를 제조하는 방법을 예시하는 흐름도.
- [0009] 도 5는 본 발명의 실시예에 따라 제조 공정의 특정 시점에서 다른 반도체 장치의 부분 횡단면도.
- [0010] 도 6은 본 발명의 실시예에 따라 제조 공정의 후속 단계에서 도 5의 반도체 장치의 부분 횡단면도.
- [0011] 도 7은 본 발명의 실시예에 따라 제조 공정의 후속 단계에서 도 6의 반도체 장치의 부분 횡단면도.
- [0012] 도 8은 본 발명의 실시예에 따라 제조 공정의 후속 단계에서 도 7의 반도체 장치의 부분 횡단면도.
- [0013] 도 9는 본 발명의 실시예에 따라 도 5-8의 반도체 장치를 제조하는 방법을 예시하는 흐름도.
- [0014] 도 10은 본 발명의 일 실시예에 따라 제조 공정의 특정 단계에서 다른 반도체 장치의 부분 횡단면도.
- [0015] 도 11은 본 발명의 실시예에 따라 제조 공정의 후속 단계에서 도 10의 반도체 장치의 부분 횡단면도.
- [0016] 도 12는 본 발명의 실시예에 따라 제조 공정의 후속 단계에서 도 11의 반도체 장치의 횡단면도.
- [0017] 도 13은 본 발명의 실시예에 따라 제조 공정의 후속 단계에서 도 12의 반도체 장치의 부분 횡단면도.
- [0018] 도 14는 본 발명의 실시예에 따라 제조 공정의 후속 단계에서 도 13의 반도체 장치의 부분 횡단면도.
- [0019] 도 15는 본 발명의 실시예에 따라 도 10-14의 반도체 장치를 제조하는 방법을 예시하는 흐름도.
- [0020] 도 16은 본 발명의 실시예에 따라 제조 공정의 특정 단계에서 다른 반도체 장치의 부분 횡단면도.
- [0021] 도 17은 본 발명의 실시예에 따라 도 16의 반도체 장치를 제조하는 방법을 예시하는 흐름도.

도면

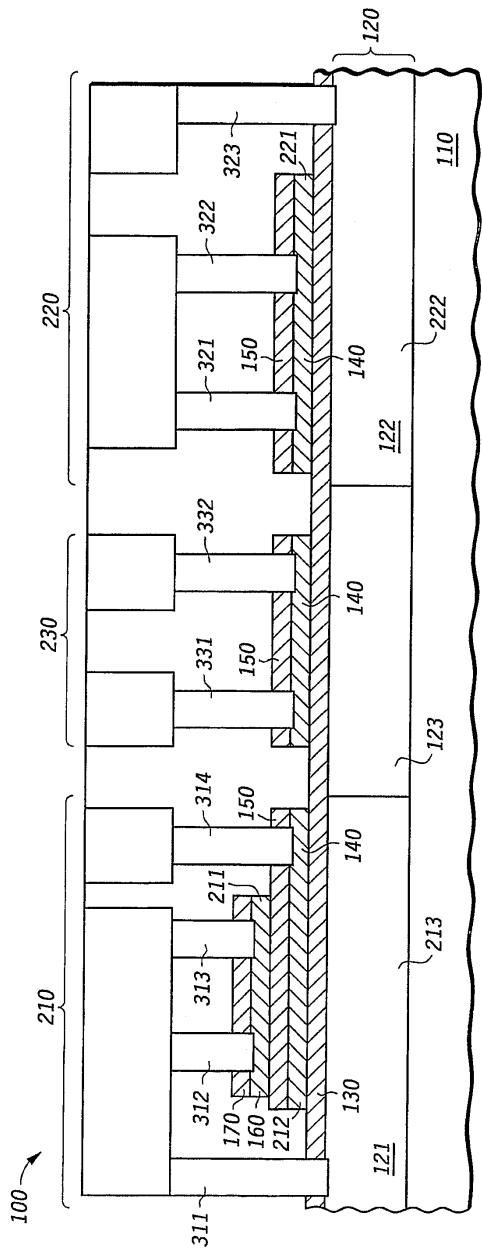
도면1



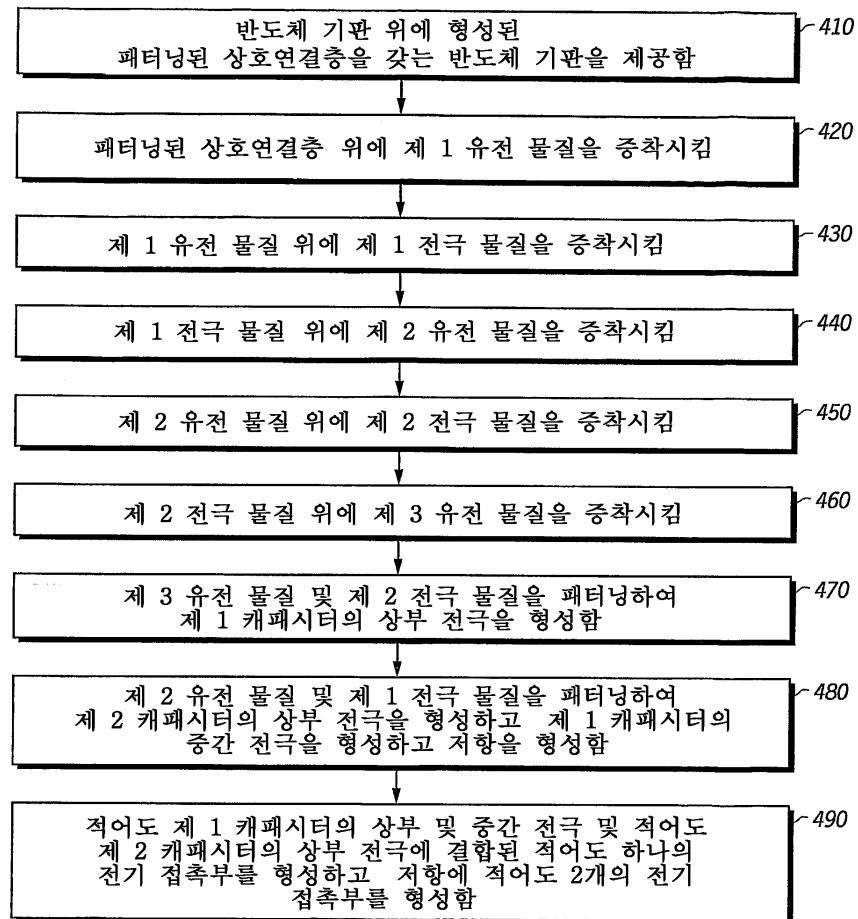
도면2



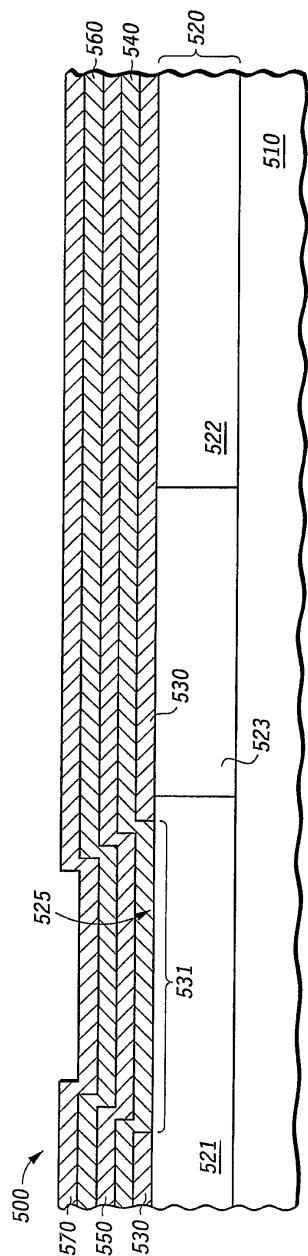
도면3



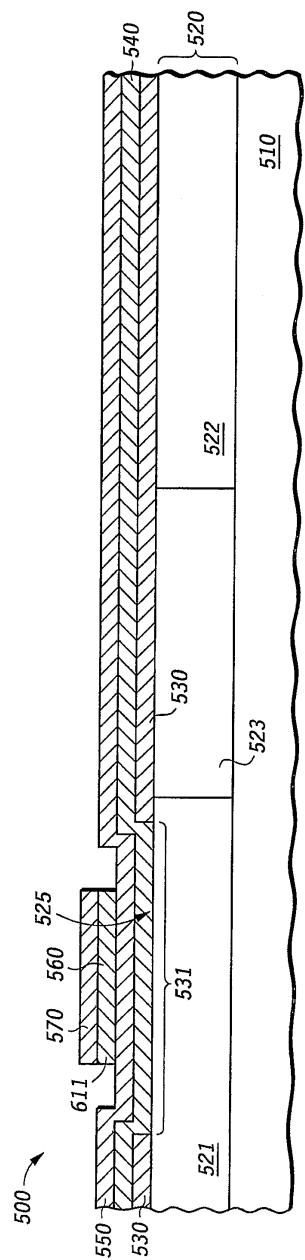
도면4



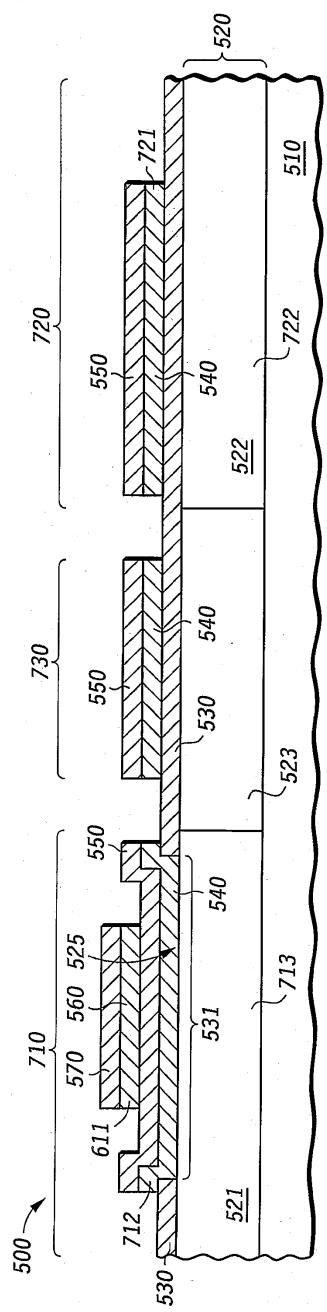
도면5



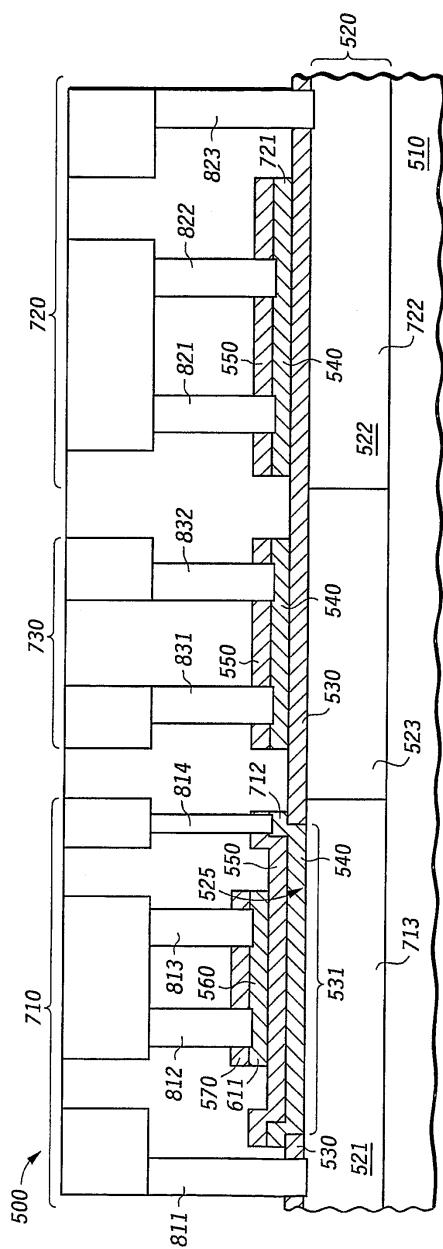
도면6



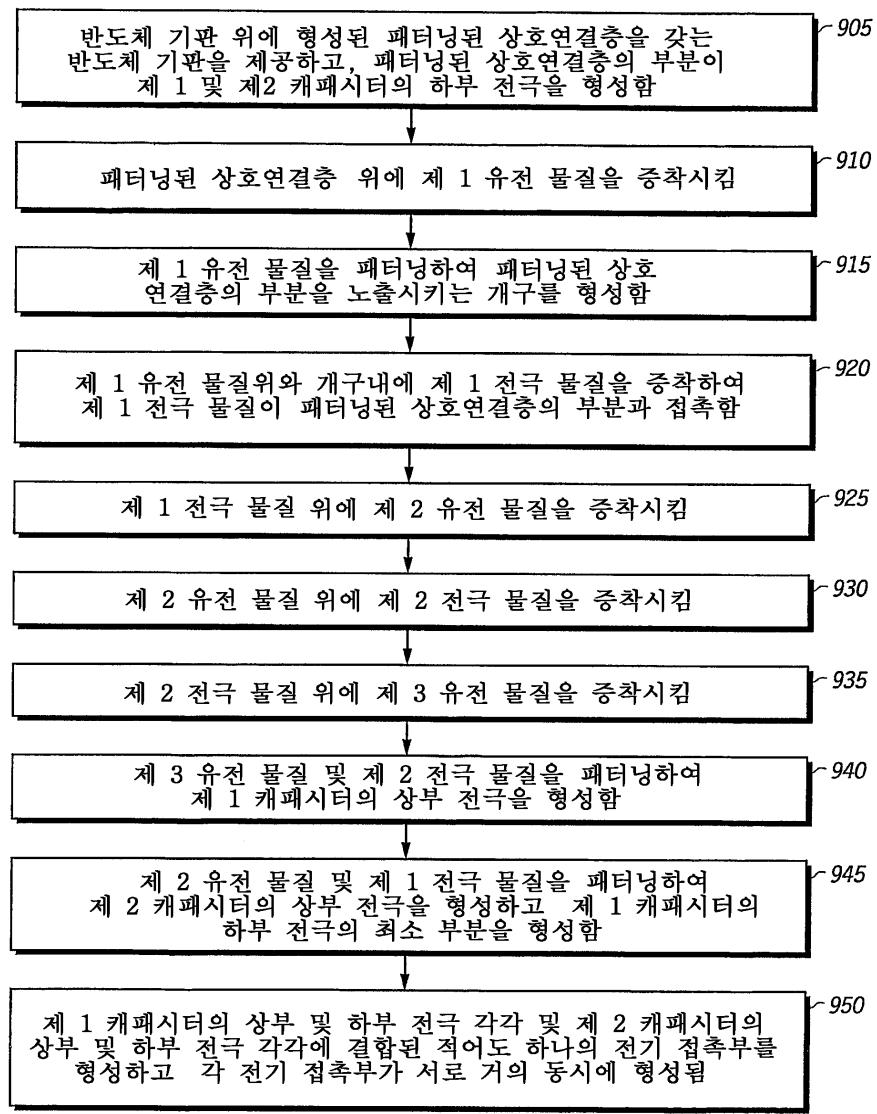
도면7



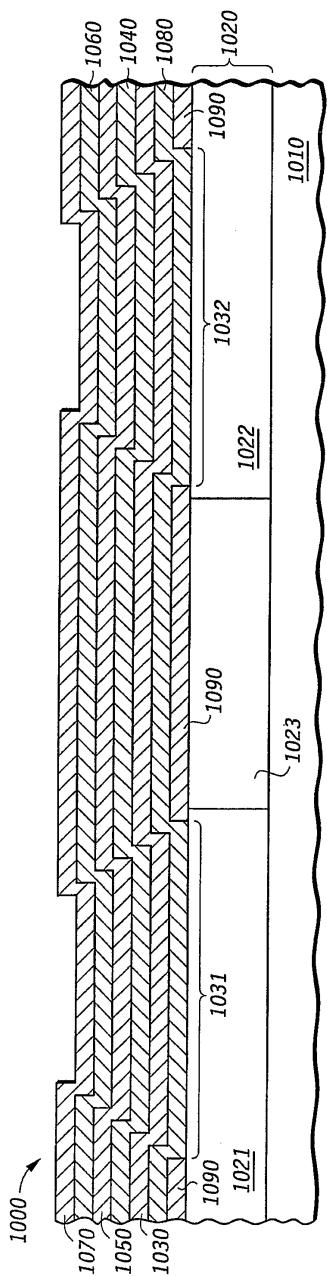
도면8



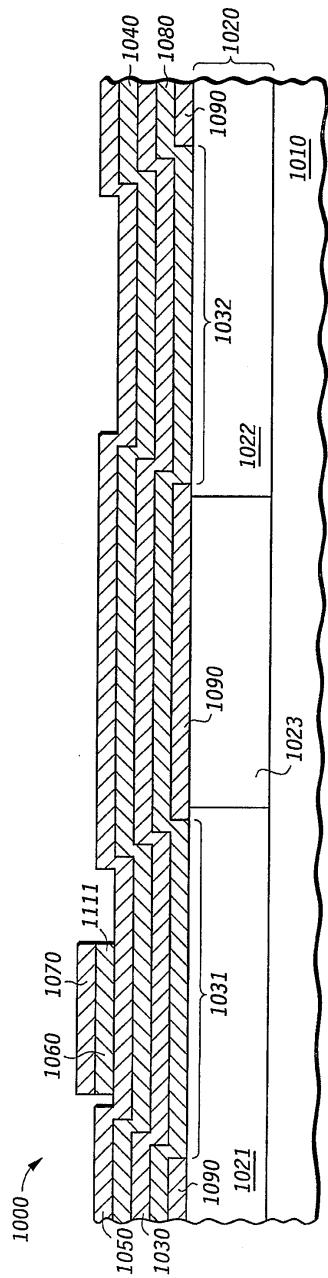
도면9

900

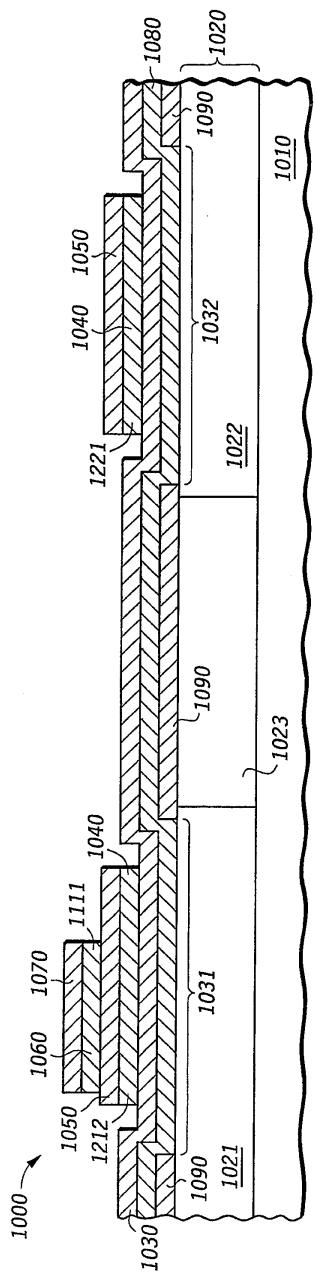
도면10



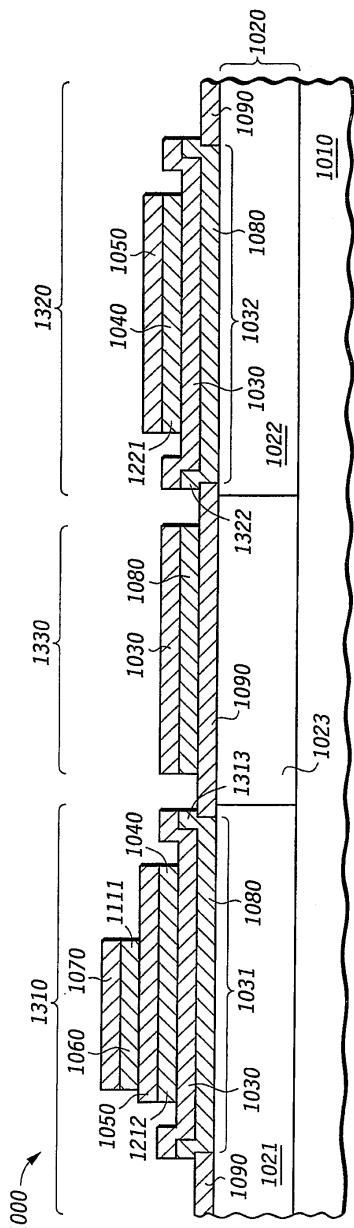
도면11



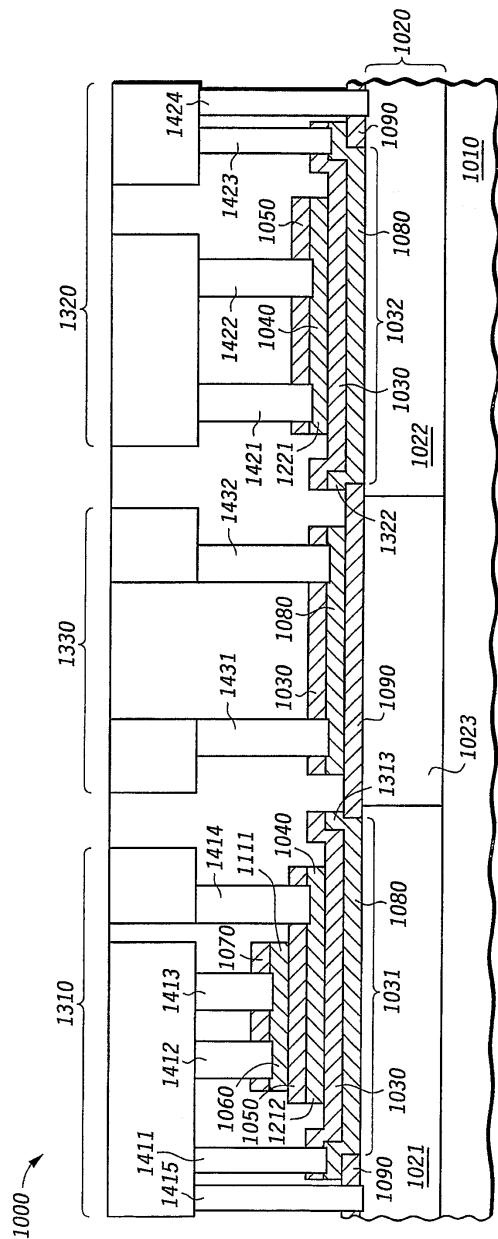
도면12



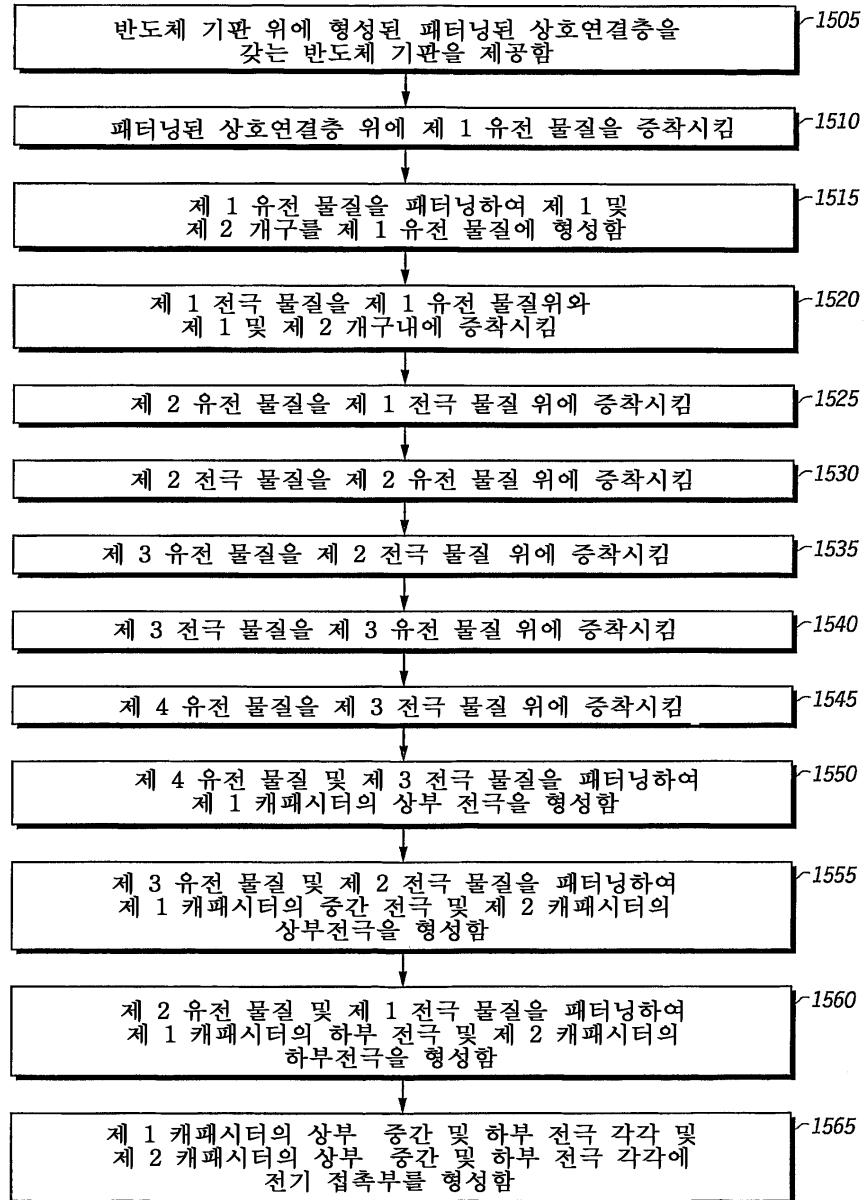
도면13



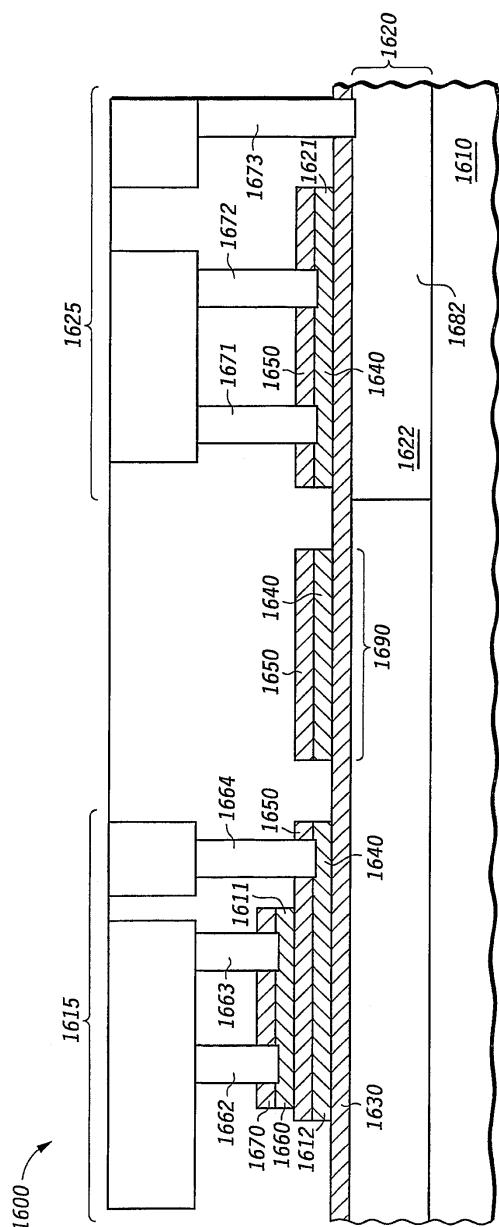
도면14



도면15

1500

도면16



도면17

