



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I613657 B

(45)公告日：中華民國 107 (2018) 年 02 月 01 日

(21)申請案號：102131428

(22)申請日：中華民國 102 (2013) 年 08 月 30 日

(51)Int. Cl. : G11C16/10 (2006.01)

(30)優先權：2012/09/14 美國

13/616,169

(71)申請人：恩智浦美國公司 (美國) NXP USA, INC. (US)

美國

(72)發明人：何晨 HE, CHEN (US)；伊古奇 理查 K EGUCHI, RICHARD K. (CA)

(74)代理人：陳長文

(56)參考文獻：

US 6392931B1

US 7023737B1

US 7656710B1

US 2002/0191444A1

US 2009/0323429A1

審查人員：蔡明宏

申請專利範圍項數：18 項 圖式數：9 共 33 頁

(54)名稱

具有可適性寫入操作的非揮發性記憶體

NON-VOLATILE MEMORY (NVM) WITH ADAPTIVE WRITE OPERATIONS

(57)摘要

本發明揭示一種對一記憶體陣列(201)之記憶體胞(202)執行一寫入操作之方法，該方法包含：根據一第一預定斜升率將該寫入操作之第一複數個脈衝(402)施加於該等記憶體胞上，其中該第一複數個脈衝係預定數目個脈衝；比較該等記憶體胞之一子組之一臨限電壓與一中間過渡驗證電壓；及若記憶體胞之該子組中之任一者之一臨限電壓使與該中間過渡驗證電壓之該比較失敗，則藉由根據與該第一預定斜升率相比具有一增加之斜升率之一第二預定斜升率將第二複數個脈衝(406)施加於該等記憶體胞上而繼續該寫入操作。

A method of performing a write operation on memory cells (202) of a memory array (201) includes applying a first plurality of pulses (402) of the write operation on the memory cells in accordance with a first predetermined ramp rate, wherein the first plurality of pulses is a predetermined number of pulses; comparing a threshold voltage of a subset of the memory cells with an interim verify voltage; and if a threshold voltage of any of the subset of memory cells fails the comparison with the interim verify voltage, continuing the write operation by applying a second plurality of pulses (406) on the memory cells in accordance with a second predetermined ramp rate which has an increased ramp rate as compared to the first predetermined ramp rate.

指定代表圖：

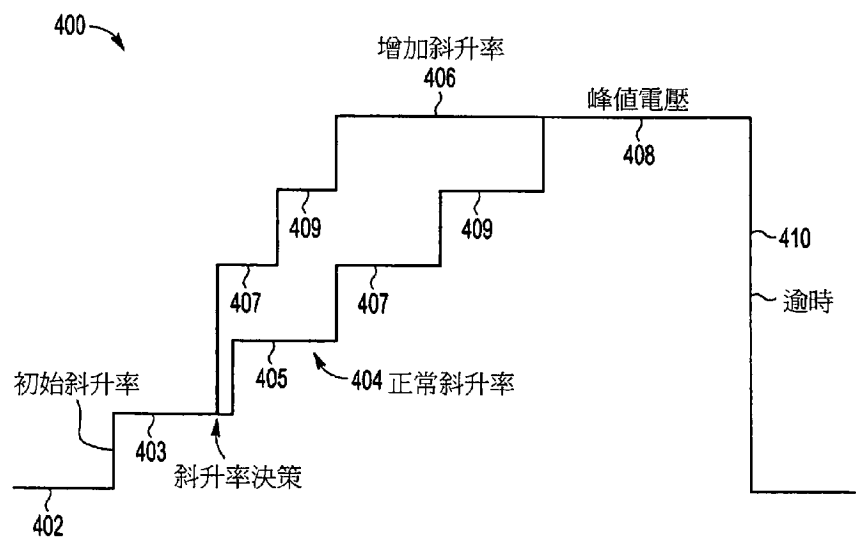


圖 4

符號簡單說明：

- 402 . . . 初始斜升率/斜升率/第一複數個脈衝
- 403 . . . 第一位準
- 404 . . . 正常斜升率
- 405 . . . 第二位準/位準
- 406 . . . 增加之斜升率/第二複數個脈衝
- 407 . . . 位準
- 408 . . . 峰值電壓
- 409 . . . 位準
- 410 . . . 逾時

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

具有可適性寫入操作的非揮發性記憶體

NON-VOLATILE MEMORY (NVM) WITH ADAPTIVE WRITE
OPERATIONS

【技術領域】

本發明一般而言係關於非揮發性記憶體(NVM)，且特定而言，係關於包含可適性寫入操作之NVM。

【先前技術】

隨著程式化/抹除循環之數目增加，典型非揮發性記憶體(NVM)往往因電荷陷獲而變得較難以執行寫入操作，諸如程式化及抹除。寫入之延緩可變得顯著且導致系統(NVM係其之一部分)之減小之效能。此在其中過度抹除將某些位元記憶體胞置於一高洩漏狀況中的寫入處理程序(包含軟程式化)之任一部分中可係顯著的。然後，使用軟程式化來稍微增加臨限電壓以自其高洩漏狀況移除彼等NVM記憶體胞。儘管寫入之穿隧部分對於抹除係正常的，但其亦可用於程式化。在任何情況中，電荷陷獲可消極地影響寫入速度，無論是常規程式化、抹除還是軟程式化。每一寫入操作(包含常規程式化操作、抹除操作及軟程式化操作中之每一者)通常以係寫入效能與位元記憶體胞之可靠性之間的一折衷之一速率斜升相關高電壓脈衝之量值。當前寫入操作盡力維持針對半導體技術之其他態樣而發生之比例調整之速率。由於記憶體胞之技術及特徵大小變得較小且操作溫度增加，因此寫入時間係必須管理之一挑戰。

因此，需要對上文所提出之問題中之一或多者進行改良之寫入

操作。

【圖式簡單說明】

關於以下說明及附圖將較佳地理解本發明之益處、特徵及優點，在附圖中：

圖1係根據一項實施例之包含一非揮發性記憶體(NVM)之一積體電路之一方塊圖；

圖2係具有一NVM陣列及一NVM控制器之圖1之NVM之一較詳細方塊圖；

圖3係通常由圖2之NVM控制器控制之對圖2之NVM陣列之一寫入操作之一流程圖；

圖4係有利於理解圖3之流程圖之一電壓曲線圖；

圖5係有利於理解圖3之流程圖之一第一分佈曲線圖；

圖6係有利於理解圖3之流程圖之一第二分佈曲線圖；

圖7係有利於理解圖3之流程圖之一第三分佈曲線圖；

圖8係展示係一抹除操作之一寫入操作之一較詳細流程圖；且

圖9係展示係一程式化操作之一寫入操作之一較詳細流程圖。

【實施方式】

在一項態樣中，一非揮發性記憶體具有一寫入操作，其中若需要，增加一寫入脈衝之一斜升率以克服在執行該寫入時在程式化/抹除循環期間出現之困難，諸如關於電荷陷獲之問題。在首先使用根據一初始斜升率之寫入脈衝之後，測試記憶體胞以查看該等記憶體胞是否以太慢之一速率移動。若否，則繼續寫入該等記憶體胞直至根據寫入脈衝之一正常斜升率成功地寫入為止。若另一方面，該等記憶體胞移動太慢，則寫入繼續但使用與正常斜升率相比以一增加之速率斜升之寫入脈衝。此繼續直至成功地寫入NVM記憶體胞或寫入花費時間太長且被終止為止。與其中在程式化/抹除循環之計數尚未變大時正

常斜升率不必要地高之情形相比，此具有減小由寫入所致之損壞之效應。替代地，由於預期到作為程式化/抹除循環之計數變大之結果，寫入操作因記憶體胞降級或電荷陷獲而變得太長，因此寫入脈衝較迅速地斜升以滿足寫入時間規格。此不僅藉由減小因在程式化/抹除循環計數變大之前的時間期間之一較慢正常斜升率所致之損壞而增加在到達寫入之一失敗之點之前的程式化/抹除循環之總體計數，且亦藉由基於監視寫入操作中之位元記憶體胞移動速度而自動且可適性地切換至一增加之斜升率而改良在程式化/抹除循環計數變大之後的寫入效能。

圖1係根據一項實施例之包含一非揮發性記憶體(NVM) 103之一積體電路100之一方塊圖。在所圖解說明實施例中，積體電路(IC) 100可實施一系統單晶片(SOC)或包含經由一適當介面105 (諸如一匯流排或具有多個信號或位元之類似物)耦合至NVM 103之至少一個處理器101之類似物。IC 100可包含其他電路、模組或裝置，諸如其他記憶體裝置(未展示)、其他功能模組(未展示)及外部介面，諸如輸入、輸出或輸入/輸出(I/O)埠或接腳或諸如此類(未展示)。在一項替代實施例中，NVM 103在不具有任何其他裝置之情況下單獨地整合於IC 100上。在另一替代實施例中，處理器101、NVM 103及介面105係IC 100上之一較大系統之部分。

圖2係根據一項實施例耦合至介面105之NVM 103之一較詳細方塊圖。NVM 103包含：一NVM陣列201；一列解碼器203，其耦合至NVM陣列201；行邏輯205，其耦合至NVM陣列201；及一NVM控制器207，其耦合至介面105、NVM陣列201、行邏輯205及列解碼器203。行邏輯205併入有一行解碼器及感測放大器(未展示)且每一介面展示為具有多個信號或位元。當透過介面105或其他介面通信時，NVM控制器207 (諸如)回應於處理器101而透過列解碼器203及行邏輯

205控制NVM陣列201之程序。NVM控制器207藉由將一列位址提供至列解碼器203且將一行位址提供至行邏輯205而存取NVM陣列201內之記憶體胞。資料經由行邏輯205寫入至NVM陣列201中或自NVM陣列201讀取。NVM控制器207亦將源極及井電壓(經由對應切換器及控制器，未展示)驅動至NVM陣列201。

NVM控制器207內展示電荷泵209、臨限電壓(V_t)監視器211、程式化斜升率控制邏輯213及抹除斜升率控制邏輯215。電荷泵209可包含提供抹除閘極電壓之一負電荷泵、提供程式化閘極電壓及抹除p井電壓之一正電荷泵以及提供程式化汲極電壓之一汲極泵。將在一預定義 V_t 驗證讀取位準下來自行邏輯205之輸出資料提供至 V_t 監視器211。 V_t 監視器211、程式化斜升率控制邏輯213及抹除斜升率控制邏輯215在預定數目個程式化/抹除脈衝之後藉由監視一中間 V_t 驗證讀取而可適性地調整程式化斜升率及抹除斜升率。

NVM陣列201併入有記憶體胞之一或多個區塊，其中每一記憶體區塊具有一選定區塊大小，諸如，舉例而言，16千位元組(kB)、32 kB、64 kB、128 kB、256 kB等。NVM陣列201中之記憶體胞通常具有沿經隔離井(包含一p井(PW)及一n井(NW))之一閘極(G)端子、一汲極(D)端子及一源極(S)端子。在一項實施例中，每一記憶體區塊組織成記憶體胞之列及行。記憶體胞之每一列之閘極端子耦合至多個字線中之一對應者，該等字線耦合至列解碼器203。記憶體胞之每一行之汲極端子耦合至多個位元線中之一對應者，該等位元線耦合至行邏輯205。每一記憶體胞之源極端子及井(PW及NW)由NVM控制器207驅動或控制。

如所展示，NVM陣列201包含經組態以允許藉助可適性地可調整或可組態斜升率而執行程式化及抹除程序之至少一個記憶體區塊202。

可根據數種組態中之任一者實施NVM陣列201中之記憶體胞，諸如半導體組態、分層式矽金屬奈米晶體等。在一項實施例中，在一矽基板或諸如此類上實施每一記憶體胞。在一項實施例中，每一記憶體胞之p井藉助n井與一P基板隔離。在形成每一記憶體胞之汲極端子及源極端子之p井中形成一對n+型經摻雜區(未展示)。每一記憶體胞進一步包含一經堆疊閘極結構或諸如此類，包含形成於p井上之一個氧化物層(未展示)、提供於氧化物層上之一浮動閘極(未展示)、提供於浮動閘極上之一介電層(未展示)及提供於形成一閘極端子之介電層上之一控制閘極(未展示)。p井通常耦合至一接地電壓 V_{ss} 且n井通常耦合至一源極電壓 V_{dd} ，惟在如本文中所闡述之FN抹除脈衝期間除外。 V_{dd} 之電壓位準取決於特定實施方案。

在一項實施例中，當在如本文中進一步所闡述之抹除及程式化程序期間將一電壓脈衝施加至記憶體胞時，一起耦合或以其他方式驅動記憶體胞之p井及n井以共同地接收一斜升脈衝電壓。據說將一「抹除脈衝」施加至記憶體區塊202之每一記憶體胞，其中將閘極端子驅動至一選定抹除脈衝電壓且其中p井及n井共同地接收連續增加之一抹除斜升脈衝電壓。因此，施加至記憶體胞之每一抹除脈衝包含施加至閘極端子之一抹除脈衝電壓及施加至記憶體胞之至少一個井連接之一抹除斜升脈衝電壓。據說將一「程式化脈衝」施加至記憶體區塊202之一記憶體胞群組，其中將閘極端子驅動至一斜升式程式化閘極電壓且將汲極端子驅動至一選定程式化汲極電壓。將把程式化脈衝施加至記憶體胞群組直至將該記憶體胞群組程式化為止，且可針對記憶體區塊中之其他記憶體胞重複此程序直至將整個記憶體區塊程式化為止。一軟程式化脈衝類似於該程式化脈衝但具有一較低閘極電壓。一寫入操作可係一程式化操作、抹除操作或軟程式化操作且一寫入脈衝可係一抹除脈衝、軟程式化脈衝或一程式化脈衝。

使用其中將抹除斜升脈衝電壓施加至記憶體胞之p井及n井而閘極端子接收具有一相對固定量值之一抹除脈衝電壓之一例示性NVM技術來闡述本發明。在替代實施例中，諸如使用其他NVM技術之彼等實施例及諸如此類，替代地將抹除斜升脈衝電壓施加至被抹除之記憶體胞之一不同連接或端子，諸如閘極端子或諸如此類。

亦使用其中將斜升式程式化脈衝電壓施加至記憶體胞之閘極而汲極端子接收具有一相對固定量值之一不同程式化脈衝電壓之一例示性NVM技術來闡述本發明。在替代實施例中，諸如使用其他NVM技術之彼等實施例及諸如此類，替代地將程式化電壓施加至被程式化之記憶體胞之一不同連接或端子。此可適用於軟程式化但具有一較低位準之施加至閘極之脈衝。

圖3係一方法300之一流程圖，方法300係對圖2之NVM陣列201內之記憶體區塊202執行通常由圖2之NVM控制器207控制之一寫入操作之一方法，且包含步驟302、304、306、308、310、312、314及316。圖4、圖5、圖6及圖7中展示關於方法300之某些細節。在步驟302中，將一寫入脈衝施加至記憶體區塊202以開始寫入操作。在步驟304處，根據一驗證電壓做出關於接收該寫入脈衝之記憶體胞是否已達到一臨限電壓之一判定。若所有此等記憶體胞皆已達到此臨限電壓，則完成該寫入操作，如步驟306中所指示。若根據驗證電壓，此等記憶體胞中之一或多者尚未達到臨限電壓，則在步驟308處，存在關於是否已施加預定數目個寫入脈衝之一判定以判定是否需要一斜升率改變。若回答為否，則在步驟314處，做出關於是否已施加最大數目個脈衝之一判定。若已施加最大數目個，則該寫入操作失敗，如步驟316中所指示。若尚未施加最大數目個，則施加另一寫入脈衝，如步驟302所展示。該處理程序以此方式繼續直至被寫入之NVM記憶體胞全部通過，如步驟304中所判定，或步驟308中之斜升率決策為「是」，此意

指達成該斜升率決策。作為一實例，斜升率決策點可係在自開始之預定數目個脈衝處。在此「是」點之前，寫入脈衝一直緊接在一初始斜升率後，如圖4中所展示。在圖4之實例中，在一第一位準403處存在若干寫入脈衝，且然後，在一第二位準405處存在另一數目個寫入脈衝。

若係做出斜升率改變決策的時間了，則在步驟310處，做出關於是否已成功地將所有被寫入之NVM記憶體胞寫入至一中間過渡位準之一決策。圖5及圖6展示寫入操作係一抹除操作之實例之兩種可能性。圖5中展示作為被寫入之NVM記憶體胞之初始分佈之一分佈502及在關於一斜升率改變之決策之時間處之一中間過渡分佈。為在此情形中被成功地寫入、抹除，必須已驗證所有被寫入之NVM記憶體胞皆具有一充分低臨限電壓，如藉由步驟304之抹除驗證所判定。在圖5中，NVM記憶體胞中沒有一者已被充分寫入。另外，存在關於是否已滿足一小要求之一進一步測試，如步驟310中所指示。此較小要求用於判定被寫入之NVM記憶體胞在相對大數目個程式化/抹除循環之後是否猶如其已使效能降級一般運轉。在此情形中，所有被寫入之NVM記憶體胞皆不具有此行為，此乃因整個分佈已使其臨限電壓自其原本形式充分改變至中間過渡驗證點之左邊，如圖5之曲線圖中所展示。因此，若在已達成步驟308之斜升率決策點時該情況如圖5中所展示，則步驟310處之決策係：已滿足中間過渡臨限電壓要求且將測試視為一通過。然後，寫入處理程序繼續寫入脈衝之如圖4中所展示之一正常斜升率404。在正常斜升率404之此實例中，接下來位準係位準405、407、409及最後一峰值電壓408。當與初始斜升率402組合時，正常斜升率404之至下一位準之每一轉變藉由相同數目個寫入脈衝而分離。亦即，正常斜升率與初始斜升率相同。在逾時之前在峰值電壓408處之可能之脈衝之數目似乎係在其他位準中之任一者處之脈

衝之數目之兩倍，但此並非係按比例之且差異可能比兩倍大得多。實際數目基於隨程式化/抹除循環之數目之降級之特定特性而以實驗方式判定。

另一方面，圖6中所展示之可能性係：NVM記憶體胞中之某些NVM記憶體胞尚未將臨限電壓改變至足以移動至中間過渡驗證之左邊。此指示存在由大數目個程式化/抹除循環所致之效能降級及期望寫入操作之一增加之斜升率以成功地完成寫入操作。因此，在步驟310處，決策係不通過中間過渡 V_t 要求且在步驟312處，引起寫入脈衝之一增加之斜升率。此在圖4中展示為增加之斜升率406，圖4展示下一寫入脈衝係在位準407處。若需要，進一步增加寫入脈衝且至下一位準之每一增加係以正常斜升率404之脈衝之約一半數目之速率。因此，當偵測到NVM記憶體胞因諸多程式化/抹除循環而已經歷效能降級時，以一增加之速率斜升寫入脈衝。一個結果係立即達到峰值電壓408且寫入循環之一較高百分比將在引起寫入脈衝之增加之斜升率之此等NVM記憶體胞之一較高電壓處。在此時間處，由於最終到達逾時410，因此寫入操作失敗。在彼之前，最終結果將係圖7中所展示之結果，其中所有被寫入之NVM記憶體胞皆將已通過寫入操作，該寫入操作在圖5至圖7之實例中係一抹除操作。該抹除操作通常將導致NVM記憶體胞中之某些NVM記憶體胞被過度抹除且需要對彼等經過度抹除記憶體胞進行軟程式化。

圖8中展示一方法800，在寫入操作係一抹除操作時，該方法展示且提供比方法300多之細節。該抹除操作可包含：一預程式化程序，其包含步驟802到814；一抹除程序，其包含步驟816到838；及一軟程式化程序，其包含步驟840到854。

在預程式化程序期間，步驟802可包含將一當前列及行位址初始化至記憶體區塊202中之一第一位址。在步驟804處，針對記憶體區塊

202中之當前位址執行一程式化(PGM)驗證測試。儘管可對個別記憶體胞或記憶體胞之子組執行程式化及驗證，但通常在一每頁基礎上執行程式化及驗證，其中每一頁包含選定數目個記憶體胞或位元，諸如128個位元或諸如此類。可將一程式化脈衝一次施加至多個記憶體胞或位元，諸如最高達18個位元。在預程式化驗證測試期間，比較在當前位址處之每一記憶體胞之 V_t 與一程式化驗證臨限值(PVT)電壓。若在當前位址處之任何記憶體胞之 V_t 低於PVT電壓，則操作繼續進行至步驟806以判定是否已施加最大數目個程式化脈衝。若尚未施加最大數目個程式化脈衝，則操作繼續進行至步驟808以將下一程式化脈衝施加至低於PVT之記憶體胞，且然後，進行至步驟804。

若步驟806判定已施加最大數目個程式化脈衝，則步驟810指示抹除操作失敗。

返回至步驟804，若在當前位址處通過程式化驗證程序(亦即，在該位址處之所有記憶體胞之 V_t 係在PVT電壓(舉例而言，6V)處或高於PVT電壓)，則步驟812判定是否已程式化最後位址。若尚未程式化最後位址，則步驟814遞增當前位址且將操作返回至步驟804。否則，若已程式化最後位址，則操作繼續至步驟816。操作藉由施加額外程式化脈衝而在步驟804與808之間形成迴圈直至記憶體區塊202之每一記憶體胞之 V_t 係至少PVT為止。

在完成預程式化程序之後，操作前進至抹除程序之步驟816。步驟816可包含使用記憶體區塊202上之一正常斜升率來預設欲執行之抹除程序。步驟818可包含將位址初始化至記憶體區塊202中之第一位址。在任何情況中，此使用抹除操作之初始部分之抹除脈衝之正常斜升率。此類似於圖4中所展示之初始斜升率402。

步驟820可執行記憶體區塊202之記憶體胞之一抹除(ERS)驗證測試以判定記憶體區塊202是否滿足一抹除度量。雖然抹除脈衝通常係

將施加至整個記憶體區塊202或記憶體區塊202之一子組之一大量操作，但通常在一每頁基礎上執行抹除驗證，其中每一頁包含選定數目個記憶體胞或位元，諸如128個位元或諸如此類。在抹除驗證測試期間，可比較記憶體胞中之每一者之 V_t 與一抹除驗證臨限值(EVT)電壓(表示記憶體胞中之每一者之抹除度量)。若記憶體區塊202之任何記憶體胞之 V_t 高於EVT電壓，舉例而言3.5V，則操作繼續進行至步驟822，此判定當前抹除脈衝是否係一選定中間過渡脈衝。此類似於圖3中所展示之方法300之步驟308。針對一特定NVM技術而預判定中間過渡脈衝數目。舉例而言，在一種NVM技術中，抹除程序期間之p井電壓將自4.2v斜升至8.5v。因此，選定中間過渡脈衝可係在其處電壓高於高效抹除程序之一預定位準但小於欲施加之最大抹除電壓之一脈衝。

若當前抹除脈衝不係選定中間過渡脈衝，則步驟824判定是否已施加最大數目個抹除脈衝。若尚未施加最大數目個抹除脈衝，則步驟826施加下一抹除脈衝且控制返回至步驟820。

返回參考步驟822，若當前抹除脈衝係選定中間過渡脈衝，則步驟828藉由 V_t 監視器211對第一讀取頁執行 V_t 之一中間過渡抹除驗證讀取。此類似於圖3中所展示之方法300之步驟310。若步驟830判定第一讀取頁中之所有位元皆具有低於一規定電壓之一 V_t 電壓，則通過驗證讀取且控制轉移至步驟826以施加下一抹除脈衝。斜升率以類似於圖4中所展示之正常斜升率404之正常斜升率而繼續。若步驟830判定驗證讀取確未通過，舉例而言，並非第一讀取頁中之所有位元皆低於預定中間過渡驗證讀取 V_t 位準，則步驟832達成抹除脈衝之斜升率之一增加。此外，將指示增加之斜升率正用於抹除之增加之斜升率旗標設定為對使用者之一指示符可係有益的。此類似於圖3中所展示之方法300之步驟312及圖4中所展示之增加之斜升率406。然後，抹除程序以

增加之斜升率自步驟832轉移至步驟826。

返回參考步驟820，若在選定讀取頁或位址上通過抹除驗證，舉例而言，記憶體區塊202中之選定讀取頁之任何記憶體胞之 V_t 不高於EVT電壓，則操作繼續進行至步驟836以判定是否已抹除驗證最後位址。若尚未抹除驗證最後位址，則步驟838遞增位址且將程序轉移至步驟820。程序藉由施加額外抹除脈衝而在步驟820至832中間形成迴圈直至記憶體區塊202之每一記憶體胞之 V_t 低於EVT為止。若步驟824判定已施加最大數目個抹除脈衝，則處理程序834指示抹除操作失敗。

設置圖8中所展示之方法800之實施例以可適性地調整兩個不同斜升率之間的抹除斜升率。抹除程序800可經組態以處置兩個以上斜升率以藉由核對較大數目個中間過渡抹除脈衝及中間過渡驗證讀取位準而進一步管理位元記憶體胞效能降級。

在完成抹除程序之後，針對記憶體區塊202起始軟程式化程序以將經過度抹除記憶體胞之 V_t 放置於軟程式化驗證電壓臨限值(SPVT)與EVT之間的所期望電壓範圍內。通常在一每頁基礎上執行軟程式化程序，其中每一頁包含選定數目個記憶體胞，諸如128個記憶體胞或諸如此類。可將一軟程式化脈衝一次施加至多個記憶體胞。在一項實施例中，可將軟程式化脈衝一次施加最高達36個記憶體胞。軟程式化脈衝通常不如(諸如)具有一較低電壓、一較短脈衝持續時間或兩者之一組合之一程式化脈衝強。軟程式化程序以步驟840開始，其可包含將位址初始化至記憶體區塊202中之第一位址。操作繼續進行至步驟842以執行一軟程式化(SFT PGM)驗證測試，其中比較在當前位址處之每一記憶體胞之 V_t 與SPVT電壓。若在當前位址處之任何記憶體胞之 V_t 低於SPVT電壓，則操作繼續進行至步驟850以判定是否已施加最大數目個軟程式化脈衝。若尚未施加最大數目個軟程式化脈衝，則操作繼

續進行至步驟854以將一軟程式化脈衝施加至在當前位址處使軟程式化驗證讀取失敗之記憶體胞。軟程式化脈衝具有一選定電壓位準及持續時間以將 V_t 增加至高於SPVT而保持低於EVT。程序返回至步驟842以判定在當前位址處之每一記憶體胞之 V_t 是否低於SPVT，且程序藉由施加額外軟程式化脈衝而在步驟842與854之間形成迴圈直至記憶體區塊202之每一記憶體胞之 V_t 介於SPVT與EVT電壓之間為止。

若步驟850判定已施加最大數目個軟程式化脈衝，則步驟852指示抹除操作失敗。

參考步驟842，若通過軟程式化驗證程序(亦即， V_t 大於或等於SPVT電壓)，則步驟844判定是否已軟程式化驗證最後位址。若尚未軟程式化驗證最後位址，則步驟848遞增位址且將程序返回至步驟842。否則，若已軟程式化驗證最後位址，則程序轉至步驟846以指示通過抹除操作。作為一替代方案，就圖9中所展示之一程式化方法而言，軟程式化亦可包含一程式化脈衝之一斜升率改變。

圖9係用於程式化及類似地用於軟程式化記憶體區塊202之至少一部分之一方法900之一實施例之一流程圖，該記憶體區塊通常由圖2之NVM控制器207執行及控制。在任何情況中，步驟以首先以類似於圖4中所展示之斜升率402之一正常斜升率斜升之一抹除脈衝開始。步驟904可包含將記憶體區塊202中之第一記憶體胞位址及欲寫入之資料提供至NVM控制器207。

步驟906可對記憶體區塊202之當前記憶體胞執行一程式化驗證測試以判定該記憶體胞是否滿足一程式化度量。在程式化驗證測試期間，可比較在當前位址處之每一記憶體胞之 V_t 與一程式化驗證臨限值(PVT)電壓(表示程式化度量)。若在當前位址處之記憶體胞中之任一者之 V_t 低於PVT電壓，則操作繼續進行至步驟910，其判定當前程式化脈衝是否係一選定中間過渡程式化脈衝。選定中間過渡程式化脈衝

係以下之一脈衝：小於在程式化程序期間欲施加之脈衝之最大數目，但在其中一記憶體胞通常將滿足正常操作期間之PVT（舉例而言，不具有廣泛洩漏）之脈衝數目處或高於該脈衝數目。此類似於圖3中所展示之方法300之步驟308。

若當前程式化脈衝不係選定中間過渡程式化脈衝，則步驟912判定是否已施加最大數目個程式化脈衝。若尚未施加最大數目個程式化脈衝，則步驟914施加下一程式化脈衝且轉移至步驟906。

返回參考步驟910，若當前程式化脈衝係選定中間過渡程式化脈衝，則步驟916判定是否已設定一增加之斜升率旗標以指示在正程式化一先前記憶體位址時，因所偵測到之經降級效能而已達成該增加之斜升率。若已設定增加之斜升率旗標，則步驟916將控制轉移至步驟912。若尚未設定增加之斜升率旗標，則步驟916將控制轉移至步驟918。

步驟918可包含藉由Vt監視器211而執行Vt之一中間過渡程式化驗證讀取。若步驟920判定由於正程式化之該頁中之所有位元皆具有高於一規定電壓之一Vt電壓，因此通過中間過渡程式化驗證Vt讀取，則將控制轉移至步驟914以施加下一程式化脈衝且程式化使用類似於圖4中所展示之正常斜升率404之正常斜升率而繼續。若步驟920判定驗證Vt讀取不通過，則步驟922達成增加之斜升率並設定增加之斜升率旗標，且將程式化脈衝之斜升率增加為類似於圖4中所展示之增加之斜升率406。

返回參考步驟906，若通過程式化驗證，則操作繼續進行至步驟908以判定是否已程式化最後位址。若已程式化最後位址，則步驟909指示通過記憶體胞群組之程式化操作。若尚未程式化最後位址，則步驟908將操作轉移至步驟904。操作藉由施加額外程式化脈衝而在步驟904至914中間形成迴圈直至記憶體區塊202之每一記憶體胞之Vt係至

少PVT爲止。

設置圖9中所展示之方法900之實施例以可適性地調整兩個不同斜升率之間的程式化斜升率。程式化程序900可經組態以藉由核對較大數目個中間過渡程式化脈衝及使用額外增加之斜升率旗標而處置兩個以上斜升率。方法900可易於適於在軟程式化中使用。對於軟程式化，將存在一特定點，在該特定點處將判定是否應存在一斜升率改變。此點將經挑選以用於軟程式化且將在步驟910處被偵測。將存在一程式化狀態，該程式化狀態將指示程式化處理程序是否指示由大數目個先前程式化/抹除循環所致之效能降級。步驟920中將使用此準則。基於該判定，在步驟922處，斜升率將繼續正常斜升率或改變至增加之斜升率。

目前爲止，應瞭解，已揭示藉由在程式化、軟程式化及/或抹除操作期間監視記憶體胞 V_t 移動而可適性地調整寫入脈衝斜升率之系統及方法。亦即，當記憶體胞移動太慢且使一中間過渡驗證 V_t 核對失敗時，將增加寫入脈衝之斜升率以減小由電荷陷獲所致之寫入時間之延緩。此允許藉由以下方式減小對NVM記憶體胞之損壞：在NVM之壽命之一第一部分期間避免峰值電壓或至少較少時間處於峰值電壓，且稍後僅增加斜升率以滿足規定寫入時間。

特定而言，一種對一記憶體陣列之記憶體胞執行一寫入操作之方法包含：根據一第一預定斜升率將該寫入操作之第一複數個脈衝施加於該等記憶體胞上，其中該第一複數個脈衝係預定數目個脈衝。該方法進一步包含：執行該等記憶體胞之一子組之一臨限電壓與一中間過渡驗證電壓之一比較。該方法進一步包含：若該等記憶體胞之該子組中之任一者之一臨限電壓使與該中間過渡驗證電壓之該比較失敗，則藉由根據與該第一預定斜升率相比具有一增加之斜升率之一第二預定斜升率將第二複數個脈衝施加於該等記憶體胞上而繼續該寫入操

作。該方法可進一步包含：若記憶體胞之該子組中之每一者之一臨限電壓使與該中間過渡驗證電壓之該比較通過，則藉由根據該第一預定斜升率將第二複數個脈衝施加於該等記憶體胞上而繼續該寫入操作。該方法可由以下內容進一步表徵：該執行該寫入操作包括執行一抹除程序。該方法可由以下內容進一步表徵：對該等記憶體胞中之每個記憶體胞執行該施加該第一複數個脈衝及該施加該第二複數個脈衝。該方法可由以下內容進一步表徵：在施加該第一複數個脈衝中之每一脈衝及該第二複數個脈衝中之每一脈衝之後，執行該等記憶體胞之該子組之一臨限電壓與一抹除驗證電壓之一比較，其中若記憶體胞之該子組中之每一者之該臨限電壓使與該抹除驗證電壓之該比較通過，則繼續對該等記憶體胞之該寫入操作之一軟程式化程序。該方法可由以下內容進一步表徵：該等記憶體胞配置成複數個頁，其中每一頁作為複數個該等記憶體胞，且其中該等記憶體胞之該子組進一步表徵為該複數個頁中之一第一頁。該方法可由以下內容進一步表徵：該第一預定斜升率使用一第一電壓增量且該第二預定斜升率使用大於該第一電壓增量之一第二電壓增量。該方法可由以下內容進一步表徵：該第一預定斜升率針對該第一複數個脈衝使用一第一脈衝寬度且該第二預定斜升率針對該第二複數個脈衝使用小於該第一脈衝寬度之一第二脈衝寬度。該方法可由以下內容進一步表徵：執行該寫入操作包括執行一程式化程序或一軟程式化程序。該方法可由以下內容進一步表徵：其中在該施加該第一複數個脈衝中之每一脈衝及該第二複數個脈衝中之每一脈衝之後，執行該等記憶體胞之該子組之一臨限電壓與一程式化驗證電壓之一比較，其中將該寫入操作之該第一複數個脈衝施加於該等記憶體胞上之進一步特徵在於：將該第一複數個脈衝僅施加至其臨限電壓使與該程式化驗證電壓之該比較失敗的該等記憶體胞之該子組中之彼等記憶體胞，且將該寫入操作之該第二複數個脈衝施加於該等記

憶體胞上之進一步特徵在於：將該第二複數個脈衝僅施加至其臨限電壓使與該程式化驗證電壓之該比較失敗的記憶體胞之該子組中之彼等記憶體胞。該方法可由以下內容進一步表徵：該第二複數個脈衝係第二預定數目個脈衝，且該方法可進一步包括：執行該等記憶體胞之該子組之一臨限電壓與一第二中間過渡驗證電壓之一比較；若記憶體胞之該子組中之任一者之一臨限電壓使與該第二中間過渡驗證電壓之該比較失敗，則藉由根據與該第二預定斜升率相比具有一增加之斜升率之一第三預定斜升率將第三複數個脈衝施加於該等記憶體胞上而繼續該寫入操作；及若記憶體胞之該子組中之每一者之一臨限電壓使與該第二中間過渡驗證電壓之該比較通過，則藉由根據該第一預定斜升率或該第二預定斜升率將第四複數個脈衝施加於該等記憶體胞上而繼續該寫入操作。

亦揭示一種對一記憶體陣列之記憶體胞執行一寫入操作之方法。該方法包含：在該寫入操作之一抹除程序中，根據一第一預定斜升率將預定數目個脈衝施加至該等記憶體胞之一子組。該方法亦包含：判定記憶體胞之該子組中之至少一個記憶體胞之一臨限電壓是否大於一中間過渡驗證電壓。該方法亦包含：將複數個額外脈衝施加於記憶體胞之該子組中之每一記憶體胞上。該方法亦包含：若記憶體胞之該子組中之至少一個記憶體胞之該臨限電壓大於該中間過渡驗證電壓，則根據與該第一預定斜升率相比具有一增加之斜升率之一第二預定斜升率施加該複數個額外脈衝。該方法進一步包含：若記憶體胞之該子組中之每一記憶體胞之該臨限電壓不大於該中間過渡驗證電壓，則根據該第一預定斜升率施加該複數個額外脈衝。該方法可由以下內容進一步表徵：在該抹除程序之後，該方法可進一步包含：藉由對該等記憶體胞執行一軟程式化程序而繼續該寫入操作。該方法可由以下內容進一步表徵：在該寫入操作之該抹除程序中，該方法可進一步包

含：在施加該預定數目個脈衝中之每一脈衝及該複數個額外脈衝中之每一脈衝之後，比較該等記憶體胞之該子組之一臨限電壓與一抹除驗證電壓，其中若記憶體胞之該子組中之每個記憶體胞之該臨限電壓皆小於該抹除驗證電壓，則繼續對該等記憶體胞之該寫入操作之一軟程式化程序。該方法可由以下內容進一步表徵：該等記憶體胞配置成複數個頁，其中每一頁作為複數個該等記憶體胞，且其中該等記憶體胞之該子組進一步表徵為該複數個頁中之一第一頁。該方法可由以下內容進一步表徵：該第一預定斜升率使用一第一電壓增量且該第二預定斜升率使用大於該第一電壓增量之一第二電壓增量。該方法可由以下內容進一步表徵：該第一預定斜升率使用一第一脈衝寬度且該第二預定斜升率使用小於該第一脈衝寬度之一第二脈衝寬度。

亦揭示一種非揮發性記憶體(NVM)系統，其包含一記憶體胞陣列，該等記憶體胞係非揮發性的。該NVM系統進一步包含一控制器，其耦合至該陣列，其中對於一寫入操作，該控制器：根據一第一預定斜升率將該寫入操作之第一複數個脈衝施加至該陣列，其中該第一複數個脈衝係預定數目個脈衝；比較該陣列之一子組之一臨限電壓與一中間過渡驗證電壓，且若該子組中之任何記憶體胞之一臨限電壓使與該中間過渡驗證電壓之該比較失敗，則該控制器藉由根據與該第一預定斜升率相比具有一增加之斜升率之一第二預定斜升率將第二複數個脈衝施加至該陣列而繼續該寫入操作。該NVM系統可由以下內容進一步表徵：若該子組中之每一記憶體胞之一臨限電壓皆使與該中間過渡驗證電壓之該比較通過，則控制器藉由根據該第一預定斜升率將第三複數個脈衝施加於該等記憶體胞上而繼續該寫入操作。該NVM系統可由以下內容進一步表徵：該寫入操作包括一程式化程序、一軟程式化程序及一抹除程序中之至少一者。

因此，應理解，本文中所繪示之架構僅係例示性的，且實際

上，可實施達成相同功能性之諸多其他架構。在一抽象但仍明確意義上，用以達成相同功能性之組件之任何配置係有效地「相關聯的」以使得達成所期望功能性。因此，本文中經組合以達成一特定功能性之任何兩個組件可視為彼此「相關聯」以使得達成所期望功能性，而不管架構或中間組件如何。同樣地，如此相關聯之任何兩個組件亦可視為彼此「可操作地連接」或「可操作地耦合」以達成所期望功能性。

此外，舉例而言，在一項實施例中，本文中所揭示之系統之所圖解說明元件係位於一單個積體電路上或一相同裝置內之電路。另一選擇為，該等系統可包含彼此互連之任何數目個單獨積體電路或單獨裝置。此外，舉例而言，一系統或其部分可係實體電路之軟表示或碼表示或可轉換成實體電路之邏輯表示。因此，一系統可以任何適當類型之一硬體說明語言體現。

此外，熟習此項技術者將認識到，上述操作之功能性之間的邊界僅係說明性的。多個操作之功能性可組合至一單個操作中及/或一單個操作之功能性可分佈於額外操作中。此外，替代實施例可包含一特定操作之多個例項且在各種其他實施例中可更改操作之次序。

儘管已參考本發明之特定較佳版本相當詳細地闡述本發明，但其他版本及變化形式係可能的及涵蓋在內的。熟習此項技術者應瞭解，可易於使用所揭示概念及特定實施例作為一基礎來設計或修改其他結構以用於在不背離由隨附申請專利範圍定義之本發明之精神及範疇之情況下實施本發明之相同目的。

【符號說明】

100	積體電路
101	處理器
103	非揮發性記憶體
105	適當介面/介面

201	非揮發性記憶體陣列/記憶體陣列
202	記憶體區塊/記憶體胞
203	列解碼器
205	行邏輯
207	非揮發性記憶體控制器
209	電荷泵
211	臨限電壓監視器
213	程式化斜升率控制邏輯
215	抹除斜升率控制邏輯
402	初始斜升率/斜升率/第一複數個脈衝
403	第一位準
404	正常斜升率
405	第二位準/位準
406	增加之斜升率/第二複數個脈衝
407	位準
408	峰值電壓
409	位準
410	逾時
502	分佈
Vt	臨限電壓

發明摘要

公告本

※ 申請案號：102131428

※ 申請日：102/08/30

※IPC 分類：G11C 16/10 (2006.01)

【發明名稱】

具有可適性寫入操作的非揮發性記憶體

NON-VOLATILE MEMORY (NVM) WITH ADAPTIVE WRITE
OPERATIONS

【中文】

本發明揭示一種對一記憶體陣列(201)之記憶體胞(202)執行一寫入操作之方法，該方法包含：根據一第一預定斜升率將該寫入操作之第一複數個脈衝(402)施加於該等記憶體胞上，其中該第一複數個脈衝係預定數目個脈衝；比較該等記憶體胞之一子組之一臨限電壓與一中間過渡驗證電壓；及若記憶體胞之該子組中之任一者之一臨限電壓使與該中間過渡驗證電壓之該比較失敗，則藉由根據與該第一預定斜升率相比具有一增加之斜升率之一第二預定斜升率將第二複數個脈衝(406)施加於該等記憶體胞上而繼續該寫入操作。

【英文】

A method of performing a write operation on memory cells (202) of a memory array (201) includes applying a first plurality of pulses (402) of the write operation on the memory cells in accordance with a first predetermined ramp rate, wherein the first plurality of pulses is a predetermined number of pulses; comparing a threshold voltage of a subset of the memory cells with an interim verify voltage; and if a threshold voltage of any of the subset of memory cells fails the comparison with the interim verify voltage, continuing the write operation by applying a second plurality of pulses (406) on the memory cells in accordance with a second predetermined ramp rate which has an increased ramp rate as compared to the first predetermined ramp rate.

圖式

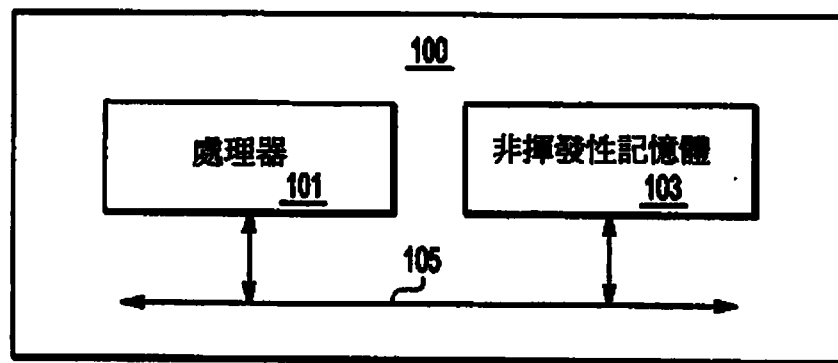


圖 1

103

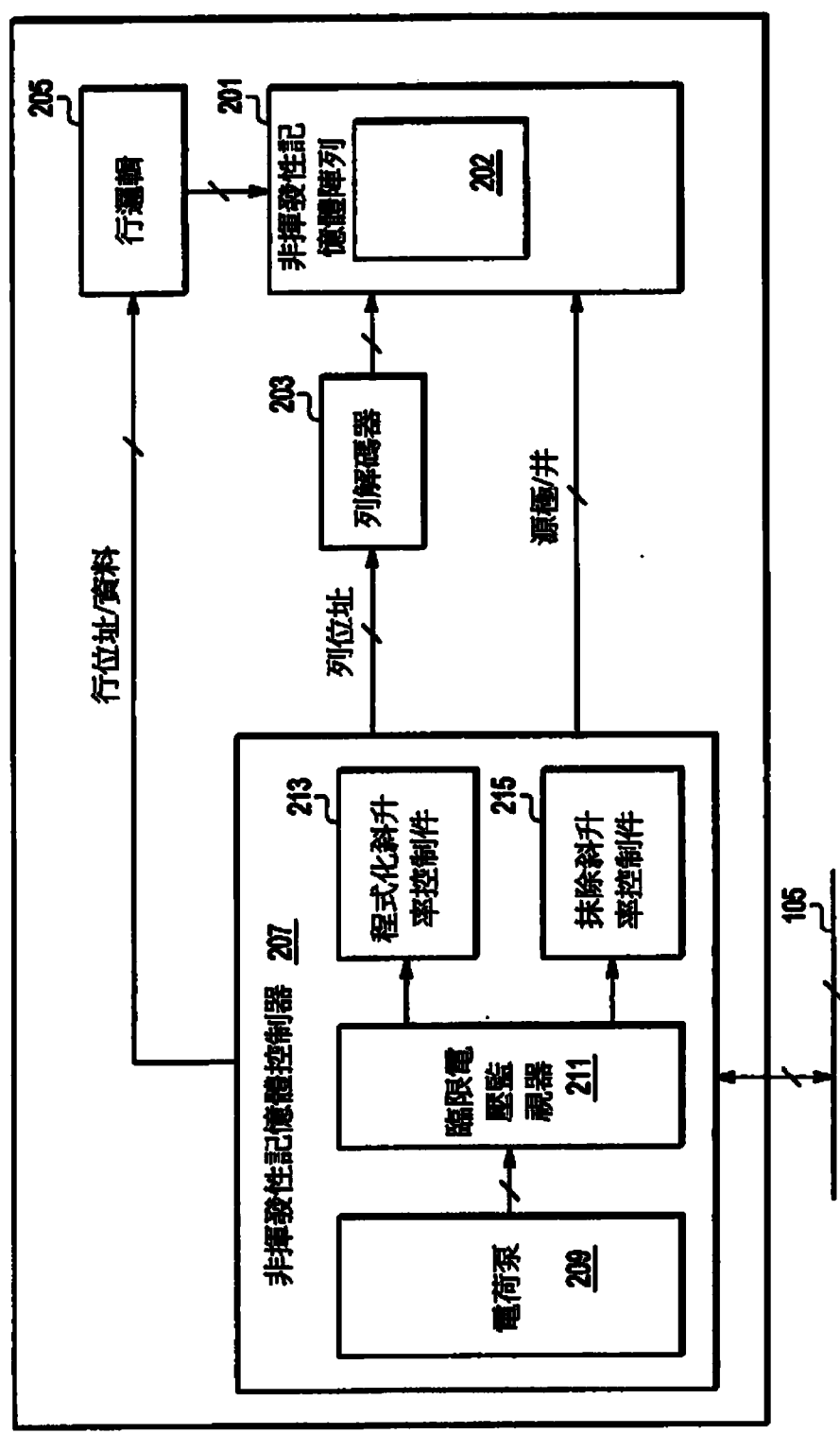


圖 2

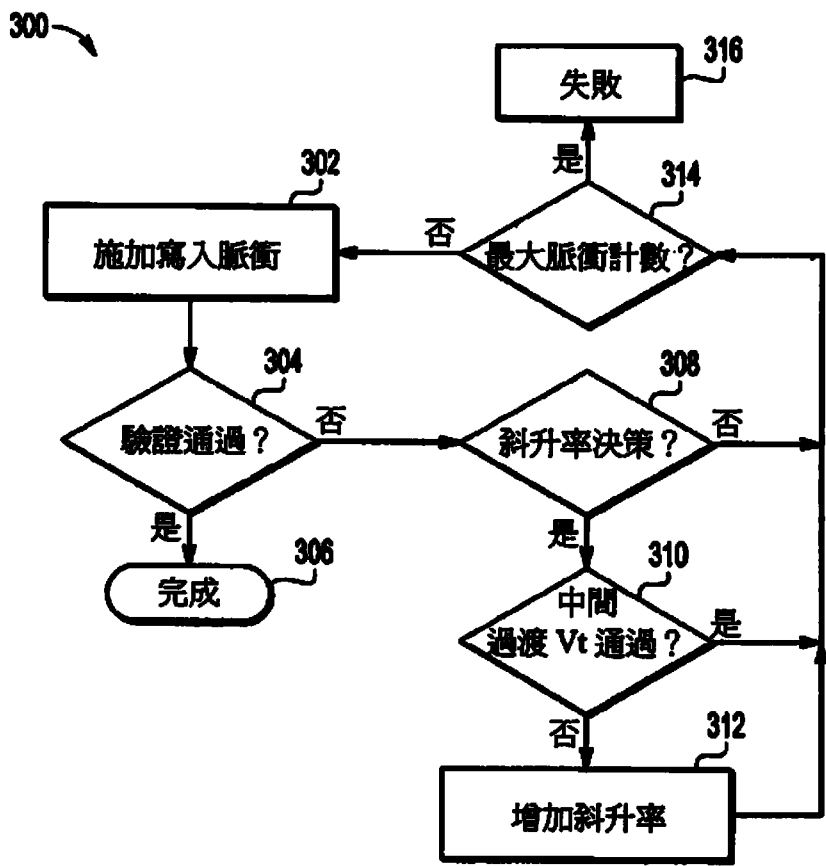


圖 3

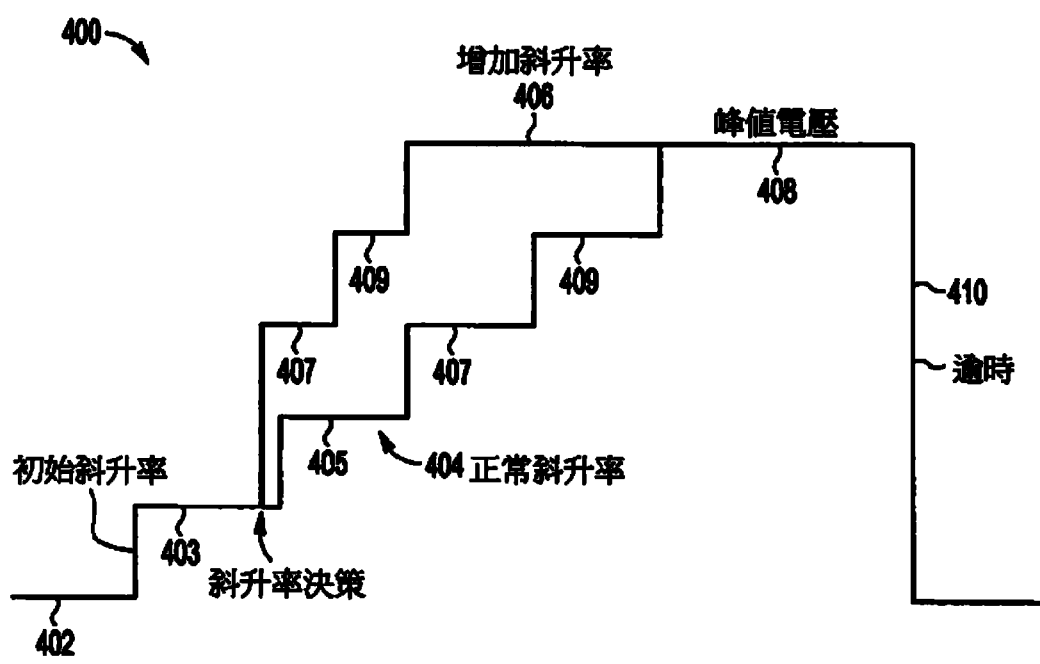


圖 4

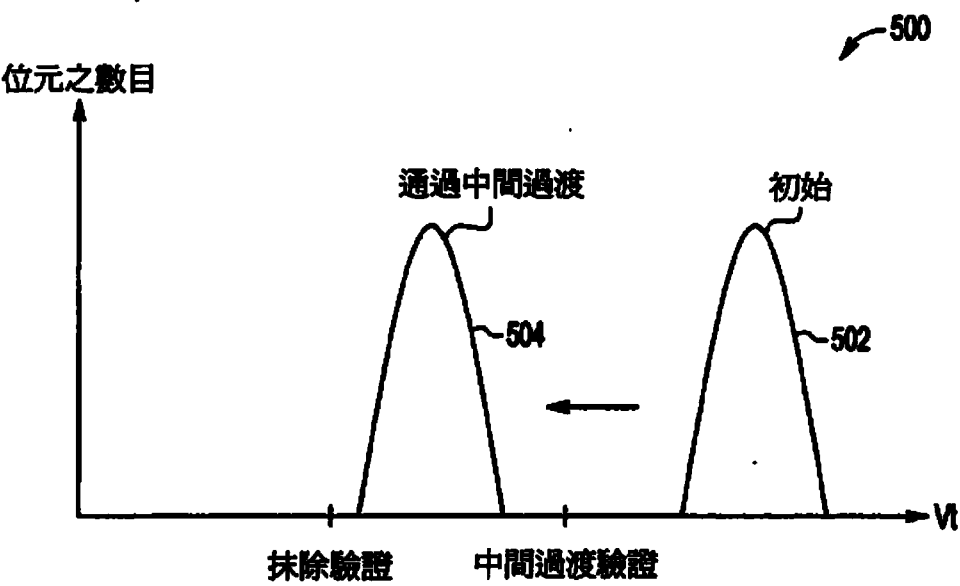


圖 5

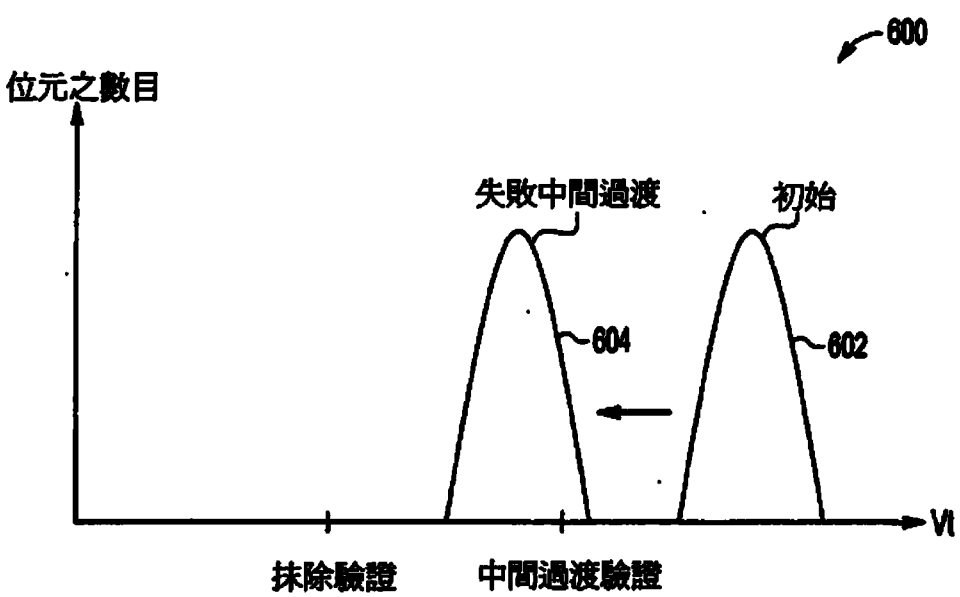


圖 6

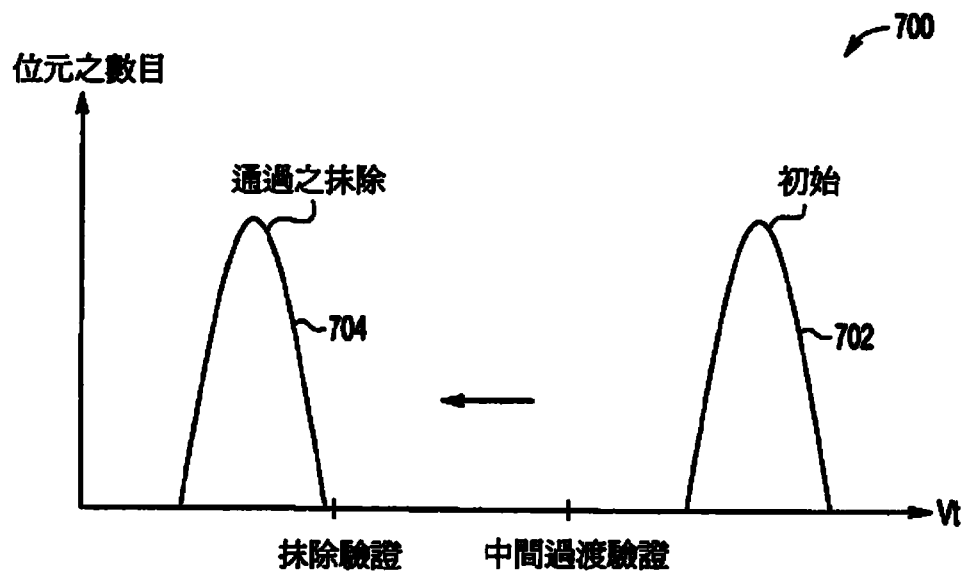


圖 7

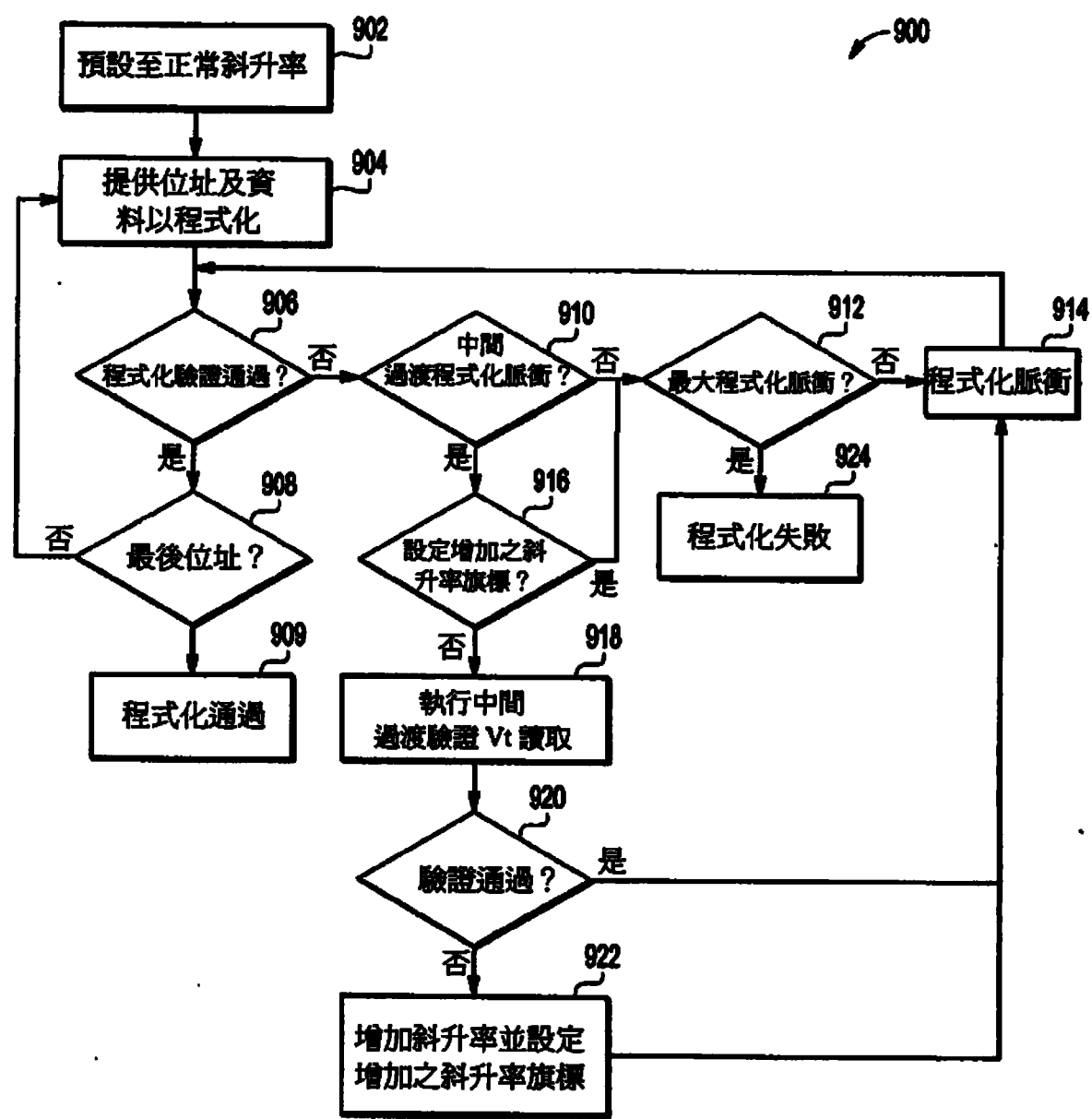


圖 9

【代表圖】

【本案指定代表圖】：第（4）圖。

【本代表圖之符號簡單說明】：

- 402 初始斜升率/斜升率/第一複數個脈衝
- 403 第一位準
- 404 正常斜升率
- 405 第二位準/位準
- 406 增加之斜升率/第二複數個脈衝
- 407 位準
- 408 峰值電壓
- 409 位準
- 410 逾時

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

申請專利範圍

1. 一種對一記憶體陣列之記憶體胞執行一寫入操作之方法，該方法包括：

根據一第一預定斜升率將該寫入操作之第一複數個脈衝施加於該等記憶體胞上，其中該第一複數個脈衝係預定數目個脈衝；

執行該等記憶體胞之一子組之一臨限電壓與一中間過渡驗證電壓之一比較；

若該等記憶體胞之該子組中之任一者之一臨限電壓使與該中間過渡驗證電壓之該比較失敗，則藉由根據與該第一預定斜升率相比具有一增加之斜升率之一第二預定斜升率將第二複數個脈衝施加於該等記憶體胞上而繼續該寫入操作；及。

若記憶體胞之該子組中之每一者之一臨限電壓使與該中間過渡驗證電壓之該比較通過，則藉由根據該第一預定斜升率將第二複數個脈衝施加於該等記憶體胞上而繼續該寫入操作。

2. 如請求項1之方法，其中該執行該寫入操作包括執行一抹除程序。
3. 如請求項2之方法，其中對該等記憶體胞中之每個記憶體胞執行該施加該第一複數個脈衝及該施加該第二複數個脈衝。
4. 如請求項3之方法，其中在施加該第一複數個脈衝中之每一脈衝及該第二複數個脈衝中之每一脈衝之後，執行該等記憶體胞之該子組之一臨限電壓與一抹除驗證電壓之一比較，其中若記憶體胞之該子組中之每一者之該臨限電壓使與該抹除驗證電壓之該比較通過，則繼續對該等記憶體胞之該寫入操作之一軟程式化程序。

5. 如請求項1之方法，其中該等記憶體胞配置成複數個頁，其中每一頁作為複數個該等記憶體胞，且其中該等記憶體胞之該子組進一步表徵為該複數個頁中之一第一頁。
6. 如請求項1之方法，其中該第一預定斜升率使用一第一電壓增量且該第二預定斜升率使用大於該第一電壓增量之一第二電壓增量。
7. 如請求項1之方法，其中該第一預定斜升率針對該第一複數個脈衝使用一第一脈衝寬度且該第二預定斜升率針對該第二複數個脈衝使用小於該第一脈衝寬度之一第二脈衝寬度。
8. 如請求項1之方法，其中執行該寫入操作包括執行一程式化程序或一軟程式化程序。
9. 如請求項8之方法，其中在該施加該第一複數個脈衝中之每一脈衝及該第二複數個脈衝中之每一脈衝之後，執行該等記憶體胞之該子組之一臨限電壓與一程式化驗證電壓之一比較，其中：

將該寫入操作之該第一複數個脈衝施加於該等記憶體胞上之進一步特徵在於：將該第一複數個脈衝僅施加至其臨限電壓使與該程式化驗證電壓之該比較失敗的該等記憶體胞之該子組中之彼等記憶體胞；且

將該寫入操作之該第二複數個脈衝施加於該等記憶體胞上之進一步特徵在於：將該第二複數個脈衝僅施加至其臨限電壓使與該程式化驗證電壓之該比較失敗的記憶體胞之該子組中之彼等記憶體胞。
10. 如請求項1之方法，其中該第二複數個脈衝係第二預定數目個脈衝，該方法進一步包括：

執行該等記憶體胞之該子組之一臨限電壓與一第二中間過渡驗證電壓之一比較；

若記憶體胞之該子組中之任一者之一臨限電壓使與該第二中間過渡驗證電壓之該比較失敗，則藉由根據與該第二預定斜升率相比具有一增加之斜升率之一第三預定斜升率將第三複數個脈衝施加於該等記憶體胞上而繼續該寫入操作；及

若記憶體胞之該子組中之每一者之一臨限電壓使與該第二中間過渡驗證電壓之該比較通過，則藉由根據該第一預定斜升率或該第二預定斜升率將第四複數個脈衝施加於該等記憶體胞上而繼續該寫入操作。

11. 一種對一記憶體陣列之記憶體胞執行一寫入操作之方法，該方法包括：

在該寫入操作之一抹除程序中：

根據一第一預定斜升率將預定數目個脈衝施加至該等記憶體胞之一子組；

判定記憶體胞之該子組中之至少一個記憶體胞之一臨限電壓是否大於一中間過渡驗證電壓；及

將複數個額外脈衝施加於記憶體胞之該子組中之每一記憶體胞上，其中：

若記憶體胞之該子組中之至少一個記憶體胞之該臨限電壓大於該中間過渡驗證電壓，則根據與該第一預定斜升率相比具有一增加之斜升率之一第二預定斜升率施加該複數個額外脈衝；且

若記憶體胞之該子組中之每一記憶體胞之該臨限電壓不大於該中間過渡驗證電壓，則根據該第一預定斜升率施加該複數個額外脈衝。

12. 如請求項11之方法，其中在該抹除程序之後，該方法包括：

藉由對該等記憶體胞執行一軟程式化程序而繼續該寫入操

作。

13. 如請求項11之方法，其中在該寫入操作之該抹除程序中，該方法進一步包括：

在施加該預定數目個脈衝中之每一脈衝及該複數個額外脈衝中之每一脈衝之後，比較該等記憶體胞之該子組之一臨限電壓與一抹除驗證電壓，其中若記憶體胞之該子組中之每個記憶體胞之該臨限電壓皆小於該抹除驗證電壓，則繼續對該等記憶體胞之該寫入操作之一軟程式化程序。

14. 如請求項11之方法，其中該等記憶體胞配置成複數個頁，其中每一頁作為複數個該等記憶體胞，且其中該等記憶體胞之該子組進一步表徵為該複數個頁中之一第一頁。
15. 如請求項11之方法，其中該第一預定斜升率使用一第一電壓增量且該第二預定斜升率使用大於該第一電壓增量之一第二電壓增量。
16. 如請求項11之方法，其中該第一預定斜升率使用一第一脈衝寬度且該第二預定斜升率使用小於該第一脈衝寬度之一第二脈衝寬度。
17. 一種非揮發性記憶體(NVM)系統，其包括：

一記憶體胞陣列，該等記憶體胞係非揮發性的；

一控制器，其耦合至該陣列，其中對於一寫入操作，該控制器：根據一第一預定斜升率將該寫入操作之第一複數個脈衝施加至該陣列，其中該第一複數個脈衝係預定數目個脈衝；比較該陣列之一子組之一臨限電壓與一中間過渡驗證電壓，且若該子組中之任何記憶體胞之一臨限電壓使與該中間過渡驗證電壓之該比較失敗，則該控制器藉由根據與該第一預定斜升率相比具有一增加之斜升率之一第二預定斜升率將第二複數個脈衝施

加至該陣列而繼續該寫入操作；且。

其中若該子組中之每一記憶體胞之一臨限電壓皆使與該中間過渡驗證電壓之該比較通過，則該控制器藉由根據該第一預定斜升率將第三複數個脈衝施加於該等記憶體胞上而繼續該寫入操作。

18. 如請求項17之NVM系統，其中該寫入操作包括一程式化程序、一軟程式化程序及一抹除程序中之至少一者。