



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0021458
(43) 공개일자 2025년02월13일

(51) 국제특허분류(Int. Cl.)
G11C 5/02 (2006.01) G11C 13/00 (2006.01)
G11C 7/06 (2021.01) G11C 7/10 (2021.01)
G11C 7/12 (2006.01) G11C 7/18 (2006.01)
G11C 8/08 (2006.01)
(52) CPC특허분류
G11C 5/025 (2025.01)
G11C 13/00 (2013.01)
(21) 출원번호 10-2024-7040935
(22) 출원일자(국제) 2023년04월19일
심사청구일자 없음
(85) 번역문제출일자 2024년12월10일
(86) 국제출원번호 PCT/US2023/019031
(87) 국제공개번호 WO 2023/239471
국제공개일자 2023년12월14일
(30) 우선권주장
17/836,634 2022년06월09일 미국(US)

(71) 출원인
마이크로소프트 테크놀로지 라이선싱, 엘엘씨
미국 워싱턴주 (우편번호 : 98052) 레드몬드 원
마이크로소프트 웨이
(72) 발명자
콜라 프라모드
미국 워싱턴주 98052-6399 레드몬드 원 마이크로
소프트 웨이 마이크로소프트 테크놀로지
라이선싱, 엘엘씨
스위처 로버트 에이
미국 워싱턴주 98052-6399 레드몬드 원 마이크로
소프트 웨이 마이크로소프트 테크놀로지
라이선싱, 엘엘씨
(74) 대리인
제일특허법인(유)

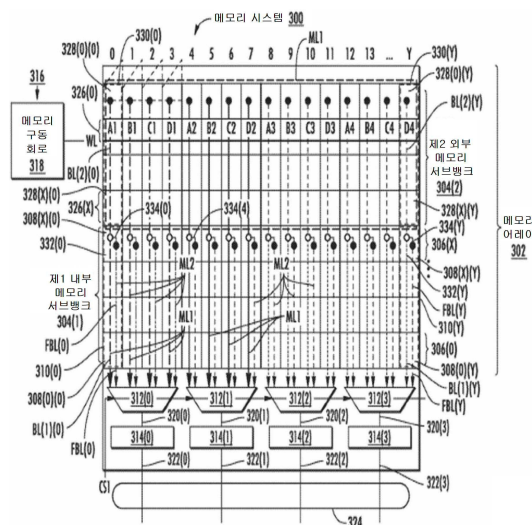
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 더 높은 성능, 증가된 메모리 밀도 및 관련 방법을 지원하기 위해 유효 비트 라인 길이를 늘리기 위해 플라이잉 비트 라인을 사용하는 메모리 어레이

(57) 요약

더 높은 성능, 증가된 메모리 밀도 및 관련 방법을 지원하기 위한 유효 비트 라인 길이를 늘리기 위해 플라이잉 비트 라인을 사용하는 메모리 어레이. 메모리 밀도를 높이기 위해, 메모리 어레이는 제1 메모리 서브뱅크와 하나 이상의 제2 메모리 서브뱅크를 구비한다. 제1 메모리 서브뱅크는 각 메모리 열 회로에 대한 제1 비트 라인을 포함한다. 제2 메모리 서브뱅크에서 제2 메모리 비트 셀에 연결하기 위해 제1 비트 라인의 길이를 연장할 필요가 없도록, 각 메모리 서브뱅크는 각각의 메모리 비트 셀을 액세스 회로에 연결하는 전용의 제1 및 제2 비트 라인을 갖는다. 제2 비트 라인은 제1 메모리 서브뱅크의 제1 비트 라인과 독립하여 효과적으로 "플라이"한다. 제1 메모리 서브뱅크의 제1 비트 라인은 제2 메모리 서브뱅크에 비트 라인을 제공하기 위해 길이를 연장할 필요가 없다.

대표도 - 도3



(52) CPC특허분류

G11C 7/06 (2013.01)

G11C 7/1012 (2013.01)

G11C 7/1063 (2013.01)

G11C 7/12 (2013.01)

G11C 7/18 (2013.01)

G11C 8/08 (2013.01)

명세서

청구범위

청구항 1

메모리 시스템으로서,

메모리 열 액세스 회로와,

메모리 어레이를 포함하되, 상기 메모리 어레이는,

제1 금속층과,

상기 제1 금속층과 다른 제2 금속층 - 상기 제2 금속층은 상기 메모리 열 액세스 회로에 각각 연결된 복수의 플라잉(flying) 비트 라인을 포함함 - 과,

제1 메모리 서브뱅크 - 상기 제1 메모리 서브뱅크는,

각각이 복수의 제1 메모리 열 회로의 제각기의 제1 메모리 열 회로에 각각 위치하는 복수의 제1 메모리 비트 셀 회로를 포함하는 복수의 제1 메모리 행 회로와,

상기 제1 금속층에 배치되며, 상기 복수의 제1 메모리 열 회로 중 하나의 제1 메모리 열 회로에 각각 연결되고 또한 메모리 열 액세스 회로에 연결되는 복수의 제1 비트 라인을 포함함 - 와,

제2 메모리 서브뱅크 - 상기 제2 메모리 서브뱅크는,

각각이 복수의 제2 메모리 열 회로의 제각기의 제2 메모리 열 회로에 각각 위치하는 복수의 제2 메모리 비트 셀 회로를 포함하는 복수의 제2 메모리 행 회로와,

상기 제1 금속층에 각각 배치되며, 상기 복수의 제2 메모리 열 회로 중 하나의 제2 메모리 열 회로에 각각 연결되는 복수의 제2 비트 라인을 포함함 - 와,

상기 제1 금속층 내의 상기 복수의 제2 메모리 열 회로 중 하나의 제2 메모리 열 회로에서 상기 복수의 제2 비트 라인 중 하나의 제2 비트 라인 및 상기 제2 금속층 내의 상기 복수의 제1 플라잉 비트 라인 중 하나의 제1 플라잉 비트 라인에 각각 연결된 복수의 제1 점퍼 셀 회로를 포함하는 제1 점퍼 행 회로를 포함하는,

메모리 시스템.

청구항 2

제1항에 있어서,

상기 복수의 제1 점퍼 셀 회로 중 각각의 제1 점퍼 셀 회로는 상기 제1 금속층 내의 상기 제2 비트 라인을 상기 제2 금속층 내의 상기 제1 플라잉 비트 라인에 연결하는 금속 인터커넥트를 포함하는,

메모리 시스템.

청구항 3

제1항에 있어서,

상기 제1 금속층은, 각각이 상기 복수의 제1 비트 라인 중 하나의 제1 비트 라인을 포함하는 복수의 제1 금속 트랙을 포함하고,

상기 제2 금속층은, 각각이 상기 복수의 제1 플라잉 비트 라인 중 하나의 제1 플라잉 비트 라인을 포함하며, 또한 각각이 상기 복수의 제1 금속 트랙 중 하나의 제1 금속 트랙과 수직 방향으로 적어도 부분적으로 겹치는 복수의 제2 금속 트랙을 포함하는,

메모리 시스템.

청구항 4

제1항에 있어서,
상기 복수의 제1 메모리 행 회로 중 하나의 제1 메모리 행 회로는 상기 복수의 제1 점퍼 셀 회로를 포함하는,
메모리 시스템.

청구항 5

제1항에 있어서,
상기 제1 메모리 행 회로는 상기 복수의 제1 점퍼 셀 회로를 포함하며, 상기 제2 메모리 서브뱅크에 인접하는,
메모리 시스템.

청구항 6

제1항에 있어서,
상기 복수의 제1 플라이잉 비트 라인은 각각의 상기 복수의 제1 메모리 행 회로 및 각각의 상기 복수의 제2 메모리 행 회로에 걸쳐 수직 방향으로 연장되는,
메모리 시스템.

청구항 7

제1항에 있어서,
상기 복수의 제1 메모리 행 회로는 적어도 256개의 메모리 행 회로를 포함하며,
상기 복수의 제2 메모리 행 회로는 적어도 256개의 메모리 행 회로를 포함하는,
메모리 시스템.

청구항 8

제1항에 있어서,
각각이 복수의 제1 메모리 행 회로 중 하나의 제1 메모리 행 회로에 연결되는 복수의 제1 워드 라인(WL)과,
각각이 상기 복수의 제2 메모리 행 회로 중 하나의 제2 메모리 행 회로에 연결되는 복수의 제2 워드 라인(WL)과,
상기 복수의 제1 WL 및 상기 복수의 제2 WL에 연결된 메모리 구동 회로를 더 포함하되,
상기 메모리 구동 회로는,
메모리 주소를 포함하는 메모리 액세스 요청을 수신하고,
상기 메모리 액세스 요청에 응답하여, 상기 복수의 제1 WL 중 하나의 제1 WL 및 상기 복수의 제2 WL 중 하나의 제2 WL을 활성화하되,
상기 복수의 제1 메모리 행 회로 중 상기 활성화된 제1 WL에 연결된 하나의 상기 제1 메모리 행 회로와,

상기 복수의 제2 메모리 행 회로 중 상기 활성화된 제2 WL에 연결된 하나의 상기 제2 메모리 행 회로 각각에 대응하는 상기 메모리 주소에 대해 활성화하도록 구성되는, 메모리 시스템.

청구항 9

제8항에 있어서,
상기 메모리 열 액세스 회로는,
상기 복수의 제1 비트 라인의 고유 세트에 각각 연결되고, 상기 복수의 제1 플라이 비트 라인 중 X개 - 'X'는 2 이상의 양의 정수 - 로 이루어진 고유 세트에 각각 연결된 복수의 열 멀티플렉서 회로를 포함하고,
상기 복수의 열 멀티플렉서 회로는 각각, 연결된 제1 비트 라인의 세트 및 연결된 제1 플라이 비트 라인의 세트 중 하나의 비트 라인을 대응하는 멀티플렉스 출력에 멀티플렉싱하도록 구성되며,
상기 메모리 구동 회로는 또한 상기 메모리 액세스 요청에 응답하여, 상기 복수의 열 멀티플렉서 회로 각각으로 하여금 연결된 X개의 제1 비트 라인 및 연결된 X개의 제1 플라이 비트 라인 중 하나의 비트 라인을 대응하는 멀티플렉스 출력으로 멀티플렉싱하도록 구성되는,
메모리 시스템.

청구항 10

제1항에 있어서,
상기 메모리 어레이는,
제3 금속 층과,
상기 제3 금속층과 다른 제4 금속층 - 상기 제4 금속층은 상기 메모리 열 액세스 회로에 각각 연결된 복수의 제2 플라이 비트 라인을 포함함 - 과,
제3 메모리 서브뱅크 - 상기 제3 메모리 서브뱅크는,
각각이 복수의 제3 메모리 열 회로의 제각기의 제3 메모리 열 회로에 위치하는 복수의 제3 메모리 비트 셀 회로를 포함하는 복수의 제3 메모리 행 회로와,
상기 제3 금속층에 배치되고 상기 복수의 제3 메모리 열 회로 중 하나의 제3 메모리 열 회로 및 상기 메모리 열 액세스 회로에 각각 연결되는 복수의 제3 비트 라인을 포함함 - 와,
제4 메모리 서브뱅크 - 상기 제4 메모리 서브뱅크는,
각각이 복수의 제4 메모리 열 회로의 제각기의 제4 메모리 열 회로에 각각 위치하는 복수의 제4 메모리 비트 셀 회로를 포함하는 복수의 제4 메모리 행 회로와,
상기 제4 금속층에 각각 배치되며, 상기 복수의 제4 메모리 열 회로 중 하나의 제4 메모리 열 회로에 각각 연결되는 복수의 제4 비트 라인을 포함함 - 와,
상기 복수의 제3 메모리 행 회로 중 하나의 제3 메모리 행 회로 - 상기 제3 메모리 행 회로는,
상기 제3 금속층 내의 상기 복수의 제4 메모리 열 회로 중 하나의 제4 메모리 열 회로에서 상기 복수의 제4 비트 라인 중 하나의 제4 비트 라인에 각각 연결된 복수의 제2 점퍼 셀 회로 및 상기 제4 금속층 내의 상기 복수의 제1 플라이 비트 라인 중 하나의 제1 플라이 비트 라인을 포함함 - 를 포함하는,
메모리 시스템.

청구항 11

제10항에 있어서,
상기 제1 금속층은 상기 제3 금속층을 포함하고,
상기 제2 금속층은 상기 제4 금속층을 포함하는,
메모리 시스템.

청구항 12

제10항에 있어서,
상기 제3 금속층은, 각각이 상기 복수의 제3 비트 라인 중 하나의 제3 비트 라인을 포함하는 복수의 제3 금속 트랙을 포함하고,
상기 제4 금속층은, 각각이 상기 복수의 제2 플라이 비트 라인 중 하나의 제2 플라이 비트 라인을 포함하며, 또한 각각이 상기 복수의 제3 금속 트랙 중 하나의 제3 금속 트랙과 수직 방향으로 적어도 부분적으로 겹치는 복수의 제4 금속 트랙을 포함하는,
메모리 시스템.

청구항 13

제10항에 있어서,
각각이 상기 복수의 제1 메모리 행 회로 중 하나의 제1 메모리 행 회로에 연결된 복수의 제1 워드 라인(WL)과,
각각이 상기 복수의 제2 메모리 행 회로 중 하나의 제2 메모리 행 회로에 연결된 복수의 제2 WL과,
각각이 상기 복수의 제3 메모리 행 회로 중 하나의 제3 메모리 행 회로에 연결된 복수의 제3 WL과,
각각이 상기 복수의 제4 메모리 행 회로 중 하나의 제4 메모리 행 회로에 연결된 복수의 제4 WL과,
상기 복수의 제1 WL, 상기 복수의 제2 WL, 상기 복수의 제3 WL 및 상기 복수의 제4 WL에 연결된 메모리 구동 회로를 더 포함하되,
상기 메모리 구동 회로는,
상기 제1 메모리 서브뱅크 및 상기 제2 메모리 서브뱅크 중 하나에 대응하는 메모리 주소를 포함하는 메모리 액세스 요청을 수신하고,
상기 제1 메모리 서브뱅크에 대한 상기 메모리 액세스 요청에 응답하여,
상기 복수의 제1 WL 중 하나의 제1 WL 및 상기 복수의 제2 WL 중 하나의 제2 WL 중 하나의 WL을 활성화하되,
상기 활성화된 제1 WL에 연결된 상기 복수의 제1 메모리 행 회로 중 하나의 상기 제1 메모리 행 회로와,
상기 활성화된 제2 WL에 연결된 상기 복수의 제2 메모리 행 회로 중 하나의 상기 제2 메모리 행 회로
각각에 대응하는 상기 메모리 주소에 대해 활성화하며,
상기 제2 메모리 서브뱅크에 대한 상기 메모리 액세스 요청에 응답하여,
상기 복수의 제3 WL 중 하나의 제3 WL 및 상기 복수의 제4 WL 중 하나의 제4 WL 중 하나의 WL을 활성화하되,
상기 활성화된 제3 WL에 연결된 상기 복수의 제3 메모리 행 회로 중 상기 하나의 제3 메모리 행 회로와,
상기 활성화된 제4 WL에 연결된 상기 복수의 제4 메모리 행 회로 중 상기 하나의 제4 메모리 행 회로
각각에 대응하는 상기 메모리 주소에 대해 활성화하도록 구성되는,

메모리 시스템.

청구항 14

제13항에 있어서,

상기 메모리 열 액세스 회로는,

상기 복수의 제1 비트 라인의 고유 세트에 각각 연결되고, 상기 복수의 제1 플라이잉 비트 라인 중 X개 - 'X'는 2 이상의 양의 정수 - 로 이루어진 고유 세트에 각각 연결된 복수의 제1 열 멀티플렉서 회로 - 상기 복수의 제1 열 멀티플렉서 회로는 각각, 상기 연결된 제1 비트 라인의 세트 및 상기 연결된 제1 플라이잉 비트 라인의 세트 중 제1 비트 라인을 대응하는 제1 멀티플렉스 출력에 멀티플렉싱하도록 구성됨 - 와,

상기 복수의 제3 비트 라인의 고유 세트에 각각 연결되고, 상기 복수의 제2 플라이잉 비트 라인 중 X개 - 'X'는 2 이상의 양의 정수 - 로 이루어진 고유 세트에 각각 연결된 복수의 제2 열 멀티플렉서 회로 - 상기 복수의 제2 열 멀티플렉서 회로는, 각각 상기 연결된 제3 비트 라인의 세트 및 상기 연결된 제2 플라이잉 비트 라인의 세트 중 제2 비트 라인을 대응하는 제2 멀티플렉스 출력에 멀티플렉싱하도록 구성되고,

상기 메모리 구동 회로는 또한,

상기 제1 메모리 서브뱅크에 대한 상기 메모리 액세스 요청에 응답하여, 상기 복수의 제1 열 멀티플렉서 회로 각각으로 하여금 연결된 X개의 제1 비트 라인 및 연결된 X개의 제1 플라이잉 비트 라인 중 하나의 제1 비트 라인을 대응하는 제1 멀티플렉스 출력으로 멀티플렉싱하도록 하며,

상기 제1 메모리 서브뱅크에 대한 상기 메모리 액세스 요청에 응답하여, 상기 복수의 제2 열 멀티플렉서 회로 각각으로 하여금 연결된 X개의 제3 비트 라인 및 연결된 X개의 제2 플라이잉 비트 라인 중 하나의 제2 비트 라인을 대응하는 제2 멀티플렉스 출력으로 멀티플렉싱하도록 구성되는,

메모리 시스템.

청구항 15

제14항에 있어서,

상기 복수의 제1 열 멀티플렉서 회로 중 하나의 제1 멀티플렉스 회로의 제1 멀티플렉스 출력 및 상기 복수의 제2 열 멀티플렉서 회로 중 하나의 제2 멀티플렉스 회로의 제2 멀티플렉스 출력에 각각 연결된 복수의 감지 증폭기를 더 포함하는,

메모리 시스템.

발명의 설명

기술 분야

[0001] 본 개시의 기술은 컴퓨터 메모리 시스템, 특히 메모리 성능 및 전력 소비를 개선하기 위해 다수의 메모리 뱅크로 구현되는 메모리 어레이에 관한 것이다.

배경 기술

[0002] 읽기 및 쓰기 동작을 지원하는 메모리 시스템을 포함한 프로세서 기반 시스템. 메모리는 데이터 저장뿐만 아니라 실행할 명령어를 저장하기 위한 프로그램 코드를 저장하는 데 사용될 수 있다. 이러한 프로세서 기반 시스템은 일반적으로 "메인 메모리" 또는 "시스템 메모리"라고도 하는 캐시 메모리 및 비캐시(non-cache) 메모리를 모두 사용한다. 예를 들어, 프로세서 기반 시스템 내의 CPU는 온칩 로컬 개인 캐시 메모리에 액세스할 수 있다. 프로세서 기반 시스템 내의 복수의 CPU가 공유 캐시 메모리에 액세스할 수도 있다. 또한 프로세서 기반 시스템은 프로세서 기반 시스템의 전체 물리적 주소 공간에 걸쳐 메모리 저장 유닛(즉, 메모리 비트 셀)을 포함하는 메인 또는 시스템 메모리를 사용한다. 각각의 이들 다른 유형의 메모리는 일반적으로 데이터를 저장하기 위해 행과 열 구조로 구성된 메모리 비트 셀을 포함하는 메모리 어레이를 사용한다. 각 열에 메모리 비트 셀을

포함하는 메모리 행은 메모리에서 데이터 워드를 읽거나 쓰기 위해 액세스된다. 메모리 비트 셀은 정적 RAM(SRAM) 비트 셀과 동적 RAM(DRAM) 비트 셀과 같은 다양한 메모리 기술로 제공될 수 있다.

[0003]

프로세서 기반 시스템에서 캐시 메모리에 더 높은 밀도의 메모리 어레이를 제공할 수 있는 것이 점점 더 중요해지고 있다. 이는 시스템 메모리에 대한 대기시간이 긴 액세스 대신 캐시 메모리에서 메모리 액세스가 제공될 가능성이 더 높기 때문이다. 그러나, 캐시 메모리가 클수록 전력, 성능 및 면적(PPA)을 저하시킬 수 있다. 더 큰 캐시 메모리는 동일한 메모리 비트 셀 기술을 사용하는 더 작은 캐시 메모리보다 더 많은 반도체 다이 면적을 소비한다. 또한 더 큰 캐시 메모리는 더 작은 캐시 메모리에 비해 액세스 대기시간이 늘어날 수 있는데, 액세스 지원 회로(예컨대, 쓰기 구동 회로 및 읽기 감지 회로)를 연결하는 열 비트 라인이 메모리 어레이의 확장된 영역에 도달하기 위해 길이가 연장되기 때문이다. 따라서, 액세스 지원 회로에서 가장 멀리 떨어진 메모리 비트 셀에 대한 액세스 시간만큼 전체 메모리 액세스 대기시간이 증가할 수 있다. 또한, 캐시 메모리가 클수록 비트 라인에 연결된 증가된 수의 메모리 비트 셀에 도달하기 위해 더 긴 길이의 비트 라인이 제공되어야 하기 때문에 캐시 레이턴시가 증가할 수 있다. 이로 인해, 비트 라인의 커패시턴스가 증가하여 액세스 대기시간이 증가한다. 또한 제조 설계 규칙 및 관련 제조 공정은 메모리 어레이의 전체 비트 라인 길이를 제한하여, 사실상 액세스 대기시간 증가의 트레이드오프 수용 여부와 관계없이 메모리 어레이의 밀도를 제한할 수 있다.

발명의 내용

[0004]

본 명세서에 개시된 예시적인 양태들은 더 높은 성능을 지원하기 위한 유효 비트 라인 길이를 증가시키고 메모리 밀도를 증가시키기 위해 플라이잉 비트 라인을 사용하는 메모리 어레이를 포함한다. 관련 방법들도 개시된다. 예시적인 양태에서, 하나의 메모리 서브뱅크의 메모리 용량을 제공하는 것보다 메모리 어레이의 밀도를 증가시키기 위해, 메모리 어레이는 제1 메모리 서브뱅크 및 하나 이상의 제2 메모리 서브뱅크를 포함한다. 일 예에서, 제1 메모리 서브뱅크는 제2 메모리 서브뱅크(들)보다 액세스 지원 회로에 물리적으로 더 가깝게 위치한다. 제1 메모리 서브뱅크는 각각의 제1 메모리 열 회로에 대한 제1 비트 라인(들)을 포함한다. 제1 비트 라인(들)은 제1 메모리 서브뱅크 내의 제각기의 제1 메모리 열 회로에 있는 제1 메모리 비트 셀을 액세스 회로(예컨대, 열 멀티플렉서 회로, 읽기 감지 회로)에 연결한다. 액세스 대기시간을 증가시킬 수 있는 제2 메모리 서브뱅크에 연결하기 위해 제1 비트 라인의 길이를 연장할 필요가 없도록, 제2 메모리 서브뱅크는 별도의 제2 비트 라인(들)을 포함한다. 이런 방식으로, 각 메모리 서브뱅크는 자신의 제각기의 메모리 비트 셀을 액세스 회로에 연결하는 전용의 제1 및 제2 비트 라인을 갖는다. 제2 메모리 서브뱅크의 제2 비트 라인은 제1 메모리 서브뱅크의 제1 비트 라인과 독립적으로 효과적으로 "플라이(fly)"하며, 제2 비트 라인은 액세스 회로에 독립적으로 연결된다. 제1 메모리 서브뱅크의 제1 비트 라인은 제2 메모리 서브뱅크에 비트 라인을 제공하기 위해 길이를 연장할 필요가 없다. 이런 방식으로, 메모리 밀도가 증가해도 비트 라인 커패시턴스 증가, 동적 에너지 소비 증가, 및/또는 메모리 밀도를 제한할 수 있는 제조 설계 규칙 위반으로 인한 액세스 대기시간 비용이 증가하지 않는다. 메모리 밀도는 전력 소비를 희생하지 않고도 레이턴시 액세스 절감에 기초하여 증가될 수 있다. 또한, 다른 예로, 제1 메모리 서브뱅크와 제2 메모리 서브뱅크가 비트 라인을 공유하지 않고 액세스 회로를 공유함으로써, 제1 및 제2 메모리 서브뱅크는 공유 액세스 회로에서 충돌을 피하기 위해 메모리 동작 동안 동시에 액세스되지 않는다. 그러나, 서로 다른 메모리 서브뱅크에 대한 메모리 액세스는 제1 메모리 서브뱅크의 비트 라인 길이를 연장하지 않고도 메모리 밀도 증가의 이점을 누릴 수 있도록 관리된다.

[0005]

또 다른 예에서, 제1 메모리 서브어레이 내의 제1 메모리 비트 셀의 셀 회로가 제2 비트 라인이 액세스 회로 쪽으로 연장되도록 하는 별도의 금속 라인 경로를 지원할 필요가 없게 하는 것이 바람직하다. 이와 관련하여, 제2 메모리 서브뱅크에 인접한 제1 메모리 서브뱅크의 메모리 행 회로에 있는 제1 메모리 비트 셀의 셀 회로가 플라이잉 비트 라인 셀 회로로 제공된다. 플라이잉 비트 라인 셀 회로는 제1 메모리 비트 셀과 제1 비트 라인용 금속 라인을 포함할 뿐만 아니라 접퍼 회로를 포함하는 전용 셀 회로이다. 접퍼 회로는 연결된 제2 비트 라인을 제2 메모리 서브뱅크 내의 인접한 메모리 비트 셀 행으로부터 다른 금속층으로 연장한다. 그 다음에 제2 비트 라인이, 액세스 회로로 제1 메모리 서브뱅크 위를 플라이하는 다른 금속 층에서 연장된다. 이런 방식으로, 플라이잉 비트 라인 셀 회로는 제2 메모리 서브뱅크의 연결된 제2 비트 라인을, 제1 메모리 서브뱅크 내의 제1 비트 라인에 연결되지 않고도, 액세스 회로로 연장하는 것을 용이하게 하며, 이는 제1 비트 라인의 길이를 연장한다. 메모리 어레이에서 비트 라인의 길이를 연장하면, 메모리 어레이에 대한 메모리 액세스 대기시간을 증가시킬 수 있다. 또한, 플라이잉 비트 라인을 제공하면 제1 메모리 서브뱅크 내의 각각의 제1 메모리 행 회로가 제2 금속 라인이 제1 메모리 서브뱅크를 통해 액세스 회로까지 이르는 별도의 금속 라인(이는 예를 들어 설계 제작 규칙을 위반할 수 있다)을 지원할 필요가 없어진다.

[0006] 이와 관련하여, 하나의 예시적인 양태에서, 메모리 시스템이 제공된다. 메모리 시스템은 메모리 열 액세스 회로를 포함한다. 메모리 시스템은 또한 메모리 어레이를 포함한다. 메모리 어레이는 제1 금속층과, 제1 금속층과 다른 제2 금속층을 포함하며, 제2 금속층은 각각이 메모리 열 액세스 회로에 연결된 복수의 플라이닝 비트 라인을 포함한다. 메모리 시스템은 또한 각각이 복수의 제1 메모리 열 회로의 제각기의 제1 메모리 열 회로에 각각 위치하는 복수의 제1 메모리 비트 셀 회로를 포함하는 복수의 제1 메모리 행 회로를 포함하는 제1 메모리 서브뱅크를 포함한다. 제1 메모리 서브뱅크는 또한, 제1 금속층에 배치되고 각각이 복수의 제1 메모리 열 회로 중 하나의 제1 메모리 열 회로에 연결된 복수의 제1 비트 라인 및 메모리 열 액세스 회로를 포함한다. 메모리 어레이는 또한, 각각이 복수의 제2 메모리 열 회로의 제각기의 제2 메모리 열 회로에 각각 위치하는 복수의 제2 메모리 비트 셀 회로를 포함하는 복수의 제2 메모리 행 회로를 포함하는 제2 메모리 서브뱅크를 포함한다. 제2 메모리 서브뱅크는 또한, 제1 금속층에 각각 배치되며, 복수의 제2 메모리 열 회로 중 하나의 제2 메모리 열 회로에 각각 연결되는 복수의 제2 비트 라인을 포함한다. 메모리 어레이는 또한, 제1 금속층 내의 복수의 제2 메모리 열 회로 중 하나의 제2 메모리 열 회로 내의 복수의 제2 비트 라인 중 하나의 제2 비트 라인에 각각 연결된 복수의 제1 점퍼 셀 회로 및 제2 금속층 내의 복수의 제1 플라이닝 비트 라인 중 하나의 제1 플라이닝 비트 라인을 포함하는 제1 점퍼 행 회로를 포함한다.

[0007] 당업자는 첨부된 도면과 관련하여 바람직한 실시예에 대한 다음의 상세한 설명을 읽은 후에 본 개시의 범위를 이해하고 추가적인 양태를 실현할 수 있을 것이다.

도면의 간단한 설명

[0008] 본 명세서에 통합되어 본 명세서의 일부를 구성하는 첨부된 도면들은 본 개시의 여러 양태를 예시하며, 설명과 함께 본 개시의 원리를 설명하는 역할을 한다.

도 1은 각각이 로컬 및 공유 캐시 메모리에 액세스하도록 구성된 복수의 중앙 처리 장치(CPU)와, 데이터를 읽고 쓰는 시스템 메모리를 포함하는 예시적인 프로세서 기반 시스템이다.

도 2는 예시적인 4열 멀티플렉싱(CM4) 메모리 어레이이다.

도 3은 메모리 밀도가 증가된 메모리 어레이를 포함하는 예시적인 CM4 인터리브 배열의 예시적인 메모리 시스템으로서, 여기서 메모리 어레이는 제1 메모리 서브어레이에서 제1 비트 라인의 길이를 확장하지 않고도 더 높은 성능을 지원하기 위한 유효 비트 라인 길이를 증가시키기 위해 제2 메모리 서브뱅크 내의 제2 비트 라인에 액세스 회로를 연결하는 플라이닝 비트 라인을 더 포함한다.

도 4a는 도 3의 메모리 어레이 내의 하부 금속 층의 예시적인 레이아웃의 평면도이며, 제1 메모리 서브뱅크의 제1 비트 라인의 금속 라인이 연결 액세스 회로로 연장되고, 제2 메모리 서브뱅크의 제2 비트 라인의 금속 라인이 하부 금속 층 내의 점퍼 영역으로 연장되는 것을 예시한다.

도 4b는 도 3의 메모리 어레이 내의 상부 금속 층의 예시적인 레이아웃의 평면도이고, 도 4a의 하부 금속 층 내의 제2 메모리 서브뱅크의 제2 비트 라인에 점퍼된 플라이닝 비트 라인의 금속 라인을 예시하며, 여기서 플라이닝 비트 라인은 연결 액세스 회로로 연장된다.

도 5는 하부 금속층 내의 제2 메모리 서브뱅크의 제2 비트 라인에 점퍼된 상부 금속층 내의 플라이닝 비트 라인의 금속 라인을 도시하는 또 다른 예시적인 레이아웃의 평면도이다.

도 6은 8열 다중화(CM8) 배열의 또 다른 예시적인 메모리 시스템이며, 여기서 메모리 시스템은 메모리 밀도를 증가시키기 위해 제1 및 제2 메모리 서브뱅크를 포함하는 메모리 어레이를 포함하고, 여기서 메모리 어레이는 제1 메모리 서브어레이 내의 제1 비트 라인의 길이를 연장할 필요 없이 더 높은 성능을 지원하기 위한 유효 비트 라인 길이를 증가시키기 위해 제2 메모리 서브뱅크 내의 제2 비트 라인에 액세스 회로를 연결하는 플라이닝 비트 라인을 더 포함한다.

도 7은 집적 회로(IC) 칩으로 제공될 수 있는 예시적인 프로세서 기반 시스템의 블록도이며, 여기서 프로세서 기반 시스템은 프로세서 및 메모리 시스템을 포함하고, 메모리 시스템은 메모리 밀도를 증가시키기 위해 제1 및 제2 메모리 서브뱅크를 포함하는 메모리 어레이를 포함하며, 메모리 어레이는 제1 메모리 서브어레이 내의 제1 비트 라인의 길이를 연장할 필요 없이, 더 높은 성능을 지원하기 위한 유효 비트 라인 길이를 증가시키기 위해 제2 메모리 서브뱅크 내의 제2 비트 라인에 액세스 회로를 연결하는 플라이닝 비트 라인을 더 포함하며, 여기서는 도 3 및 6의 메모리 시스템을 포함하나 이에 한정되지는 않는다.

발명을 실시하기 위한 구체적인 내용

- [0009] 본 명세서에 개시된 예시적인 양태들은 더 높은 성능을 지원하기 위한 유효 비트 라인 길이를 증가시키고 메모리 밀도를 증가시키기 위해 플라이 비트 라인을 사용하는 메모리 어레이를 포함한다. 관련 방법들도 개시된다. 예시적인 양태에서, 하나의 메모리 서브뱅크의 메모리 용량을 제공하는 것보다 메모리 어레이의 밀도를 증가시키기 위해, 메모리 어레이는 제1 메모리 서브뱅크 및 하나 이상의 제2 메모리 서브뱅크를 포함한다. 일 예에서, 제1 메모리 서브뱅크는 제2 메모리 서브뱅크(들)보다 액세스 지원 회로에 물리적으로 더 가깝게 위치한다. 제1 메모리 서브뱅크는 각각의 제1 메모리 열 회로에 대한 제1 비트 라인(들)을 포함한다. 제1 비트 라인(들)은 제1 메모리 서브뱅크 내의 제각기의 제1 메모리 열 회로에 있는 제1 메모리 비트 셀을 액세스 회로(예컨대, 열 멀티플렉서 회로, 읽기 감지 회로)에 연결한다. 액세스 대기시간을 증가시킬 수 있는 제2 메모리 서브뱅크에 연결하기 위해 제1 비트 라인의 길이를 연장할 필요가 없도록, 제2 메모리 서브뱅크는 별도의 제2 비트 라인(들)을 포함한다. 이런 방식으로, 각 메모리 서브뱅크는 자신의 제각기의 메모리 비트 셀을 액세스 회로에 연결하는 전용의 제1 및 제2 비트 라인을 갖는다. 제2 메모리 서브뱅크의 제2 비트 라인은 제1 메모리 서브뱅크의 제1 비트 라인과 독립적으로 효과적으로 "플라이(fly)"하며, 제2 비트 라인은 액세스 회로에 독립적으로 연결된다. 제1 메모리 서브뱅크의 제1 비트 라인은 제2 메모리 서브뱅크에 비트 라인을 제공하기 위해 길이를 연장할 필요가 없다. 이런 방식으로, 메모리 밀도가 증가해도 비트 라인 커패시턴스 증가, 동적 에너지 소비 증가, 및/또는 메모리 밀도를 제한할 수 있는 제조 설계 규칙 위반으로 인한 액세스 대기시간 비용이 증가하지 않는다. 메모리 밀도는 전력 소비를 희생하지 않고도 레이턴시 액세스 절감에 기초하여 증가될 수 있다. 또한, 다른 예로, 제1 메모리 서브뱅크와 제2 메모리 서브뱅크가 비트 라인을 공유하지 않고 액세스 회로를 공유함으로써, 제1 및 제2 메모리 서브뱅크는 공유 액세스 회로에서 충돌을 피하기 위해 메모리 동작 동안 동시에 액세스되지 않는다. 그러나, 서로 다른 메모리 서브뱅크에 대한 메모리 액세스는 제1 메모리 서브뱅크의 비트 라인 길이를 연장하지 않고도 메모리 밀도 증가의 이점을 누릴 수 있도록 관리된다.
- [0010] 또 다른 예에서, 제1 메모리 서브어레이 내의 제1 메모리 비트 셀의 셀 회로가 제2 비트 라인이 액세스 회로 쪽으로 연장되도록 하는 별도의 금속 라인 경로를 지원할 필요가 없게 하는 것이 바람직하다. 이와 관련하여, 제2 메모리 서브뱅크에 인접한 제1 메모리 서브뱅크의 메모리 행 회로에 있는 제1 메모리 비트 셀의 셀 회로는 플라이 비트 라인 셀 회로로 제공된다. 플라이 비트 라인 셀 회로는 제1 메모리 비트 셀과 제1 비트 라인용 금속 라인을 포함할 뿐만 아니라 점퍼 회로를 포함하는 전용 셀 회로이다. 점퍼 회로는 연결된 제2 비트 라인을 제2 메모리 서브뱅크 내의 인접한 메모리 비트 셀 행으로부터 다른 금속층으로 연장한다. 그 다음에 제2 비트 라인은, 액세스 회로 쪽으로 제1 메모리 서브뱅크 위를 플라이하는 이 다른 금속 층에서 연장된다. 이런 방식으로, 플라이 비트 라인 셀 회로는 제2 메모리 서브뱅크의 연결된 제2 비트 라인을, 제1 메모리 서브뱅크 내의 제1 비트 라인에 연결되지 않고도, 액세스 회로로 연장하는 것을 용이하게 하며, 이는 제1 비트 라인의 길이를 연장한다. 메모리 어레이에서 비트 라인의 길이를 연장하면, 메모리 어레이에 대한 메모리 액세스 대기시간을 증가시킬 수 있다. 또한, 플라이 비트 라인을 제공하면 제1 메모리 서브뱅크 내의 각각의 제1 메모리 행 회로가 제2 금속 라인이 제1 메모리 서브뱅크를 통해 액세스 회로에 이르도록 별도의 금속 라인을 지원(이는 예를 들어 설계 제작 규칙을 위반할 수 있다)할 필요가 없어진다.
- [0011] 이와 관련하여, 도 1은 프로세서(102) 및 메모리 시스템(108)을 포함하는 예시적인 프로세서 기반 시스템(100)의 다이어그램이다. 아래에서 더 상세히 논의되는 바와 같이, 메모리 시스템(108)은 더 높은 성능을 지원하기 위한 유효 비트 라인 길이를 증가시키기 위해 제2 메모리 서브뱅크 내의 제2 비트 라인에 액세스 회로를 연결하는 플라이 비트 라인을 포함하는 메모리 어레이를 포함할 수 있다. 이러한 예시적인 메모리 어레이를 논의하기 전에, 먼저 예시적인 프로세서 기반 시스템(100) 및 그 구성요소를 아래에서 논의한다.
- [0012] 도 1을 계속 참조하면, 프로세서(102)는 하나 이상의 각각의 CPU(104(0)-104(N))를 포함하며, 여기서 'N'은 프로세서(102)에 포함된 CPU의 수를 나타내는 양의 정수이다. 프로세서(102)는 집적 회로(IC) 칩(106)에 패키징될 수 있다. 프로세서(102)의 CPU(104(0)-104(N))는 메모리 요청(즉, 데이터 읽기 및 데이터 쓰기 요청)을 메모리 시스템(108)에 발행하도록 구성된다. 메모리 시스템(108)은 캐시 메모리 시스템(110) 및 시스템 메모리(112)를 포함한다. 시스템 메모리(112)는 프로세서 기반 시스템(100)의 물리적 주소(PA) 공간에 의해 완전히 주소 지정이 가능한 메모리이다. 예를 들어, 시스템 메모리(112)는 별도의 DRAM 칩에 제공되는 동적 랜덤 액세스 메모리(DRAM)일 수 있다. 메모리 시스템(108)의 캐시 메모리 시스템(110)은 하나 이상의 캐시 메모리(114(1)-114(X))를 포함하며, 여기서 'X'는 프로세서(102)에 포함된 캐시 메모리의 수를 나타내는 양의 정수이다. 캐시 메모리(114(1)-114(X))는 프로세서 기반 시스템(100)에서 서로 다른 계층에 위치할 수 있으며, 논리적으로 CPU(104(0)-104(N))와 시스템 메모리(112) 사이에 위치한다. 메모리 컨트롤러(116)는 시스템 메모리(112)에 대

한 액세스를 제어한다. 예를 들어, 요청 디바이스로서 CPU(104(0)-104(N))는 로드 명령어 처리에 대한 응답으로 데이터를 읽기 위한 데이터 요청(118)을 실행할 수 있다. 데이터 요청(118)은 메모리로부터 읽을 데이터의 타겟 주소를 포함한다. CPU(104(0))를 예로 들면, 요청된 데이터가 레벨 1(L1) 캐시 메모리로 간주될 수 있는 개인 캐시 메모리(114(1))에 없는 경우(즉, 캐시 메모리(114(1))로의 캐시 미스), 개인 캐시 메모리(114(1))는 이 예에서 상호 연결 버스(120)를 통해 모든 CPU(104(0)-104(N))와 공유하는 공유 캐시 메모리(114(X))(이는 레벨 3(L3) 캐시 메모리일 수 있음)로 데이터 요청(118)을 전송한다. 데이터 요청(118)에서 요청된 데이터는 결국 캐시 메모리(114(1)-114(X))에 저장되거나, 또는 캐시 메모리(114(1)-114(X))에 저장되지 않는 경우 시스템 메모리(112)에 저장된다.

[0013] 도 1의 메모리 시스템(108)의 캐시 메모리(114(1)-114(X)) 및/또는 시스템 메모리(112)는 일반적으로 데이터를 저장하기 위해 행 및 열 구조로 조직된 메모리 비트 셀을 포함하는 메모리 어레이를 이용할 수 있다. 각 열에 메모리 비트 셀을 포함하는 메모리 행은 메모리에서 데이터 워드를 읽거나 쓰기 위해 액세스된다. 메모리 비트 셀은 정적 랜덤 액세스 메모리(RAM)(SRAM) 비트 셀 및 DRAM과 같은 다양한 메모리 기술로 제공될 수 있다. 또 다른 예로, 시스템 메모리(112)는 메모리 성능 및 전력 소비를 개선하기 위해 다수의 메모리 뱅크를 사용하는 다수의 대형 메모리 어레이로 구현될 수 있다. 메모리 시스템(108)의 메모리에 복수의 메모리 뱅크를 제공하면, CPU(104(1)-104(N))에 의해 각각 액세스될 수 있는 여러 어레이들 사이에 메모리 용량을 분할할 수 있다. 또한, 메모리 시스템(108)에 별도의 메모리 뱅크를 제공한다는 것은, 전력 소비를 다른 메모리 뱅크와 독립적으로 각 메모리 뱅크에 대해 관리할 수 있다는 것을 의미한다. 따라서, 예를 들어, 소프트웨어 또는 데이터가 메모리의 한 부분에서는 지속되지만 다른 부분에서는 지속되지 않는 경우, 이들 개별 메모리 부분은 별도의 메모리 뱅크로 분할될 수 있으므로, 메모리 액세스를 위해 완전히 전원이 공급될 수 있는 다른 부분에 영향을 주지 않으면서 각각을 별도로 전원을 차단하거나 유휴 상태로 만들어 전력을 보존할 수 있다.

[0014] 도 2는 예시로서 도 1의 메모리 시스템(108)의 임의의 메모리에서 사용될 수 있는 4열 멀티플렉싱(CM4) 메모리 어레이(202)를 포함하는 예시적인 메모리 시스템(200)이다. 도 2의 메모리 어레이(202)는 플라이잉 비트 라인을 포함하지 않으며, 플라이잉 비트 라인을 채용하지 않는 메모리 어레이(202)를 예시하기 위해 설명된다.

[0015] 이와 관련하여, 도 2에 도시된 바와 같이, 메모리 어레이(202)는 제1 메모리 뱅크(204(1))와 제2 메모리 뱅크(204(2))를 포함한다. 제1 메모리 서브뱅크는, 각각이 복수의 제1 메모리 비트 셀 회로(208(0)-208(X))를 포함하는 복수의 제1 메모리 행 회로(206(0)-206(X))를 포함한다. 'X+1'은 메모리 행 회로(206(0)-206(X))의 개수이다. 각 메모리 행 회로(206(0)-206(X))는 제각기의 메모리 비트 셀 회로(208(0)-208(X)) 세트를 포함한다. 제1 메모리 뱅크(204(1)) 내의 각각의 메모리 행 회로(206(0)-206(X)) 내의 메모리 비트 셀 회로(208(0)-208(X)) 세트는 메모리 열 회로(210(0)-210(Y))에 구성되고, 따라서 각 메모리 비트 셀 회로(208(0)-208(X)) 세트는 'Y+1' 개의 메모리 비트 셀을 포함한다. 제1 메모리 뱅크(204(1))는 A1, B1, C1, D1, ..., A4, B4, C4, D4로 표시된 인터리브된 메모리 열 회로에 따라 인터리브된 데이터 워드 A, B, C, D를 저장하도록 구성된 인터리브된 메모리 열 회로(210(0)-210(Y))를 구비한다. 이와 관련하여, 데이터 워드(A1-A4)는 메모리 열 회로 A1, A2, A3, A4에 해당하는 메모리 열 회로 210(0)-210(Y)에 걸쳐 인터리브된다. 메모리 어레이에서 데이터 워드 저장을 인터리빙하면 비트 오류율(BER)을 줄일 수 있다.

[0016] 제1 메모리 뱅크(204(1))가 메모리 읽기 동작에 응답하여 액세스될 때, 메모리 액세스 동작에 대한 디코딩된 메모리 주소에 따라 선택된 메모리 행 회로(206(0)-206(X))에 대해 워드 라인(WL1)이 활성화된다. 그 다음에, 선택된 메모리 행 회로(206(0)-206(X))로부터 인터리브된 비트를 나타내는 각 메모리 열 회로(210(0)-210(Y)) 내의 각 메모리 비트 셀 회로(208(0)-208(X))에 연결된 제각기의 비트 라인에 연결된 복수의 열 멀티플렉서 회로(212(0)-212(3))에 컴럼 선택(CS)이 생성된다. 각 열 멀티플렉서 회로(212(0)-212(3))는 연결된 메모리 열 회로(210(0)-210(Y))로부터의 연결된 비트 라인 중 하나를 연결하여 대응하는 비트를 각각의 메모리 열 액세스 회로(214(0)-214(3))(예컨대, 감지 증폭기)에 제공한다. 이런 방식으로, 열 멀티플렉서 회로(212(0)-212(3))는 선택된 메모리 행 회로(206(0)-206(X))의 인터리브된 데이터 워드에서 선택된 비트를 각각의 메모리 열 액세스 회로(214(0)-214(3))로 멀티플렉싱하도록 제어된다. 예를 들어, 메모리 읽기 동작에서 선택된 메모리 행 회로(206(0)-206(X))에서 인터리브된 데이터 워드(A1-A4)를 선택하고자 하는 경우, 열 멀티플렉서 회로(212(0)-212(3))는 열 선택(CS)에 의해 제어되어 각 비트 라인(BL1-BL4)의 비트(A1-A4)를 선택된 메모리 행 회로(206(0)-208(X))로부터 제각기의 메모리 열 액세스 회로(214(0)-214(3))로 멀티플렉싱한다. 따라서, 제1 메모리 뱅크(204(1))는 이 예에서 4비트 열 멀티플렉싱(CM4) 배열로 구성된다.

[0017] 제2 메모리 뱅크(204(2))는 제1 메모리 뱅크(204(1))와 유사하게 구성된다. 도 2에 도시된 바와 같이, 제2 메모리 뱅크(204(2))는 E1, F1, G1, H1, ..., E4, F4, G4, H4로 표시된 인터리브된 메모리 열 회로에 따라 인터

리브된 데이터 워드 E, F, G 및 H를 저장하도록 설계된다. 제2 메모리 뱅크(204(2)) 또한 CM4 인터리브 배열로 구성된다. 제2 메모리 뱅크(204(2))의 동작은 제1 메모리 뱅크(204(1))의 동작과 유사하므로 설명하지 않는다. 제1 및 제2 메모리 뱅크(204(1), 204(2))는 공유 메모리 열 액세스 회로(214(0)-214(3))에 연결되므로, 한 번에 제1 및 제2 메모리 뱅크(204(1), 204(2)) 중 하나의 메모리 뱅크만 액세스된다는 점에 유의한다.

[0018] 메모리 저장 용량을 늘리기 위해 도 2의 메모리 어레이(202)의 메모리 용량을 늘리는 것이 바람직할 수 있다. 예를 들어, 이를 달성하는 한 가지 방법은 메모리 행 회로의 수를 늘리는 것이다. 따라서, 제1 메모리 뱅크(204(1))를 예로 들면, 메모리 행 회로(206(0)-206(Y))의 수는 예를 들어 256개에서 512개의 메모리 행 회로로 증가될 수 있다. 그러나, 메모리 행 회로(206(0)-206(Y))의 수를 늘리면, 대응하는 메모리 열 회로(210(0)-210(Y)) 내의 각각의 메모리 비트 셀 회로(208(0)-208(X))를 연결하는 대응하는 비트 라인(예컨대, BL1-BL4)의 길이도 연장될 것이다.

[0019] 메모리 어레이(202)의 메모리 뱅크(204(1), 204(2))에서 비트 라인(BL)의 길이가 연장되면, 메모리 시스템(200)의 PPA(power, performance, and area)가 저하될 수 있다. 비트 라인(BL)이 더 긴 메모리는, 액세스 지원 회로(예컨대, 쓰기 구동 회로 및 읽기 감지 회로)와 연결되는 비트 라인이 메모리 어레이의 확장 영역에 도달하도록 길이가 연장되기 때문에, 더 짧은 비트 라인(BL)을 갖는 메모리에 비해 액세스 대기시간이 늘어날 수 있다. 따라서, 예를 들어, 전체 메모리 액세스 대기시간은 지원 메모리 열 액세스 회로(214(0)-214(3))로부터 가장 멀리 위치하는 제1 메모리 뱅크(204(0)) 내의 메모리 행 회로(206(X))에 위치하는 메모리 비트 셀 회로(208(0)-208(X))로의 액세스 시간만큼 증가할 수 있다. 또한, 메모리 뱅크(204(1), 204(4))에서 비트 라인의 길이를 늘리면, 해당 비트 라인 상의 커패시턴스도 증가하여 액세스 대기시간이 늘어날 수 있다. 또한, 제조 설계 규칙 및 관련 제조 공정도 메모리 시스템(200)의 메모리 어레이(202) 내의 비트 라인의 전체 길이를 제한할 수 있으므로, 사실상 증가된 액세스 대기시간의 트레이드오프 수용과 관계없이 메모리 어레이(202)의 밀도를 제한할 수 있다.

[0020] 도 3은 도 2의 메모리 시스템(200)과 유사한 예시적인 CM4 인터리브 배열의 예시적인 메모리 시스템(300)이다. 그러나, 아래에서 논의되는 바와 같이, 메모리 시스템(300)은 도 2의 메모리 뱅크(204(2))에 비해 메모리 밀도가 증가된 메모리 어레이(302)를 포함한다. 이와 관련하여, 도 3의 메모리 어레이(302)는 도 2의 메모리 어레이(202)의 제1 메모리 뱅크(204(1))의 메모리 밀도의 제1 메모리 서브뱅크(304(1))를 포함한다. 메모리 뱅크는 읽기 및 쓰기 액세스를 위해 메모리 컨트롤러에 의해 제어되는 메모리 스토리지(예컨대, 메모리 비트 셀)의 로컬 단위이다. 메모리 뱅크는 읽기 및 쓰기 동작을 위해 비트 셀 어레이를 주소 지정하는 데 사용되는 액세스 회로(예컨대, 쓰기 드라이버, 감지 증폭기, 열 멀티플렉서, 충전 회로 및 쓰기 보조 회로)와 메모리 비트 셀 어레이를 포함한다. 메모리가 여러 메모리 뱅크로 분할되는 경우, 통상적으로 복수의 메모리 뱅크가 공통 액세스 지원 회로를 공유하기 때문에 데이터 충돌을 피하기 위해 통상적으로 한 번에 하나의 메모리 뱅크만 액세스 가능하다. 메모리 뱅크는 여러 개의 메모리 서브뱅크로 분할할 수도 있다. 메모리 서브뱅크는 메모리 뱅크로부터 메모리 비트 셀을 세분화한 것이다. 메모리 뱅크의 메모리 서브뱅크는 해당 메모리 뱅크의 다른 메모리 서브뱅크와 공통 액세스 회로를 공유하므로, 주어진 시간에 메모리 뱅크 내에서 하나의 메모리 서브뱅크에만 액세스할 수 있다.

[0021] 메모리 서브뱅크(304(1))는, 제1 메모리 서브뱅크(304(1))로부터 각각의 메모리 열 액세스 회로(314(0)-314(3))로 데이터 비트를 멀티플렉싱하는 열 멀티플렉서 회로(312(0)-312(3))에 연결된다. 메모리 열 액세스 회로(314(0)-314(3))는, 본 실시예에서 각 열 멀티플렉서 회로(312(0)-312(3))로부터 이에 다중화된 각 비트 라인(BL(1)(0) - BL(1)(Y))의 신호에서 메모리 상태를 감지하는 감지 증폭기 회로이다. 그러나, 도 3의 메모리 어레이(302)는 또한 제2 메모리 서브뱅크(304(2))를 포함하며, 이는 열 멀티플렉서 회로(312(0)-312(3))에 연결되어 제2 메모리 서브뱅크(304(3))의 비트 라인(BL(2)(0) - BL(2)(Y))으로부터의 데이터 비트를 각각의 메모리 열 액세스 회로(314(0)-314(3))로 멀티플렉싱한다. 메모리 열 액세스 회로(314(0)-314(3))는 또한 제각기의 열 멀티플렉서 회로(312(0)-312(3))로부터 자신에게 멀티플렉싱된 각각의 비트 라인(BL(2)(0) - BL(2)(Y)) 상의 신호에서 메모리 상태를 감지할 수 있다. 이런 방식으로, 공통 열 멀티플렉서 회로(312(0)-312(3)) 및 메모리 열 액세스 회로(314(0)-314(3))를 공유하는 2개의 메모리 서브뱅크(304(1), 304(2))를 갖는 메모리 어레이(302)의 메모리 밀도가 증가된다. 그러나, 제2 메모리 서브뱅크(304(2))의 추가에 의해 제1 메모리 서브뱅크(304(1))의 비트 라인의 길이가 증가하지 않는 것이 바람직하다.

[0022] 이와 관련하여, 도 3에 도시된 바와 같이, 제1 내부 메모리 서브뱅크(304(1))는 제2 외부 메모리 서브뱅크(304(2))보다 열 멀티플렉서 회로(312(0)-312(3)) 및 메모리 열 액세스 회로(314(0)-314(3))에 더 가깝게 위치한다. 내부 메모리 서브뱅크(304(1))는 각각이 복수의 메모리 비트 셀 회로(308(0)(0)-308(X)(Y))를 포함하는

X+1개의 메모리 행 회로(306(0)-306(X))를 갖는다. 예를 들어, 메모리 행 회로(306(0))는 Y+1개의 메모리 비트 셀 회로(308(0)(0)-308(0)(Y))를 포함한다. 메모리 행 회로(306(X))는 Y개의 메모리 비트 셀 회로(308(X)(0)-308(X)(Y))를 포함한다. 비제한적인 예로서, 메모리 비트 셀 회로(308(0)(0)-308(X)(Y))는 6개의 트랜지스터(6-T) 또는 그 이상의 트랜지스터를 사용하는 정적 랜덤 액세스 메모리(SRAM) 비트 셀일 수 있다. 메모리 비트 셀 회로(308(0)(0)-308(X)(Y))는 또 다른 예로서 동적 랜덤 액세스 메모리(DRAM) 비트 셀일 수도 있다. 메모리 비트 셀 회로(308(0)(0)-308(X)(Y))의 구성은, 각 메모리 행 회로(306(0)-306(X))로부터의 하나의 메모리 비트 셀 회로(308(0)(0)-308(X)(Y))가 동일한 각각의 메모리 열 회로(310(0)-310(Y))에 배열되도록 되어 있다. 도 3에는 메모리 열 회로(310(0), 310(Y))만 레이블이 지정되어 있다. 예를 들어, 내부 메모리 서브뱅크(304(1))에는 256개의 메모리 열 회로(310(0)-310(255))가 제공될 수 있다.

[0023] 도 3을 계속 참조하면, 내부 메모리 서브뱅크(304(1))는 각각의 메모리 행 회로(306(0)-306(X)) 내의 메모리 비트 셀 회로(308(0)(0)-308(X)(Y))에 각각 연결된 Y개의 제1 비트 라인(BL(1)(0) - BL(1)(Y))을 포함한다. 제1 비트 라인(BL(1)(0) - BL(1)(Y))은 선택된 메모리 행 회로(306(0)-306(Y)) 내의 메모리 비트 셀 회로(308(0)(0)-308(X)(Y))에 데이터를 쓰기 위해 사전 충전될 수 있으며, 이는 디코딩된 메모리 주소(316)에 따라 선택된 메모리 행 회로(306(0)-306(X))에 대한 메모리 구동 회로(318)에 의한 워드 라인(WL)의 활성화에 의해 제어된다. 도 3에는 하나의 WL만 도시되어 있지만, 각각의 메모리 행 회로(306(0)-306(X))에 대해 별도의 WL이 제공되며, 이는 각 메모리 행 회로(306(0)-306(X)) 내의 각각의 메모리 비트 셀 회로(308(0)(0)-308(X)(Y))에 연결된다는 점에 유의한다. 주어진 메모리 행 회로(306(0)-306(X))에 대한 WL 중 하나만 활성화되어 메모리 액세스 동작을 위한 메모리 행 회로(306(0)-306(X))를 선택한다. 선택된 메모리 행 회로(306(0)-306(X)) 내의 메모리 비트 셀 회로(308(0)(0)-308(X)(Y))는 또한 열 멀티플렉서 회로(312(0)-312(3)) 및 메모리 열 액세스 회로(314(0)-314(3))에 제공될 메모리 읽기 동작을 위해 각각의 비트 라인(BL(1)(0)-BL(1)(Y))에 데이터를 어서트할 수 있다.

[0024] 전술한 바와 같이, 메모리 어레이(302)의 메모리 밀도를 높이기 위해, 제2 외부 메모리 서브뱅크(304(2))도 메모리 시스템(300)에 포함된다. 외부 메모리 서브뱅크(304(2))는 내부 메모리 서브뱅크(304(1))보다 열 멀티플렉서 회로(312(0)-312(3)) 및 메모리 열 액세스 회로(314(0)-314(3))로부터 더 멀리 떨어져 위치한다. 내부 메모리 서브뱅크(304(1))와 마찬가지로, 외부 메모리 서브뱅크(304(2))는 각각 복수의 메모리 비트 셀 회로(328(0)(0)-328(X)(Y))를 포함하는 X+1개의 메모리 행 회로(326(0)-326(X))를 갖는다. 예를 들어, 메모리 행 회로(326(0))는 Y+1개의 메모리 비트 셀 회로(328(0)(0)-328(0)(Y))를 포함한다. 메모리 행 회로(326(X))는 Y개의 메모리 비트 셀 회로(328(X)(0)-328(X)(Y))를 포함한다. 비제한적인 예로서, 메모리 비트 셀 회로(328(0)(0)-328(X)(Y))는 6개의 트랜지스터(6-T) 또는 그 이상의 트랜지스터 수를 채용하는 SRAM 비트 셀일 수 있다. 메모리 비트 셀 회로(328(0)(0)-328(X)(Y))는 또 다른 예로 DRAM 비트 셀일 수도 있다. 메모리 비트 셀 회로(328(0)(0)-328(X)(Y))의 구성은 각 메모리 행 회로(326(0)-326(X))에서의 하나의 메모리 비트 셀 회로(328(0)(0)-328(X)(Y))가 동일한 각각의 메모리 열 회로(330(0)-330(Y))에 배열되도록 되어 있다. 도 3에는 메모리 열 회로(330(0), 330(Y))에만 레이블이 지정되어 있다. 예를 들어, 외부 메모리 서브뱅크(304(2))에 256개의 메모리 열 회로(330(0)-330(255))가 제공될 수 있다.

[0025] 도 3을 계속 참조하면, 외부 메모리 서브뱅크(304(2))는 또한 각각의 메모리 행 회로(326(0)-326(X)) 내의 메모리 비트 셀 회로(328(0)(0)-328(X)(Y))에 각각 연결된 Y개의 제2 비트 라인(BL(2)(0)-BL(2)(Y))을 포함한다. 제2 비트 라인(BL(2)(0) - BL(2)(Y))은 선택된 메모리 행 회로(326(0)-326(Y)) 내의 메모리 비트 셀 회로(328(0)(0)-328(X)(Y))에 데이터를 쓰기 위해 사전 충전될 수 있으며, 이는 디코딩된 메모리 주소(316)에 따라 선택된 메모리 행 회로(326(0)-326(X))에 대한 메모리 구동 회로(318)에 의한 워드 라인(WL)의 활성화에 의해 제어된다. 각 메모리 행 회로(326(0)-326(X))에는 각각의 메모리 행 회로(326(0)-326(X))의 각 메모리 비트 셀 회로(328(0)(0)-328(X)(Y))에 연결되는 별도의 WL이 제공된다는 점에 유의한다. 외부 메모리 서브뱅크(304(2))의 메모리 행 회로(326(0)-326(X))와 내부 메모리 서브뱅크(304(1))의 메모리 행 회로(306(0)-306(X)) 중 하나의 WL만 활성화되어 메모리 액세스 동작을 위한 메모리 행 회로(326(0)-326(X)) 또는 메모리 행 회로(306(0)-306(X))를 선택할 수 있다. 선택된 메모리 행 회로(326(0)-326(X))의 메모리 비트 셀 회로(328(0)(0)-328(X)(Y))는 또한 열 멀티플렉서 회로(312(0)-312(3)) 및 메모리 열 액세스 회로(314(0)-314(3))에 제공될 메모리 읽기 동작을 위해 각각의 비트 라인(BL(2)(0)-BL(2)(Y))에 데이터를 어서트할 수 있다.

[0026] 제1 및 제2 메모리 서브뱅크(304(1), 304(2))는 A1, B1, C1, D1, ..., A4, B4, C4, D4로 표시된 인터리브된 메모리 열 회로에 따라 인터리브된 데이터 워드(A, B, C, D)를 저장하도록 설계된다. 따라서, 메모리 어레이

(302)는 또한 CM4 인터리브 배열로 구성된다. 따라서, 이 예에서는 CM4 인터리브 배열을 지원하기 위한 4개의 열 멀티플렉서 회로(312(0)-312(3))가 있다. 인터리빙 방식과 매칭되도록 2개 이상의 열 멀티플렉서 회로(312(0)-312(3))가 있을 수 있다.

[0027] 메모리 읽기 동작에 대한 응답으로 내부 또는 외부 메모리 서브뱅크(304(1), 304(2))가 액세스되는 경우, 메모리 액세스 동작을 위해 디코딩된 메모리 주소(316)에 따라 선택된 메모리 행 회로(306(0)-306(X), 326(0)-326(X))에 대한 워드 라인(WL)이 활성화된다. 열 선택(CS1)은, 선택된 메모리 행 회로(306(0)-306(X), 326(0)-326(X))의 인터리브 비트를 나타내는 각각의 메모리 열 회로(310(0)-310(Y), 330(0)-330(Y)) 내의 각각의 메모리 비트 셀 회로(308(0)(0)-308(0)(Y), 328(0)(0)-328(0)(Y))에 연결된 각각의 제1 및 제2 비트 라인(BL(1)(0)-BL(1)(Y), BL(2)(0)-BL(2)(Y))에 연결된 열 멀티플렉서 회로(312(0)-312(3))에 생성된다. 각 열 멀티플렉서 회로(312(0)-312(3))는 연결된 메모리 열 회로(310(0)-310(Y), 330(0)-330(Y))로부터의 연결된 제1 및 제2 비트 라인(BL(1)(0)-BL(1)(Y), BL(2)(0)-BL(2)(Y)) 중 하나를 각각의 멀티플렉스 출력(320(0)-320(3))에 연결하여 대응하는 비트를 각각의 메모리 열 액세스 회로(314(0)-314(3))에 제공한다(예컨대, 감지 증폭기). 이런 방식으로, 열 멀티플렉서 회로(312(0)-312(3))는 선택된 메모리 행 회로(306(0)-306(X), 326(0)-326(X))의 인터리브된 데이터 워드에서 선택된 비트를 각각의 메모리 열 액세스 회로(314(0)-314(3))에 따라 멀티플렉싱하도록 제어된다. 메모리 열 액세스 회로(314(0)-314(3))는 메모리 읽기 동작을 위해 각 열 출력부(322(0)-322(3))에 데이터 출력 워드(324)의 비트를 제공하도록 구성된다.

[0028] 예를 들어, 메모리 읽기 동작에서 선택된 메모리 행 회로(306(0)-306(X))에서 인터리브된 데이터 워드(A1-A4)를 선택하고자 하는 경우, 열 멀티플렉서 회로(312(0)-312(3))는 열 선택(CS1)에 의해 제어되어, 선택된 메모리 행 회로 306(0)-306(X)에서 각각의 제1 비트 라인 BL(1)(0), BL(1)(3), BL(1)(7), BL(1)(11)의 비트(A1-A4)를 각각의 멀티플렉스 출력(320(0)-320(3))에서 각각의 메모리 열 액세스 회로(314(0)-314(3))로 멀티플렉스한다. 메모리 열 액세스 회로(314(0)-314(3))는 제1 비트 라인(BL(1)(0), BL(1)(3), BL(1)(7), BL(1)(11)) 상의 읽기 비트를 나타내는 신호를 각 열 출력부(322(0)-322(3))에 데이터 출력 워드(324)로서 제공하도록 구성된다.

[0029] 도 3에 도시되고 전술한 바와 같이, 제1 및 제2 비트 라인(BL(1)(0)-BL(1)(Y), BL(2)(0)-BL(2)(Y))은 각각의 메모리 서브뱅크(304(1), 304(2))의 각 메모리 열 회로(310(0)-310(Y), 330(0)-330(Y))에 제공된다. 제1 비트 라인(BL(1)(0)-BL(1)(Y))은 외부 메모리 서브뱅크(304(2))의 각 메모리 열 회로(330(0)-330(Y))에 비트 라인을 제공하도록 길이가 연장될 수 있다. 예를 들어, 내부 메모리 서브뱅크(304(1))의 제1 비트 라인(BL(1)(0)-BL(1)(Y))은 메모리 비트 셀 회로(308(0)(0)-308(X)(Y)) 내의 또는 위의 제1 금속층(예컨대, M0 또는 M2)에서 연장될 수 있다. 제1 비트 라인(BL(1)(0)-BL(1)(Y))의 길이를 연장하면, 제1 비트 라인(BL(1)(0)-BL(1)(Y))의 커패시턴스가 증가하여 메모리 어레이(302)의 메모리 성능이 원하지 않는 방식으로 감소할 수 있다.

[0030] 따라서, 외부 메모리 서브뱅크(304(2))에 대한 비트 라인을 제공하기 위해 내부 메모리 서브뱅크(304(1))의 제1 비트 라인(BL(1)(0)-BL(1)(Y))을 길게 할 필요가 없도록 하기 위해, 도 3의 메모리 시스템(300)에서 외부 메모리 서브뱅크(304(2))에 대한 제2 비트 라인(BL(2)(0)-BL(2)(Y))은 별도의 비트 라인으로 제공된다. 외부 메모리 서브뱅크(304(2))에 대한 제2 비트 라인(BL(2)(0)-BL(2)(Y))은 별개의 비트 라인이며 내부 메모리 서브뱅크(304(1))에 대한 제1 비트 라인(BL(1)(0)-BL(1)(Y))과 별개로 각각의 열 멀티플렉서 회로(312(0)-312(3))에 연결된다. 그러나, 외부 메모리 서브뱅크(304(2))에 대한 제2 비트 라인들(BL(2)(0)-BL(2)(Y)) 사이에는 열 멀티플렉서 회로(312(0)-312(3))로의 경로가 제공되어야 한다. 메모리 비트 셀 회로(308(0)(0)-308(X)(Y))는 내부 메모리 서브뱅크(304(1))에 대한 제1 비트 라인(BL(1)(0)-BL(1)(Y))을 수용하는 제1 금속층 내의 추가적인 금속 라인 라우팅 경로에서 제2 비트 라인(BL(2)(0)-BL(2)(Y))의 연결을 수용하고 내부 메모리 서브뱅크(304(2))를 통해 BL(1)(0)-BL(1)(Y)와 함께 열 멀티플렉서 회로(312(0)-312(3))로 연장되도록 설계가 변경될 수 있다. 그러나, 제조상의 제한으로 인해, 모든 메모리 비트 셀 회로(308(0)(0)-308(X)(Y))의 셀 설계를 제1 금속층에 대한 제1 비트 라인(BL(1)(0)-BL(1)(Y))의 연결을 수용하도록 변경하여 제1 비트 라인(BL(1)(0)-BL(1)(Y))과 함께 제2 비트 라인(BL(2)(0)-BL(2)(Y))에 대한 추가적인 금속 라인 경로를 제공하는 것이 방지되거나 또는 바람직하지 않게 될 수 있다.

[0031] 이와 관련하여, 도 3에 도시된 바와 같이, 외부 메모리 서브뱅크(304(2))로 연장하기 위해 내부 메모리 서브뱅크(304(1))의 제1 비트 라인(BL(1)(0)-BL(1)(Y))을 길게 할 필요가 없도록 하기 위해, 점퍼 셀 회로(332(0)-332(Y))가 제공된다. 이 실시예에서, 외부 메모리 서브뱅크(304(2))에 인접한 가장 바깥쪽 메모리 비트 셀 회로(308(X)(0)-308(X)(Y))는 점퍼 셀 회로(332(0)-332(Y))로서 제공된다. 점퍼 셀 회로(332(0)-332(Y))는 각각 외부 메모리 서브뱅크(304(2))에 대한 제2 비트 라인(BL(2)(0)-BL(2)(Y)) 및 내부 메모리 서브뱅크(304(1))에 대한 제1 비트 라인(BL(1)(0)-BL(1)(Y))에 연결되어 있다. 점퍼 셀 회로(332(0)-332(Y))는 각각 외부 메모리

서브뱅크(304(2))에 대한 각각의 제2 비트 라인(BL(2)(0)-BL(2)(Y))을 각각의 플라이 비트 라인(FBL(0)-FBL(Y))에 연결하는 각각의 금속 인터커넥트(334(0)-334(Y))를 포함한다. 이 예에서, 각각의 점퍼 셀 회로(332(0)-332(2))의 금속 인터커넥트(334(0)-334(Y))는 외부 메모리 서브뱅크(304(2))에 대한 제1 금속층 내의 제2 비트 라인(BL(2)(0)-BL(2)(Y))을 제2 금속층(ML2)(예, M4)의 각각의 플라이 비트 라인(FBL(0)-FBL(Y))에 연결한다. 예를 들어, 제2 금속층(ML2)은 내부 메모리 서브뱅크(304(1))에 대한 제1 비트 라인(BL(1)(0)-BL(1)(Y))이 배치되는 제1 금속층(ML1)보다 더 높은 금속층에 배치될 수 있다. 이런 방식으로, 플라이 비트 라인(FBL(0)-FBL(Y))은 내부 메모리 서브뱅크(304(1))에 대한 제1 비트 라인(BL(1)(0)-BL(1)(Y))이 수직 방향으로 배치되어 각각의 열 멀티플렉서 회로(312(1)-312(3))에 연결되는 제1 금속층(ML1) 위로 "플라이(fly over)"할 수 있다.

[0032] 내부 메모리 서브뱅크(304(1))에 대한 제1 비트 라인(BL(1)(0)-BL(1)(Y)) 및 외부 메모리 서브뱅크(304(2))에 연결된 플라이 비트 라인(FBL(0)-FBL(Y))을 별도의 금속층에서 라우팅하는 예시적인 세부 사항을 더 설명하기 위해, 도 4a 및 4b가 제공된다. 도 4a는 도 3의 메모리 어레이(302)의 일부분의 제1 하부 금속층(ML1)의 예시적인 레이아웃의 사시도이다. 도 4a는 제1 금속층(ML1)에서의 내부 메모리 서브뱅크(304(1))의 4개의 제1 비트 라인(BL(1)(0)-BL(1)(3))과 외부 메모리 서브뱅크(304(2))의 4개의 제2 비트 라인(BL(2)(0)-BL(2)(3))에 대한 금속 라인을 나타낸다. 도 4b는 도 3의 메모리 어레이(302) 일부분의 제2 상부 금속층(ML2)의 예시적인 레이아웃의 사시도이다. 도 4b는 외부 메모리 서브뱅크(304(2))의 제2 비트 라인(BL(2)(0)-BL(2)(3))을 제2 금속층(ML2)에서 열 멀티플렉서 회로(312(1)-312(3))로 라우팅된 플라이 비트 라인(BLY(0)-BL(Y))의 금속 라인에 연결하는 것을 나타낸다.

[0033] 이와 관련하여, 도 4a에 도시된 바와 같이, 내부 메모리 서브뱅크(304(1))의 제1 비트 라인(BL(1)(0)-BL(1)(3))은 제1 금속층(ML1) 내의 각 금속 트랙(MT0-MT3)에서 열 멀티플렉서 회로(312(0))를 향해 Y축 방향으로 연장된다. 외부 메모리 서브뱅크(304(2))의 제2 비트 라인(BL(2)(0)-BL(2)(3))도 제1 금속층(ML1) 내의 각 금속 트랙(MT0-MT3)에서 Y축 방향으로 연장된다. 도 4a에 도시된 바와 같이, 제2 비트 라인(BL(2)(0)-BL(2)(3))은 내부 메모리 서브뱅크(304(1))의 일부로서 각각의 점퍼 셀 회로(332(0)-332(Y))에 연결된다. 이 예에서, 점퍼 셀 회로(332(0)-332(Y))는 제2 메모리 서브뱅크(304(2))에 바로 인접하지만, 반드시 그럴 필요는 없다. 점퍼 셀 회로(332(0)-332(Y))는 제2 비트 라인(BL(2)(0)-BL(2)(3))에 연결되는 각각의 금속 인터커넥트(334(0)-334(3))를 갖는다. 제2 비트 라인(BL(2)(0)-BL(2)(3))은 제1 금속층 ML1의 열 멀티플렉서 회로(312(0))를 향해 더 이상 연장되지 않는다. 대신, 도 4b에 도시된 바와 같이, 금속 인터커넥트(334(0)-334(3))는 제2 금속층(ML2)까지 연장되며(예컨대, 비아 및 금속 라인을 통해) 플라이 비트 라인(FBL(0)-FBL(3))에 연결된다. 제2 금속층(ML2)은 Y축 방향으로 연장되는 금속 트랙(MT0-MT5)을 포함한다. Y축 방향으로 연장되는 플라이 비트 라인(FBL(0)-FBL(3))은 제1 금속층(ML1)의 각 금속 트랙(MT0, MT1, MT4, MT5)에 배치되어 열 멀티플렉서 회로 312(0)로 연장되고 연결되는 금속 라인으로 제공된다.

[0034] 따라서, 이 예에서, 제2 금속층(ML2)의 플라이 비트 라인(FBL(0)-FBL(3))은 제1 금속층 ML1의 제1 비트 라인(BL(1)(0)-BL(1)(Y)) 위로 연장(즉, 플라이)된다. 플라이 비트 라인(FBL(0)-FBL(3))은 수직 방향, 즉 Z축 방향으로 제1 비트 라인(BL(1)(0)-BL(1)(Y))과 적어도 부분적으로 겹친다.

[0035] 도 3의 메모리 시스템(300)의 플라이 비트 라인(FBL(0)-FBL(Y))은 도 4a 및 4b에 도시된 것과 다른 방식으로 라우팅될 수 있음에 유의한다. 예를 들어, 도 5의 메모리 시스템(300)의 예시적인 레이아웃에 도시된 바와 같이, 플라이 비트 라인(FBL(0)-FBL(Y))은 제1 및 제2 금속층(ML1, ML2) 사이에 있을 수 있는 제3 금속층(ML3) 내의 외부 메모리 서브뱅크(304(2))의 외부 메모리 행 회로(326(X))를 향해 다시 라우팅될 수 있다. 플라이 비트 라인(FBL(0)-FBL(Y))은 제2 금속층(ML2)의 금속 라인에 연결되어 열 멀티플렉서 회로(312(0)-312(Y))로 라우팅될 수 있다.

[0036] 도 6은 도 3의 메모리 시스템(300)과 유사한 메모리 어레이(602)를 포함하는 또 다른 예시적인 메모리 시스템(600)이다. 그러나, 도 6의 메모리 시스템(600)에서는, 메모리 어레이(602)의 크기를 더 증가시키기 위해 2개의 추가 메모리 서브뱅크, 즉 내부 메모리 서브뱅크(604(1)) 및 외부 메모리 서브뱅크(604(2))가 제공된다. 각각의 열 멀티플렉서 회로(312(0)-312(3)) 및 메모리 열 액세스 회로(314(0)-314(3))에 연결되는 내부 및 외부 메모리 서브뱅크(304(1), 304(2))가 제공되며, 이에 대한 설명은 반복하지 않는다. 또한, 이하에서 설명하는 바와 같이, 이 실시예에서 메모리 어레이(602)는 8열 다중(CM8) 배열로 구성되어, 예를 들어 메모리 워드 A를 읽기 위해서는 메모리 서브뱅크(304(1), 304(2)) 중 하나 및 메모리 서브뱅크(604(1), 604(2)) 중 하나가 액세스되므로 2개의 워드 라인(WL1, WL2)이 활성화될 필요가 있다. 또한, 이 예에서, 후술하는 바와 같이, 내부 메모리 서브뱅크(304(1))와 마찬가지로, 내부 메모리 서브뱅크(604(1))는 각 점퍼 셀 회로(632(0)-632(Y))를 포함

하고, 이는 외부 메모리 서브뱅크(604(2))의 제2 비트 라인(BL(4)(0)-BL(4)(Y))에 연결되고, 또한 공유 메모리 열 액세스 회로(314(0)-314(3))에 연결되는 각 열 멀티플렉서 회로(612(0)-612(3))에 연결된 제2 플라잉 비트 라인(SFBL(0)-SFBL(Y))에 연결된다.

[0037] 도 6을 참조하면, 내부 메모리 서브뱅크(604(1))는 외부 메모리 서브뱅크(604(2))보다 열 멀티플렉서 회로(612(0)-612(3)) 및 메모리 열 액세스 회로(314(0)-314(3))에 더 가깝게 위치한다. 내부 메모리 서브뱅크(604(1))는 각각이 복수의 메모리 비트 셀 회로(608(0)(0)-608(X)(Y))를 포함하는 X+1개의 메모리 행 회로(606(0)-606(X))를 갖는다. 메모리 행 회로(306(X))는 Y개의 메모리 비트 셀 회로(308(X)(0)-308(X)(Y))를 포함한다. 비제한적인 예로서, 메모리 비트 셀 회로(608(0)(0)-608(X)(Y))는 6개의 트랜지스터(6-T) 또는 그 이상의 트랜지스터를 채용하는 정적 랜덤 액세스 메모리(SRAM) 비트 셀일 수 있다. 메모리 비트 셀 회로(608(0)(0)-608(X)(Y))는 또 다른 예로서 동적 랜덤 액세스 메모리(DRAM) 비트 셀일 수도 있다. 메모리 비트 셀 회로(608(0)(0)-608(X)(Y))의 구성은, 각 메모리 행 회로(606(0)-606(X))로부터의 하나의 메모리 비트 셀 회로(608(0)(0)-608(X)(Y))가 동일한 각각의 메모리 열 회로(610(0)-610(Y))에 배열되도록 되어 있다. 도 6에는 메모리 열 회로(610(0), 610(Y))만 레이블이 지정되어 있다. 예를 들어, 내부 메모리 서브뱅크(604(1))에는 256개의 메모리 열 회로(610(0)-610(255))가 제공될 수 있다.

[0038] 도 6을 계속 참조하면, 내부 메모리 서브뱅크(604(1))는 각각의 메모리 행 회로(606(0)-606(X)) 내의 메모리 비트 셀 회로(608(0)(0)-608(X)(Y))에 각각 연결된 Y개의 제1 비트 라인(BL(3)(0) - BL(3)(Y))을 포함한다. 제1 비트 라인(BL(3)(0) - BL(3)(Y))은 선택된 메모리 행 회로(606(0)-606(X))에서 메모리 비트 셀 회로(608(0)(0)-608(X)(Y))에 데이터를 쓰도록 사전 충전될 수 있으며, 이는 디코딩된 메모리 주소(316)에 따라 선택된 메모리 행 회로(606(0)-606(X))에 대한 워드 라인(WL2)의 활성화에 의해 제어된다. 각 메모리 행 회로(606(0)-606(X))에는 각각의 메모리 행 회로(606(0)-606(X))의 각 메모리 비트 셀 회로(608(0)(0)-608(X)(Y))에 연결되는 별도의 WL이 제공된다는 점에 유의한다. 외부 메모리 서브뱅크(604(2))의 주어진 메모리 행 회로(606(0)-606(X))에 대한 WL들 중 하나만 활성화되어 메모리 액세스 동작을 위한 메모리 행 회로(606(0)-606(X))를 선택한다. 선택된 메모리 행 회로(606(0)-606(X))의 메모리 비트 셀 회로(608(0)(0)-608(X)(Y))는 또한 열 멀티플렉서 회로(612(0)-612(3)) 및 메모리 열 액세스 회로(314(0)-314(3))에 제공될 메모리 읽기 동작을 위해 각각의 비트 라인(BL(3)(0)-BL(3)(Y))에 데이터를 어서트할 수 있다.

[0039] 외부 메모리 서브뱅크(604(2))는 내부 메모리 서브뱅크(604(1))보다 열 멀티플렉서 회로(612(0)-612(3)) 및 메모리 열 액세스 회로(314(0)-314(3))로부터 더 멀리 위치한다. 내부 메모리 서브뱅크(604(1))와 마찬가지로, 외부 메모리 서브뱅크(604(2))는 각각 복수의 메모리 비트 셀 회로(628(0)(0)-628(X)(Y))를 포함하는 X+1개의 메모리 행 회로(626(0)-626(X))를 갖는다. 비제한적인 예로서, 메모리 비트 셀 회로(628(0)(0)-628(X)(Y))는 6개의 트랜지스터(6-T) 또는 그 이상의 트랜지스터 수를 채용하는 SRAM 비트 셀일 수 있다. 메모리 비트 셀 회로(628(0)(0)-628(X)(Y))는 또 다른 예로 DRAM 비트 셀일 수도 있다. 메모리 비트 셀 회로들(628(0)(0)-628(X)(Y))의 구성은, 각 메모리 행 회로(626(0)-626(X))로부터의 하나의 메모리 비트 셀 회로(628(0)(0)-628(X)(Y))가 동일한 각각의 메모리 열 회로(630(0)-630(Y))에 배열되도록 되어 있다. 도 6에는 메모리 열 회로(630(0), 630(Y))만 레이블이 지정되어 있다. 예를 들어, 외부 메모리 서브뱅크(604(2))에 256개의 메모리 열 회로(630(0)-630(255))가 제공될 수 있다.

[0040] 도 6을 계속 참조하면, 외부 메모리 서브뱅크(604(2))는 또한 각각의 메모리 행 회로(626(0)-626(X)) 내의 메모리 비트 셀 회로(628(0)(0)-628(X)(Y))에 각각 연결된 Y 수의 제2 비트 라인(BL(4)(0) - BL(4)(Y))을 포함한다. 제2 비트 라인(BL(4)(0) - BL(4)(Y))은 선택된 메모리 행 회로(626(0)-626(X))에서 메모리 비트 셀 회로(628(0)(0)-628(X)(Y))에 데이터를 쓰도록 사전 충전될 수 있으며, 이는 디코딩된 메모리 주소(316)에 따라 선택된 메모리 행 회로(626(0)-626(X))에 대한 워드 라인(WL2)의 활성화에 의해 제어된다. 각 메모리 행 회로(626(0)-626(X))에는 각각의 메모리 행 회로(626(0)-626(X))의 각 메모리 비트 셀 회로(628(0)(0)-628(X)(Y))에 연결되는 별도의 WL이 제공된다는 점에 유의한다. 외부 메모리 서브뱅크(604(2))의 주어진 메모리 행 회로(626(0)-626(X))와 내부 메모리 서브뱅크(604(1))의 메모리 행 회로(606(0)-606(X)) 중 하나의 WL만 활성화되어 메모리 액세스 동작을 위한 메모리 행 회로(626(0)-626(X)) 또는 메모리 행 회로(606(0)-606(X))를 선택한다. 선택된 메모리 행 회로(626(0)-626(X))의 메모리 비트 셀 회로(628(0)(0)-628(X)(Y))는 또한 열 멀티플렉서 회로(612(0)-612(3)) 및 메모리 열 액세스 회로(314(0)-314(3))에 제공될 메모리 읽기 동작을 위해 각각의 비트 라인(BL(4)(0)-BL(4)(Y))에 데이터를 어서트할 수 있다.

[0041] 메모리 서브뱅크(304(1), 304(2), 604(1), 604(2))는 A1, B1, C1, D1, E1, F1, G1, H1, ... , A4, B4, C4, D4, E4, F4, G4, H4로 표시된 인터리브된 메모리 열 회로에 따라 인터리브된 데이터 워드(A, B, C, D, E, F,

G, H)를 저장하도록 설계된다. 따라서, 메모리 어레이(602)는 또한 CM8 인터리브 배열로 구성된다. 따라서, 이 예에서는 CM8 인터리브 배열을 지원하기 위한 8개의 열 멀티플렉서 회로(312(0)-312(3), 612(0)-612(3))가 있다. 인터리빙 방식과 매칭되도록 2개 이상의 열 멀티플렉서 회로(312(0)-312(3), 612(0)-612(3))가 있을 수 있다.

[0042] 메모리 읽기 동작에 대한 응답으로 내부 또는 외부 메모리 서브뱅크(604(1), 604(2))가 액세스되는 경우, 메모리 액세스 동작을 위해 디코딩된 메모리 주소(316)에 따라 선택된 메모리 행 회로(606(0)-606(X), 626(0)-626(X))에 대한 워드 라인(WL)이 활성화된다. 열 선택(CS2)은 선택된 메모리 행 회로(606(0)-606(X), 626(0)-626(X))의 인터리브된 비트를 나타내는 각각의 메모리 열 회로(610(0)-610(Y), 630(0)-630(Y)) 내의 각각의 메모리 비트 셀 회로(608(0)(0)-608(0)(Y), 628(0)(0)-628(0)(Y))에 연결된 각각의 제1 및 제2 비트 라인(BL(1)(0)-BL(1)(Y), BL(2)(0)-BL(2)(Y))에 연결된 열 멀티플렉서 회로(612(0)-612(3))에 생성된다. 각 열 멀티플렉서 회로(612(0)-612(3))는 연결된 메모리 열 회로(610(0)-610(Y), 630(0)-630(Y))로부터의 연결된 제1 및 제2 비트 라인(BL(1)(0)-BL(1)(Y), BL(2)(0)-BL(2)(Y)) 중 하나를 각각의 멀티플렉스 출력(620(0)-620(3))에 연결하여 대응하는 비트를 각각의 메모리 열 액세스 회로(314(0)-314(3))에 제공한다(예컨대, 감지 증폭기). 이런 방식으로, 열 멀티플렉서 회로(612(0)-612(3))는 선택된 메모리 행 회로(606(0)-606(X), 626(0)-626(X))의 인터리브된 데이터 워드에서 선택된 비트를 각각의 메모리 열 액세스 회로(314(0)-314(3))에 따라 멀티플렉스하도록 제어된다. 메모리 열 액세스 회로(314(0)-314(3))는 메모리 읽기 동작을 위해 각 열 출력부(322(0)-322(3)) 상에 데이터 출력 워드(324)의 비트를 제공하도록 구성된다(도 3 참조).

[0043] 예를 들어, 메모리 읽기 동작에서 메모리 어레이(602)로부터 인터리브된 데이터 워드(A1-A4)를 선택하고자 하는 경우, 두 개의 메모리 읽기 동작이 수행된다. 먼저, 원하는 메모리 행 회로(306(0)-306(X), 326(0)-326(X))를 선택하기 위한 제1 동작에서 제1 워드 라인(WL1)이 활성화된다. 열 멀티플렉서 회로(312(0), 312(2))는 열 선택(CS1)에 의해 제어되어, 각 멀티플렉스 출력(320(0), 320(2)) 상의 활성화된 워드 라인(WL1)에 따라 선택된 메모리 행 회로(306(0)-306(X))로부터의 각각의 제1 비트 라인(BL(1)(0), BL(1)(7)) 상의 비트(A1, A3)를 각각의 메모리 열 액세스 회로(314(0), 314(2))로 멀티플렉싱한다. 메모리 열 액세스 회로(314(0), 314(2))는 A1, A3에 대한 제1 비트 라인(BL(1)(0), BL(1)(2))의 읽기 비트를 나타내는 신호를 데이터 출력 워드(324)의 일부로서 각각의 열 출력(322(0), 322(2))에 제공하도록 구성된다. 그 다음에, 제2 액세스 동작에서, 제2 워드 라인(WL2)이 활성화되어 원하는 메모리 행 회로(606(0)-606(X), 626(0)-626(X))를 선택한다. 열 멀티플렉서 회로(612(1), 612(3))는 열 선택(CS2)에 의해 제어되어, 각각의 멀티플렉스 출력(620(1), 620(3)) 상의 활성화된 워드 라인(WL2)에 따라 선택된 메모리 행 회로(606(0)-606(X))로부터의 각각의 제1 비트 라인(BL(3)(1), BL(3)(3)) 상의 비트(A2, A4)를 각각의 메모리 열 액세스 회로(314(1), 314(3))로 멀티플렉싱한다. 메모리 열 액세스 회로(314(1), 314(3))는 A1, A3에 대한 제1 비트 라인(BL(3)(4), BL(3)(11))의 읽기 비트를 나타내는 신호를 데이터 출력 워드(324)로서 각각의 열 출력(622(0), 622(2))에 제공하도록 구성된다.

[0044] 메모리 읽기 액세스에서, 각각의 워드 라인(WL1, WL2)이 활성화되면 선택된 메모리 행 회로의 모든 메모리 비트 셀 회로가 활성화되고 각각의 비트 라인의 데이터가 각각의 열 멀티플렉서 회로(312(0)-312(3), 612(0)-612(3))에 연결된다는 점에 유의한다. 따라서, 워드 라인(WL1, WL2) 사이의 하나의 워드 라인만 한 번에 활성화되어, 메모리 열 액세스 회로(314(1), 314(3))가 공유될 수 있다. 도 3의 메모리 시스템(300)에서와 같이 메모리 어레이(602)로의 메모리 읽기 동작을 위해 두 개의 개별 워드 라인(WL1, WL2)을 활성화하면 메모리 동작을 위해 하나의 워드 라인만 활성화하는 것보다 2배 많은 메모리 비트 셀 회로가 활성화되지만, 이 예에서 도 6의 메모리 어레이(602)의 메모리 밀도는 도 3의 메모리 어레이(302)의 메모리 밀도의 2배이다. 따라서, 도 6의 메모리 어레이(602)에서 밀도 기준으로 정규화된 전력 소비는 여전히 도 3의 메모리 어레이(302)와 거의 동일하다.

[0045] 도 6을 계속 참조하면, 각각의 메모리 서브뱅크(604(1), 604(2))의 각 메모리 열 회로(610(0)-610(Y), 630(0)-630(Y))에 대해 제1 및 제2 비트 라인(BL(3)(0)-BL(3)(Y), BL(4)(0)-BL(4)(Y))이 제공된다. 제1 비트 라인(BL(3)(0)-BL(3)(Y))은 외부 메모리 서브뱅크(604(2))의 각 메모리 열 회로(630(0)-630(Y))에 대한 비트 라인을 제공하기 위해 길이가 연장될 수 있다. 예를 들어, 내부 메모리 서브뱅크(604(1))의 제1 비트 라인(BL(1)(0)-BL(1)(Y))은 메모리 비트 셀 회로(608(0)(0)-608(X)(Y)) 내의 또는 위의 제1 금속층(예컨대, M0 또는 M2)에서 연장될 수 있다. 제1 비트 라인(BL(3)(0)-BL(3)(Y))의 길이를 연장하면, 제1 비트 라인(BL(3)(0)-BL(3)(Y))의 커패시턴스가 증가하여 메모리 어레이(602)의 메모리 성능이 원하지 않는 방식으로 감소할 수 있다.

[0046] 따라서, 외부 메모리 서브뱅크(604(2))에 대한 비트 라인을 제공하기 위해 내부 메모리 서브뱅크(604(1))의 제1

비트 라인(BL(3)(0)-BL(3)(Y))을 길게 할 필요가 없도록 하기 위해, 도 6의 메모리 시스템(600)에서 외부 메모리 서브뱅크(604(2))에 대한 제2 비트 라인(BL(4)(0)-BL(4)(Y))은 별도의 비트 라인으로 제공된다. 외부 메모리 서브뱅크(604(2))에 대한 제2 비트 라인(BL(4)(0)-BL(4)(Y))은 별개의 비트 라인이며 내부 메모리 서브뱅크(604(1))에 대한 제1 비트 라인(BL(3)(0)-BL(3)(Y))과 별개로 각각의 열 멀티플렉서 회로(612(0)-612(3))에 연결된다. 그러나, 외부 메모리 서브뱅크(604(2))에 대한 제2 비트 라인(BL(4)(0)-BL(4)(Y)) 사이에는 열 멀티플렉서 회로(612(0)-612(3))로의 경로가 제공되어야 한다. 메모리 비트 셀 회로들(608(0)(0)-608(X)(Y))은 내부 메모리 서브뱅크(604(1))에 대한 제1 비트 라인(BL(4)(0)-BL(4)(Y))을 수용하는 제1 금속층 내의 추가적인 금속 라인 라우팅 경로에서 제2 비트 라인(BL(3)(0)-BL(3)(Y))의 연결을 수용하고 내부 메모리 서브뱅크(604(2))를 통해 BL(3)(0)-BL(3)(Y)와 함께 열 멀티플렉서 회로(612(0)-612(3))로 연장되도록 설계가 변경될 수 있다. 그러나, 제조상의 제한으로 인해, 모든 메모리 비트 셀 회로(608(0)(0)-608(X)(Y))의 셀 설계를 제1 금속층에 대한 제1 비트 라인(BL(3)(0)-BL(3)(Y))의 연결을 수용하도록 변경하여, 제1 비트 라인(BL(3)(0)-BL(3)(Y))과 함께 제2 비트 라인(BL(4)(0)-BL(4)(Y))에 대한 추가적인 금속 라인 경로를 제공하는 것이 방지되거나 바람직하지 않게 될 수 있다.

[0047] 이와 관련하여, 도 6에 도시된 바와 같이, 외부 메모리 서브뱅크(604(2))로 연장하기 위해 내부 메모리 서브뱅크(604(1))의 제1 비트 라인(BL(3)(0)-BL(3)(Y))을 길게 할 필요가 없도록 하기 위해, 도 3의 메모리 배열(302)의 점퍼 셀 회로(332(0)-332(Y))와 같을 수 있는 점퍼 셀 회로(632(0)-632(Y))가 제공된다. 이 예에서, 외부 메모리 서브뱅크(604(2))에 인접한 가장 바깥쪽 메모리 비트 셀 회로들(608(X)(0)-608(X)(Y))은 점퍼 셀 회로들(632(0)-632(Y))로서 제공된다. 점퍼 셀 회로(632(0)-632(Y))는 각각 외부 메모리 서브뱅크(604(2))의 제2 비트 라인(BL(4)(0)-BL(4)(Y)) 및 내부 메모리 서브뱅크(604(1))의 제1 비트 라인(BL(3)(0)-BL(3)(Y))에 연결된다. 점퍼 셀 회로(632(0)-632(Y))는 각각 외부 메모리 서브뱅크(604(2))의 각각의 제2 비트 라인(BL(4)(0)-BL(4)(Y))을 각각의 제2 플라이 비트 라인(SFBL(0)-SFBL(Y))에 연결하는 각각의 금속 인터커넥트(634(0)-634(Y))를 포함한다. 이 예에서, 각각의 점퍼 비트 셀 회로(632(0)-632(2))의 금속 인터커넥트(634(0)-634(Y))는 외부 메모리 서브뱅크(604(2))에 대한 제1 금속층 내의 제2 비트 라인(BL(4)(0)-BL(4)(Y))을 제2 금속층 ML2(예컨대, ML4) 내의 각각의 플라이 비트 라인(SFBL(0)-SFBL(Y))에 연결한다. 예를 들어, 제2 금속층(ML2)은 내부 메모리 서브뱅크(304(1))에 대한 제1 비트 라인(BL(3)(0)-BL(3)(Y))이 배치되는 제1 금속층(ML1)보다 더 높은 금속층에 배치될 수 있다. 이런 방식으로, 제2 플라이 비트 라인(SFBL(0)-SFBL(Y))은 내부 메모리 서브뱅크(604(1))에 대한 제1 비트 라인(BL(3)(0)-BL(3)(Y))이 수직 방향으로 배치되어 각각의 열 멀티플렉서 회로(612(1)-612(3))에 연결되는 제1 금속층(ML1) 위로 "플라이"할 수 있다.

[0048] 도 4a-5의 금속층 레이아웃 예들은 도 6의 메모리 어레이(602)의 내부 및 외부 메모리 서브뱅크(604(1), 604(2))의 제1 비트 라인(BL(3)(0)-BL(3)(Y)), 제2 비트 라인(BL(4)(0)-BL(4)(Y)) 및 제2 플라이 비트 라인(SFBL(0)-SFBL(Y))에도 적용될 수 있다.

[0049] 도 3 및 도 6의 메모리 어레이(302 및 602)를 포함하는 본 명세서에 기술된 메모리 어레이는 메모리 밀도를 증가시키기 위해 제1 및 제2 메모리 서브뱅크를 포함하고, 여기서 메모리 어레이는 제1 메모리 서브어레이의 제1 비트 라인의 길이를 연장하지 않고도 더 높은 성능을 지원하기 위한 유효 비트 라인 길이를 증가시키기 위해 제2 메모리 서브뱅크의 제2 비트 라인에 액세스 회로를 연결하는 플라이 비트 라인을 더 포함하며, CM16, CM32, ... 등을 포함하되 이에 국한되지 않는 다른 열 멀티플렉싱된 배열로서 제공될 수 있음에 유의한다.

[0050] 도 7은 실행을 위한 컴퓨터 명령어들을 실행하도록 구성된 프로세서(702)를 포함하는 예시적인 프로세서 기반 시스템(700)의 블록도이다. 프로세서 기반 시스템은 또한 메모리 밀도를 증가시키기 위해 제1 및 제2 메모리 서브뱅크들을 포함하는 하나 이상의 메모리 어레이를 포함하는 메모리 시스템(704)을 포함하며, 여기서 메모리 어레이는 제1 메모리 서브어레이 내의 제1 비트 라인의 길이를 연장하지 않고도 더 높은 성능을 지원하기 위한 유효 비트 라인 길이를 증가시키기 위해 제2 메모리 서브뱅크 내의 제2 비트 라인에 액세스 회로를 연결하는 플라이 비트 라인을 더 포함한다. 이 예의 메모리 시스템(704)은 명령어 캐시(706), 데이터 캐시(708) 및 시스템 메모리(710)를 포함한다. 도 7의 메모리 시스템(704)의 임의의 메모리는, 비제한적인 예로서, 도 3 및 도 6의 메모리 어레이(302, 602)를 포함할 수 있다.

[0051] 도 7을 계속 참조하면, 프로세서 기반 시스템(700)은 인쇄 회로 기판(PCB), 서버, 개인용 컴퓨터, 데스크톱 컴퓨터, 랩톱 컴퓨터, 개인 디지털 비서(PDA), 컴퓨팅 패드, 모바일 디바이스 또는 임의의 다른 디바이스와 같은 전자 보드 카드에 포함된 회로 또는 회로들일 수 있고, 예를 들어 서버 또는 사용자 컴퓨터를 나타낼 수 있다. 프로세서(702)는 마이크로프로세서, 중앙 처리 장치 등과 같은 하나 이상의 범용 처리 회로를 나타낸다. 프로세서(702)는 본 명세서에 설명된 동작 및 단계를 수행하기 위한 컴퓨터 명령어에서의 처리 논리를 실행하도록

구성된 명령어 처리 회로(709)를 포함한다. 프로세서(702)는 또한 명령어의 임시, 고속 액세스 메모리 저장을 위한 명령어 캐시(706)를 포함한다. 시스템 버스(712)를 통해 시스템 메모리(710)와 같은 메모리로부터 페치되거나 프리페치된 명령어들은 명령어 캐시(706)에 저장된다. 프로세서(702)는 또한 시스템 버스(712)를 통해 시스템 메모리(710)로부터의 데이터의 임시, 고속 액세스 메모리 저장을 위한 데이터 캐시(708)를 포함한다.

[0052] 프로세서(702) 및 시스템 메모리(710)는 시스템 버스(712)에 연결되며, 프로세서 기반 시스템(700)에 포함된 주변 디바이스들을 상호 연결할 수 있다. 잘 알려진 바와 같이, 프로세서(702)는 시스템 버스(712)를 통해 주소, 제어 및 데이터 정보를 교환함으로써 이들 다른 디바이스와 통신한다. 예를 들어, 프로세서(702)는 슬레이브 디바이스의 예로서 시스템 메모리(710)의 메모리 컨트롤러(714)에 버스 트랜잭션 요청을 전달할 수 있다. 도 7에는 도시되어 있지 않지만, 복수의 시스템 버스(712)가 제공될 수 있으며, 각 시스템 버스는 상이한 패브릭을 구성한다. 이 예에서, 메모리 컨트롤러(714)는 시스템 메모리(710) 내의 메모리 어레이(716)에 메모리 액세스 요청을 제공하도록 구성된다. 메모리 어레이(716)는 데이터를 저장하기 위한 스토리지 비트 셀의 어레이로 구성된다. 시스템 메모리(710)는 비제한적인 예로서, 읽기 전용 메모리(ROM), 플래시 메모리, SDRAM(synchronous DRAM) 등과 같은 동적 랜덤 액세스 메모리(DRAM) 및 정적 메모리(예컨대, 플래시 메모리, 정적 랜덤 액세스 메모리(SRAM) 등)일 수 있다.

[0053] 다른 디바이스들이 시스템 버스(712)에 연결될 수 있다. 도 7에 도시된 바와 같이, 이들 디바이스는 시스템 메모리(710), 하나 이상의 입력 디바이스(들)(718), 하나 이상의 출력 디바이스(들)(720), 모뎀(722) 및 하나 이상의 디스플레이 컨트롤러(724)를 예로서 포함할 수 있다. 입력 디바이스(들)(718)는 입력 키, 스위치, 음성 프로세서 등을 포함하되 이에 국한되지 않는 임의의 유형의 입력 디바이스를 포함할 수 있다. 출력 디바이스(들)(720)는 오디오, 비디오, 기타 시각적 표시기 등을 포함하되 이에 국한되지 않는 임의의 유형의 출력 디바이스를 포함할 수 있다. 모뎀(722)은 네트워크(726)와의 데이터 교환을 허용하도록 구성된 임의의 디바이스일 수 있다. 네트워크(726)는 유선 또는 무선 네트워크, 사설 또는 공용 네트워크, 근거리 통신망(LAN), 무선 근거리 통신망(WLAN), 광역 통신망(WAN), 블루투스제 네트워크 및 인터넷을 포함하되 이에 국한되지 않는 임의의 유형의 네트워크일 수 있다. 모뎀(722)은 원하는 임의의 유형의 통신 프로토콜을 지원하도록 구성할 수 있다. 프로세서(702)는 또한 하나 이상의 디스플레이(728)로 전송되는 정보를 제어하기 위해 시스템 버스(712)를 통해 디스플레이 컨트롤러(들)(724)에 액세스하도록 구성될 수 있다. 디스플레이(들)(728)는 음극선관(CRT), 액정 디스플레이(LCD), 플라즈마 디스플레이 등을 포함하나 이에 국한되지 않는 임의의 유형의 디스플레이를 포함할 수 있다.

[0054] 도 7의 프로세서 기반 시스템(700)은, 프로세서(702)와 같은 프로세서에 의해 실행될 때, 메모리 뱅크 내에서 메모리 뱅크 내의 선택된 메모리 행 회로에서 각각의 GBL 제어 경로 및 WL 경로의 타이밍을 제어하는 GBL 클록 신호 및 로컬 WL 클록 신호를 로컬로 생성하는 일련의 명령어(730)를 포함할 수 있다. 명령어(730)는 비-일시적 컴퓨터 판독 가능 매체(732)의 예로서 시스템 메모리(710), 프로세서(702) 및/또는 명령어 캐시(706)에 저장될 수 있다. 명령어(730)는 또한 이들의 실행 동안 시스템 메모리(710) 및/또는 프로세서(702) 내에 완전히 또는 적어도 부분적으로 존재할 수 있다. 명령어(730)는 또한 모뎀(722)을 통해 네트워크(726)를 통해 송신 또는 수신될 수 있으며, 네트워크(726)는 다른 예들로서 비일시적 컴퓨터 판독 가능 매체(732) 또는 입력 디바이스(718)를 포함할 수 있다.

[0055] 예시적인 실시예에서 비-일시적 컴퓨터 판독 가능 매체(732)는 단일 매체로 도시되어 있지만, "컴퓨터 판독 가능 매체"라는 용어는 하나 이상의 명령어 세트를 저장하는 단일 매체 또는 복수의 매체(예컨대, 중앙 집중식 또는 분산 데이터베이스 및/또는 관련 캐시 및 서버)를 포함하는 것으로 간주되어야 한다. 또한, "컴퓨터 판독 가능 매체"라는 용어는 처리 디바이스에 의한 실행을 위한 명령어 세트를 저장, 인코딩 또는 전달할 수 있고 처리 디바이스가 본 명세서에 개시된 실시예의 방법들 중 하나 이상을 수행하도록 하는 임의의 매체를 포함하는 것으로 간주될 것이다. 따라서, "컴퓨터 판독 가능 매체"라는 용어는 고체 메모리, 광학 매체 및 자기 매체를 포함하되 이에 국한되지 않는 것으로 간주될 것이다.

[0056] 본 명세서에 개시된 실시예들은 다양한 단계를 포함한다. 본원에 개시된 실시예들의 단계들은 하드웨어 구성요소에 의해 형성되거나 머신 실행 가능한 명령어로 구현될 수 있으며, 이는 명령어로 프로그래밍된 범용 또는 특수 목적 프로세서가 단계를 수행하도록 하는 데 사용될 수 있다. 또는, 이들 단계는 하드웨어와 소프트웨어의 조합에 의해 수행될 수 있다.

[0057] 본원에 개시된 실시예들은 컴퓨터 프로그램 제품 또는 소프트웨어로 제공될 수 있으며, 여기에는 본원에 개시된 실시예에 따라 프로세스를 수행하도록 컴퓨터 시스템(또는 다른 전자 디바이스)을 프로그래밍하는 데 사용될 수

있는 명령어가 저장된 머신 판독 가능 매체(또는 컴퓨터 판독 가능 매체)를 포함할 수 있다. 머신 판독 가능 매체는 머신(예컨대, 컴퓨터)이 판독 가능한 형태로 정보를 저장하거나 전송하기 위한 임의의 메커니즘을 포함한다. 예를 들어, 머신 판독 가능 매체는 머신 판독 가능 저장 매체(예컨대, ROM, 랜덤 액세스 메모리(RAM), 자기 디스크 저장 매체, 광학 저장 매체, 플래시 메모리 디바이스 등) 등을 포함한다.

[0058] 특별히 달리 명시되지 않는 한, 그리고 앞의 논의에서 명백한 바와 같이, 본 명세서 전체에서 '처리', '컴퓨팅', '결정', '디스플레이' 등과 같은 용어를 활용한 논의는 컴퓨터 시스템의 레지스터 내에서 물리적(전자) 양으로 표현되는 데이터 및 메모리를 컴퓨터 시스템 메모리, 레지스터 또는 기타 그러한 정보 저장, 전송 또는 디스플레이 장치 내에서 물리적 양으로 유사하게 표현되는 다른 데이터로 조작 및 변환하는 컴퓨터 시스템 또는 유사한 전자 컴퓨팅 장치의 동작 및 프로세스를 의미하는 것으로 이해된다.

[0059] 본 명세서에 제시된 알고리즘 및 디스플레이는 본질적으로 특정 컴퓨터 또는 기타 장치와 관련이 없다. 본 발명의 가르침에 따라 다양한 시스템을 프로그램과 함께 사용할 수도 있고, 필요한 방법 단계를 수행하기 위해 보다 특수한 장치를 구성하는 것이 편리할 수도 있다. 이러한 다양한 시스템에 필요한 구조는 위의 설명에서 알 수 있다. 또한, 본 명세서에 설명된 실시예들은 특정 프로그래밍 언어를 참조하여 설명되지 않는다. 다양한 프로그래밍 언어가 본 명세서에 설명된 실시예의 가르침을 구현하는 데 사용될 수 있음을 이해할 수 있을 것이다.

[0060] 당업자들은 본 명세서에 개시된 실시예들과 관련하여 설명된 다양한 예시적인 논리 블록, 모듈, 회로 및 알고리즘이 전자 하드웨어로 구현되거나, 메모리 또는 다른 컴퓨터 판독 가능 매체에 저장되고 프로세서 또는 다른 처리 디바이스에 의해 실행되는 명령어로 구현되거나, 또는 이들의 조합으로 구현될 수 있음을 더 이해할 수 있을 것이다. 본 명세서에 설명된 분산 안테나 시스템의 구성요소는, 예를 들면 임의의 회로, 하드웨어 구성요소, 집적 회로(IC) 또는 IC 칩으로 사용될 수 있다. 본원에 개시된 메모리는 임의의 유형 및 크기의 메모리일 수 있으며, 원하는 임의의 유형의 정보를 저장하도록 구성될 수 있다. 이러한 상호교환성을 명확하게 설명하기 위해, 다양한 예시적 구성요소, 블록, 모듈, 회로 및 단계가 일반적으로 기능 측면에서 위에서 설명하였다. 이러한 기능이 구현되는 방법은 특정 응용, 설계 선택 및/또는 전체 시스템에 부과된 설계 제약 조건에 따라 달라진다. 당업자는 설명된 기능을 각각의 특정 응용에 대해 다양한 방식으로 구현할 수 있지만, 그러한 구현 결정이 본 실시예의 범위를 벗어나는 것으로 해석되어서는 안 된다.

[0061] 본 명세서에 개시된 실시예들과 관련하여 설명된 다양한 예시적인 논리 블록, 모듈 및 회로는 본 명세서에 설명된 기능을 수행하도록 설계된 프로세서, 디지털 신호 프로세서(DSP), 애플리케이션 특정 집적 회로(ASIC), 필드 프로그램 가능 게이트 어레이(FPGA) 또는 기타 프로그램 가능 논리 디바이스, 개별 게이트 또는 트랜지스터 로직, 개별 하드웨어 컴포넌트 또는 이들의 임의의 조합으로 구현 또는 수행될 수 있다. 또한, 컨트롤러는 프로세서일 수도 있다. 프로세서는 마이크로프로세서일 수 있지만, 대안으로, 프로세서는 임의의 종래의 프로세서, 컨트롤러, 마이크로컨트롤러 또는 상태 머신일 수 있다. 프로세서는 또한 컴퓨팅 디바이스의 조합(예컨대, DSP와 마이크로프로세서의 조합, 복수의 마이크로프로세서, DSP 코어와 결합된 하나 이상의 마이크로프로세서, 또는 임의의 다른 이러한 구성)으로 구현될 수도 있다.

[0062] 본 명세서에 개시된 실시예들은 하드웨어 및 하드웨어에 저장되는 명령어들로 구현될 수 있으며, 예를 들어 RAM, 플래시 메모리, ROM, 전기적 프로그램 가능 ROM(EPROM), 전기적 삭제 가능 프로그램 가능 ROM(EEPROM), 레지스터, 하드 디스크, 이동식 디스크, CD-ROM 또는 당업자에게 알려진 다른 형태의 컴퓨터 판독 가능한 매체 내에 상주할 수 있다. 예시적인 저장 매체는 프로세서에 연결되어 프로세서가 저장 매체로부터 정보를 읽고, 저장 매체에 정보를 기록할 수 있다. 대안으로, 저장 매체는 프로세서에 일체형일 수 있다. 프로세서와 저장 매체는 ASIC에 상주할 수 있다. ASIC은 원격 스테이션에 상주할 수 있다. 다른 대안으로, 프로세서와 저장 매체는 원격 스테이션, 기지국 또는 서버에 개별 구성 요소로 상주할 수 있다.

[0063] 또한, 본 명세서의 임의의 예시적인 실시예에서 설명되는 동작 단계는 예시 및 논의를 제공하기 위해 설명되는 점에 유의한다. 설명된 동작은 예시된 순서 이외의 수많은 다른 순서로 수행될 수 있다. 또한, 단일 운영 단계에 설명된 작업은 실제로는 다수의 다른 단계에서 수행될 수 있다. 또한, 예시적인 실시예에서 논의된 하나 이상의 동작 단계가 결합될 수도 있다. 당업자는 또한 정보 및 신호가 다양한 기술 및 기법 중 어느 것을 사용하여 표현될 수 있음을 이해할 것이다. 예를 들어, 이상의 설명 전반에 걸쳐 참조될 수 있는 데이터, 명령어, 커맨드, 정보, 신호, 비트, 심볼 및 칩은 전압, 전류, 전자기파, 자기장 또는 입자, 광학장 또는 입자 또는 이들의 임의의 조합으로 표현될 수 있다.

[0064] 달리 명시적으로 언급되지 않는 한, 본 명세서에 명시된 방법이 특정 순서로 단계를 수행해야 하는 것으로 해석

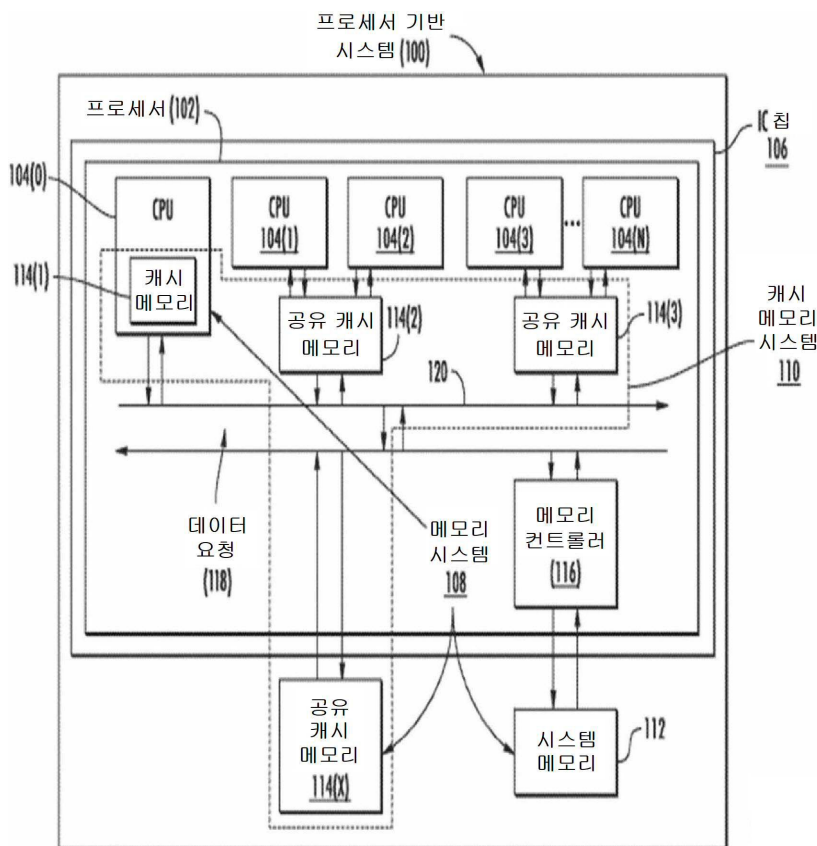
되기를 바라지는 않는다. 따라서, 방법 청구항이 실제로 그 단계가 따라야 할 순서를 기재하지 않거나, 청구항 또는 설명에서 단계가 특정 순서로 제한되어야 한다고 달리 구체적으로 명시되지 않은 경우, 임의의 특정 순서를 의미하는 것으로 결론짓고자 하는 것은 아니다.

[0065]

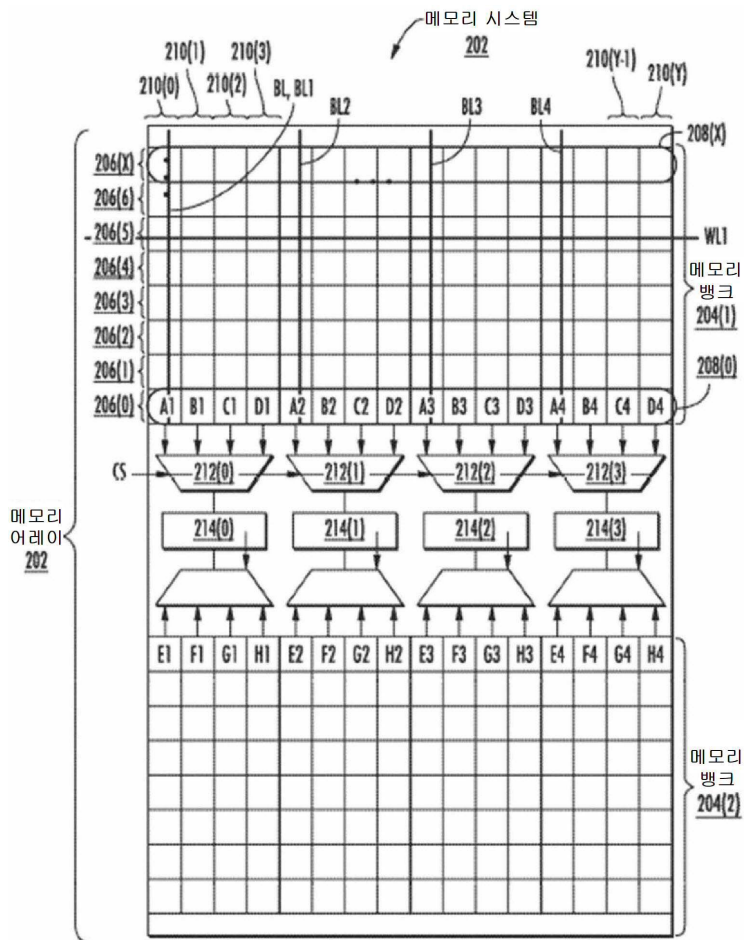
당업자에게는 본 발명의 정신이나 범위를 벗어나지 않고 다양한 수정 및 변형이 이루어질 수 있음이 명백할 것이다. 본 발명의 사상 및 구체적인 내용을 포함하는 개시된 실시예의 수정, 조합, 하위 조합 및 변형이 당업자에게 발생할 수 있으므로, 본 발명은 첨부된 청구범위 및 그 균등물의 범위 내의 모든 것을 포함하는 것으로 해석되어야 한다.

도면

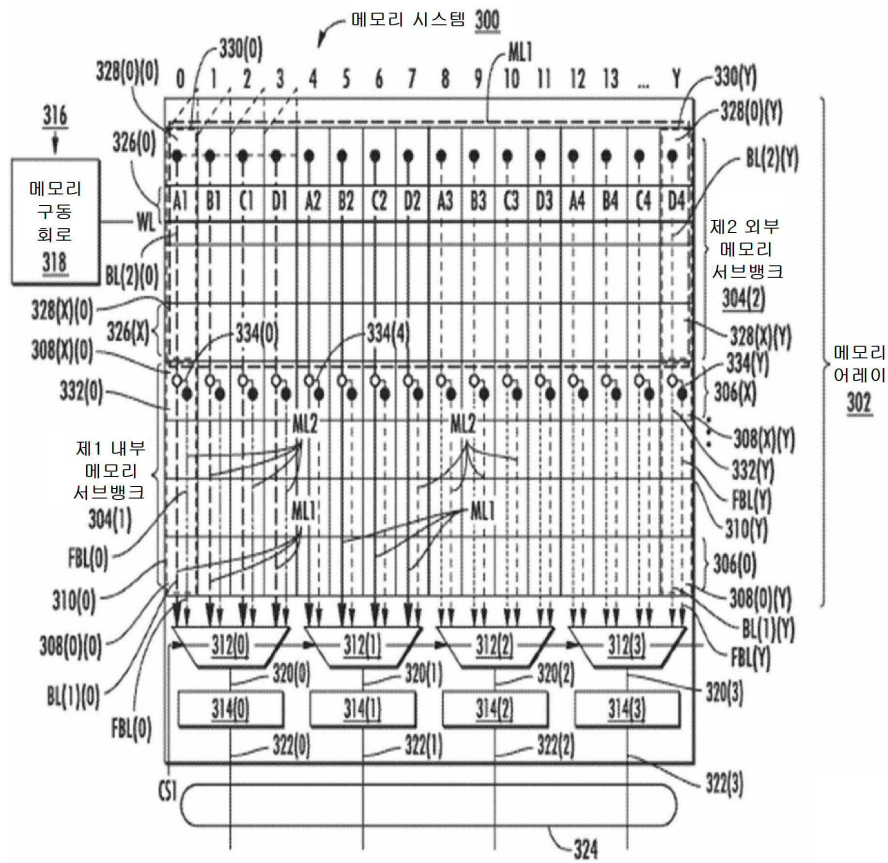
도면1



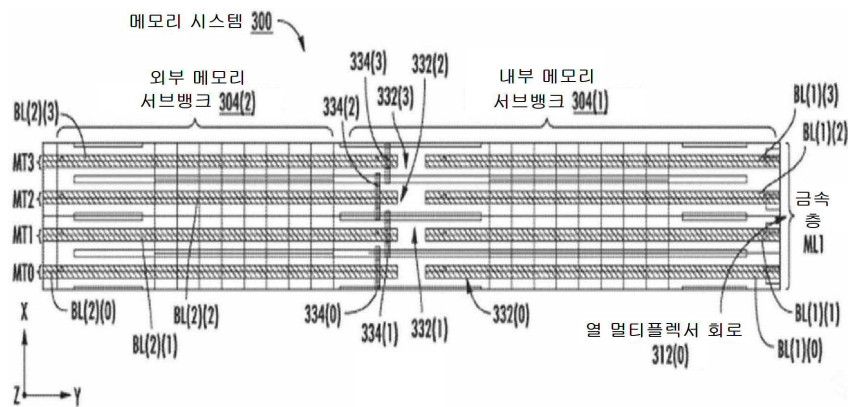
도면2



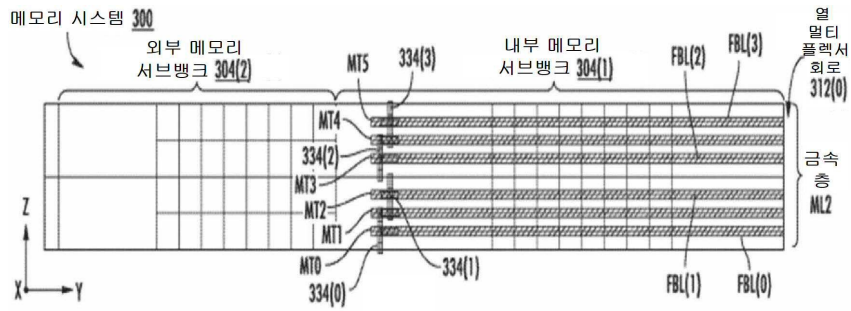
도면3



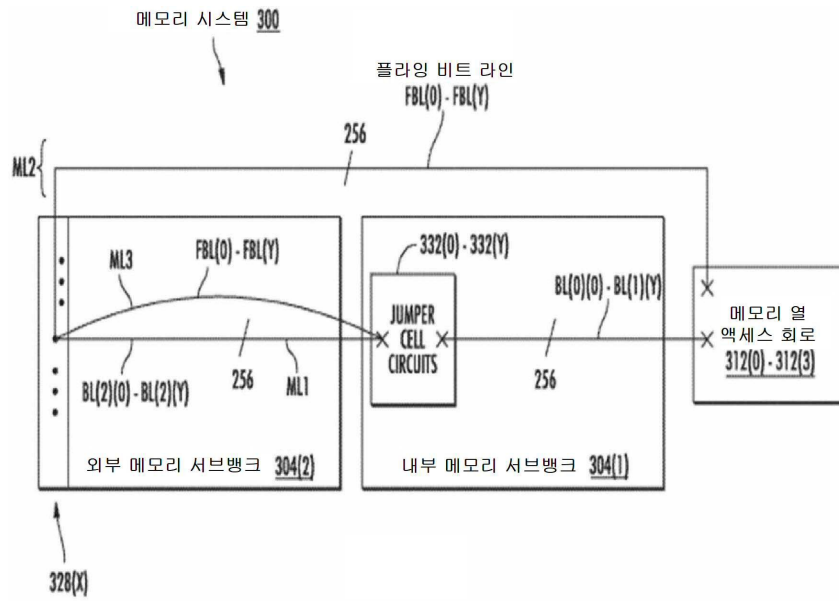
도면4a



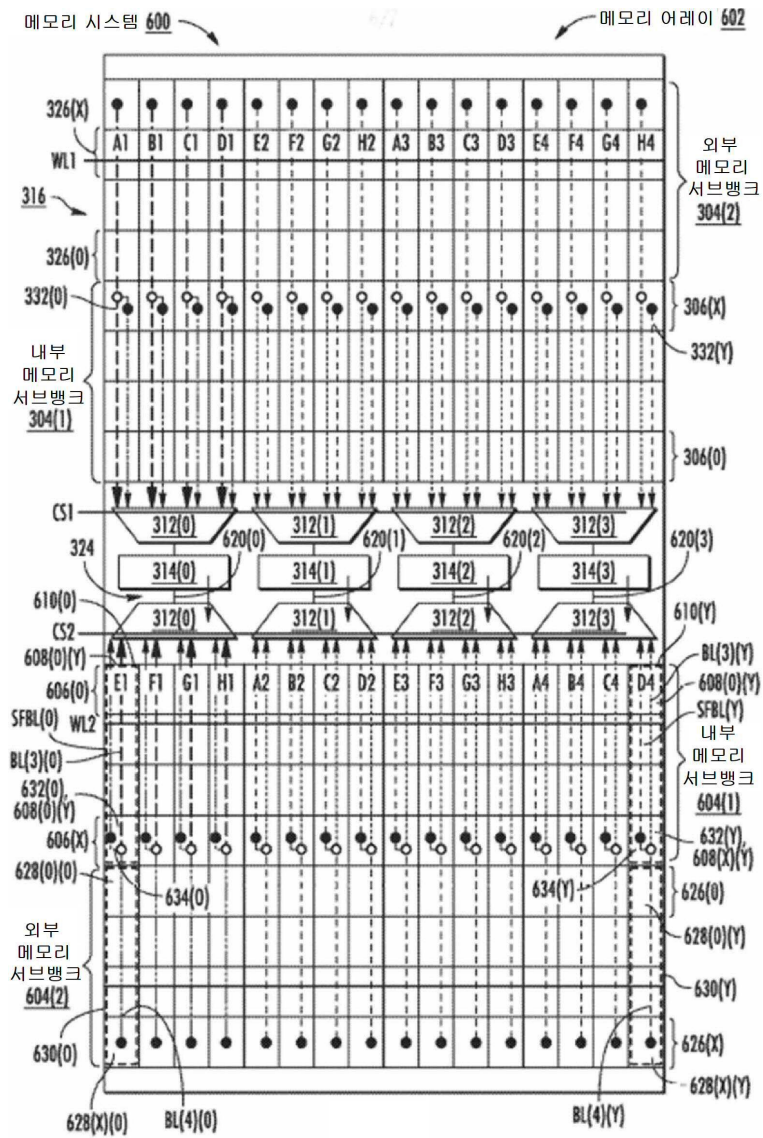
도면4b



도면5



도면6



도면7

