

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5130906号
(P5130906)

(45) 発行日 平成25年1月30日(2013.1.30)

(24) 登録日 平成24年11月16日(2012.11.16)

(51) Int. Cl.		F I	
H03K 17/687	(2006.01)	H03K 17/687	G
H03K 17/693	(2006.01)	H03K 17/693	A
H03K 17/10	(2006.01)	H03K 17/10	

請求項の数 10 (全 22 頁)

(21) 出願番号	特願2007-334074 (P2007-334074)	(73) 特許権者	000106276
(22) 出願日	平成19年12月26日(2007.12.26)		サンケン電気株式会社
(65) 公開番号	特開2009-159222 (P2009-159222A)		埼玉県新座市北野3丁目6番3号
(43) 公開日	平成21年7月16日(2009.7.16)	(74) 代理人	100072154
審査請求日	平成22年11月8日(2010.11.8)		弁理士 高野 則次
		(72) 発明者	町田 修
			埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内
		(72) 発明者	岩淵 昭夫
			埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内
		審査官	栗栖 正和

最終頁に続く

(54) 【発明の名称】 スイッチ装置

(57) 【特許請求の範囲】

【請求項1】

電気回路の電流をオン・オフするためのスイッチ装置であって、

前記電気回路を接続するための第1及び第2の主端子と、

主半導体領域と、該主半導体領域に接続された第1及び第2の主電極と、前記主半導体領域における前記第1及び第2の主電極間部分に流れる電流を制御するためのゲート手段とを有し且つノーマリオン特性を有している主半導体スイッチング素子と、

前記主半導体スイッチング素子に対して直列に接続された第1の補助半導体スイッチング素子であって、前記第1の主端子に接続された前記第1の主電極と前記主半導体スイッチング素子の前記第1の主電極に接続された第2の主電極と該第1の補助半導体スイッチング素子の前記第1及び第2の主電極間に流れる電流を制御するための制御手段とを有し且つ前記主半導体スイッチング素子の閾値電圧の絶対値以上の耐圧特性を有し且つノーマリオフ特性を有している第1の補助半導体スイッチング素子と、

前記主半導体スイッチング素子に対して直列に接続された第2の補助半導体スイッチング素子であって、前記第2の主端子に接続された前記第1の主電極と前記主半導体スイッチング素子の前記第2の主電極に接続された第2の主電極と該第2の補助半導体スイッチング素子の前記第1及び第2の主電極間に流れる電流を制御するための制御手段とを有し且つ前記主半導体スイッチング素子の閾値電圧の絶対値以上の耐圧特性を有し且つノーマリオフ特性を有している第2の補助半導体スイッチング素子と、

前記第1及び第2の主端子間に第1の方向の電圧が印加された時に導通する方向性を有

10

20

して前記第 1 の補助半導体スイッチング素子に対して並列に接続された第 1 のダイオードと、

前記第 1 及び第 2 の主端子間に前記第 1 の方向と反対の第 2 の方向の電圧が印加された時に導通する方向性を有して前記第 2 の補助半導体スイッチング素子に対して並列に接続された第 2 のダイオードと、

前記ゲート手段の電位を決定するためのものであり、前記第 1 の主端子と前記主半導体スイッチング素子の前記ゲート手段との間に接続され且つ前記第 1 及び第 2 の主端子間に前記第 2 の方向の電圧が印加された時に前記第 1 の主端子と前記主半導体スイッチング素子の前記ゲート手段との間を導通状態にすることができる特性を有し且つ前記第 1 及び第 2 のダイオードよりも高い耐圧特性を有している第 1 のゲート電位決定用スイッチング素子と、

10

前記ゲート手段の電位を決定するためのものであり、前記第 2 の主端子と前記主半導体スイッチング素子の前記ゲート手段との間に接続され且つ前記第 1 及び第 2 の主端子間に前記第 1 の方向の電圧が印加された時に前記第 2 の主端子と前記主半導体スイッチング素子の前記ゲート手段との間を導通状態にすることができる特性を有し且つ前記第 1 及び第 2 のダイオードよりも高い耐圧特性を有している第 2 のゲート電位決定用スイッチング素子と

を備え、

前記主半導体スイッチング素子を構成するための前記主半導体領域は、第 1 の主面と該第 1 の主面に対向する第 2 の主面とを有し、前記主半導体スイッチング素子の前記第 1 及び第 2 の主電極は前記主半導体領域の前記一方の主面上に所定の間隔を有して配置され、前記ゲート手段は前記半導体領域の前記一方の主面の前記第 1 及び第 2 の主電極間に配置され、

20

前記第 1 及び第 2 のゲート電位決定用スイッチング素子は第 3 及び第 4 のダイオードであり、

前記第 3 のダイオードは、前記主半導体スイッチング素子を形成するための前記主半導体領域に対して一体に形成された第 1 の補助半導体領域と、前記第 1 の補助半導体領域の一方の主面にオーミック接触された第 1 の電極と、前記第 1 の補助半導体領域の前記一方の主面にショットキー接触された第 2 の電極とから成り、

前記第 4 のダイオードは、前記主半導体スイッチング素子を形成するための前記主半導体領域に対して一体に形成された第 2 の補助半導体領域と、前記第 2 の補助半導体領域の一方の主面にオーミック接触された第 1 の電極と、前記第 2 の補助半導体領域の前記一方の主面にショットキー接触された第 2 の電極とから成ることを特徴とするスイッチ装置。

30

【請求項 2】

更に、前記主半導体領域の前記他方の主面及び前記第 1 及び第 2 の補助半導体領域の他方の主面に電氣的及び機械的に結合された一方の主面と該一方の主面に対向する他方の主面とを有している導電性基板と、

前記導電性基板に対して前記第 3 及び第 4 のダイオードの前記第 2 の電極をそれぞれ電氣的に接続するための第 1 及び第 2 の導体と、

前記導電性基板の前記他方の主面に形成された補助電極と、

40

前記補助電極を前記主半導体スイッチング素子の前記ゲート手段に接続する第 3 の導体と

を備えていることを特徴とする請求項 1 記載のスイッチ装置。

【請求項 3】

更に、前記第 1 の補助半導体スイッチング素子の前記第 1 の主電極と前記制御手段との間に前記第 1 の補助半導体スイッチング素子をオンにするための第 1 の制御信号を供給するための第 1 のスイッチ制御回路と、

前記第 2 の補助半導体スイッチング素子の前記第 1 の主電極と前記制御手段との間に第 2 の補助半導体スイッチング素子をオンにするための第 2 の制御信号を供給するための第 2 のスイッチ制御回路と

50

を備えていることを特徴とする請求項 1 記載のスイッチ装置。

【請求項 4】

更に、前記第 1 の補助半導体スイッチング素子に並列に接続された第 1 の過電圧保護素子と、前記第 2 の補助半導体スイッチング素子に並列に接続された第 2 の過電圧保護素子とを有していることを特徴とする請求項 1 記載のスイッチ装置。

【請求項 5】

前記主半導体領域は 2 次元キャリアガス層を生じさせることができる第 1 及び第 2 の半導体層を有していることを特徴とする請求項 1 記載のスイッチ装置。

【請求項 6】

前記主半導体領域は所定導電型を有する半導体層を有し、該半導体層は前記主半導体スイッチング素子の前記第 1 及び第 2 の主電極間の電流通路として機能するものであることを特徴とする請求項 1 記載のスイッチ装置。

10

【請求項 7】

前記主半導体スイッチング素子の前記第 1 及び第 2 の主電極は、前記主半導体領域の前記第 1 の主面にオーミック接触している電極であり、前記主半導体スイッチング素子のゲート手段は、前記主半導体領域の前記第 1 の主面にショットキー接触している電極であることを特徴とする請求項 1 記載のスイッチ装置。

【請求項 8】

前記半導体スイッチング素子の前記第 1 及び第 2 の主電極は、前記第 1 及び第 2 の主半導体領域の前記第 1 の主面にオーミック接触している電極であり、前記主半導体スイッチング素子のゲート手段は、前記主半導体領域の前記一方の主面上に配置されたゲート絶縁膜と、該ゲート絶縁膜上に配置されたゲート電極とから成ることを特徴とする請求項 1 記載のスイッチ装置。

20

【請求項 9】

更に、前記半導体領域の前記他方の主面に電気的及び機械的に結合された一方の主面と該一方の主面に対向する他方の主面とを有している導電性基板と、

前記導電性基板に形成された補助電極と、

前記補助電極を前記主半導体スイッチング素子の前記ゲート手段に接続する導体とを有していることを特徴とする請求項 1 記載のスイッチ装置。

【請求項 10】

30

前記主半導体領域は、化合物半導体からなり、

前記第 1 及び第 2 の補助半導体スイッチング素子は、シリコン半導体から成ることを特徴とする請求項 1 乃至 9 のいずれか 1 つに記載のスイッチ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、マトリックスコンバータ、交流電源回路等の電気回路に使用するための双方向スイッチとして好適なスイッチ装置に関する。

【背景技術】

【0002】

40

交流電流をオン・オフすることができる双方向スイッチ（交流スイッチ）としてトライアック即ち双方向性 3 端子サイリスタが知られている。しかし、トライアックは、ここに流れる電流が保持電流以下になるまでオン状態を継続する特性を有しているため、任意の時点でオフにできない。従って、任意の時点で電流をオフにすることが要求される時には、例えば、図 1 に示すように第 1 及び第 2 の主端子 1、2 間に互いに逆の方向性を有して直列に接続された第 1 及び第 2 の IGBT 即ち絶縁ゲート・バイポーラ・トランジスタ Q1、Q2 と、第 1 及び第 2 の絶縁ゲート・バイポーラ・トランジスタ Q1、Q2 に対して逆の方向性を有して並列接続された第 1 及び第 2 のダイオード D1、D2 との組み合わせによって双方向スイッチ回路（双方向スイッチ）を構成した。なお、図 1 の第 1 及び第 2 の絶縁ゲート・バイポーラ・トランジスタ Q1、Q2 を、絶縁ゲート型又は接合型電界効果トラン

50

ジスタ、又はバイポーラ・トランジスタに置き換えて双方向スイッチを構成すること、又は2つの絶縁ゲート・バイポーラ・トランジスタ（IGFET）を互いに逆の方向性を有するように並列接続して双方向スイッチを構成することもできる。図1及びこれに類似の双方向スイッチはノーマリオフ型の複数の半導体スイッチング素子を使用して構成される。図1のように複数の半導体スイッチング素子を組み合わせた双方向スイッチは、回路構成が複雑になり、且つオン電圧及びオン抵抗が比較的高くなるという欠点を有する。また、図1及びこれに類似の双方向スイッチは、バンドギャップが比較的小さいシリコン半導体で形成されているので、高耐圧化が困難であるという欠点を有する。

【0003】

図1及びこれに類似の双方向スイッチの問題点を解決するための双方向スイッチがWO 2004/114508号公報（特許文献1）に開示されている。この特許文献1に従う双方向スイッチSWは、図2に示すように第1及び第2の主端子1、2とゲート端子3と、第1及び第2の主端子1、2間に接続された化合物半導体から成るノーマリオン型主半導体スイッチング素子（例えばHEMT）Qと、第1の主端子1にカソードが接続された第1のダイオードD1と、第2の主端子2にカソードが接続された第2のダイオードD2と、第1及び第2のダイオードD1、D2のアノードを相互に接続する共通導体4とを有している。この双方向スイッチを使用する時には、例えば、第1及び第2の主端子1、2に負荷5を介して交流電源6を接続し、ゲート端子3と共通導体4との間にゲート制御回路7を接続する。図2の双方向スイッチSWにおいて、第1の主端子1の電位が第2の主端子2の電位よりも高く且つゲート端子3の電位が共通導体4に対して負の時には、ノーマリオン型の主半導体スイッチング素子Qがオフになり、双方向スイッチSWもオフになる。双方向スイッチSWはゲートを中心にして電氣的に対称的に形成されているので、第2の主端子2の電位が第1の主端子1の電位よりも高く且つゲート端子3の電位が共通導体4に対して負の時には、主半導体スイッチング素子Qがオフになり、双方向スイッチSWもオフになる。ゲート端子3の電位を共通導体4を基準にして主半導体スイッチング素子Qのしきい値以上の値（例えば零又は正電位）にした時には、主半導体スイッチング素子Qがオンになり、双方向スイッチSWもオンになる。

【0004】

図2の双方向スイッチSWは少ない部品点数で構成できるという利点、及び主半導体スイッチング素子Qを窒化物半導体等の化合物半導体で構成することによって高耐圧化ができるという利点を有する。しかし、主半導体スイッチング素子Q及び双方向スイッチSWがノーマリオン型であるので、オフ状態にするためにゲート端子3に負電位を与えなければならず、ゲート制御回路7が複雑且つコスト高になる。また、電源投入時に双方向スイッチSWを介して過大な電流が流れることを防ぐための保護回路が必要になる。なお、窒化物半導体等の化合物半導体を使用した半導体素子は研究開発途上にあり、主半導体スイッチング素子4をノーマリオフ型にすることが困難である。

【特許文献1】WO 2004/114508公開公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

従って、本発明が解決しようとする課題は、ノーマリオフ特性を有し且つ高耐圧化が可能なスイッチ装置が要求されていることであり、本発明の目的はこの要求に応えることができるスイッチ装置を提供することにある。

【0006】

上記課題を解決するための本発明は、電気回路の電流をオン・オフするためのスイッチ装置であって、

前記電気回路を接続するための第1及び第2の主端子と、

主半導体領域と、該主半導体領域に接続された第1及び第2の主電極と、前記主半導体領域における前記第1及び第2の主電極間部分に流れる電流を制御するためのゲート手段とを有し且つノーマリオン特性を有している主半導体スイッチング素子と、

10

20

30

40

50

前記主半導体スイッチング素子に対して直列に接続された第1の補助半導体スイッチング素子であって、前記第1の主端子に接続された前記第1の主電極と前記主半導体スイッチング素子の前記第1の主電極に接続された第2の主電極と該第1の補助半導体スイッチング素子の前記第1及び第2の主電極間に流れる電流を制御するための制御手段とを有し且つ前記主半導体スイッチング素子の閾値電圧の絶対値以上の耐圧特性を有し且つノーマリオフ特性を有している第1の補助半導体スイッチング素子と、

前記主半導体スイッチング素子に対して直列に接続された第2の補助半導体スイッチング素子であって、前記第2の主端子に接続された前記第1の主電極と前記主半導体スイッチング素子の前記第2の主電極に接続された第2の主電極と該第2の補助半導体スイッチング素子の前記第1及び第2の主電極間に流れる電流を制御するための制御手段とを有し且つ前記主半導体スイッチング素子の閾値電圧の絶対値以上の耐圧特性を有し且つノーマリオフ特性を有している第2の補助半導体スイッチング素子と、

10

前記第1及び第2の主端子間に第1の方向の電圧が印加された時に導通する方向性を有して前記第1の補助半導体スイッチング素子に対して並列に接続された第1のダイオードと、

前記第1及び第2の主端子間に前記第1の方向と反対の第2の方向の電圧が印加された時に導通する方向性を有して前記第2の補助半導体スイッチング素子に対して並列に接続された第2のダイオードと、

前記ゲート手段の電位を決定するためのものであり、前記第1の主端子と前記主半導体スイッチング素子の前記ゲート手段との間に接続され且つ前記第1及び第2の主端子間に前記第2の方向の電圧が印加された時に前記第1の主端子と前記主半導体スイッチング素子の前記ゲート手段との間を導通状態にすることができる特性を有し且つ前記第1及び第2のダイオードよりも高い耐圧特性を有している第1のゲート電位決定用スイッチング素子と、

20

前記ゲート手段の電位を決定するためのものであり、前記第2の主端子と前記主半導体スイッチング素子の前記ゲート手段との間に接続され且つ前記第1及び第2の主端子間に前記第1の方向の電圧が印加された時に前記第2の主端子と前記主半導体スイッチング素子の前記ゲート手段との間を導通状態にすることができる特性を有し且つ前記第1及び第2のダイオードよりも高い耐圧特性を有している第2のゲート電位決定用スイッチング素子と

30

を備え、

前記主半導体スイッチング素子を構成するための前記主半導体領域は、第1の主面と該第1の主面に対向する第2の主面とを有し、前記主半導体スイッチング素子の前記第1及び第2の主電極は前記主半導体領域の前記一方の主面上に所定の間隔を有して配置され、前記ゲート手段は前記半導体領域の前記一方の主面の前記第1及び第2の主電極間に配置され、

前記第1及び第2のゲート電位決定用スイッチング素子は第3及び第4のダイオードであり、

前記第3のダイオードは、前記主半導体スイッチング素子を形成するための前記主半導体領域に対して一体に形成された第1の補助半導体領域と、前記第1の補助半導体領域の一方の主面にオーミック接触された第1の電極と、前記第1の補助半導体領域の前記一方の主面にショットキー接触された第2の電極とから成り、

40

前記第4のダイオードは、前記主半導体スイッチング素子を形成するための前記主半導体領域に対して一体に形成された第2の補助半導体領域と、前記第2の補助半導体領域の一方の主面にオーミック接触された第1の電極と、前記第2の補助半導体領域の前記一方の主面にショットキー接触された第2の電極とから成ることを特徴とするスイッチ装置に係わるものである。

【0007】

なお、請求項2に示すように、更に、前記主半導体領域の前記他方の主面及び前記第1及び第2の補助半導体領域の他方の主面に電氣的及び機械的に結合された一方の主面と該一

50

方の主面に対向する他方の主面とを有している導電性基板と、前記導電性基板に対して前記第3及び第4のダイオードの前記第2の電極をそれぞれ電氣的に接続するための第1及び第2の導体と、前記導電性基板の前記他方の主面に形成された補助電極と、前記補助電極を前記主半導体スイッチング素子の前記ゲート手段に接続する第3の導体とを備えていることが望ましい。

また、請求項3に示すように、更に、前記第1の補助半導体スイッチング素子の前記第1の主電極と前記制御手段との間に前記第1の補助半導体スイッチング素子をオンにするための第1の制御信号を供給するための第1のスイッチ制御回路と、前記第2の補助半導体スイッチング素子の前記第1の主電極と前記制御手段との間に第2の補助半導体スイッチング素子をオンにするための第2の制御信号を供給するための第2のスイッチ制御回路とを備えていることが望ましい。

10

また、請求項4に示すように、更に、前記第1の補助半導体スイッチング素子に並列に接続された第1の過電圧保護素子と、前記第2の補助半導体スイッチング素子に並列に接続された第2の過電圧保護素子とを有していることが望ましい。

また、請求項5に示すように、前記主半導体領域は2次元キャリアガス層を生じさせることができる第1及び第2の半導体層を有していることが望ましい。

また、請求項6に示すように、前記主半導体領域は所定導電型を有する半導体層を有し、該半導体層は前記主半導体スイッチング素子の前記第1及び第2の主電極間の電流通路として機能するものであることが望ましい。

また、請求項7に示すように、前記主半導体スイッチング素子の前記第1及び第2の主電極は、前記主半導体領域の前記第1の主面にオーミック接触している電極であり、前記主半導体スイッチング素子のゲート手段は、前記主半導体領域の前記第1の主面にショットキー接触している電極であることが望ましい。

20

また、請求項8に示すように、前記半導体スイッチング素子の前記第1及び第2の主電極は、前記第1及び第2の主半導体領域の前記第1の主面にオーミック接触している電極であり、前記主半導体スイッチング素子のゲート手段は、前記主半導体領域の前記一方の主面に配置されたゲート絶縁膜と、該ゲート絶縁膜上に配置されたゲート電極とから成ることが望ましい。

また、請求項9に示すように、更に、前記半導体領域の前記他方の主面に電氣的及び機械的に結合された一方の主面と該一方の主面に対向する他方の主面とを有する導電性基板と、前記導電性基板に形成された補助電極と、前記補助電極を前記主半導体スイッチング素子の前記ゲート手段に接続する導体とを有していることが望ましい。

30

また、請求項10に示すように、前記主半導体領域は、化合物半導体から成り、前記第1及び第2の補助半導体スイッチング素子は、シリコン半導体から成ることが望ましい。

【発明の効果】

【0008】

本発明は次の効果を有する。

(イ) 主半導体スイッチング素子がノーマリオン特性を有しているにも拘わらず、第1及び第2の補助半導体スイッチング素子の付加によってノーマリオフ特性を有する双方向スイッチの動作が可能なスイッチ装置を提供することができる。これにより、起動時にスイッチ装置を介した短絡が発生しない。

40

(ロ) スイッチ装置のオフ時に、第1、第2の主端子間の電圧は第1及び第2の補助半導体スイッチング素子よりも十分に耐圧の大きい主半導体スイッチング素子の第1及び第2の主電極間にかかるため、第1及び第2の補助半導体スイッチング素子は主半導体スイッチング素子の閾値電圧の絶対値以上の耐圧を有していれば良い。第1及び第2の補助半導体スイッチング素子の耐圧を前記閾値電圧の絶対値のように比較的低くすると、第1及び第2の補助半導体スイッチング素子のオン抵抗を低くすること、及びそのコストを低くすることができる。これにより、スイッチ装置全体のオン抵抗及びコストの上昇を抑えることができる。

50

(ハ) ノーマリオン特性を有する主半導体スイッチング素子は、容易に製造することができる。

(ニ) 第1の補助半導体スイッチング素子の制御は第1の主端子の電位を基準にして行い、第2の補助半導体スイッチング素子の制御は第2の主端子の電位を基準にして行うことができるので、第1及び第2の補助半導体スイッチング素子の制御を比較的容易に行うことができる。

(ホ) 第1及び第2の補助半導体スイッチング素子の制御形態を変えることによって多くの回路形態を得ることができる。

(ヘ) 第3及び第4のダイオードは、主半導体スイッチング素子を形成するための主半導体領域に一体に形成された第1及び第2の補助半導体領域に形成されているので、スイッチ装置の小型化及び低コスト化が達成される。

10

【発明を実施するための最良の形態】

【0009】

次に図面を参照して本発明の実施形態を説明する。なお、以下の説明において各素子の耐圧の大小は、その絶対値の大小で判断されている。

【実施例1】

【0010】

実施例1に従うスイッチ装置10は双方向スイッチ又は半導体スイッチ装置と呼ぶこともできるものであり、電気回路に接続するための第1及び第2の主端子11、12と、化合物半導体で形成され且つ高耐圧特性を有し且つノーマリオン特性を有している主半導体スイッチング素子13と、第1の主端子1と主半導体スイッチング素子13との間に接続され且つシリコン半導体で形成され且つ主半導体スイッチング素子13の閾値電圧の絶対値以上の耐圧特性を有し、且つノーマリオン特性を有する第1の補助半導体スイッチング素子としてのMOSFET(絶縁ゲート型電界効果トランジスタ)14と、第2の主端子12と主半導体スイッチング素子13との間に接続され且つシリコン半導体で形成され且つ主半導体スイッチング素子13の閾値電圧の絶対値以上の耐圧特性を有し且つノーマリオン特性を有する第2の補助半導体スイッチング素子としてのMOSFET15と、第1、第2、第3及び第4のダイオード16、17、18、19とから成る。なお、第3及び第4のダイオード18、19は、本発明における第1及び第2のゲート電位決定用スイッチング素子として機能する。

20

次に図3の各部を詳しく説明する。

【0011】

主半導体スイッチング素子13は、第1及び第2の主電極20、21とゲート手段としてのゲート電極22とを有した高電子移動度トランジスタ即ちHEMT(High Electron Mobility Transistor)から成る。勿論、主半導体スイッチング素子13を、HEMT以外のHEMTに類似の素子又はメタル・セミコンダクタ電界効果トランジスタ即ちMESFET又はこれに類似の素子とすることもできる。本実施例の高耐圧の主半導体スイッチング素子13は窒化物半導体で形成されている。

30

【0012】

図4に図3のHEMT型の主半導体スイッチング素子13の1例が詳しく示されている。この主半導体スイッチング素子13は、一方の主面41と該一方の主面41に対向する他方の主面42とを有している基板40と、該基板40の一方の主面上に配置されたバッファ層23と、バッファ層23の上に配置された主半導体スイッチング素子13を形成するための主半導体領域24と、第1及び第2の主電極20、21と、ゲート電極22とから成る。以下、図4の各部を詳しく説明する。

40

【0013】

基板40は、バッファ層23及び主半導体領域24をエピタキシャル成長で形成するための成長基板として機能し、且つこれ等を機械的に支持するための支持基板として機能する。本実施例では、コストの低減を図るために基板40が導電性を有するシリコン単結晶で形成されている。しかし、基板40をシリコン以外のシリコンカーバイド(SiC)等

50

の半導体、又はサファイヤ、セラミック等の絶縁体で形成することもできる。

【0014】

バッファ層23は、基板40の一方の主面41上に窒化物半導体を周知のMOCVD法でエピタキシャル成長させることによって形成されている。図4では、図示を簡略化するためにバッファ層23が1つの層で示されているが、実際には複数の層で形成されている。即ち、このバッファ層23はAlN(窒化アルミニウム)からなる第1のサブレイヤー(第1の副層)とGaN(窒化ガリウム)から成る第2のサブレイヤー(第2の副層)とが交互に積層された多層構造バッファである。なお、このバッファ層23は主半導体スイッチング素子13の動作に直接関係していないので、これを省くこともできる。また、バッファ層23の半導体材料をAlN、GaN以外の窒化物半導体又は3-5族化合物半導体

10

【0015】

主半導体領域24は、平坦な第1の主面25と該第1の主面25に対向する第2の主面26とを有し、第2の主面26がバッファ層23に接触している。この主半導体領域24はHEMT型の主半導体スイッチング素子13を構成するために第1及び第2の半導体層27、28を有する。電子走行層と呼ぶこともできる第1の半導体層27は、第1の窒化物半導体からなり、例えば0.3~25µmの厚さに形成されている。この第1の半導体層27は、この上の電子供給層としての第2の半導体層28とのヘテロ接合面の近傍に電流通路(チャンネル)としての2次元電子ガス(2DEG)層29(点線で示す)を得るためのものであって、周知のMOCVD法でエピタキシャル成長されたアンドープGaN(窒化ガリウム)から成る。なお、第1の半導体層29は、GaN以外の例えば

20



ここで、aは0 < a < 1、bは0 < b < 1を満足する数値、等の窒化物半導体、又は別の化合物半導体で形成することもできる。

【0016】

第1の半導体層27の上に形成された電子供給層としての第2の半導体層28は、第1の窒化物半導体よりも大きいバンドギャップを有し且つ第1の窒化物半導体よりも小さい格子定数を有する第2の窒化物半導体を好ましくは5~100nm(例えば25nm)の厚みに周知のMOCVD法でエピタキシャル成長させたものから成る。この実施例の第2の半導体層28を形成する第2の窒化物半導体は、アンドープAl_{0.3}Ga_{0.7}Nから成る。なお、第2の半導体層28をAl_{0.3}Ga_{0.7}N以外の例えば次式で示す窒化物半導体で形成することもできる。

30



ここで、xは0 < x < 1、yは0 < y < 1を満足する数値であり、xの好ましい値は0.1~0.4であり、より好ましい値は0.3である。

この第2の半導体層27を、アンドープのAl_xIn_yGa_{1-x-y}Nで形成する代わりに、n型(第1導電型)の不純物を添加したAl_xIn_yGa_{1-x-y}Nから成る窒化物半導体、又は別の組成の窒化物半導体、又は別の化合物半導体で形成することもできる。

【0017】

第1及び第2の主電極20、21は主半導体領域24の第1の主面25即ち第2の半導体層28の表面上に所定の間隔を有して配置され、且つ主半導体領域24にオーミック接触されている。第1の主電極20は双方向スイッチ10の第1の主端子11の電位が第2の主端子12よりも高い時にドレイン電極として機能し、逆に第1の主端子11の電位が第2の主端子12よりも低い時にソース電極として動作する。第2の主電極21は双方向スイッチ10の第1の主端子11の電位が第2の主端子12よりも高い時にソース電極として機能し、逆に第1の主端子11の電位が第2の主端子12よりも低い時にドレイン電極として機能する。本実施例の第1及び第2の主電極20、21は、チタン(Ti)とアルミニウム(Al)との積層体でそれぞれ形成されているが、これ以外の低抵抗性接触(オーミック接触)可能な金属で形成することもできる。なお、第2の半導体層28は極めて薄いので、この厚み方向の抵抗は無視できるほど小さい。従って、第1及び第2の主電

40

50

極 20, 21 は、2DEG 層 29 に電氣的に結合されている。

【0018】

ゲート電極 22 は、第 1 及び第 2 の電極 20, 21 間の電流を制御するゲート手段であって、主半導体領域 24 の第 1 の主面 25 にショットキー接触している金属電極から成る。この金属電極は、例えば、Ni (ニッケル) と Au (金) との積層体、又は Pt (白金) と Au (金) との積層体で形成される。ゲート電極 22 は、第 1 及び第 2 の主電極 20、21 の中間に配置されている。従って、第 1 の主電極 20 とゲート電極 22 との間隔及び第 2 の主電極 21 とゲート電極 22 との間隔は実質的に等しい。しかし、主半導体スイッチング素子 13 に要求される耐圧を満足することができる範囲でゲート電極 22 の位置を第 1 及び第 2 の主電極 20, 21 の中間位置から少しずらすことができる。例えば、第 10
1 の主電極 20 とゲート電極 22 との間隔を基準にして第 2 の主電極 21 とゲート電極 22 との間隔を所定の範囲 (例えば -20% ~ +20%) で変えることができる。第 1 の主端子 11 の電位が第 2 の主端子 12 よりも高い時 (以下、正電圧印加時と言う) の主半導体スイッチング素子 13 の耐圧は、第 1 の主電極 20 とゲート電極 22 との間隔によって決まり、第 1 の端子 11 の電位が第 2 の主端子 12 よりも低い時 (以下、負電圧印加時と言う) の主半導体スイッチング素子 13 の耐圧は第 2 の主電極 21 とゲート電極 22 との間隔によって決まる。従って、第 1 及び第 2 の主端子 11、12 間に印加される最大正方向電圧と最大逆方向電圧とが等しい場合にはゲート電極 22 を第 1 及び第 2 の主電極 20、21 の中間に配置することが最も好ましい。

【0019】

図 4 の HEMT 構成の主半導体スイッチング素子 13 においては、第 2 の半導体層 28 が第 1 の半導体層 27 にヘテロ接合されているので、第 2 の半導体層 28 にピエゾ分極が生じる。また、第 2 の半導体層 28 は自発分極も生じる。第 2 の半導体層 28 に分極が生じると、第 1 及び第 2 の半導体層 27, 28 の界面近傍に周知の 2DEG 層 29 が生じる。本実施例の主半導体スイッチング素子 13 はノーマリオン型であるので、ゲート電極 22 の電位がソースとして機能する第 2 の主電極 21 の電位を基準にして零の時、又はソースとして機能する第 1 の主電極を基準にして零の時であってもゲート電極 22 の直下に 2DEG 層 29 が生じる。第 1 の主端子 11 の電位が第 2 の主端子 12 よりも高い時 (正方向電圧時) に、主半導体スイッチング素子 13 をオフにする時には、ソース電極として機能している第 2 の主電極 21 を基準にしてゲート電極 22 の電位を主半導体スイッチング
30 素子 13 の閾値より小さい負の値 (例えば -5V) にする。また、主半導体スイッチング素子 13 に負方向電圧が印加されている時にこれをオフにする時には、ソース電極として機能している第 1 の主電極 20 を基準にしてゲート電極 22 の電位を主半導体スイッチング素子 13 の閾値電圧より小さい負の値 (例えば -5V) にする。ゲート電極 22 の電位をソース電極に対して主半導体スイッチング素子 13 の閾値電圧より小さい負の値にすると、第 1 の半導体層 27 のゲート電極 22 の直下の部分から電子が排除され、2DEG 層 29 の分断が生じ、第 1 及び第 2 の電極 20, 21 間の電流が遮断される。

【0020】

再び図 3 のスイッチ装置 10 を説明する。第 1 の MOSFET 14 は第 1 の主端子 11 に接続された第 1 の主電極としてのソース電極と主半導体スイッチング素子 13 の第 1 の
40 主電極 20 に接続された第 2 の主電極としてのドレイン電極と制御手段としてのゲート電極 31 とを有している。第 2 の MOSFET 15 は、第 2 の主端子 12 に接続された第 1 の主電極としてのソース電極と、主半導体スイッチング素子 13 の第 2 の主端子 21 に接続された第 2 の主電極としてのドレイン電極と、制御手段としてのゲート電極 32 とを有している。第 1 及び第 2 の MOSFET 14, 15 はシリコン半導体によって形成され且つノーマリオフ特性を有し且つ主半導体スイッチング素子 13 の閾値電圧の絶対値以上であり且つ主半導体スイッチング素子 13 の耐圧よりも十分小さい耐圧を有し、且つ主半導体スイッチング素子 13 よりも低いオン抵抗を有する。第 1 及び第 2 の MOSFET 14, 15 の代わりに多結晶シリコンゲート等を有する絶縁ゲート型電界効果トランジスタ (IGFET) 又はバイポーラトランジスタ又は絶縁ゲートバイポーラトランジスタ IGB
50

T等を使用することもできる。

【0021】

第1及び第2のダイオード16, 17は第1及び第2のMOSFET14, 15に対して逆方向並列に接続されている。即ち、第1のダイオード16のアノードは第1のMOSFET14のソースに接続され、カソードはドレインに接続されている。第2のダイオード17のアノードは第2のMOSFET15のソースに接続され、カソードはドレインに接続されている。第1及び第2のダイオード16, 17は個別のダイオードであってもよいし、第1及び第2のMOSFET14, 15の内蔵ダイオード(寄生ダイオード)であってもよい。また、第1及び第2のダイオード16, 17の代わりにこれと同様な機能を有するトランジスタ等のスイッチング素子を接続することもできる。

10

【0022】

第1のゲート電位決定用スイッチング素子としての機能を有する第3のダイオード18のアノードは主半導体スイッチング素子13のゲート電極22に接続され、このカソードは第1の主端子11に接続されている。第2のゲート電位決定用スイッチング素子としての機能を有する第4のダイオード19のアノードは主半導体スイッチング素子13のゲート電極22に接続され、このカソードは第2の主端子12に接続されている。第3及び第4のダイオード18, 19は主半導体スイッチング素子13と同程度の耐圧を有し且つ第1及び第2のダイオード16, 17よりも高い耐圧特性を有している。なお、第3のダイオード18を、第1及び第2の主端子11, 12間に負方向電圧が印加された時にオン状態(導通状態)になるトランジスタ等の制御可能な半導体スイッチング素子に置き換えることができる。この場合、この制御可能な半導体スイッチング素子の制御端子(例えばベース)を例えば直接に又は抵抗を介して第1の主端子11に接続する。また、第4のダイオード19を、第1及び第2の主端子11, 12間に正方向電圧が印加された時にオン状態(導通状態)になるトランジスタ等の制御可能な半導体スイッチング素子に置き換えることができる。この場合、この制御可能な半導体スイッチング素子の制御端子(例えばベース)を例えば直接に又は抵抗を介して第2の主端子12に接続する。

20

【0023】

スイッチ装置10の第1及び第2の主端子11, 12は電気回路33に接続されている。図3の電気回路33は交流電源34と負荷35とで概略的に示されている。

【0024】

スイッチ装置10に含まれている第1及び第2のMOSFET14, 15をオン・オフ制御するために、第1のゲート制御回路36が第1の主端子11と第1のMOSFET14のゲート電極31との間に接続され、第2のゲート制御回路37が第2の主端子12と第2のMOSFET15のゲート電極32との間に接続されている。

30

【0025】

次に、図5～図9を参照して図3のスイッチ装置10の動作を説明する。図9(A)は図3の交流電源34の電圧を示し、図9(B)(C)は第1及び第2のMOSFET14, 15の第1及び第2のゲート制御信号 V_{gs1} 、 V_{gs2} を示し、図9(D)はスイッチ装置10の端子間電圧 V_{10} を示す。また、図9の $t_3 \sim t_6$ 期間はスイッチ装置10のオン期間を示し、これ以外の期間はオフ期間を示している。それぞれのソースを基準にして示されている第1及び第2のMOSFET14, 15の第1及び第2のゲート制御信号 V_{gs1} 、 V_{gs2} は、図9(B)(C)に示すように $t_3 \sim t_6$ のオン期間に高レベルになり、オフ期間に低レベル(0V)になる。図3の交流電源34は正のピーク値が500V、負のピーク値が-500Vの正弦波を発生するものとして示されている。図9(B)(C)において第1及び第2のMOSFET14, 15の第1及び第2のゲート制御信号 V_{gs1} 、 V_{gs2} は同時に発生するように示めされているが、図9(B)で点線で示すように第1のゲート制御信号 V_{gs1} が第2のゲート制御信号 V_{gs2} に対して遅れて発生すること、又はこれとは逆に第2のゲート制御信号 V_{gs2} が第1のゲート制御信号 V_{gs1} に対して遅れて発生することもある。また、第1及び第2のゲート制御信号 V_{gs1} 、 V_{gs2} のパルス幅が互いに異なる場合もある。

40

50

【 0 0 2 6 】

交流電源 3 4 から正方向電圧が発生している図 9 の t_4 時点における図 3 の回路の等価回路が図 5 に示されている。図 9 の t_4 時点においては、第 1 及び第 2 のゲート制御回路 3 6、3 7 から互いに同期（連動）して高レベル（オンさせるレベル）の第 1 及び第 2 のゲート制御信号 V_{gs1} 、 V_{gs2} が発生する。このため、第 1 及び第 2 の MOSFET 1 4、1 5 はオン状態になる。図 5 において第 1 のダイオード 1 6 は、電源電圧で順方向バイアスされているので導通状態になる。第 1 の主端子 1 1 の電位が V_{11} であり、第 1 の MOSFET 1 4 と第 1 のダイオード 1 6 との並列回路の電圧降下が $0.7V$ であるとすれば、主半導体スイッチング素子 1 3 の第 1 の主電極 2 0 の電位は第 2 の主端子 1 2 を基準にして $V_{11} - 0.7V$ になる。なお、第 1 の MOSFET 1 4 のオン状態での電圧降下 V_{14} が第 1 のダイオード 1 6 の順電圧よりも低い時には、主半導体スイッチング素子 1 3 の第 1 の主電極 2 0 の電位は $V_{11} - V_{14}$ となる。また、オン状態の第 2 の MOSFET 1 5 での電圧降下が $0.7V$ であるとすれば、主半導体スイッチング素子 1 3 の第 2 の主電極 2 1 の電位は $0.7V$ となる。順方向バイアス状態にある第 4 のダイオード 1 9 の順方向電圧が、オン状態での第 2 の MOSFET 1 5 での電圧降下と主半導体スイッチング素子 1 3 の閾値電圧の絶対値との和未満の例えば $0.7V$ であるとすれば、主半導体スイッチング素子 1 3 のゲート電極 2 2 とソースとして機能している第 2 の主電極 2 1 との間の電位差は $0V$ となり、ノーマリオン型の主半導体スイッチング素子 1 3 はオン状態を保つ。従って、交流電源 3 4 から正方向電圧が発生している時には、電流が交流電源 3 4、抵抗 3 5、第 1 の主端子 1 1、第 1 の MOSFET 1 4 又はそれと第 1 のダイオード 1 6 との並列回路、主半導体スイッチング素子 1 3、第 2 の MOSFET 1 5、及び第 2 の主端子 1 2 の経路で流れる。

10

20

【 0 0 2 7 】

交流電源 3 4 から負電圧が発生している図 9 の t_5 時点における等価回路が図 6 に示されている。 t_5 時点においては、 t_4 時点と同様に第 1 及び第 2 の MOSFET 1 4、1 5 がオン制御されている。第 2 の主端子 1 2 の電位が V_{12} であり、第 2 の MOSFET 1 5 と第 2 のダイオード 1 7 との並列回路の電圧降下が例えば $0.7V$ であるとすれば、主半導体スイッチング素子 1 3 の第 2 の主電極 2 1 の電位は $V_{12} - 0.7V$ となる。なお、第 2 の MOSFET 1 5 のオン状態での電圧降下 V_{15} が第 2 のダイオード 1 7 の順電圧より低い時には、主半導体スイッチング素子 1 3 の第 2 の主電極 2 1 の電位は $V_{12} - V_{15}$ となる。第 1 の MOSFET 1 4 の電圧降下を例えば $0.7V$ とすれば、主半導体スイッチング素子 1 3 の第 1 の主電極 2 0 の電位は第 1 の主端子 1 1 を基準にして $0.7V$ となる。また、順方向バイアスされる第 3 のダイオード 1 8 の順方向電圧がオン状態での第 1 の MOSFET 1 4 での電圧降下と主半導体スイッチング素子 1 3 の閾値電圧の絶対値との和未満の例えば $0.7V$ とすれば、ゲート電極 2 2 の電位が $0.7V$ となる。主半導体スイッチング素子 1 3 のソースとして機能する第 1 の主電極 2 0 及びゲート電極 2 2 の電位が共に $0.7V$ であるので、ノーマリオフ型の主電極半導体スイッチング素子 1 3 はオン状態に保たれる。

30

【 0 0 2 8 】

交流電源 3 4 から正方向電圧が発生している図 9 のオフ期間中の t_1 時点における図 3 の等価回路が図 7 に示されている。スイッチ装置 1 0 のオフ期間には第 1 及び第 2 の MOSFET 1 4、1 5 のための第 1 及び第 2 のゲート制御回路 3 6、3 7 の第 1 及び第 2 のゲート制御信号がそれぞれのソースを基準にしてオフ制御電圧、例えばゼロボルトに保たれ、第 1 及び第 2 の MOSFET 1 4、1 5 はオフ制御されている。図 7 において第 1 のダイオード 1 6 は順バイアス状態にあるので、ここでの電圧降下が例えば $0.7V$ であり、負荷 3 5 での電圧降下が零であるとすれば、主半導体スイッチング素子 1 3 の第 1 の主電極 2 0 の電位は $499.3V$ になる。 t_1 時点では第 4 のダイオード 1 9 も順バイアス状態になるので、ここでの第 3 のダイオード 1 8 のリーク電流に対応する第 4 のダイオード 1 9 の電圧降下が $0.7V$ であるとすれば、主半導体スイッチング素子 1 3 のゲート電極 2 2 の電位は第 2 の主端子 1 2 を基準にして $0.7V$ になる。 t_1 時点では、第 2 のダ

40

50

イオード 17 が逆バイアス状態にある。従って、この t_1 時点で、主半導体スイッチング素子 13 の第 1 の電極 21 には、せいぜい第 2 のダイオード 17 のリーク電流に相当する微小電流が流れるのみである。主半導体スイッチング素子のソースとして機能する第 2 の主電極 21 と第 2 の主端子 12 との間の電圧即ち第 2 の MOSFET 15 のドレイン・ソース間電圧を V_{21} 、第 4 のダイオード 19 の電圧を V_{19} 、主半導体スイッチング素子 13 の閾値を V_{th} とすれば、第 4 のダイオード 19 とゲート電極 22 のショットキー電極と第 2 の MOSFET 15 との閉回路の電圧を $V_{19} - V_{th} - V_{21} = 0$ で示すことができる。 V_{19} が例えば $0.7V$ 、 V_{th} が例えば $-5V$ であれば、 $0.7 - (-5) - V_{21} = 0$ 、 $V_{21} = 5.7V$ となる。逆に主半導体スイッチング素子 13 のソースとして機能する第 2 の主電極 21 の電位が $5.7V$ の時、ゲート電極 22 とソース電極との間の電圧が主半導体スイッチング素子 13 の閾値電圧よりも低くなり、主半導体スイッチング素子 13 がオフ状態に制御され、スイッチ装置 10 もオフになる。この時、第 1 及び第 2 の主端子 11、12 間の電圧はほぼ主半導体スイッチング素子 13 の第 1 及び第 2 の主電極 20、21 間に印加されるので、第 2 の MOSFET 15 は主半導体スイッチング素子 13 の閾値電圧の絶対値以上の電圧を有していれば良く、第 2 の MOSFET 15 を低オン抵抗にすること及び低コストにすることができ、スイッチ装置 10 全体のオン抵抗及びコストの上昇を抑えることができる。

【0029】

交流電源 34 から負方向電圧が発生している期間中の図 9 の t_2 時点の等価回路が図 8 に示されている。負電圧発生期間中の t_2 時点では第 2 及び第 3 のダイオード 17, 18 が順バイアス状態になり、ここで例えば $0.7V$ の電圧降下が生じる。この結果、主半導体スイッチング素子 13 の第 2 の主電極 21 の電位は $499.3V$ となり、ゲート電極 22 の電位は $0.7V$ となる。主半導体スイッチング素子 13 の第 1 の主電極 20 の電位は、図 7 の第 2 の主電極 21 の電位と同様な原理で $5.7V$ となる。これにより、主半導体スイッチング素子 13 のゲート電極 22 の電位がソースとして機能する第 1 の主電極 20 の電位よりも低くなり、主半導体スイッチング素子 13 及びスイッチ装置 10 がオフ状態に保たれる。

【0030】

図 3 のスイッチ装置 10 は正方向ダイオード又は逆方向ダイオードとして使用することもできる。正方向ダイオードとして使用する時には、第 1 のゲート制御回路 36 によって第 1 の MOSFET 14 をオフ制御し、第 2 のゲート制御回路 37 によって第 2 の MOSFET 15 をオン制御する。これにより、第 1 の主端子 11 の電位が第 2 の主端子 12 の電位よりも高い時（例えば図 9 の t_1 又は t_4 ）に、第 1 の主端子 11、第 1 のダイオード 16、主半導体スイッチング素子 13、第 2 の MOSFET 15 及び第 2 の主端子 12 の経路で電流が流れる。逆に、第 2 の主端子 12 の電位が第 1 の主端子 11 の電位よりも高い時（例えば図 9 の t_2 又は t_5 ）には、第 1 のダイオード 16 が逆バイアス状態となり、第 1 の MOSFET 14 と第 1 のダイオード 16 との両方がオフ状態になるので、スイッチ装置 10 もオフ状態になる。

逆方向ダイオードとして使用する時には、第 1 のゲート制御回路 36 によって第 1 の MOSFET 14 をオン制御し、第 2 のゲート制御回路 37 によって第 2 の MOSFET 15 をオフ制御する。これにより、第 1 の主端子 11 の電位が第 2 の主端子 12 の電位よりも低い時（例えば図 9 の t_2 又は t_5 ）に、第 2 の主端子 12、第 2 のダイオード 17、主半導体スイッチング素子 13、第 1 の MOSFET 14 及び第 1 の主端子 11 の経路で電流が流れる。逆に、第 1 の主端子 11 の電位が第 2 の主端子 12 の電位よりも高い時には、第 2 のダイオード 17 が逆バイアス状態となり、第 2 の MOSFET 15 と第 2 のダイオード 17 との両方がオフ状態になるので、スイッチ装置 10 もオフ状態になる。

なお、図 3 に負荷 35 が抵抗で示されているが、負荷 35 が電動機、変圧器等のインダクタンスを含む場合、又はコンデンサを含む場合、又は電気回路がインバータ回路等の場合であっても図 5 ~ 図 8 の原理に従ってスイッチ装置 10 は動作する。

【0031】

本実施例のスイッチ装置 10 は次の利点を有する。

(1) 高耐圧のノーマリオン構造の主半導体スイッチング素子 13 に対してこれよりも低耐圧且つ安価な第 1 及び第 2 の MOSFET 14, 15 を直列接続するという単純な構成でノーマリオン型双方向スイッチ機能を有するスイッチ装置 10 を得ることができる。

(2) スイッチ装置 10 はノーマリオン型の比較的製造が容易且つ低コストの主半導体スイッチング素子 13 を使用して構成するので、ノーマリオン特性を有するスイッチ装置 10 のコストの上昇を抑えることができる。

(3) スイッチ装置 10 はノーマリオン特性を有するので、スイッチ装置 10 の起動時にここが短絡状態にならない。従来、ノーマリオン特性のスイッチ装置 10 で必要になった起動時短絡保護回路が不要になり、スイッチ装置 10 を使用する電気回路装置のコストの低減を図ることができる。

(4) 第 1 及び第 2 の MOSFET 14, 15 はシリコンから成る低コスト素子であるので、スイッチ装置 10 のコストの上昇が抑制される。

(5) 第 1 及び第 2 の MOSFET 14, 15 は、主半導体スイッチング素子 13 に比べて低耐圧素子であるので、オン抵抗が比較的小さい。従って、スイッチ装置 10 のオン抵抗の増大を抑えることができる。

(6) 第 1 及び第 2 のゲート制御回路 36, 37 は第 1 及び第 2 の主端子 11, 12 を基準にして構成されているので、これ等を容易に構成できる。

(7) 第 1 及び第 2 のゲート制御回路 36, 37 による第 1 及び第 2 の MOSFET 14, 15 の 4 種類の制御形態によって 4 種類の回路、即ち、第 1 の主端子 11 と第 2 の主端子 12 との間を短絡した回路、第 1 の主端子 11 と第 2 の主端子 12 との間を開放した回路、第 1 の主端子 11 と第 2 の主端子 12 との間に正方向ダイオードを接続した回路、第 1 の主端子 11 と第 2 の主端子 12 との間に正方向ダイオードを接続した回路を得ることができる。従って、双方向スイッチ 10 を多くの電気回路に使用することが可能になる。スイッチ装置 10 の用途が多くなると、スイッチ装置 10 の量産によるコストの低減が可能になる。

【実施例 2】

【0032】

次に、実施例 2 に従うスイッチ装置 10 a を図 10 及び図 11 を参照して説明する。但し、この実施例 2 及び後述する別の実施例において図 3 及び図 4 と実質的に同一の部分には同一の参照符号を付してその説明を省略する。図 10 の変形されたスイッチ装置 10 a は、変形された主半導体スイッチング素子 13 a を除いて図 3 と同一に構成されている。変形された主半導体スイッチング素子 13 a は、図 11 に示すように背面電極又は補助電極とも呼ぶことができる基板電極 43 をシリコン基板 40 の他方の主面 42 に設けた他は、図 4 と同一に形成したものである。基板電極 43 は、図 10 に示すように導体 44 によってゲート電極 22 に電気的に接続されている。

実施例 2 のスイッチ装置 10 a は、実施例 1 と同様の効果を有する他に、主半導体スイッチング素子 13 a の動作が安定化し、周知の電流コラプスの低減等が可能になる効果を有する。

【実施例 3】

【0033】

図 12 に示す実施例 3 のスイッチ装置 10 b は、図 3 のスイッチ装置 10 に過電圧保護素子として第 1 及び第 2 のツェナーダイオード 51, 52 を付加し、この他は図 3 と同一に構成したものである。第 1 及び第 2 のツェナーダイオード 51, 52 は第 1 及び第 2 の MOSFET 14, 15 に対して逆方向並列に接続されている。第 1 のツェナーダイオード 51 のツェナー電圧 (降伏電圧) は、第 1 の MOSFET 14 のドレイン・ソース間電圧よりも低く且つ第 3 のダイオード 18 の順方向電圧と主半導体スイッチング素子 13 のしきい値電圧 V_{th} との和よりも大きい値に設定されている。第 2 のツェナーダイオード 52 のツェナー電圧 (降伏電圧) は、第 2 の MOSFET 15 のドレイン・ソース間電圧よりも低く且つ第 4 のダイオード 19 の順方向電圧と主半導体スイッチング素子 13 のし

10

20

30

40

50

きい値電圧 V_{th} との和よりも大きい値に設定されている。図12において、予期せぬ過電圧が第1及び第2のMOSFET14, 15に印加された時にツェナーダイオード51, 52が降伏して第1及び第2のMOSFET14, 15を保護する。なお、第1及び第2のツェナーダイオード51, 52の代わりにバリスタ、コンデンサ等の過電圧保護素子を第1及び第2のMOSFET14, 15に並列接続することもできる。

【実施例4】

【0034】

図13に示す実施例4に従うスイッチ装置10cは、図10の実地例2のスイッチ装置10aにおける主半導体スイッチ13aと第3及び第4のダイオード18, 19を変形された主半導体スイッチ13bと変形された第3及び第4のダイオード18a, 19aとに置き換えた他は、図10と同様に形成したものである。図13の主半導体スイッチング素子13bの基本的構成は図10に示すものと同様であって、基板電極43を有する。第3及び第4のダイオード18a, 19aは高速動作させることが可能なショットキーダイオードで構成されている。また、ショットキーダイオードからなる第3及び第4のダイオード18a, 19aは主半導体スイッチング素子13bと同一の基板上に形成され、主半導体スイッチング素子13bと同様に2DEG層を有する。

10

【0035】

図14は図13のHEMT構成の主半導体スイッチング素子13bとショットキーダイオードからなる第3及び第4のダイオード18a, 19aとの複合化半導体装置60を含むスイッチ装置10cを示す。複合化半導体装置60を構成するための共通基板40aは導電性を有する単結晶シリコンから成り、主半導体スイッチング素子13bのための第1の部分61と第3及び第4のダイオード18a, 19aのための第2及び第3の部分62, 63を有する。共通基板40aの一方の主面41上にはバッファ層23aを介して主半導体領域34aが形成されている。バッファ層23aの材料及び厚みはバッファ層23aの厚み方向の耐圧を高めることができるように決定されている。主半導体領域24aは、第1及び第2の分離溝64, 65によって第1、第2及び第3の部分66, 67, 68に電氣的に分離されている。なお、第1及び第2の溝64, 65の代わりに絶縁材料から成る分離部を設けることもできる。主半導体領域24aの第1、第2及び第3の部分66, 67, 68は図4及び図11に示した電子走行層として機能する第1の半導体層27と電子供給層として機能する第2の半導体層28とをそれぞれ含む。

20

30

【0036】

主半導体領域24aの第1の部分66の第1の主面25aには図4及び図11と同様にオーミック電極から成る第1及び第2の主電極20, 21とショットキー電極から成るゲート電極22が形成されている。

【0037】

ショットキーダイオードから成る第3のダイオード18aを構成するための主半導体領域24aの第2の部分67の第1の主面25bにはショットキー電極から成るアノード電極69とオーミック電極から成るカソード電極70とが形成されている。図14の第3のダイオード18aのアノード電極69を図13に示すように主半導体スイッチング素子13bのゲート電極22に接続するためにこのアノード電極69が導体71によって導電性基板40aに接続されている。即ち、アノード電極69は、導体71と導電性半導体基板40aと基板電極43と接続導体72とを介してゲート電極22に接続されている。第3のダイオード18aのカソード電極70は第1の主端子11に接続されている。

40

【0038】

ショットキーダイオードから成る第4のダイオード19aを構成するための主半導体領域24aの第3の部分68の第1の主面25cにはショットキー電極から成るアノード電極73とオーミック電極から成るカソード電極74とが形成されている。図14の第4のダイオード19aのアノード電極73を図13に示すように主半導体スイッチング素子13bのゲート電極22に接続するためにこのアノードで電極73が導体75によって導電性基板40aに接続されている。即ち、アノード電極73は、導体75と導電性半導体基

50

板 40 a と基板電極 43 と接続導体 72 とを介してゲート電極 22 に接続されている。また、第 4 のダイオード 19 a のカソード電極 74 は第 2 の主端子 12 に接続されている。

【0039】

第 1 の MOSFET 14 及び第 1 のダイオード 16 は第 1 の主端子 11 と主半導体スイッチング素子 13 b の第 1 の主電極 20 との間にそれぞれ接続されている。第 2 の MOSFET 15 及び第 2 のダイオード 17 は第 2 の主端子 12 と主半導体スイッチング素子 13 b の第 2 の主電極 21 との間にそれぞれ接続されている。

【0040】

図 13 及び図 14 に示す実施例 4 のスイッチ装置 10 c は、図 3 及び図 10 に示す実施例と同一の効果を有する他に次の効果も有する。

(1) 第 3 及び第 4 のダイオード 18 a、19 a と主半導体スイッチング素子 13 b とは共通基板 40 a 上にバッファ層 23 a を介して同時に形成された第 1 及び第 2 の半導体層 27、28 から成るので、スイッチ装置 10 c の小型化及び低コスト化が達成される。

(2) 第 3 及び第 4 のダイオード 18 a、19 a は、2DEG 層 29 を使用したショットキーダイオードから成るので、第 3 及び第 4 のダイオード 18 a、19 a の高耐圧化及び高速化を容易に達成することができる。

(3) 第 3 及び第 4 のダイオード 18 a、19 a のアノード電極 69、73 が基板 40 a 及び基板電極 43 を介してゲート電極 22 に接続されているので、第 3 及び第 4 のダイオード 18 a、19 a の電氣的接続を容易に達成することができ、且つ基板 40 a の電位の安定化が良好に達成することができる。基板 40 a の電位が安定すると、半導体スイッチング素子 13 b の主半導体領域 24 a の第 1 の主面 25 a の電位も安定化し、周知の電流コラプスが低減する。

【0041】

図 14 に示す複合半導体装置 60 を図 12 のスイッチ装置 10 b にも使用することができる。

【実施例 5】

【0042】

図 15 は実施例 5 に従う変形された主半導体スイッチング素子 13 c を示す。この主半導体スイッチング素子 13 c は、図 11 の主半導体スイッチング素子 13 a のゲート電極 22 の代わりに、ゲート絶縁膜 80 とゲート電極 81 とから成るゲート手段 22 a を設け、この他は図 11 と同一に形成したものである。この主半導体スイッチング素子 13 c はノーマリオン特性を有する。従って、ゲート電極 81 の電位がソース電極として機能する第 1 の主電極 20 又は 21 に対して負になった時に電界効果によって 2DEG 層 29 の分断が生じ、主半導体スイッチング素子 13 c はオフになる。

【0043】

図 15 の主半導体スイッチング素子 13 c は、図 3、図 10 及び図 12 のスイッチ装置 10、10 a、10 b の代わりに使用される。なお、図 15 から基板電極 43 を省くことができる。また、図 14 の実施例 4 の主半導体スイッチ 13 b のゲート電極 22 と主半導体領域 24 a の第 1 の主面 25 a との間に図 15 のゲート絶縁膜 80 と同様なものを配置することができる。

【実施例 6】

【0044】

図 16 に示す変形された主半導体スイッチング素子 13 d は、変形された主半導体領域 24 a' を有する他は、図 4 と実質的に同一に形成されている。図 16 の主半導体領域 24 a' は電子走行層としての第 1 の半導体層 27 と電子供給層としての第 2 の半導体層 28 との間に例えばアンドープ AlN 又は AlInGa_n から成る周知のスペーサー層 83 を配置し、主半導体領域 24 a' の最も上に、表面電荷のコントロールのため等の目的で例えばアンドープ AlGa_n から成るキャップ層 84 を配置し、主半導体領域 24 a' における第 1 及び第 2 の電極 20、21 の下の部分に斜線を付けて示す n 型不純物注入領域から成るコンタクト領域 85、86 を設け、この他は図 4 に示されている実施例 1 の主半

10

20

30

40

50

導体領域 24 と実質的に同一に形成したものである。スペーサー層 83 は 2DEG 層 29 における電子の移動度の低下を抑制する機能を有する。コンタクト領域 85, 86 は第 1 及び第 2 の主電極 20, 21 の接触抵抗の低減に寄与する。

【0045】

図 16 の主半導体スイッチング素子 13d は、図 3、図 12 の双方向スイッチ 10, 10b の代わりに使用することができ、図 3 及び図 12 の実施例と同一の効果を得ることができる。なお、図 11 及び図 15 の主半導体領域 24、並びに図 14 の主半導体スイッチング素子 13b の主半導体領域を図 16 の主半導体領域 24a' と同一の構成にすることができる。

【実施例 7】

10

【0046】

図 17 は実施例 7 に従う MESFET 構成の主半導体スイッチング素子 13e を示す。図 17 の主半導体領域 24b は、例えばノンドープ GaN から成る第 1 の半導体層 27a と、該第 1 の半導体層 27a に n 型不純物（例えば Si）をイオン注入することによって形成された n 型 GaN から成る第 2 の半導体層 28a とから成る。図 17 の主半導体スイッチング素子 13e は、主半導体領域 24b を除いて図 4 の主半導体スイッチング素子 13 と同様に構成されている。

【0047】

図 17 のノーマリオン型 MESFET 構成の主半導体スイッチング素子 13e における第 2 の半導体層 28a はチャネル層即ち電流通路として機能する。ショットキー電極から成るゲート電極 22 の電位がソースとして機能する第 1 の主電極 20 又は第 2 の主電極 21 の電位と同一の場合（ノーマリ時）において第 2 の半導体層 28a の電流通路はオン状態に保たれる。ソースとして機能する第 1 の主電極 20 又は第 2 の主電極 21 に対してゲート電極 22 が負電位になると、電界効果によって第 2 の半導体層 28a の電流通路がオフになる。従って、図 17 の主半導体スイッチング素子 13e を図 3、図 12 の双方向スイッチ 10, 10b の主半導体スイッチング素子 13 の代わりに使用することができる。また、図 14 の主半導体スイッチング素子 13b を図 17 のノーマリオン型 MESFET 構成の主半導体スイッチング素子 13e に変形できる。この場合には、第 3 及び第 4 のダイオード 18a, 19a を図 17 の第 2 の半導体層 28a と同様なものを使用して構成する。

20

30

【実施例 8】

【0048】

図 18 に示す主半導体スイッチング素子 13f は、図 17 のゲート電極 22 の代わりに図 15 と同様に構成されたゲート絶縁膜 80 とこの上に配置したゲート電極 81 とから成るゲート手段 22a を設けたこと、変形された主半導体領域 24c を設けたこと、図 11 と同様に基板電極 43 を設けたことを除いて図 17 の主半導体スイッチング素子 13e と同一に構成されている。また、図 18 の主半導体領域 24c は、第 1 及び第 2 の主電極 20, 21 の直下に図 16 と同様な第 1 及び第 2 のコンタクト層 85a, 86a を有する点を除いて図 17 と同様に形成されている。

【0049】

40

図 18 の主半導体スイッチング素子 13f は、図 3、図 10、図 12、図 13 の双方向スイッチ 10, 10a, 10b, 10c の主半導体スイッチング素子 13, 13a, 13b の代わりに使用することができる。また、図 14 の主半導体スイッチング素子 13b を図 18 に示すように構成することができる。

【0050】

本発明は上述の実施例 1 ~ 8 に限定されるものではなく、例えば次の変形が可能なものである。

(1) 主半導体領域 24 ~ 24c を GaN、AlGa_nN、InGa_nN、AlInGa_nN、AlN、InAlN 等の窒化物半導体、又は AlP、GaP、AlInP、GaInP、AlGaP、AlGaAs、GaAs、AlAs、InAs、InP、InN、GaA

50

s P等の3 - 5族化合物半導体、又はZ n O等の2 - 6族化合物半導体、又は更に別の化合物半導体で形成することができる。

(2) 主半導体スイッチング素子1 3 ~ 1 3 fに周知のフィールドプレートを設けることができる。

(3) 図4、図1 1、図1 4 ~ 図1 8に第1及び第2の主電極2 0, 2 1、ゲート電極2 2又はゲート手段2 2 aがそれぞれ1つ設けられているが、それぞれを複数個設けることができる。即ち、1チップに微小F E T(単位F E T)を複数個設け、これ等を並列に接続することができる。

(4) 実施例1 ~ 6のH E M T構成の主半導体スイッチング素子1 3 ~ 1 3 dにおいて第2の半導体層2 8をp型半導体から成る正孔供給層に置き換えることができる。この場合には、2 D E G層2 9に対応する領域に2次元キャリアガス層として2次元正孔ガス層が生じる。

(5) 主半導体領域2 4 ~ 2 4 eの第1の主面2 5は平坦面であることが望ましいが、必要に応じてゲート電極2 2又はゲート手段2 2 aの下に凹部(リセス)を形成することができる。

(6) 主半導体スイッチング素子は第1及び第2の主電極2 0, 2 1が主半導体領域の第1の主面に位置する横型であることが望ましいが、第1の電極を主半導体領域の第1の主面側に配置し、第2の電極を主半導体領域の第2の主面側に配置して縦型構造の主半導体スイッチング素子とすることもできる。

(7) 主半導体スイッチング素子はH E M T構成又はM E S F E T構成のスイッチング素子であることが望ましいが、これ等に類似の別の半導体スイッチング素子とすることもできる。例えば、図4の主半導体スイッチング素子1 3を接合型電界効果トランジスタで構成することもできる。

【図面の簡単な説明】

【0 0 5 1】

【図1】従来の双方向スイッチを示す回路である。

【図2】別の従来の双方向スイッチを示す回路図である。

【図3】本発明の実施例1のスイッチ装置及びその駆動回路を示す回路図である。

【図4】図3の主半導体スイッチング素子を示す断面図である。

【図5】図3のスイッチ装置に正方向電圧を印加した状態でオン駆動した時のスイッチ装置及びその駆動回路の等価回路図である。

【図6】図3のスイッチ装置に負方向電圧を印加した状態でオン駆動した時のスイッチ装置及びその駆動回路の等価回路図である。

【図7】図3のスイッチ装置に正方向電圧を印加した状態でオフ駆動した時のスイッチ装置及びその駆動回路の等価回路図である。

【図8】図3のスイッチ装置に負方向電圧を印加した状態でオフ駆動した時のスイッチ装置及びその駆動回路の等価回路図である。

【図9】図3の各部の状態を示す波形図である。

【図1 0】本発明の実施例2のスイッチ装置及びその駆動回路を示す回路図である。

【図1 1】図1 0の主半導体スイッチング素子を示す断面図である。

【図1 2】本発明の実施例3のスイッチ装置及びその駆動回路を示す回路図である。

【図1 3】本発明の実施例4のスイッチ装置及びその駆動回路を示す回路図である。

【図1 4】図1 3のスイッチ装置を示す断面図である。

【図1 5】本発明の実施例5の主半導体スイッチング素子を示す断面図である。

【図1 6】本発明の実施例6の主半導体スイッチング素子を示す断面図である。

【図1 7】本発明の実施例7の主半導体スイッチング素子を示す断面図である。

【図1 8】本発明の実施例8の主半導体スイッチング素子を示す断面図である。

【符号の説明】

【0 0 5 2】

1 0 スイッチ装置

10

20

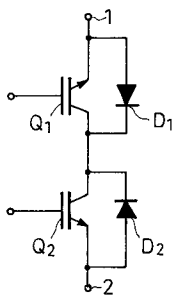
30

40

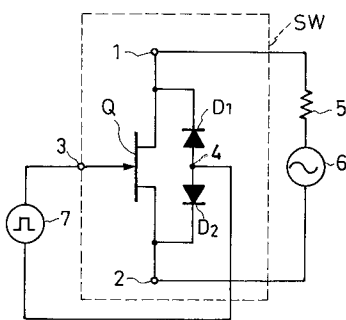
50

- 1 1 , 1 2 第 1 及 び 第 2 の 主 端 子
- 1 3 主 半 導 体 ス イ ッ チ ン グ 素 子
- 1 4 , 1 5 第 1 及 び 第 2 の M O S F E T
- 1 6 , 1 7 , 1 8 , 1 9 第 1 、 第 2 、 第 3 及 び 第 4 の ダ イ オード
- 3 6 , 3 7 第 1 及 び 第 2 の ゲート 制 御 回 路

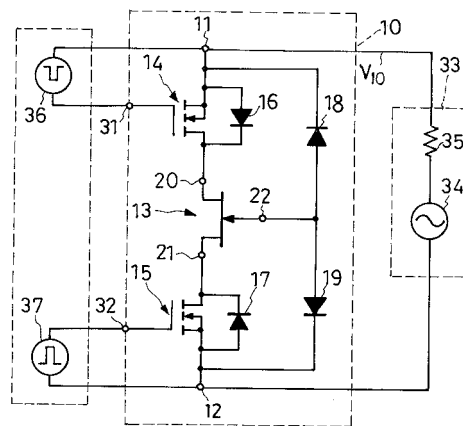
【 図 1 】



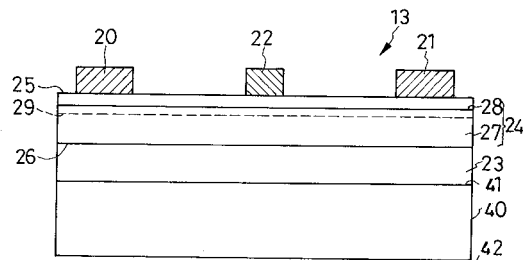
【 図 2 】



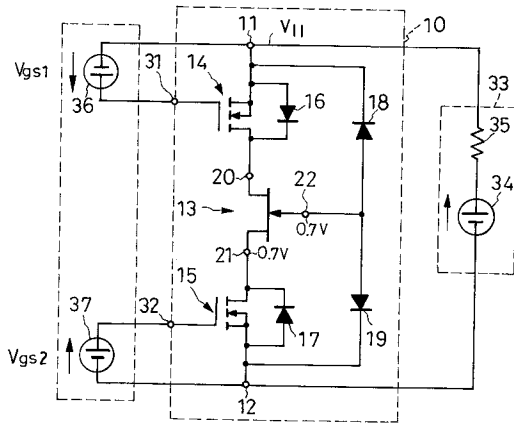
【 図 3 】



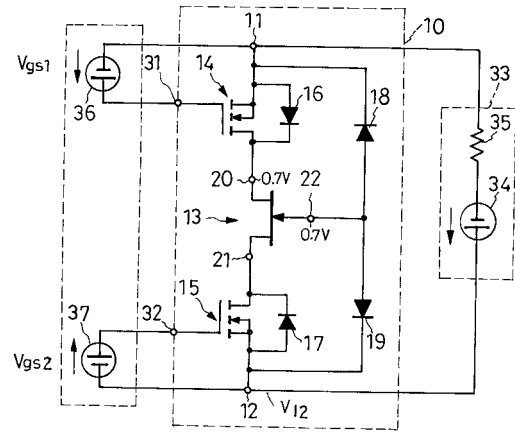
【 図 4 】



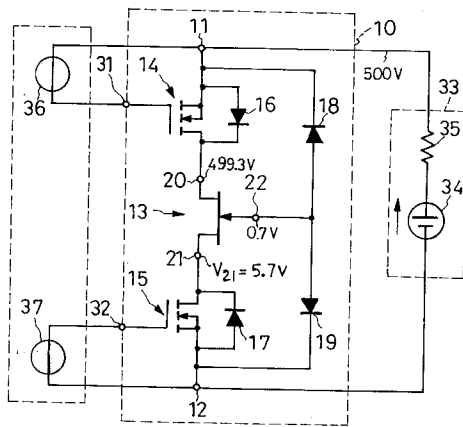
【 図 5 】



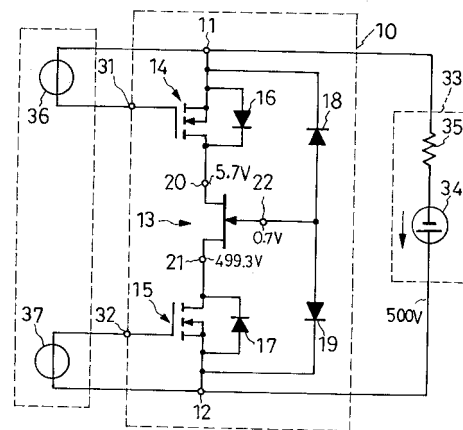
【 図 6 】



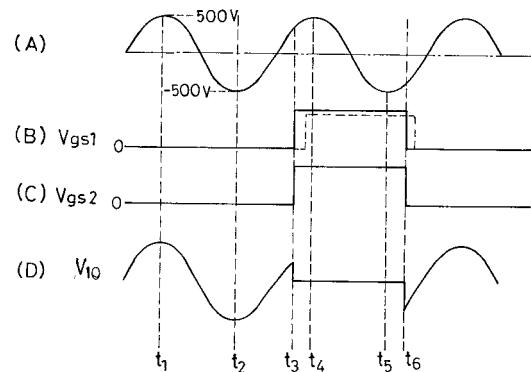
【 図 7 】



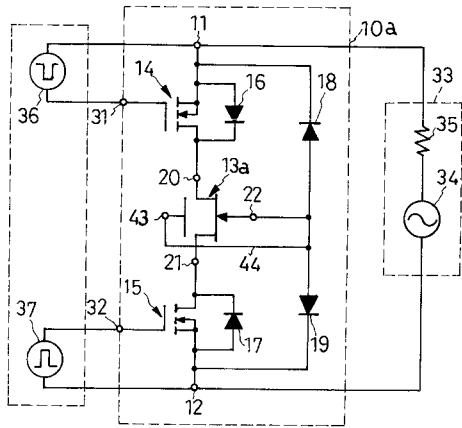
【 図 8 】



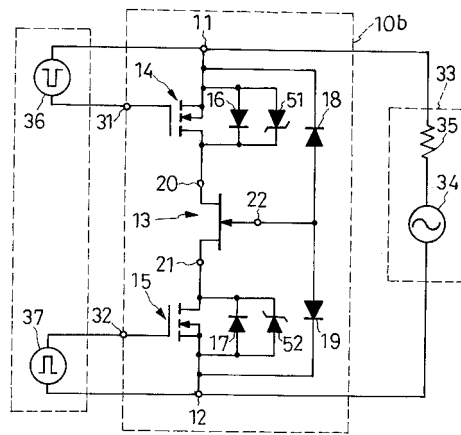
【 図 9 】



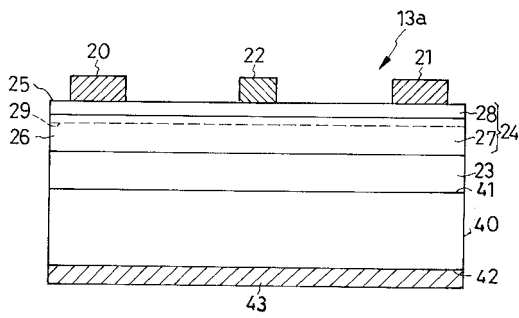
【図10】



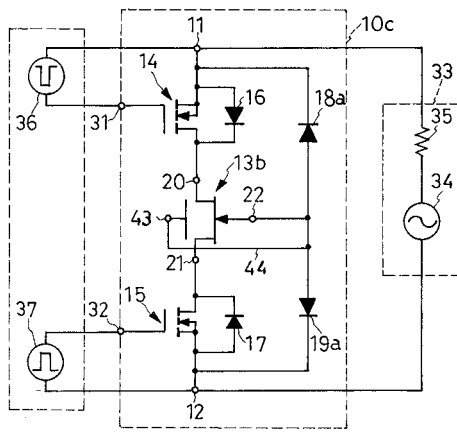
【図12】



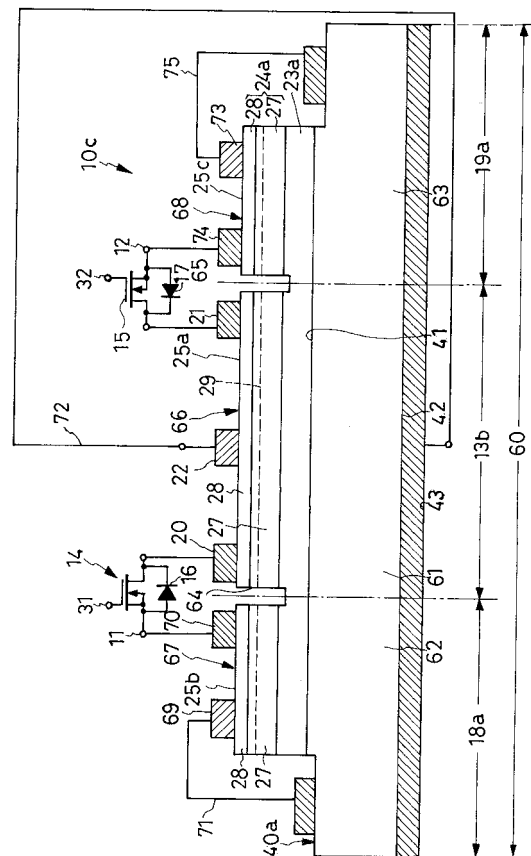
【図11】



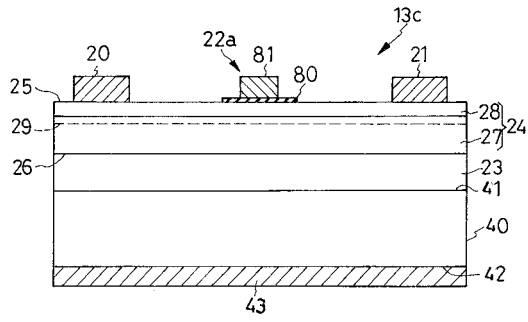
【図13】



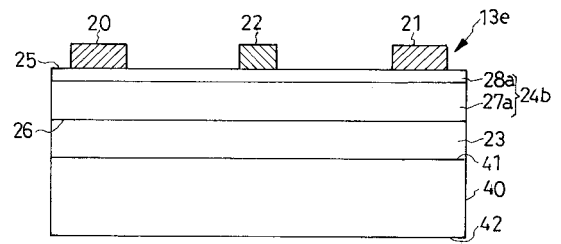
【図14】



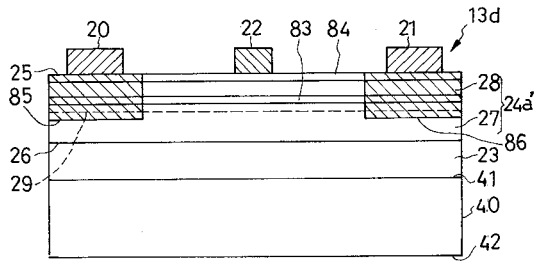
【図15】



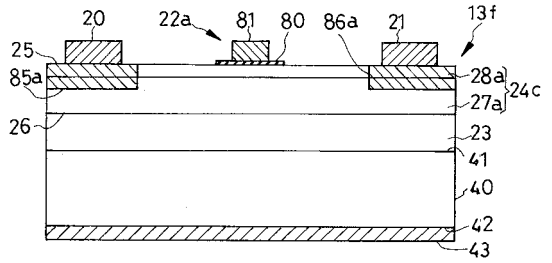
【図17】



【図16】



【図18】



フロントページの続き

- (56)参考文献 国際公開第2005/002054(WO, A1)
国際公開第2004/114508(WO, A1)
特開平02-119416(JP, A)
特開2002-231820(JP, A)
特開2002-076020(JP, A)
特開平08-167838(JP, A)
特開2006-351691(JP, A)

(58)調査した分野(Int.Cl., DB名)

H03K 17/00 - 17/70