



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년08월29일
 (11) 등록번호 10-1435501
 (24) 등록일자 2014년08월22일

(51) 국제특허분류(Int. Cl.)
 H01L 29/786 (2006.01) G02F 1/136 (2006.01)
 G02F 1/1368 (2006.01)
 (21) 출원번호 10-2011-7010132
 (22) 출원일자(국제) 2009년09월24일
 심사청구일자 2014년04월15일
 (85) 번역문제출일자 2011년05월03일
 (65) 공개번호 10-2011-0065556
 (43) 공개일자 2011년06월15일
 (86) 국제출원번호 PCT/JP2009/067119
 (87) 국제공개번호 WO 2010/038820
 국제공개일자 2010년04월08일
 (30) 우선권주장
 JP-P-2008-258992 2008년10월03일 일본(JP)
 (56) 선행기술조사문헌
 JP2007123861 A
 JP2007299913 A
 KR1020070093831 A
 US20060292726 A1

(73) 특허권자
 가부시키가이샤 한도오파이 에네루기 켄큐쇼
 일본국 가나가와켄 아쓰기시 하세 398
 (72) 발명자
 야마자키 순페이
 일본국 가나가와켄 아쓰기시 하세 398 가부시키가
 이샤 한도오파이 에네루기 켄큐쇼 나이
 아키토모 켄고
 일본국 가나가와켄 아쓰기시 하세 398 가부시키가
 이샤 한도오파이 에네루기 켄큐쇼 나이
 우메자키 아쓰시
 일본국 가나가와켄 아쓰기시 하세 398 가부시키가
 이샤 한도오파이 에네루기 켄큐쇼 나이
 (74) 대리인
 이화익, 김홍두

전체 청구항 수 : 총 12 항

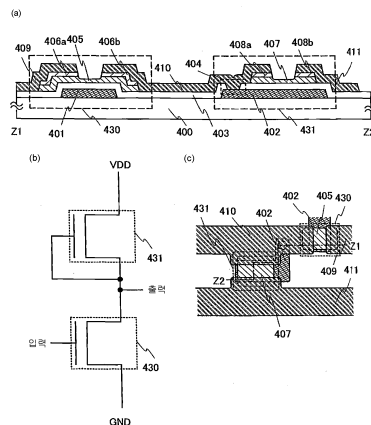
심사관 : 설관식

(54) 발명의 명칭 표시장치

(57) 요약

표시장치의 고선명화에 따라, 화소수가 증가하고, 게이트선 수 및 신호선 수가 증가한다. 게이트선 수 및 신호선 수가 증가하는 것으로 인해, 그 게이트선과 신호선을 구동하기 위한 구동회로를 갖는 IC칩을 본딩 등에 의해 실장하는 것이 곤란해져, 제조 비용이 증대하는 원인이 된다. 동일 기판 위에 화소부와, 그 화소부를 구동하는 구동회로를 형성한다. 구동회로의 적어도 일부를, 산화물 반도체를 사용한 역스태거형 박막트랜지스터로 구성한다. 동일 기판 위에 화소부뿐만 아니라, 구동회로를 설치함으로써, 제조 비용을 저감한다.

대표도 - 도1



특허청구의 범위

청구항 1

제1의 산화물 반도체층과 제1의 게이트 전극을 포함하는 제1의 박막트랜지스터를 적어도 포함하는 화소 부; 및

제2의 산화물 반도체층과 제2의 게이트 전극을 포함하는 제2의 박막트랜지스터와, 제3의 산화물 반도체층과 제3의 게이트 전극을 포함하는 제3의 박막트랜지스터를 적어도 포함하는, 구동회로를 포함하는 표시장치로서,

채널 길이 방향의 상기 제2의 산화물 반도체층의 길이는, 채널 길이 방향의 상기 제2의 게이트 전극의 길이보다 짧고,

채널 길이 방향의 상기 제3의 산화물 반도체층의 길이는, 채널 길이 방향의 상기 제3의 게이트 전극의 길이보다 길고,

상기 제2의 게이트 전극과 직접 접하는 배선이, 상기 제3의 산화물 반도체층의 위쪽에 제공되고,

상기 배선은, 상기 제3의 산화물 반도체층과 전기적으로 접속하는 상기 제3의 박막트랜지스터의 소스 배선 또는 드레인 배선인, 표시장치.

청구항 2

제1의 산화물 반도체층과 제1의 게이트 전극을 포함하는 제1의 박막트랜지스터를 적어도 포함하는 화소 부; 및

제2의 산화물 반도체층과 제2의 게이트 전극을 포함하는 제2의 박막트랜지스터와, 제3의 산화물 반도체층과 제3의 게이트 전극을 포함하는 제3의 박막트랜지스터를 적어도 포함하는, 구동회로를 포함하는 표시장치로서,

채널 길이 방향의 상기 제2의 산화물 반도체층의 길이는, 채널 길이 방향의 상기 제2의 게이트 전극의 길이보다 짧고,

채널 길이 방향의 상기 제3의 산화물 반도체층의 길이는, 채널 길이 방향의 상기 제3의 게이트 전극의 길이보다 길고,

상기 제2의 게이트 전극과 직접 접하는 배선이, 상기 제3의 산화물 반도체층의 위쪽에 제공되고,

상기 배선은, 상기 제3의 산화물 반도체층과 전기적으로 접속하는 상기 제3의 박막트랜지스터의 소스 배선 또는 드레인 배선이고,

상기 소스 배선과 상기 제3의 산화물 반도체층과의 사이, 또는 상기 드레인 배선과 상기 제3의 산화물 반도체층과의 사이에, 상기 제3의 산화물 반도체층보다 두께가 얇고 상기 제3의 산화물 반도체층보다 도전율이 높은 제4의 산화물 반도체층이 제공된, 표시장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 제1의 산화물 반도체층, 상기 제2의 산화물 반도체층 및 상기 제3의 산화물 반도체층은, 각각 함몰부를 갖는 영역을 포함하는, 표시장치.

청구항 4

제 3 항에 있어서,

절연층을 더 포함하고,

상기 절연층은, 상기 제1의 박막트랜지스터, 상기 제2의 박막트랜지스터 및 상기 제3의 박막트랜지스터를 덮고, 상기 제1의 산화물 반도체층, 상기 제2의 산화물 반도체층 및 상기 제3의 산화물 반도체층에 접하는, 표시장치.

청구항 5

제 1 항 또는 제 2 항에 있어서,

상기 제1의 산화물 반도체층, 상기 제2의 산화물 반도체층 및 상기 제3의 산화물 반도체층은, 인듐, 갈륨 및 아연을 각각 포함하는, 표시장치.

청구항 6

제 1 항 또는 제 2 항에 있어서,

상기 표시장치는, 텔레비전 장치, 디지털 포토 프레임, 휴대형 유기기(遊技機), 슬롯 머신 및 휴대전화기로 이루어진 군으로부터 선택된 하나에 내장되는, 표시장치.

청구항 7

제 1 항 또는 제 2 항에 있어서,

상기 화소부와 상기 구동회로는, 동일 기판 위에 제공되는, 표시장치.

청구항 8

제 1 항 또는 제 2 항에 있어서,

상기 제1의 박막트랜지스터는 n채널형 박막트랜지스터인, 표시장치.

청구항 9

제 1 항 또는 제 2 항에 있어서,

상기 제2의 박막트랜지스터는 n채널형 박막트랜지스터인, 표시장치.

청구항 10

제 1 항 또는 제 2 항에 있어서,

상기 제3의 박막트랜지스터는 n채널형 박막트랜지스터인, 표시장치.

청구항 11

제 2 항에 있어서,

상기 제4의 산화물 반도체층은 인듐, 갈륨 및 아연을 포함하는, 표시장치.

청구항 12

제 2 항에 있어서,

상기 제4의 산화물 반도체층은 비정질 구조 내에 결정립을 포함하고, 상기 결정립의 직경은 1nm 내지 10nm인, 표시장치.

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

명세서

기술분야

[0001] 본 발명은, 산화물 반도체를 사용하는 표시장치 및 그 제조 방법에 관한 것이다.

배경기술

[0002] 액정표시장치에 일반적으로 알려진 것처럼, 유리 기판등 평판에 형성되는 박막트랜지스터는, 아모퍼스 실리콘이나 다결정 실리콘에 의해 제작되어 있다. 아모퍼스 실리콘을 사용하여 제작된 박막트랜지스터는, 전계 효과 이동도가 낮지만, 보다 큰 유리 기판 위에 형성될 수 있다. 이에 대해서, 결정 실리콘을 사용하여 제작된 박막트랜지스터는, 전계 효과 이동도가 높지만, 레이저 어닐링 등의 결정화공정으로 인해, 그 트랜지스터는 보다 큰 유리 기판 위에 형성되는데 반드시 적절하지 않다.

[0003] 상술한 것을 고려하여, 산화물 반도체를 사용해서 박막트랜지스터를 제작하고, 이러한 트랜지스터를 전자 기기나 광 디바이스에 응용하는 기술이 주목받고 있다. 예를 들면, 산화물 반도체막으로서 산화아연이나 In-Ga-Zn-O계 산화물 반도체를 사용해서 박막트랜지스터를 제작하고, 이러한 트랜지스터를 화상표시장치의 스위칭 소자등으로서 사용하는 기술이 특허문헌1 및 특허문헌2에 개시되어 있다.

[0004] [특허문헌1] 일본국 공개특허공보 특개2007-123861호

[0005] [특허문헌2] 일본국 공개특허공보 특개2007-96055호

발명의 내용

[0006] 채널 형성영역을 위한 산화물 반도체를 사용한 박막트랜지스터의 전계 효과 이동도는, 아모퍼스 실리콘을 사용한 박막트랜지스터보다도 높다. 산화물 반도체막은, 스퍼터링법등에 의해 300℃이하의 온도로 형성이 가능하다. 다결정 실리콘을 사용한 박막트랜지스터보다도 그 제조 공정이 간단하다.

[0007] 이러한 산화물 반도체를 사용해서 유리 기판, 플라스틱 기판등에 박막트랜지스터를 형성하고, 액정 표시장치, 전계발광 표시장치, 전자 페이퍼등에의 응용이 기대되고 있다.

[0008] 표시장치의 고선명화에 따라, 화소수가 증가하고, 게이트선 수 및 신호선 수가 증가한다. 게이트선 수 및 신호선 수가 증가하는 것으로 인해, 그것들을 구동하기 위한 구동회로를 갖는 IC칩을 본딩 등에 의해 실장하는 것이 곤란해져, 제조 비용이 증대하는 원인이 된다.

[0009] 또한, 본 발명의 다른 목적은, 구동회로에 있어서, 고속구동을 피하기 위해서, 소자간을 연결하는 배선간의 접촉저항등을 저감하는데 있다. 예를 들면, 게이트 배선과 상층배선간의 접촉저항이 높다면, 입력 신호가 왜곡될 우려가 있다.

[0010] 또한, 본 발명의 다른 목적은, 콘택트홀의 수와, 구동회로의 점유 면적을 감소하는 표시장치의 구조를 제공하는데 있다.

[0011] 본 발명은, 동일 기판 위에 화소부와, 그 화소부를 구동하는 구동회로를 갖고, 구동회로의 적어도 일부를, 산화물 반도체를 사용한 역스태거형 박막트랜지스터로 구성한다. 동일 기판 위에 화소부뿐만 아니라, 구동회로를 설치함으로써, 제조 비용을 저감한다.

[0012] 본 명세서에서 사용하는 산화물 반도체로서는, $InM_0_3(ZnO)_m(m>0)$ 로 표기되는 재료의 박막을 형성하고, 그 박막을 반도체층으로서 사용한 박막트랜지스터를 제작한다. 이때, M은, 갈륨(Ga), 철(Fe), 니켈(Ni), 망간(Mn) 및 코발트(Co)로부터 선택된 1개 이상의 금속 원소를 나타낸다. 예를 들면, M으로서, Ga만을 포함하는 경우 외에, Ga와 Ni 또는 Ga와 Fe등, Ga이외의 상기 금속 원소들 중 어느 하나가 포함되는 경우가 있다. 또한, 상기 산화물 반도체에 있어서, M으로서 포함된 금속 원소 이외에, 불순물원소로서 Fe 또는 Ni 등의 천이금속원소, 또는 상기 천이금속의 산화물이 포함되어 있는 경우가 있다. 본 명세서에서는, 이 박막을 "In-Ga-Zn-O계 비단결정막"이라고도 부른다.

[0013] 유도 결합 플라즈마 질량분석법(Inductively Coupled Plasma Mass Spectrometry:ICP-MS분석법)에 의해 대표적인 측정 예를 표 1에 나타낸다. In_2O_3 대 Ga_2O_3 및 ZnO의 비율은 1:1:1인 타겟(In 대 Ga 및 Zn의 비율은 1:1:0.5)을 사용하고, 스퍼터링법에서의 아르곤 가스유량을 40sccm이라고 한 조건1에서 $InGa_{0.95}Zn_{0.41}O_{3.33}$ 의 산화물 반도체막이 얻어진다. 또한, 스퍼터링법에서의 아르곤 가스유량을 10sccm, 산소를 5sccm이라고 한 조건2에서 $InGa_{0.94}Zn_{0.40}O_{3.31}$ 의 산화물 반도체막이 얻어진다.

표 1

유량 비율	조성 (atomic%)				조성식
	In	Ga	Zn	O	
Ar/O ₂					
40/0	17.6	16.7	7.2	58.6	$InGa_{0.95}Zn_{0.41}O_{3.33}$
10/5	17.7	16.7	7	58.6	$InGa_{0.94}Zn_{0.40}O_{3.31}$

[0015] 또한, ICP-MS 대신에 러더포드(Rutherford) 후방산란 분석법(RBS)을 사용하여 행해진 정량화 결과를 표 2에 나타낸다.

표 2

유량 비율	조성(atomic%)					조성식
	In	Ga	Zn	O	Ar	
Ar/O ₂						
40/0	17	15.8	7.5	59.4	0.3	InGa _{0.93} Zn _{0.44} O _{3.49}
10/5	16	14.7	7.2	61.7	0.4	InGa _{0.92} Zn _{0.45} O _{3.86}

- [0016]
- [0017] 조건1의 시료를 RBS로 측정된 결과에 의하면, 산화물 반도체막은 InGa_{0.93}Zn_{0.44}O_{3.49}이다. 또한, 조건2의 시료를 RBS로 측정된 결과에 의하면, 산화물 반도체막은, InGa_{0.92}Zn_{0.45}O_{3.86}이다.
- [0018] In-Ga-Zn-0계 비단결정막에서 아모퍼스 구조는, X선 회절(XRD)에 의해 관찰된다. 이때, 스퍼터링법으로 성장 후, 200℃~500℃, 대표적으로는 300~400℃에서 10분~100분간 상기 검사된 시료의 In-Ga-Zn-0계 비단결정막에 가열처리를 행한다. 또한, 전기 특성도 게이트 전압±20V에 있어서, 온/오프비가 10⁹이상, 이동도가 10이상의 박막트랜지스터를 제작할 수 있다.
- [0019] 이러한 전기 특성을 갖는 박막트랜지스터를 구동회로에 사용하는 것은 효과적이다. 예를 들면, 게이트선 구동회로는, 게이트 신호를 순차 전송하는 시프트 레지스터 회로와, 버퍼 회로등으로 구성되고, 소스선 구동회로는, 게이트 신호를 순차 전송하는 시프트 레지스터와, 화소에 영상신호의 전송의 온 및 오프를 바꾸는 아날로그 스위치 등에 의해 구성된다. 아모퍼스 실리콘을 사용한 TFT에 비교해 높은 이동도를 갖는 산화물 반도체막을 사용한 TFT는, 시프트 레지스터 회로를 고속으로 구동시킬 수 있다.
- [0020] 또한, 화소부를 구동하는 구동회로의 적어도 일부를 산화물 반도체를 사용한 박막트랜지스터로 구성할 경우, 그 회로가 갖는 TFT는 모두 n채널형 TFT이고, 도 1b에 나타난 회로를 기본단위로서 사용한다. 또한, 구동회로에 있어서, 게이트 전극과 소스 배선, 또는 드레인 배선을 직접 접속시킴으로써, 양호한 콘택을 얻을 수 있어, 접촉저항을 저감할 수 있다. 구동회로에 있어서, 게이트 전극과 소스 배선, 또는 드레인 배선을 다른 도전막, 예를 들면, 투명도전막으로 접속하는 경우, 콘택트홀의 수의 증가, 콘택트홀의 수의 증가에 의한 점유 면적의 증대, 또는 접촉저항 및 배선 저항의 증대, 심지어 공정의 복잡화를 초래할 우려가 있다.
- [0021] 본 명세서에서 개시하는 본 발명의 구성의 일 실시예는, 화소부와 구동회로를 갖는 표시장치다. 그 화소부는, 적어도 제1의 산화물 반도체층을 갖는 제1의 박막트랜지스터를 갖는다. 구동회로부는, 적어도 제2의 산화물 반도체층을 갖는 제2의 박막트랜지스터와, 제3의 산화물 반도체층을 갖는 제3의 박막트랜지스터를 구비한다. 제2의 산화물 반도체층의 하방에 설치된 제2의 박막트랜지스터의 게이트 전극과 직접 접하는 배선이, 제3의 산화물 반도체층의 위쪽에 설치된다. 배선은, 제3의 산화물 반도체층과 전기적으로 접속하는 제3의 박막트랜지스터의 소스 배선 또는 드레인 배선이다.
- [0022] 본 발명의 일 실시예는, 상기 목적의 적어도 하나를 달성한다.
- [0023] 또한, 본 발명의 실시예에 사용하는 박막트랜지스터는, 소스 배선과 채널형성영역이 되는 산화물 반도체층(상기 구성에 있어서는 제3의 반도체층)과의 사이, 또는 드레인 배선과 채널형성영역이 되는 산화물 반도체층(상기 구성에 있어서는 제3의 반도체층)과의 사이에, 제3의 산화물 반도체층의 두께보다도 얇고, 제3의 산화물 반도체층의 도전율보다도 높은 도전율을 갖는 제4의 산화물 반도체층을 구비하여도 된다.
- [0024] 제4의 산화물 반도체층은, n형의 도전성을 나타내고, 소스영역이나 드레인영역으로서 기능한다.
- [0025] 제3 산화물 반도체층은 비정질구조를 갖고, 제4의 산화물 반도체층은 비정질구조 내에 결정립(나노크리스탈)을 포함하는 경우가 있다. 이 제4의 산화물 반도체층중의 이들 결정립(나노 크리스탈)은 직경 1nm~10nm, 대표적으로는 2nm~4nm정도다.
- [0026] 또한, 소스영역 또는 드레인영역(n⁺형 층)이 되는 제4의 산화물 반도체층으로서, In-Ga-Zn-0계 비단결정막을 사용할 수 있다.
- [0027] 표시장치에 포함된 제1의 박막트랜지스터, 제2의 박막트랜지스터 및 제3의 박막트랜지스터를 덮고, 또 제1의 산화물 반도체층, 제2의 산화물 반도체층 및 제3의 산화물 반도체층에 접하는 절연층을 형성하여도 된다. 또한, 배선의 에칭 공정에 있어서, 산화물 반도체층의 일부도 에칭하는 경우가 있다. 그 경우, 제1의 산화물 반

도체층, 제2의 산화물 반도체층 및 제3의 산화물 반도체층은 각각 두께가 얇은 영역을 갖는다.

- [0028] 또한, 박막트랜지스터는 정전기등에 의해 파괴되기 쉽기 때문에, 게이트선 또는 소스선에 대하여, 구동 회로 보호용의 보호 회로를 동일 기판 위에 설치하는 것이 바람직하다. 보호 회로는, 산화물 반도체를 사용한 비선형소자를 사용해서 구성하는 것이 바람직하다.
- [0029] 이때, 본 명세서에서 "제1", "제2" 등의 서수사는 편의상 사용하는 것이다. 따라서, 그들은, 공정의 순서, 층의 적층 순서, 및 본 발명을 특정하기 위한 고유의 명칭을 나타내는 것이 아니다.
- [0030] 더욱이, 구동회로를 갖는 표시장치로서는, 액정표시장치의 이외에, 발광소자를 사용한 발광 표시장치나, 전기영동 표시 소자를 사용한 "전자 페이퍼"라고도 칭하는 표시장치를 들 수 있다.
- [0031] 발광소자를 사용한 발광 표시장치에 있어서는, 화소부에 복수의 박막트랜지스터를 갖고, 화소부에 있어서도 일 박막트랜지스터의 게이트 전극과 다른 트랜지스터의 소스 배선 또는 드레인 배선을 직접 접속시키는 영역이 있다. 또한, 발광소자를 사용한 발광 표시장치의 구동회로에 있어서는, 박막트랜지스터의 게이트 전극과 그 박막트랜지스터의 소스 배선 또는 드레인 배선을 직접 접속시키는 영역이 있다.
- [0032] 이때, 본 명세서에서 반도체장치란, 반도체 특성을 이용함으로써 동작할 수 있는 장치전반을 가리키고, 전기광학장치, 반도체회로 및 전자기기는 모두 반도체장치다.
- [0033] 게이트선 구동회로 또는 소스선 구동회로에서 산화물 반도체를 사용한 박막트랜지스터로 형성함으로써, 제조 비용을 저감할 수 있다. 그리고, 구동회로에 사용하는 박막트랜지스터의 게이트 전극과 소스 배선, 또는 드레인 배선을 직접 접속시킴으로써, 컨택트홀의 수를 적게 하고, 구동회로의 점유 면적을 축소화할 수 있는 표시장치를 제공할 수 있다.
- [0034] 따라서, 본 발명의 실시예에 의하면, 전기 특성이 우수하고 신뢰성이 높은 표시장치를 저비용으로 제공할 수 있다.

도면의 간단한 설명

- [0035] 도 1a 내지 1c는 반도체장치를 설명하는 도면이다.
- 도 2a, 2b는 반도체장치를 설명하는 도면이다.
- 도 3a 내지 3c는 반도체장치의 제작 방법을 설명하는 도면이다.
- 도 4a 내지 4d는 반도체장치의 제작 방법을 설명하는 도면이다.
- 도 5a 내지 5c는 반도체장치의 제작 방법을 설명하는 도면이다.
- 도 6a 내지 6c는 반도체장치의 제작 방법을 설명하는 도면이다.
- 도 7은 반도체장치의 제작 방법을 설명하는 도면이다.
- 도 8은 반도체장치의 제작 방법을 설명하는 도면이다.
- 도 9는 반도체장치의 제작 방법을 설명하는 도면이다.
- 도 10은 반도체장치를 설명하는 도면이다.
- 도 11a1 내지 11b2는 반도체장치를 설명하는 도면이다.
- 도 12는 반도체장치를 설명하는 도면이다.
- 도 13은 반도체장치를 설명하는 도면이다.
- 도 14a, 14b는 반도체장치를 각각 나타내는 블럭도다.
- 도 15는 신호선 구동회로의 구성을 설명하는 도면이다.
- 도 16은 신호선 구동회로의 동작을 설명하는 타이밍 차트.
- 도 17은 신호선 구동회로의 동작을 설명하는 타이밍 차트.

- 도 18은 시프트 레지스터의 구성을 설명하는 도면이다.
- 도 19는 도 18에 나타난 플립플롭의 접속 구성을 설명하는 도면이다.
- 도 20은 반도체장치의 화소등가회로를 설명하는 도면이다.
- 도 21a 내지 21c는 반도체장치를 설명하는 도면이다.
- 도 22a1 내지 22b는 반도체장치를 설명하는 도면이다.
- 도 23은 반도체장치를 설명하는 도면이다.
- 도 24a, 24b는 반도체장치를 설명하는 도면이다.
- 도 25a, 25b는 전자 페이퍼의 사용 형태의 예를 각각 설명하는 도면이다.
- 도 26은 전자 서적 리더(reader)의 일례를 나타내는 외관도다.
- 도 27a는 텔레비전 장치의 일례의 외관도, 도 27b는 디지털 포토 프레임의 일례의 외관도다.
- 도 28a, 28b는 유기기의 일례를 각각 설명하는 도면이다.
- 도 29a, 29b는 휴대전화기의 일례를 각각 설명하는 도면이다.
- 도 30은 반도체장치를 설명하는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0036] 실시예들에 대해서, 첨부도면을 사용해서 상세하게 설명한다. 이때, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 이탈하지 않고 그 형태 및 상세내용을 다양한 방식으로 변경할 수 있는 것은 당업자라면 용이하게 이해할 것이다. 따라서, 본 발명은 이하에 나타내는 실시예들의 기재 내용에 한정해서 해석되는 것은 아니다. 이때, 이하에 설명하는 본 발명의 구성에 있어서, 동일부분 또는 같은 기능을 갖는 부분은 다른 도면들에서 동일한 부호로 나타내고, 그 반복된 설명은 생략한다.
- [0037] (실시예1)
- [0038] 본 실시예에서는, 본 발명의 일 실시예를, 2개의 n채널형의 박막트랜지스터를 사용해서 인버터 회로를 구성한 예를 기초로 설명하겠다.
- [0039] 화소부를 구동하기 위한 구동회로는, 인버터 회로, 용량, 저항등을 사용해서 구성한다. 2개의 n채널형 TFT를 조합해서 인버터 회로를 형성하는 경우, 인헨스먼트형(enhancement type) 트랜지스터와 디플리션형(depletion type) 트랜지스터를 조합해서 형성하는 경우(이하, 이러한 조합으로 이루어진 회로를, "EDMOS회로"라고 한다)와, 인헨스먼트형 TFT들을 조합하여 형성하는 경우(이하, 이러한 조합으로 이루어진 회로를, "EEMOS 회로"라고 한다)의 2가지 형태의 조합이 있다. 이때, n채널형 TFT의 한계치전압이 정(positive)일 경우에는, 인헨스먼트형 트랜지스터로서 정의하고, n채널형 TFT의 한계치전압이 부(negative)일 경우에는, 디플리션형 트랜지스터로서 정의하고, 본 명세서는 상기 정의를 따른다.
- [0040] 화소부와 구동회로는, 동일 기판 위에 형성한다. 화소부에 있어서는, 매트릭스 모양으로 배치한 인헨스먼트형 트랜지스터를 사용해서 화소전극에의 전압인가의 온 및 오프를 바꾼다. 이 화소부에 배치하는 인헨스먼트형 트랜지스터들에는, 산화물 반도체를 사용한다. 인헨스먼트형 트랜지스터들의 전기 특성은, 게이트 전압±20V에 있어서, 온/오프비가 10⁹ 이상이기 때문에, 리크(leakage) 전류가 적고, 저소비 전력구동을 실현할 수 있다.
- [0041] 구동회로의 인버터 회로의 단면구조를 도 1a에 나타낸다. 또한, 도 1a 내지 1c에 나타내는 제1의 박막 트랜지스터(430) 및 제2의 박막트랜지스터(431) 각각은, 역스태거형 박막트랜지스터이며, 반도체층 위에 소스영역또는 드레인영역을 거쳐서 배선이 설치되는 박막트랜지스터의 예다.
- [0042] 도 1a에 있어서, 기판(400) 위에 제1의 게이트 전극(401) 및 제2의 게이트 전극(402)을 설치한다. 제1의 게이트 전극(401) 및 제2의 게이트 전극(402)은, 폴리브덴, 티타늄, 크롬, 탄타르, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속재료 또는 이것들 중 어느 하나를 주성분으로 하는 합금재료를 사용하여, 단층 구조

또는 적층 구조가 되도록 형성될 수 있다.

- [0043] 예를 들면, 제1의 게이트 전극(401) 및 제2의 게이트 전극(402) 각각의 2층의 적층구조로서는, 알루미늄층 위에 몰리브덴층을 적층한 2층의 구조, 구리층 위에 몰리브덴층을 적층한 2층 구조, 구리층 위에 질화티탄층 혹은 질화탄탈을 적층한 2층 구조, 및 질화티탄층과 몰리브덴층을 적층한 2층 구조로 하는 것이 바람직하다. 3층의 구조로서는, 텅스텐층 또는 질화텅스텐층과, 알루미늄과 실리콘의 합금 또는 알루미늄과 티타늄의 합금과, 질화티탄층 또는 티타늄층의 적층이 바람직하다.
- [0044] 또한, 제1의 게이트 전극(401) 및 제2의 게이트 전극(402)을 덮는 게이트 절연층(403) 위에는, 제1의 산화물 반도체층(405)과, 제2의 산화물 반도체층(407)을 설치한다.
- [0045] 제1의 산화물 반도체층(405) 위에는, 제1배선(409) 및 제2배선(410)을 설치한다. 제2배선(410)은, 게이트 절연층(403)에 형성된 콘택트홀(404)을 거쳐서 제2의 게이트 전극(402)과 직접 접촉한다. 또한, 제2의 산화물 반도체층(407) 위에는, 제3배선(411)을 설치한다.
- [0046] 제1의 박막트랜지스터(430)는, 제1의 게이트 전극(401)과, 게이트 절연층(403)을 거쳐서 제1의 게이트 전극(401)과 겹치는 제1의 산화물 반도체층(405)을 갖고, 제1배선(409)은, 접지전위의 전원선(접지전원선)이다. 이 접지전위의 전원선은, 부의 전압VDL이 인가되는 전원선(부전원선)이어도 된다.
- [0047] 또한, 제2의 박막트랜지스터(431)는, 제2의 게이트 전극(402)과, 게이트 절연층(403)을 거쳐서 제2의 게이트 전극(402)과 겹치는 제2의 산화물 반도체층(407)을 갖는다. 제3배선(411)은, 정의 전압VDD가 인가되는 전원선(정전원선)이다.
- [0048] 제1의 산화물 반도체층(405)과 제1배선(409)과의 사이에는 n^+ 형 층(406a)을 설치하고, 제1의 산화물 반도체층(405)과 제2배선(410)과의 사이에는 n^+ 형 층(406b)을 설치한다. 또한, 제2의 산화물 반도체층(407)과 제2배선(410)과의 사이에는 n^+ 형 층(408a)을 설치하고, 제2의 산화물 반도체층(407)과 제3배선(411)과의 사이에는 n^+ 형 층(408b)을 설치한다.
- [0049] 본 실시예에서는, 소스영역 또는 드레인영역으로서 기능하는 n^+ 형 층(406a, 406b, 408a, 408b)은, In-Ga-Zn-0계 비단결정막이며, 그 성막 조건은, 제1의 산화물 반도체층(405) 및 제2의 산화물 반도체층(407)의 성막조건과는 다르다. n^+ 형 층(406a, 406b, 408a, 408b)은, 제1의 산화물 반도체층(405) 및 제2의 산화물 반도체층(407)보다 저저항의 산화물 반도체층이다. 예를 들면, 표 1에 기재된, 스퍼터링법을 이용하고 스퍼터링법에서 아르곤 가스유량을 40sccm으로 한 조건에서의 산화물 반도체막으로 형성한 경우, n^+ 형 층(406a, 406b, 408a, 408b)은, n 형의 도전성을 갖고, 활성화 에너지(ΔE)가 0.01eV이상 0.1eV이다. 또한, 본 실시예에서는, n^+ 형 층(406a, 406b, 408a, 408b)은, In-Ga-Zn-0계 비단결정막이며, 적어도 아모퍼스 성분을 포함한다. n^+ 형 층(406a, 406b, 408a, 408b)은 비정질구조 중에 결정립(나노 크리스탈)을 포함하는 경우가 있다. 이 n^+ 형 층(406a, 406b, 408a, 408b)에서의 결정립(나노 크리스탈)은 직경 1nm~10nm, 대표적으로는 2nm~4nm정도다.
- [0050] n^+ 형 층(406a, 406b, 408a, 408b)을 설치함으로써, 금속층인 제1배선(409) 및 제2배선(410)은, 제1의 산화물 반도체층(405)과 양호한 접합을 갖고, 금속층인 제2배선(410)과 제3배선(411)은 제2의 산화물 반도체층(407)과 양호한 접합을 가져서, 쇼트키 접합에 비교해서 열 관점에서 안정 동작을 실현할 수 있다. 또한, 채널에 캐리어를 공급하는(소스측), 채널로부터 캐리어를 안정적으로 흡수하는(드레인측), 또는 상기 배선과 산화물 반도체층과의 계면에서 저항이 발생되지 않게 하는데 적극적으로 n^+ 형 층을 설치하면 효과적이다. 또, 저저항화에 의해, 높은 드레인 전압이라도 양호한 이동도를 확보할 수 있다.
- [0051] 도 1a에 나타나 있는 바와 같이, 제1의 산화물 반도체층(405)과 제2의 산화물 반도체층(407)의 양쪽에 전기적으로 접속하는 제2의 배선(410)은, 게이트 절연층(403)에 형성된 콘택트홀(404)을 통해서 제2의 박막트랜지스터(431)의 제2의 게이트 전극(402)과 직접 접속한다. 직접 접속시킴으로써, 양호한 콘택을 얻을 수 있어, 접촉저항을 저감할 수 있다. 제2의 게이트 전극(402)과 제2배선(410)을 다른 도전막, 예를 들면, 투명도전막으로 접속하는 경우와 비교하여, 콘택트홀의 수의 저감, 콘택트홀의 수의 저감에 의한 점유 면적의 축소를 피할 수 있다.

- [0052] 또한, 도 1c는 구동회로의 인버터 회로의 평면도다. 도 1c에 있어서, 섹션Z1-Z2을 따라 절단한 단면이 도 1a에 상당한다.
- [0053] 또한, EDMOS회로의 등가회로를 도 1b에 나타낸다. 도 1a 및 도 1c에 나타낸 회로 접속은, 도 1b에 상당한다. 제1의 박막트랜지스터(430)를 인헨스먼트형의 n채널형 트랜지스터로 하고 제2의 박막트랜지스터(431)를 디플리션형 n채널형 트랜지스터로 하는 예다.
- [0054] 동일기판 위에 인헨스먼트형의 n채널형 트랜지스터와 디플리션형 n채널형 트랜지스터를 제작하기 위해서, 제1의 산화물 반도체층(405)과 제2의 산화물 반도체층(407)을 다른 재료를 사용하거나 다른 조건하에서 형성한다. 또한, 산화물 반도체층의 상하에 게이트 전극을 설치해서 한계치를 제어하고, 한쪽의 TFT가 노멀리 온(normally on)이 되도록 게이트 전극에 전압을 걸고, 또 한쪽의 TFT가 노멀리 오프가 되도록 해서 EDMOS회로를 구성해도 좋다.
- [0055] (실시예2)
- [0056] 실시예1은, EDMOS회로의 예를 게시했지만, 본 실시예에서는, EEMOS회로의 등가회로를 도 2a에 나타낸다. 도 2a의 등가회로에 있어서는, 구동회로는, 제1의 박막트랜지스터(460)와 제2의 박막트랜지스터(461) 양쪽이 인헨스먼트형의 n채널형 트랜지스터인 경우나, 제1의 박막트랜지스터(460)가 인헨스먼트형의 n채널형 트랜지스터이고 제2의 박막트랜지스터(461)가 디플리션형의 n채널형 트랜지스터인 경우 중 어느 한쪽의 경우에서 구성할 수 있다.
- [0057] 동일형의 인헨스먼트형의 n채널형 트랜지스터를 상기 구동회로에 대해 도 2a의 회로 구성을 사용하는 것이 바람직하다는 것을 알 수 있다. 이것은, 그 경우에, 화소부에 사용하는 트랜지스터가 상기 구동회로에 대해 사용된 것과 같은 형인 인헨스먼트형의 n채널형 트랜지스터로 형성되고, 제작 공정이 증대하지 않기 때문이다. 도 2b는 평면도다. 도 2b에 있어서, 섹션Y1-Y2를 따라 절단한 단면이 도 2a에 상당한다.
- [0058] 또한, 도 2a 및 2b에 나타내는 제1의 박막트랜지스터(460) 및 제2의 박막트랜지스터(461) 각각은, 역스태저형 박막트랜지스터이며, 반도체층 위에 소스영역 또는 드레인영역을 거쳐서 배선이 형성되는 박막트랜지스터의 예다.
- [0059] 또한, 인버터 회로의 제작 공정의 일례를 도 3a 내지 도 3c에 나타낸다.
- [0060] 기판(440) 위에, 스퍼터링법에 의해 제1의 도전막을 형성하고, 제1의 포토마스크를 사용해서 선택적으로 제1의 도전막의 에칭을 행하여, 제1의 게이트 전극(441) 및 제2의 게이트 전극(442)을 형성한다. 이어서, 제1의 게이트 전극(401) 및 제2의 게이트 전극(442)을 덮는 게이트 절연층(443)을 플라즈마CVD법 또는 스퍼터링법을 사용해서 형성한다. 게이트 절연층(443)은, CVD법 또는 스퍼터링법등을 사용하여, 산화실리콘층, 질화실리콘층, 산화질화실리콘층 또는 질화산화실리콘층을 단층으로 또는 적층해서 형성할 수 있다. 또한, 게이트 절연층(443)은, 유기 실란 가스를 사용한 CVD법에 의해 산화실리콘층으로 형성될 수 있다. 유기 실란 가스로서는, 테트라에톡시 실란(TEOS:화학식 $\text{Si}(\text{OC}_2\text{H}_5)_4$), 테트라메틸 실란(TMS:화학식 $\text{Si}(\text{CH}_3)_4$), 테트라메틸시클로테트라실록산(TMCTS), 옥타메틸시클로테트라실록산(OMCTS), 헥사메틸디실라잔(HMDS), 트리에톡시 실란($\text{SiH}(\text{OC}_2\text{H}_5)_3$), 또는 트리수디메틸아미노실란($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$)등의 실리콘 함유 화합물을 사용할 수 있다.
- [0061] 다음에, 제2의 포토마스크를 사용해서 게이트 절연층(443)을 선택적으로 에칭해서 제2의 게이트 전극(442)에 달하는 콘택트홀(444)을 형성한다. 여기까지의 공정에서의 단면도가 도 3a에 상당한다.
- [0062] 다음에, 산화물 반도체막을 스퍼터링법에 의해 형성하고, 그 위에 n⁺형 층을 형성한다. 또한, 산화물 반도체막을 스퍼터링법에 의해 형성하기 전에, 아르곤 가스를 도입해서 플라즈마를 발생시키는 반대 스퍼터를 행하고, 게이트 절연층(443)의 표면 및 콘택트홀(444)의 저면에 부착되어 있는 먼지를 제거하는 것이 바람직하다. 반대 스퍼터란, 타겟측에 전압을 인가하지 않고, 아르곤 분위기에서 기판측에 RF전원을 사용해서 전압을 인가해서 기판에 플라즈마를 형성해서 표면을 개질하는 방법이다. 또한, 아르곤 분위기 대신에 질소, 헬륨등을 사용해도 된다. 또한, 아르곤 분위기에 산소, 수소, N₂O등을 첨가한 분위기에 반대 스퍼터를 행해도 된다. 또한, 이와는 달리, 아르곤 분위기에 Cl₂, CF₄등을 첨가한 분위기에서 반대 스퍼터를 행해도 된다.
- [0063] 다음에, 제3의 포토마스크를 사용해서 선택적으로, 산화물 반도체막 및 n⁺형 층의 에칭을 행한다. 이어

서, 스퍼터링법에 의해 제2의 도전막을 형성하고, 제4의 포토마스크를 사용해서 선택적으로 제2의 도전막의 에칭을 행하고, 제1배선(449), 제2배선(450) 및 제3배선(451)을 형성한다. 제3배선(451)은, 콘택트홀(444)을 거쳐서 제2의 게이트 전극(442)과 직접 접한다. 또한, 제2의 도전막을 스퍼터링법에 의해 형성하기 전에, 아르곤 가스를 도입해서 플라즈마를 발생시키는 반대 스퍼터를 행하고, 게이트 절연층(443)의 표면, n^+ 형 층의 표면, 및 콘택트홀(444)의 저면에 부착되어 있는 먼지를 제거하는 것이 바람직하다. 반대 스퍼터란, 타겟측에 전압을 인가하지 않고, 아르곤 분위기에서 기관측에 RF전원을 사용해서 전압을 인가해서 기관에 플라즈마를 형성해서 표면을 개질하는 방법이다. 또한, 아르곤 분위기 대신에 질소, 헬륨등을 사용해도 된다. 또한, 반대 스퍼터는, 아르곤 분위기에 산소, 수소, N_2O 등을 첨가한 분위기에서 행해도 된다. 또한, 반대 스퍼터는, 아르곤 분위기에 Cl_2 , CF_4 등을 첨가한 분위기에서 행해도 된다.

[0064] 또한, 제2의 도전막의 에칭시에, n^+ 형 층 및 산화물 반도체막의 일부를 에칭하고, n^+ 형 층(446a, 446b, 448a, 448b), 제1의 산화물 반도체층(445), 제2의 산화물 반도체층(447)을 형성한다. 이 에칭으로 제1의 게이트 전극 및 제2의 게이트 전극과 겹치는 부분이 얇아지도록 제1의 산화물 반도체층(445)과 제2의 산화물 반도체층(447)의 일부의 두께는 감소된다. 이 에칭공정이 종료한 경우, 제1의 박막트랜지스터(460)와 제2의 박막트랜지스터(461)가 완성된다. 여기까지의 공정의 단면도가 도 3b에 상당한다.

[0065] 다음에, 대기분위기에서 또는 질소분위기에서 200℃~600℃의 가열처리를 행한다. 또한, 이 가열처리를 행하는 타이밍은 특별히 한정되지 않고, 산화물 반도체막의 성막후이면 언제 행해도 된다.

[0066] 다음에, 보호층(452)을 형성하고, 제5의 포토마스크를 사용해서 보호층(452)을 선택적으로 에칭해서 콘택트홀을 형성한다. 그후, 제3의 도전막을 형성한다. 최후에, 제6의 포토마스크를 사용해서 제3의 도전막을 선택적으로 에칭해서 제2배선(410)과 전기적으로 접속하는 접속 배선(453)을 형성한다. 여기까지의 공정에서의 단면도가 도 3c에 상당한다.

[0067] 발광소자를 사용한 발광 표시장치에 있어서는, 화소부에 복수의 박막트랜지스터를 갖고, 화소부에 있어서, 어떤 하나의 박막트랜지스터의 게이트 전극과 다른 트랜지스터의 소스 배선 또는 드레인 배선을 직접 접속시키기 위한 콘택트홀을 갖고 있다. 이 콘택트홀은, 제2의 포토마스크를 사용해서 게이트 절연층에 콘택트홀을 형성하는 공정과 같은 마스크를 사용해서 형성할 수 있다.

[0068] 또한, 액정표시장치나 전자 페이퍼에 있어서는, FPC등의 외부단자와 접속하기 위한 단자부에 있어서, 게이트 배선에 이르는 콘택트홀을 형성할 때, 이 콘택트홀은, 제2의 포토마스크를 사용해서 게이트 절연층에 콘택트홀을 형성하는 공정과 같은 마스크를 사용해서 형성할 수 있다.

[0069] 또한, 전술한 공정 순서는 일례일뿐이며 그 순서에 한정되지 않는다. 예를 들면, 포토마스크수가 1장 증가하지만, 제2의 도전막을 에칭하는 것과, n^+ 형 층 및 산화물 반도체막의 일부를 에칭하는 것은, 서로 다른 포토마스크를 사용해서 별도로 에칭을 행해도 된다.

[0070] (실시예3)

[0071] 본 실시예에서는, 인버터 회로의 제작에 있어서, 실시예2와는 다른 제작 공정의 예를 도 4a 내지 도 4c를 사용하여 설명한다.

[0072] 기관(440) 위에, 스퍼터링법에 의해 제1의 도전막을 형성하고, 제1의 포토마스크를 사용해서 선택적으로 제1의 도전막의 에칭을 행하고, 제1의 게이트 전극(441) 및 제2의 게이트 전극(442)을 형성한다. 이어서, 제1의 게이트 전극(441) 및 제2의 게이트 전극(442)을 덮는 게이트 절연층(443)을 플라즈마 CVD법 또는 스퍼터링법을 사용해서 형성한다.

[0073] 다음에, 산화물 반도체막을 스퍼터링법에 의해 형성하고, 그 위에 n^+ 형 층을 형성한다.

[0074] 다음에, 제2의 포토마스크를 사용해서 선택적으로, 산화물 반도체막 및 n^+ 형 층의 에칭을 행한다. 이렇게 해서, 제1의 게이트 전극(441)과 게이트 절연층(443)을 거쳐서 겹치는 산화물 반도체막(454) 및 n^+ 형 층(455)이 형성된다. 또한, 제2의 게이트 전극(442)과 게이트 절연층(443)을 거쳐서 겹치는 산화물 반도체막(456)

및 n⁺형 층(457)이 형성된다. 여기까지의 공정에서의 단면도가 도 4a에 도시되어 있다.

[0075] 다음에, 제3의 포토마스크를 사용해서 게이트 절연층(443)을 선택적으로 에칭해서 제2의 게이트 전극(442)에 달하는 콘택트홀(444)을 형성한다. 여기까지의 공정에서의 단면도가 도 4b에 상당한다.

[0076] 다음에, 스퍼터링법에 의해 제2의 도전막을 형성하고, 제4의 포토마스크를 사용해서 선택적으로 제2의 도전막의 에칭을 행하고, 제1배선(449), 제2배선(450) 및 제3배선(451)을 형성한다. 또한, 제2의 도전막을 스퍼터링법에 의해 형성하기 전에, 아르곤 가스를 도입해서 플라즈마를 발생시키는 반대 스퍼터를 행하고, 게이트 절연층(443)의 표면, n⁺형 층(455, 457)의 표면, 및 콘택트홀(444)의 저면에 부착되어 있는 먼지를 제거하는 것이 바람직하다. 반대 스퍼터란, 타겟측에 전압을 인가하지 않고, 아르곤 분위기에서 기관측에 RF전원을 사용해서 전압을 인가해서 기관에 플라즈마를 형성해서 표면을 개질하는 방법이다. 또한, 아르곤 분위기 대신에 질소, 헬륨등을 사용해도 된다. 또한, 반대 스퍼터는, 아르곤 분위기에 산소, 수소, N₂등을 첨가한 분위기에서 행해도 된다. 또한, 반대 스퍼터는, 아르곤 분위기에 Cl₂, CF₄등을 첨가한 분위기에서 행해도 된다.

[0077] 본 실시예의 공정에 있어서는, 콘택트홀(444)을 형성한 후, 다른 성막을 행하지 않고 제2의 도전막을 형성할 수 있으므로, 실시예2에 비교해서 콘택트홀의 저면이 노출되는 공정수가 적기 때문에, 게이트 전극의 재료는 폭넓은 범위로부터 선택될 수 있다. 실시예2에 있어서는, 콘택트홀(444)에서 노출하고 있는 게이트 전극면에 접해서 산화물 반도체막이 형성되기 때문에, 산화물 반도체막의 에칭 공정으로 게이트 전극의 재료가 에칭되지 않는 에칭 조건 또는 게이트 전극의 재료를 선택해야 한다.

[0078] 또한, 제2의 도전막의 에칭시에, 또한 n⁺형 층 및 산화물 반도체막의 일부를 에칭하여, n⁺형 층(446a, 446b, 448a, 448b) 및 제1의 산화물 반도체층(445) 및 제2의 산화물 반도체층(447)을 형성한다. 이 에칭으로 제1의 게이트 전극 및 제2의 게이트 전극과 겹치는 부분이 얇아지도록 제1의 산화물 반도체층(445) 및 제2의 산화물 반도체층(447)의 일부의 두께는 감소된다. 이 에칭 공정이 종료하는 경우, 제1의 박막트랜지스터(460)와 제2의 박막트랜지스터(461)가 완성된다.

[0079] 제1의 박막트랜지스터(460)는, 제1의 게이트 전극(441)과, 게이트 절연층(443)을 거쳐서 제1의 게이트 전극(441)과 겹치는 제1의 산화물 반도체층(445)을 갖고, 제1배선(449)은, 접지전위의 전원선(접지 전원선)이다. 이 접지전위의 전원선은, 부의 전압VDL이 인가되는 전원선(부전원선)으로 해도 된다.

[0080] 또한, 제2의 박막트랜지스터(461)는, 제2의 게이트 전극(442)과, 게이트 절연층(443)을 거쳐서 제2의 게이트 전극(442)과 겹치는 제2의 산화물 반도체층(447)을 갖는다. 제3배선(451)은, 정의 전압VDD가 인가되는 전원선(정전원선)이다.

[0081] 제1의 산화물 반도체층(445)과 제1배선(449)과의 사이에는 n⁺형 층(446a)을 설치하고, 제1의 산화물 반도체층(445)과 제2배선(450)과의 사이에는 n⁺형 층(446b)을 설치한다. 또한, 제2의 산화물 반도체층(447)과 제2배선(450)과의 사이에는 n⁺형 층(448a)을 설치하고, 제2의 산화물 반도체층(447)과 제3배선(451)과의 사이에는 n⁺형 층(448b)을 설치한다.

[0082] 여기까지의 공정에서의 단면도가 도 4c에 상당한다.

[0083] 다음에, 대기분위기 또는 질소분위기에서 200℃~600℃의 가열처리를 행한다. 또한, 이 가열처리를 행하는 타이밍은 특별히 한정되지 않고, 산화물 반도체막의 성막후이면, 언제 행해도 된다.

[0084] 다음에, 보호층(452)을 형성하고, 제5의 포토마스크를 사용해서 보호층(452)을 선택적으로 에칭해서 콘택트홀을 형성한다. 그 후, 제3의 도전막을 형성한다. 최후에, 제6의 포토마스크를 사용해서 제3의 도전막을 선택적으로 에칭해서 제2배선(450)과 전기적으로 접속하는 접속 배선(453)을 형성한다.

[0085] 발광소자를 사용한 발광 표시장치에 있어서는, 화소부에 복수의 박막트랜지스터를 갖고, 화소부에 있어서도, 어떤 하나의 박막트랜지스터의 게이트 전극과 다른 트랜지스터의 소스 배선 또는 드레인 배선을 직접 접속시키기 위한 콘택트홀을 갖고 있다. 이 콘택트부는, 제2의 포토마스크를 사용해서 게이트 절연층에 콘택트홀을 형성하는 공정과 같은 마스크를 사용해서 형성할 수 있다.

[0086] 또한, 액정표시장치나 전자 페이퍼에 있어서는, FPC등의 외부단자와 접속하기 위한 단자부에 있어서, 게이트 배선에 이르는 콘택트홀을 형성할 때, 이 콘택트홀은, 제2의 포토마스크를 사용해서 게이트 절연층에 콘

택트홀을 형성하는 공정과 같은 마스크를 사용해서 형성할 수 있다.

- [0087] 또한, 전술한 공정 순서는 일례일뿐이며 그 순서에 한정되지 않는다. 예를 들면, 포토마스크수가 1장 증가하지만, 제2의 도전막을 에칭하는 것과, n⁺형 층 및 산화물 반도체막의 일부를 에칭하는 것은, 서로 다른 포토마스크를 사용해서 별도로 에칭을 행해도 된다.
- [0088] (실시예4)
- [0089] 본 실시예에서는, 본 발명의 실시예에 따른 박막트랜지스터를 포함하는 표시장치의 제작 공정에 대해서, 도 5a 내지 5c, 도 6a 내지 6c, 도 7, 도 8, 도 9, 도 10, 도 11a 내지 11b2 및 도 12를 사용하여 설명한다.
- [0090] 도 5a에 있어서, 투광성을 갖는 기판(100)으로서는, 코닝사의 #7059유리나 #1737유리등으로 대표되는 바륨 보로실리케이트 유리나 알루미늄보로실리케이트 유리등의 유리 기판을 사용할 수 있다.
- [0091] 다음에, 도전층을 기판(100) 전체면에 형성한다. 그 후, 제1의 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거해서 배선 및 전극(게이트 전극층101을 포함하는 게이트 배선, 용량배선108 및 제1의 단자121)을 형성한다. 이 때, 적어도 게이트 전극층(101)의 단부에 테이퍼 형상이 형성되도록 에칭한다. 이 단계에서의 단면도를 도 5a에 나타낸다. 또한, 이 단계에서의 평면도가 도 7에 상당한다.
- [0092] 게이트 전극층(101)을 포함하는 게이트 배선, 용량배선(108), 및 단자부의 제1의 단자(121)는, 알루미늄(Al)이나 구리(Cu)등의 저저항 도전성 재료로 형성하는 것이 바람직하다. 그렇지만, Al 단체에서는 내열성이 뒤떨어지고, 또 부식하기 쉬운 등의 문제점이 있어서 내열성 도전성 재료와 조합해서 형성한다. 내열성 도전성 재료로서는, 티타늄(Ti), 탄타르(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), Nd(네오디뮴), 스칸듐(Sc)으로부터 선택된 원소, 또는 전술한 원소 중 어느 하나를 성분으로 하는 합금, 전술한 원소 중 어느 하나를 조합한 합금, 및 전술한 원소를 성분으로 하는 질화물의 재료 중 어느 하나를 사용하여도 된다.
- [0093] 다음에, 게이트 전극층(101)의 전체면 위에 게이트 절연층(102)을 형성한다. 게이트 절연층(102)은 스퍼터링법등을 사용하여 두께를 50~250nm로 형성된다.
- [0094] 예를 들면, 게이트 절연층(102)에 대해, 100nm 두께의 산화실리콘막을 스퍼터링법에 의해 형성한다. 물론, 게이트 절연층(102)은, 이러한 산화실리콘막에 한정되는 것이 아니고, 산화질화실리콘막, 질화실리콘막, 산화알루미늄막 및 산화탄탈막등의 임의의 다른 종류의 절연막의 단층 또는 적층구조이어도 된다.
- [0095] 또한, 산화물 반도체막을 형성하기 전에, 아르곤 가스를 도입한 후 플라즈마를 발생시키는 반대 스퍼터를 행하여, 게이트 절연층의 표면에 부착되어 있는 먼지를 제거하는 것이 바람직하다. 또한, 아르곤 분위기 대신에 질소, 헬륨등을 사용해도 된다. 또한, 반대 스퍼터는, 아르곤 분위기에 산소, 수소, N₂O등을 첨가한 분위기에서 행해도 된다. 또한, 이와는 달리, 반대 스퍼터는, Cl₂, CF₄등을 첨가한 아르곤 분위기에서 행해도 된다.
- [0096] 다음에, 게이트 절연층(102) 위에, 제1의 산화물 반도체막(본 실시예에서는, 제1의 In-Ga-Zn-O계 비단결정막)을 형성한다. 플라즈마 처리후, 대기에 노출되지 않고 제1의 In-Ga-Zn-O계 비단결정막을 형성하는 것은, 게이트 절연층과 반도체막의 계면에 먼지와 수분을 부착되지 못하게 하는 데에서 효과적이다. 여기에서는, 직경 8인치의 In, Ga 및 Zn을 포함하는 산화물 반도체 타겟(In₂O₃:Ga₂O₃:ZnO가 1:1:1이다)을 사용하여, 기판과 타겟의 사이와의 거리를 170mm, 압력 0.4Pa, 직류(DC)전원 0.5kW, 아르곤 또는 산소분위기에서 형성한다. 또한, 펄스 직류(DC)전원을 사용하면, 먼지를 경감할 수 있고, 두께 분포도 균일하게 될 수 있기 때문에 바람직하다. 제1의 In-Ga-Zn-O계 비단결정막의 두께는, 5nm~200nm이라고 한다. 본 실시예에서는, 제1의 In-Ga-Zn-O계 비단결정막의 두께는, 100nm이다.
- [0097] 다음에, 대기에 노출되지 않고, 제2의 산화물 반도체막(본 실시예에서는 제2의 In-Ga-Zn-O계 비단결정막)을 스퍼터링법으로 형성한다. 여기에서는, Ga₂O₃와 ZnO에 대한 In₂O₃의 비가 1:1:1인 타겟을 사용하여, 성막 조건은, 압력을 0.4Pa로 하고, 전력을 500W로 하고, 성막온도를 실온으로 해서, 아르곤 가스유량 40sccm을 도입해서 스퍼터링을 행한다. Ga₂O₃와 ZnO에 대한 In₂O₃의 비가 1:1:1인 타겟의 의도적 사용에도 불구하고, 성막 직후에 크기1nm~10nm의 결정립을 포함하는 In-Ga-Zn-O계 비단결정막이 형성되기도 한다. 또한, 타겟의 조성비,

성막압력(0.1Pa~2.0Pa), 전력(250W~3000W:8인치 ψ), 온도(실온~100℃), 반응성 스퍼터의 성막조건등을 적당하게 조절 함으로써 결정립의 유무나, 결정립의 밀도나, 직경 사이즈는, 1nm~10nm의 범위내에서 조절될 수 있다고 말할 수가 있다. 제2의 In-Ga-Zn-0계 비단결정막의 두께는, 5nm~20nm이다. 물론, 그 막에 결정립이 포함되는 경우, 결정립의 사이즈가 그 막의 두께를 초과하지 않는다. 본 실시예에서는, 제2의 In-Ga-Zn-0계 비단결정막의 두께는, 5nm이라고 한다.

[0098] 제1의 In-Ga-Zn-0계 비단결정막은, 제2의 In-Ga-Zn-0계 비단결정막의 성막조건과 다른 성막 조건하에서 형성된다. 예를 들면, 제2의 In-Ga-Zn-0계 비단결정막의 성막조건하에서의 산소 가스유량과 아르곤 가스유량의 비율보다도 제1의 In-Ga-Zn-0계 비단결정막의 성막조건하에서의 산소 가스유량과 아르곤 가스유량의 비율보다 높은 조건하에서 형성된다. 구체적으로는, 제2의 In-Ga-Zn-0계 비단결정막은 희가스(rare gas)(아르곤 또는 헬륨등) 분위기(또는 산소 가스 10%이하, 아르곤 가스 90%이상의 분위기)에서 형성되고, 제1의 In-Ga-Zn-0계 비단결정막은 산소분위기(또는 아르곤 가스유량과 산소 가스유량의 비율은 1:1이상의 분위기)에서 형성된다.

[0099] 제2의 In-Ga-Zn-0계 비단결정막의 성막에 사용된 챔버는, 반대 스퍼터를 행한 챔버와 동일하여도 되고, 반대 스퍼터를 행한 챔버와 달라도 된다.

[0100] 스퍼터링법의 예들은, 스퍼터용 전원으로서 고주파 전원을 사용하는 RF스퍼터링법과, DC스퍼터링법과, 펄스형 방식으로 바이어스를 인가하는 펄스형 DC스퍼터링법을 포함한다. RF 스퍼터링법은 주로 절연막을 형성하는 경우에 사용되고, DC 스퍼터링법은 주로 금속막을 형성하는 경우에 사용된다.

[0101] 또한, 재료가 다른 타겟을 복수 설치할 수 있는 다원 스퍼터 장치도 있다. 다원 스퍼터 장치는, 동일 챔버에서 다른 재료막을 적층 형성할 수 있거나, 동일 챔버에서 복수종의 재료의 막을 동시에 방전시켜서 형성할 수도 있다.

[0102] 또한, 챔버 내부에 자석 시스템을 구비하고 마그네트론 스퍼터링을 사용하는 스퍼터 장치와, 글로우 방전을 사용하지 않고 마이크로파를 사용해서 발생시킨 플라즈마를 사용하는 ECR스퍼터링법을 사용하는 스퍼터 장치가 있다.

[0103] 또한, 스퍼터링법을 사용하는 성막방법으로서, 성막중에 타겟 물질과 스퍼터 가스 성분을 화학 반응시켜서 그것들의 화합물 박막을 형성하는 리액티브 스퍼터링법과, 성막중에 기관에도 전압을 거는 바이어스 스퍼터링법도 있다.

[0104] 다음에, 제2의 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 제1의 In-Ga-Zn-0계 비단결정막 및 제2의 In-Ga-Zn-0계 비단결정막을 에칭한다. 여기에서는 ITO-07N(KANTO 화학사제)을 사용한 습식 에칭에 의해, 불필요한 부분을 에칭 제거해서, 제1의 In-Ga-Zn-0계 비단결정 막인 산화물 반도체막109, 및 제2의 In-Ga-Zn-0계 비단결정막인 산화물 반도체막111을 형성한다. 또한, 여기에서의 에칭은, 습식 에칭에 한정되지 않고 드라이에칭이어도 된다. 이 단계에서의 평면도를 도 5b에 나타냈다. 또한, 이 단계에서의 평면도가 도 8에 상당한다.

[0105] 다음에, 제3의 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거해서, 게이트 전극층과 같은 재료로 형성된 배선이나 전극층에 달하는 콘택트홀을 형성한다. 이 콘택트홀은, 뒤에 형성하는 도전막과 직접 접속하기 위해서 설치한다. 예를 들면, 구동회로부에 있어서, 게이트 전극층과 소스 전극층 또는 드레인 전극층과 직접 접하는 박막트랜지스터나, 단자부의 게이트 배선과 전기적으로 접속하는 단자를 형성하는 경우에 콘택트홀을 형성한다.

[0106] 다음에, 산화물 반도체막109 및 산화물 반도체막111 위에 금속재료로 되는 도전막(132)을 스퍼터링법이나 진공증착법으로 형성한다. 이 단계에서의 평면도를 도 5c에 나타낸다.

[0107] 도전막(132)의 재료로서는, Al, Cr, Ta, Ti, Mo, W로부터 선택된 원소, 또는 전술한 원소 중 어느 하나를 성분으로 합금, 전술한 원소를 조합한 합금등을 들 수 있다. 또한, 200℃~600℃의 가열처리를 행하는 경우에는, 이 가열처리에 견디는 내열성을 도전막에 갖게 하는 것이 바람직하다. Al 단체로는 저저항성이 뒤떨어지고, 또 부식하기 쉬운 등의 문제점이 있어서 내열성 도전성 재료와 조합해서 알루미늄을 사용한다. Al과 조합하여 사용된 내열성 도전성 재료로서는, 티타늄(Ti), 탄타르(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), Nd(네오디뮴), Sc(스칸듐)로부터 선택된 원소, 또는 전술한 원소의 어느 하나를 성분으로 하는 합금, 전술한 원소를 조합한 합금, 또는 전술한 원소의 어느 하나를 성분으로 하는 질화물 중 어느 하나를 사용하여도 된다.

[0108] 여기에서는, 도전막(132)은, 티타늄막의 단층 구조를 갖는다. 또한, 도전막(132)은, 2층구조: 알루미늄

막 위에 티타늄막을 적층한 구조를 가져도 된다. 또 아울러, 도전막(132)은, 3층구조: Ti막과, 그 Ti막 위에 적층된 Nd를 포함하는 알루미늄(Al-Nd)막과, 이들 막 위에 형성된 Ti막으로 이루어져도 된다. 도전막(132)은, 실리콘을 포함하는 알루미늄막의 단층 구조로 해도 된다.

[0109] 다음에, 제4의 포토리소그래피 공정으로 레지스트 마스크(131)를 형성하고, 에칭에 의해 불필요한 부분을 제거해서, 소스 전극층 또는 드레인 전극층(105a, 105b), 소스영역 또는 드레인영역으로서 기능하는 n⁺형 층(104a, 104b), 및 접속 전극(120)을 형성한다. 이 때의 에칭 방법으로서 습식 에칭 또는 드라이에칭을 사용한다. 예를 들면, 도전막(132)으로서 알루미늄막, 또는 알루미늄합금막을 사용하는 경우에는, 인산, 아세트산 및 질산을 섞은 용액을 사용한 습식 에칭을 행할 수 있다. 여기에서는, 암모니아 과수(과산화수소 대 암모니아와 물의 비율은 5:2:2)를 사용한 습식 에칭에 의해, Ti막의 도전막(132)을 에칭해서 소스 전극층과 드레인 전극층(105a, 105b)을 형성하고, 산화물 반도체막(111)을 에칭해서 n⁺형 층(104a, 104b)을 형성한다. 이 에칭 공정에 있어서, 산화물 반도체막(109)의 노출영역도 일부 에칭되어, 반도체층(103)이 된다. 따라서, 반도체층(103)의 채널영역은, 두께가 얇다. 소스 전극층과 드레인 전극층(105a, 105b)과 n⁺형 층(104a, 104b)을 형성하는 에칭을, 암모니아 과수의 에천트에 의해 한번에 행한다. 이에 따라서, 도 6a에 있어서는, 소스 전극층과 드레인 전극층(105a, 105b)과 n⁺형 층(104a, 104b)의 단부는 일치하여, 연속적인 단부가 형성된다. 또한, 습식 에칭이 상기 층들을 등방적으로 에칭하여, 소스 전극층과 드레인 전극층(105a, 105b)의 단부는 레지스트 마스크(131)로부터 함몰되어 있다. 이상의 공정으로, 반도체층(103)을 채널형성영역으로 하는 박막트랜지스터(170)를 제작할 수 있다. 이 단계에서의 단면도를 도 6a에 나타낸다. 또한, 도 9는 이 단계에서의 평면도다.

[0110] 다음에, 200℃~600℃, 대표적으로는 300℃~500℃의 열처리를 행하는 것이 바람직하다. 여기에서는, 로(furnace)에 넣어, 질소분위기에서 350℃, 1시간의 열처리를 행한다. 이 열처리에 의해, In-Ga-Zn-0계 비단결정막의 원자 레벨의 재배열이 행해진다. 이 열처리에 의해 캐리어의 이동을 저해하는 변형 에너지가 석방되기 때문에, 그 열처리(광 어닐링도 포함한다)는 중요하다. 또한, 열처리를 행하는 타이밍은, 제2의 In-Ga-Zn-0계 비단결정막의 성막후이면 특별하게 한정되지 않고, 예를 들면, 화소전극형성후에 행해도 된다.

[0111] 한층 더, 노출된 반도체층(103)의 채널형성영역에, 산소 라디칼 처리를 함으로써, 노멀리 오프 박막트랜지스터를 얻을 수 있다. 또한, 라디칼 처리는, 반도체층(103)의 에칭에 의한 데미지를 회복할 수 있다. 라디칼 처리는, O₂ 또는 N₂O, 바람직하게는 산소를 각각 포함하는 N₂, He 또는 Ar분위기에서 행하는 것이 바람직하다. 또한, Cl₂이나 CF₄을 상기 분위기에 첨가한 분위기에서 라디칼 처리를 행해도 된다. 또한, 라디칼 처리는, 무바이어스에서 행하는 것이 바람직하다.

[0112] 또한, 이 제4의 포토리소그래피 공정에 있어서, 소스 전극층과 드레인 전극층(105a, 105b)과 같은 재료인 제2의 단자(122)를 단자부에 남긴다. 이때, 제2의 단자(122)는 소스 배선(소스 전극층 또는 드레인 전극층(105a, 105b)을 포함하는 소스 배선)과 전기적으로 접속되어 있다.

[0113] 또한, 단자부에 있어서, 접속 전극(120)은, 게이트 절연막에 형성된 콘택트홀을 거쳐서 단자부의 제1의 단자(121)와 직접 접속된다. 또한, 여기에서는 도면에는 나타내지 않았지만, 전술한 공정과 같은 공정을 통해 구동회로의 박막트랜지스터의 소스 배선 혹은 드레인 배선과 게이트 전극이 직접 접속된다.

[0114] 또한, 멀티톤(multi-tone) 마스크에 의해 형성한 복수(대표적으로는 이중)의 두께의 영역을 갖는 레지스트 마스크를 사용하면, 레지스트 마스크의 수를 절감할 수 있어서, 공정 간략화되고 비용이 보다 줄어든다.

[0115] 다음에, 레지스트 마스크(131)를 제거하고, 박막트랜지스터(170)를 덮는 보호 절연층(107)을 형성한다. 보호 절연층(107)은 스퍼터링법등을 사용해서 얻어진 질화실리콘막, 산화실리콘막, 산화질화실리콘막, 산화알루미늄막, 산화탄탈막등을 사용할 수 있다.

[0116] 다음에, 제5의 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 보호 절연층(107)을 에칭하여 소스 또는 드레인 전극층 105a 또는 105b에 달하는 콘택트홀(125)을 형성한다. 또한, 여기에서의 에칭에 의해, 제2의 단자(122)에 달하는 콘택트홀127, 접속 전극(120)에 달하는 콘택트홀126도 형성한다. 이 단계에서의 단면도를 도 6b에 나타낸다.

[0117] 다음에, 레지스트 마스크를 제거한 후, 투명도전막을 형성한다. 투명도전막의 재료는, 산화인듐(In₂O₃)이나 산화인듐산화주석 합금(In₂O₃-SnO₂, ITO라고 약기한다)등을 스퍼터링법이나 진공증착법등을 사용해서 형성

한다. 이러한 재료의 에칭 처리는, 염산계의 용액에 의해 행한다. 대신에, 특히 ITO의 에칭은 잔사가 발생하기 쉬우므로, 에칭 가공성을 개선하기 위해서 산화인듐산화아연합금(In₂O₃-ZnO)을 사용해도 된다.

[0118] 다음에, 제6의 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거해서 화소전극층(110)을 형성한다.

[0119] 또한, 이 제6의 포토리소그래피 공정에 있어서, 유지용량은, 용량배선(108)과 화소전극층(110)으로 형성된다. 상기 유지용량은, 용량부에 있어서의 게이트 절연층(102) 및 보호 절연층(107)을 유전체로서 포함한다.

[0120] 또한, 이 제6의 포토리소그래피 공정에 있어서, 제1의 단자 및 제2의 단자를 레지스트 마스크로 덮고, 단자부에 투명도전막(128, 129)을 남긴다. 투명도전막(128, 129)은 FPC와의 접속에 사용된 전극 또는 배선이 된다. 제1의 단자(121)와 직접 접속된 접속 전극(120) 위에 형성된 투명도전막(128)은, 게이트 배선의 입력 단자로서 기능하는 접속용의 단자전극이 된다. 제2의 단자(122) 위에 형성된 투명도전막(129)은, 소스 배선의 입력 단자로서 기능하는 접속용의 단자전극이다.

[0121] 다음에, 레지스트 마스크를 제거하고, 이 단계에서의 단면도를 도 6c에 나타낸다. 또한, 이 단계에서의 평면도는, 도 10에 상당한다.

[0122] 또한, 도 11a1 및 도 11a2는, 각각 이 단계에서의 게이트 배선 단자부의 단면도 및 평면도다. 도 11a1은 도 11a2의 C1-C2선을 따라 자른 단면도다. 도 11a1에 있어서, 보호 절연막(154) 위에 형성된 투명도전막(155)은, 입력 단자로서 기능하는 접속용의 단자전극이다. 또한, 도 11a1에 있어서, 단자부에서는, 게이트 배선과 같은 재료로 형성되는 제1의 단자(151)와, 소스 배선과 같은 재료로 형성되는 접속 전극(153)은, 서로 겹치고, 이 게이트 절연층(152)에 설치된 콘택트홀을 거쳐서 직접 접하고 전기적으로 접속된다. 또한, 접속 전극(153)과 투명도전막(155)이, 보호 절연막(154)에 설치된 콘택트홀을 거쳐서 직접 접하고 전기적으로 접속된다.

[0123] 또한, 도 11b1 및 도 11b2는, 각각 이 단계에서의 소스 배선 단자부의 단면도 및 평면도다. 또한, 도 11b1은 도 11b2의 D1-D2선을 따라 자른 단면도에 상당한다. 도 11b1에 있어서, 보호 절연막(154) 위에 형성되는 투명도전막(155)은, 입력 단자로서 기능하는 접속용의 단자전극이다. 또한, 도 11b1에 있어서, 단자부에서는, 게이트 배선과 같은 재료로 형성되는 전극(156)이, 소스 배선과 전기적으로 접속되는 제2의 단자(150)의 아래쪽에 게이트 절연층(152)을 거쳐서 겹친다. 전극(156)은 제2의 단자(150)와는 전기적으로 접속되어 있지 않다. 전극(156)을 제2의 단자(150)와 다른 전위, 예를 들면, 플로팅, GND 또는 OV등에 설치하면, 노이즈나 정전기를 방지하기 위한 용량을 형성할 수 있다. 또한, 제2의 단자(150)는, 보호 절연막(154)을 거쳐서 투명도전막(155)과 전기적으로 접속하고 있다.

[0124] 게이트 배선, 소스 배선, 및 용량배선은 화소 밀도에 따라 복수개 설치되는 것이다. 또한, 단자부에 있어서는, 게이트 배선과 동전위의 제1의 단자, 소스 배선과 동전위의 제2의 단자, 용량배선과 동전위의 제3의 단자등이 각각 복수개로 배치되어 있다. 특별히 단자 수에 한정되지 않고, 그 단자 수는 필요에 따라 실시자에 의해 결정되어도 된다.

[0125] 이들 6회의 포토리소그래피 공정에 의해, 6장의 포토마스크를 사용하여, 보텀 게이트형의 n채널형 박막트랜지스터인 박막트랜지스터(170)를 갖는 화소 박막트랜지스터부와, 유지용량을 완성되게 할 수 있다. 그리고, 상기 화소 박막트랜지스터부와 유지용량을 개개의 화소에 대응해서 매트릭스 모양으로 배치하는 경우, 화소부를 구성할 수 있고, 액티브 매트릭스형의 표시장치를 제작하기 위한 기판(boards) 중 한쪽을 얻을 수 있다. 본 명세서에서는, 편의상 이러한 기판을 액티브 매트릭스 기판이라고 부른다.

[0126] 액티브 매트릭스형의 액정표시장치를 제작하는 경우에는, 액티브 매트릭스 기판과, 대향 전극이 설치된 대향 기판은, 액정층을 거쳐서 서로 접합된다. 이때, 대향 기판에 대향 전극과 전기적으로 접속하는 공통 전극을 액티브 매트릭스 기판 위에 설치하고, 공통 전극과 전기적으로 접속하는 제4의 단자를 단자부에 설치한다. 이 제4의 단자는, 공통 전극을 소정 전위, 예를 들면, GND나 OV등에 고정하도록 설치된다.

[0127] 또한, 본 발명의 실시예는, 도 10의 화소구성에 한정되지 않고, 도 10과는 다른 평면도의 예를 도 12에 나타낸다. 도 12는 용량배선을 설치하지 않고, 보호 절연막 및 게이트 절연층을 거쳐서 서로 포개진 화소전극과, 인접하는 화소의 게이트 배선으로 유지용량을 형성하는 예를 나타낸다. 이 경우, 용량배선 및 그 용량배선과 접속하는 제3의 단자는 생략할 수 있다. 또한, 도 12에 있어서, 도 10과 같은 부분은 동일한 부호로 나타내어진다.

[0128] 액티브 매트릭스형의 액정표시장치에 있어서는, 매트릭스 모양으로 배치된 화소전극들을 구동하여, 화

면 위에 표시 패턴을 형성한다. 구체적으로, 선택된 화소전극과 상기 선택된 화소전극에 대응하는 대향 전극과의 사이에 전압이 인가됨으로써, 화소전극과 대향 전극과의 사이에 배치된 액정층의 광학변조가 행해지고, 이 광학변조가 표시 패턴으로서 관찰자에게 인식된다.

- [0129] 액정표시장치의 동영상 표시에 있어서, 액정분자의 응답시간이 길어서, 동영상의 잔상이 생기거나 흐림이 생기게 된다. 액정표시장치의 동영상 특성을 개선하기 위해서, 전체화면에 흑색 표시를 1프레임 기간 걸러 행하는, 흑삽입이라고 불리는 구동방법을 이용한다.
- [0130] 또한, 일반적인 수직주기를 1.5배 혹은 2배이상으로 하는, 소위, 더블 프레임 레이트 구동이라고 불리는 구동방법을 이용하여, 동영상을 특성을 개선한다.
- [0131] 또한, 이와는 달리, 액정표시장치의 동영상 특성을 개선하기 위해서, 백라이트로서 복수의 LED(발광 다이오드)광원 또는 복수의 EL광원을 사용해서 면광원을 구성하고, 면광원을 구성하고 있는 각 광원을 독립적으로 1프레임 기간내에서 펄스방식으로 구동하는 구동방법을 이용한다. 면광원으로서, 3종 이상의 LED를 사용해도 되고, 백색발광의 LED를 사용해도 된다. 독립적으로 복수의 LED를 제어할 수 있기 때문에, 액정층이 광학적으로 변조하는 타이밍에 맞춰서 LED의 발광 타이밍을 동기시킬 수 있다. 이 구동방법에 의하면, LED를 부분적으로 소등할 수 있으므로, 특히 흑색부가 큰 영상을 표시하는 경우에는, 소비 전력의 저감 효과를 꾀할 수 있다.
- [0132] 이것들의 구동방법을 조합함으로써, 액정표시장치의 동영상 특성등의 표시 특성을 종래의 액정표시장치와 비교하여 개선할 수 있다.
- [0133] 본 실시예에서 얻어진 n채널형의 트랜지스터는, In-Ga-Zn-O계 비단결정막을 채널형성영역에 포함하고, 양호한 동적 특성을 갖는다. 그래서, 이것들의 구동방법을 조합할 수 있다.
- [0134] 발광 표시장치를 제작하는 경우, 유기발광소자의 한쪽의 전극(캐소드라고도 부른다)은, 저전원전위, 예를 들면, GND나 0V등으로 설정하므로, 단자부에, 캐소드를 저전원전위, 예를 들면, GND나 0V등으로 설정하기 위한 제4의 단자가 설치된다. 또한, 발광 표시장치를 제작하는 경우에는, 소스 배선 및 게이트 배선에 더해서 전원공급선을 설치한다. 따라서, 단자부에는, 전원공급선과 전기적으로 접속하는 제5의 단자를 설치한다.
- [0135] 게이트선 구동회로 또는 소스선 구동회로에서 산화물 반도체를 사용한 박막트랜지스터가 설치됨으로써, 제조 비용을 저감한다. 그리고, 구동회로에 사용하는 박막트랜지스터의 게이트 전극과 소스 배선, 또는 드레인 배선을 직접 접속시킴으로써, 콘택트홀의 수를 적게 하고, 구동회로의 점유 면적을 축소화할 수 있는 표시장치를 제공할 수 있다.
- [0136] 따라서, 본 발명의 실시예에 의하면, 전기 특성이 높고 신뢰성이 높은 표시장치를 저비용으로 제공할 수 있다.
- [0137] (실시예5)
- [0138] 여기에서는, 실시예1에 있어서, 배선과 반도체층이 접하는 박막트랜지스터를 갖는 표시장치의 예를 도 30을 참조하여 나타낸다.
- [0139] 구동회로의 인버터 회로의 단면구조를 도 30에 나타낸다. 또한, 도 30에 나타낸 제1의 박막트랜지스터(480) 및 제2의 박막트랜지스터(481) 각각은, 역스태거형 박막트랜지스터이다. 제1의 산화물 반도체층(405)에 접해서 제1배선(409) 및 제2배선(410)이 설치되고, 제2의 산화물 반도체층(407)에 접해서 제2배선(410) 및 제3배선(411)이 설치된다.
- [0140] 제1의 박막트랜지스터(480) 및 제2의 박막트랜지스터(481)에 있어서, 제1의 산화물 반도체층(405)과 제1배선(409)의 접촉영역, 제1의 산화물 반도체층(405)과 제2배선(410)의 접촉영역, 및 제2의 산화물 반도체층(407)과 제2배선(410)의 접촉영역, 및 제2의 산화물 반도체층(407)과 제3배선(411)의 접촉영역은 플라즈마처리에 의해 개질되어 있는 것이 바람직하다. 본 실시예에서는, 배선이 되는 도전막을 형성하기 전에, 산화물 반도체층(본 실시예에서는, In-Ga-Zn-O계 비단결정막)에 아르곤 분위기에서 플라즈마 처리를 행한다.
- [0141] 플라즈마 처리는, 아르곤 분위기 대신에 질소, 헬륨등을 사용해도 된다. 또한, 아르곤 분위기에 산소, 수소, N₂O등을 첨가한 분위기를 사용해도 된다. 또한, 이와는 달리, 아르곤 분위기에 C₁₂, CF₄등을 첨가한 분위기를 사용해도 된다.

- [0142] 또한, 본 실시예에서는, 제1배선(409), 제2배선(410) 및 제3배선(411)은 티타늄막으로 이루어지고, 암모니아 과수(암모니아와 물에 대한 과산화수소의 비율이 5:2:2)에 의한 습식 에칭을 행한다. 이 에칭 공정에 있어서, In-Ga-Zn-O계 비단결정막인 반도체층의 노출영역도 일부 에칭되어, 제1의 산화물 반도체층(405)과 제2의 산화물 반도체층(407)이 된다. 따라서 제1배선(409)과 제2배선(410)과의 사이의 제1의 산화물 반도체층(405)의 채널영역은 두께가 얇다. 마찬가지로, 제2배선(410)과 제3배선(411)과의 사이의 제2의 산화물 반도체층(407)의 채널영역은 두께가 얇다.
- [0143] 플라즈마 처리에 의해 개질된 제1의 산화물 반도체층(405) 및 제2 산화물 반도체층(407)과 접해서 도전막을 형성하여, 제1배선(409), 제2배선(410) 및 제3배선(411)을 형성한다. 제1의 산화물 반도체층(405)과 제1배선(409)의 콘택 저항, 제1의 산화물 반도체층(405)과 제2배선(410)의 콘택 저항, 제2의 산화물 반도체층(407)과 제2배선(410)의 콘택 저항, 및 제2의 산화물 반도체층(407)과 제3배선(411)의 콘택 저항을 저감할 수 있다.
- [0144] 이상의 공정에 의해, 반도체장치로서 신뢰성이 높은 표시장치를 제작할 수 있다.
- [0145] 본 실시예는, 다른 실시예들에 기재한 구성 중 어느 하나와 적당한 조합으로 실시하는 것이 가능하다.
- [0146] (실시예6)
- [0147] 본 실시예에서는, 본 발명의 실시예에 따른 반도체장치의 일례인 표시장치를 설명한다. 그 표시장치에서, 동일 기관 위에, 적어도 구동회로의 일부와, 화소부에서의 박막트랜지스터를 형성한다.
- [0148] 화소부에서의 박막트랜지스터는, 실시예4 또는 실시예5에 따라 형성한다. 실시예4 또는 실시예5에 나타낸 박막트랜지스터는, n채널형 TFT이기 때문에, 구동회로 중, n채널형 TFT로 구성할 수 있는 구동회로의 일부를 화소부의 박막트랜지스터와 동일 기관 위에 형성한다.
- [0149] 본 발명의 실시예에 따른 반도체장치의 일례인 액티브 매트릭스형 액정표시장치의 블럭도의 일례를 도 14a에 나타낸다. 도 14a에 나타낸 표시장치는, 기관(5300) 위에 표시 소자를 각각 구비한 화소를 복수 갖는 화소부(5301)와, 화소를 선택하는 주사선 구동회로(5302)와, 선택된 화소에의 비디오신호의 입력을 제어하는 신호선 구동회로(5303)를 가진다.
- [0150] 화소부(5301)는 신호선 구동 회로(5303)로부터 열 방향으로 연장하여 배치된 복수의 신호선(S1) 내지 신호선(Sm)(도시하지 않는다)에 의하여 신호선 구동 회로(5303)와 접속되고, 주사선 구동 회로(5302)로부터 행 방향으로 연장하여 배치된 복수의 주사선(G1) 내지 주사선(Gn)(도시하지 않는다)에 의하여 주사선 구동 회로(5302)와 접속되고, 신호선(S1) 내지 신호선(Sm) 및 주사선(G1) 내지 주사선(Gn)에 대응하여 매트릭스 상태로 배치된 복수의 화소(도시하지 않는다)를 갖는다. 그리고, 각 화소는 신호선(Sj)(신호선(S1) 내지 신호선(Sm) 중 어느 하나), 주사선(Gi)(주사선(G1) 내지 주사선(Gn) 중 어느 하나)과 접속된다.
- [0151] 또한, 실시예4 또는 실시예5에 나타낸 박막트랜지스터는, n채널형 TFT이다. n채널형 TFT로 구성하는 신호선 구동회로에 대해서 도 15를 사용하여 설명한다.
- [0152] 도 15에 도시하는 신호선 구동 회로는, 드라이버 IC(5601), 스위치 군(5602_1 내지 5602_M), 제 1 배선(5611), 제 2 배선(5612), 제 3 배선(5613) 및 배선(5621_1 내지 5621_M)을 갖는다. 스위치 군(5602_1 내지 5602_M)의 각각은, 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)를 갖는다.
- [0153] 드라이버 IC(5601)는 제 1 배선(5611), 제 2 배선(5612), 제 3 배선(5613) 및 배선(5621_1 내지 5621_M)에 접속된다. 그리고, 스위치 군(5602_1 내지 5602_M)의 각각은, 제 1 배선(5611), 제 2 배선(5612) 및 제 3 배선(5613)에 접속된다. 또한, 스위치 군(5602_1 내지 5602_M)은, 각각 배선(5621_1 내지 5621_M)에 접속된다. 그리고, 배선(5621_1 내지 5621_M)의 각각은, 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b), 제 3 박막 트랜지스터(5603c)를 통하여 3개의 신호선에 접속된다. 예를 들어, J열째의 배선(5621_J)(배선(5621_1) 내지 배선(5621_M) 중 어느 하나)은, 스위치 군(5602_J)이 갖는 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b), 및 제 3 박막 트랜지스터(5603c)를 통하여 신호선(Sj-1), 신호선(Sj), 신호선(Sj+1)에 접속된다.
- [0154] 또한, 제 1 배선(5611), 제 2 배선(5612) 및 제 3 배선(5613)에는 각각 신호가 입력된다.
- [0155] 또한, 드라이버 IC(5601)는 단결정 기관 위에 형성되는 것이 바람직하다. 또한, 스위치 군(5602_1 내

지 5602_M)은, 화소부와 동일 기판 위에 형성되는 것이 바람직하다. 따라서, 드라이버 IC(5601)와 스위치 군(5602_1 내지 5602_M)은 FPC 등을 통하여 접속하면 좋다.

[0156] 다음, 도 15에 도시한 신호선 구동 회로의 동작에 대해서 도 16의 타이밍 차트를 참조하여 설명한다. 또한, 도 16의 타이밍 차트는 i행째의 주사선(Gi)이 선택되어 있는 경우의 타이밍 차트를 도시한다. 또한, i행째의 주사선(Gi)의 선택 기간은, 제 1 서브 선택 기간 T1, 제 2 서브 선택 기간 T2 및 제 3 서브 선택 기간 T3으로 분할되어 있다. 또한, 도 16의 신호선 구동 회로는, 다른 행의 주사선이 선택되는 경우에도 도 16과 같은 동작을 한다.

[0157] 또한, 도 16의 타이밍 차트는, J열째의 배선(5621_J)이 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)를 통하여 신호선(Sj-1), 신호선(Sj), 신호선(Sj+1)에 접속되는 경우에 대해서 도시한다.

[0158] 또한, 도 16의 타이밍 차트는 i행째의 주사선(Gi)이 선택되는 타이밍, 제 1 박막 트랜지스터(5603a)의 온 및 오프의 타이밍(5703a), 제 2 박막 트랜지스터(5603b)의 온/오프의 타이밍(5703b), 제 3 박막 트랜지스터(5603c)의 온/오프의 타이밍(5703c) 및 J열째의 배선(5621_J)에 입력되는 신호(5721_J)를 도시한다.

[0159] 또한, 배선(5621_1) 내지 배선(5621_M)에는 제 1 서브 선택 기간 T1, 제 2 서브 선택 기간 T2 및 제 3 서브 선택 기간 T3에 있어서, 다른 비디오 신호가 입력된다. 예를 들어, 제 1 서브 선택 기간 T1에서 배선(5621_J)에 입력되는 비디오 신호는 신호선(Sj-1)에 입력되고, 제 2 서브 선택 기간 T2에서 배선(5621_J)에 입력되는 비디오 신호는 신호선(Sj)에 입력되고, 제 3 서브 선택 기간 T3에 있어서 배선(5621_J)에 입력되는 비디오 신호는 신호선(Sj+1)에 입력된다. 또한, 제 1 서브 선택 기간 T1, 제 2 서브 선택 기간 T2 및 제 3 서브 선택 기간 T3에 있어서, 배선(5621_J)에 입력되는 비디오 신호를 각각 Data_j-1, Data_j, Data_j+1로 한다.

[0160] 도 16에 도시하는 바와 같이, 제 1 서브 선택 기간 T1에 있어서 제 1 박막 트랜지스터(5603a)가 온하고, 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)가 오프한다. 이 때, 배선(5621_J)에 입력되는 Data_j-1이, 제 1 박막 트랜지스터(5603a)를 통하여 신호선(Sj-1)에 입력된다. 제 2 서브 선택 기간 T2에서는, 제 2 박막 트랜지스터(5603b)가 온하고, 제 1 박막 트랜지스터(5603a) 및 제 3 박막 트랜지스터(5603c)가 오프한다. 이 때, 배선(5621_J)에 입력되는 Data_j가, 제 2 박막 트랜지스터(5603b)를 통하여 신호선 Sj에 입력된다. 제 3 서브 선택 기간 T3에서는, 제 3 박막 트랜지스터(5603c)가 온하고, 제 1 박막 트랜지스터(5603a) 및 제 2 박막 트랜지스터(5603b)가 오프한다. 이 때, 배선(5621_J)에 입력되는 Data_j+1이, 제 3 박막 트랜지스터(5603c)를 통하여 신호선(Sj+1)에 입력된다.

[0161] 이상과 같이, 도 15의 신호선 구동 회로는 1 게이트 선택 기간을 3개로 분할함으로써, 1 게이트 선택 기간 중에 1개의 배선(5621)으로부터 3개의 신호선에 비디오 신호를 입력할 수 있다. 따라서, 도 15의 신호선 구동 회로는 드라이버 IC(5601)가 형성되는 기판과, 화소부가 형성되는 기판과의 접속수를 신호선의 수와 비교하여 약 1/3로 할 수 있다. 접속수가 약 1/3이 됨으로써, 도 15의 신호선 구동 회로는, 신뢰성, 수율 등을 향상시킬 수 있다.

[0162] 또한, 도 15에 도시하는 바와 같이, 1 게이트 선택 기간을 복수의 서브 선택 기간으로 분할하여, 복수의 서브 선택 기간 각각에 있어서 어떤 1개의 배선으로부터 복수의 신호선에 비디오 신호를 입력할 수 있으면, 박막 트랜지스터의 배치나 수, 구동 방법 등은 한정되지 않는다.

[0163] 예를 들어, 서브 선택 기간 각각에 있어서 1개의 배선으로부터 3개 이상의 신호선에 비디오 신호를 입력하는 경우, 박막 트랜지스터 및 그 박막 트랜지스터를 제어하기 위한 배선을 추가하면 좋다. 다만, 1 게이트 선택 기간을 4개 이상의 서브 선택 기간으로 분할하면, 1개의 서브 선택 기간이 짧아진다. 따라서, 1 게이트 선택 기간은, 2개 또는 3개의 서브 선택 기간으로 분할되는 것이 바람직하다.

[0164] 다른 예로서, 도 17의 타이밍 차트에 나타낸 바와 같이, 1개의 선택 기간을 프리차지 기간 Tp, 제 1 서브 선택 기간 T1, 제 2 서브 선택 기간 T2, 제 3 서브 선택 기간 T3으로 분할하여도 좋다. 또한, 도 17의 타이밍 차트는, i행째의 주사선(Gi)이 선택되는 타이밍, 제 1 박막 트랜지스터(5603a)의 온/오프의 타이밍(5803a), 제 2 박막 트랜지스터(5603b)의 온/오프의 타이밍(5803b), 제 3 박막 트랜지스터(5603c)의 온/오프의 타이밍(5803c) 및 J열째의 배선(5621_J)에 입력되는 신호(5821_J)를 도시한다. 도 17에 도시하는 바와 같이, 프리차지 기간 Tp에 있어서, 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)가 온한다. 이 때, 배선(5621_J)에 입력되는 프리차지 전압 Vp이 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)를 통하여 각각 신호선(Sj-1), 신호선(Sj), 신호선

(S_{j+1})에 입력된다. 제 1 서브 선택 기간 T₁에 있어서 제 1 박막 트랜지스터(5603a)가 온하고, 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)가 오프한다. 이 때, 배선(5621_J)에 입력되는 Data_j-1이, 제 1 박막 트랜지스터(5603a)를 통하여 신호선 S_j-1에 입력된다. 제 2 서브 선택 기간 T₂에서는, 제 2 박막 트랜지스터(5603b)가 온하고, 제 1 박막 트랜지스터(5603a) 및 제 3 박막 트랜지스터(5603c)가 오프한다. 이 때, 배선(5621_J)에 입력되는 Data_j가, 제 2 박막 트랜지스터(5603b)를 통하여 신호선(S_j)에 입력된다. 제 3 서브 선택 기간 T₃에서는, 제 3 박막 트랜지스터(5603c)가 온하고, 제 1 박막 트랜지스터(5603a) 및 제 2 박막 트랜지스터(5603b)가 오프한다. 이 때, 배선(5621_J)에 입력되는 Data_j+1이, 제 3 박막 트랜지스터(5603c)를 통하여 신호선(S_{j+1})에 입력된다.

[0165] 이상으로부터, 도 17의 타이밍 차트를 적용한 도 15의 신호선 구동 회로는, 서브 선택 기간 전에 프리차지 기간을 설정함으로써, 신호선을 프리차지할 수 있다. 이 때문에, 화소에의 비디오 신호의 기록을 고속으로 행할 수 있다. 또한, 도 17에 있어서, 도 16과 같은 것에 관해서는 공통의 부호를 사용하여 나타내고, 동일 부분 또는 같은 기능을 갖는 부분의 자세한 설명은 생략한다.

[0166] 또한, 주사선 구동 회로의 구성에 대해서 설명한다. 주사선 구동 회로는 시프트 레지스터, 버퍼를 갖는다. 또한, 경우에 따라서는, 레벨 시프터를 가져도 좋다. 주사선 구동 회로에 있어서, 시프트 레지스터에 클럭 신호(CLK) 및 스타트 펄스 신호(SP)가 입력됨으로써, 선택 신호가 생성된다. 생성된 선택 신호는 버퍼에 있어서 완충 증폭되고, 대응하는 주사선에 공급된다. 주사선에는, 1라인분의 화소의 트랜지스터의 게이트 전극이 접속된다. 그리고, 1라인분의 화소의 트랜지스터를 일제히 온으로 하여야 하기 때문에, 버퍼는 큰 전류를 흘릴 수 있는 것이 사용된다.

[0167] 주사선 구동 회로의 일부에 사용하는 시프트 레지스터의 일례에 대해서 도 18 및 도 19를 사용하여 설명한다.

[0168] 도 18에 시프트 레지스터의 회로 구성을 도시한다. 도 18에 도시하는 시프트 레지스터는, 플립플롭(5701_1) 내지 플립플롭(5701_n)이라고 하는 복수의 플립플롭으로 구성된다. 또한, 시프트 레지스터는, 제 1 클럭 신호, 제 2 클럭 신호, 스타트 펄스 신호, 리셋 신호가 입력되어 동작한다.

[0169] 도 18의 시프트 레지스터의 접속 관계에 대해서 설명한다. 도 18의 시프트 레지스터는 i단개의 플립플롭(5701_i)(플립플롭(5701_1) 내지 플립플롭(5701_n)중 어느 하나)은, 도 19에 도시한 제 1 배선(5501)이 제 7 배선(5717_i-1)에 접속되고, 도 19에 도시한 제 2 배선(5502)이 제 7 배선(5717_i+1)에 접속되고, 도 19에 도시한 제 3 배선(5503)이 제 7 배선(5717_i)에 접속되고, 도 19에 도시한 제 6 배선(5506)이 제 5 배선(5715)에 접속된다.

[0170] 또한, 도 19에 도시한 제 4 배선(5504)이 홀수 단개의 플립플롭에서는 제 2 배선(5712)에 접속되고, 짝수 단개 플립플롭에서는 제 3 배선(5713)에 접속되고, 도 19에 도시한 제 5 배선(5505)이 제 4 배선(5714)에 접속된다.

[0171] 다만, 1단개의 플립플롭(5701_1)의 도 19에 도시하는 제 1 배선(5501)은 제 1 배선(5711)에 접속되고, n단개의 플립플롭(5701_n)의 도 19에 도시하는 제 2 배선(5502)은 제 6 배선(5716)에 접속된다.

[0172] 또한, 제 1 배선(5711), 제 2 배선(5712), 제 3 배선(5713), 제 6 배선(5716)을 각각 제 1 신호선, 제 2 신호선, 제 3 신호선, 제 4 신호선이라고 불러도 좋다. 또한, 제 4 배선(5714), 제 5 배선(5715)을, 각각 제 1 전원선, 제 2 전원선이라고 불러도 좋다.

[0173] 다음, 도 18에 도시하는 플립플롭의 자세한 내용에 대해서 도 19에 도시한다. 도 19에 도시하는 플립플롭은 제 1 박막 트랜지스터(5571), 제 2 박막 트랜지스터(5572), 제 3 박막 트랜지스터(5573), 제 4 박막 트랜지스터(5574), 제 5 박막 트랜지스터(5575), 제 6 박막 트랜지스터(5576), 제 7 박막 트랜지스터(5577) 및 제 8 박막 트랜지스터(5578)를 갖는다. 또한, 제 1 박막 트랜지스터(5571), 제 2 박막 트랜지스터(5572), 제 3 박막 트랜지스터(5573), 제 4 박막 트랜지스터(5574), 제 5 박막 트랜지스터(5575), 제 6 박막 트랜지스터(5576), 제 7 박막 트랜지스터(5577) 및 제 8 박막 트랜지스터(5578)는, n채널형 트랜지스터이며, 게이트-소스간 전압(V_{gs})이 임계값 전압(V_{th})을 상회하였을 때 도통 상태가 되는 것으로 한다.

[0174] 도 19에 있어서, 제3의 박막트랜지스터(5573)의 게이트 전극은, 전원선과 전기적으로 접속되어 있다. 또한, 제3의 박막트랜지스터(5573)와 제4의 박막트랜지스터(5574)를 접속시킨 회로(도 19의 쇄선으로 둘러싼 회로)는, 도 2a에 나타낸 구성을 갖는 회로에 상당한다고 말할 수가 있다. 여기에서는, 모든 박막트랜지스터는,

인헨스먼트형의 n채널형 트랜지스터로 하는 예를 게시하지만, 이 예에 한정되지 않는다. 예를 들면, 제3의 박막 트랜지스터(5573)는, 디플리션형의 n채널형 트랜지스터를 사용해도 구동회로를 구동시킬 수도 있다.

- [0175] 다음, 도 19에 도시하는 플립플롭의 접속 구성에 대해서 이하에 설명한다.
- [0176] 제 1 박막 트랜지스터(5571)의 제 1 전극(소스 전극 또는 드레인 전극의 한쪽)이 제 4 배선(5504)에 접속되고, 제 1 박막 트랜지스터(5571)의 제 2 전극(소스 전극 또는 드레인 전극의 다른 쪽)이 제 3 배선(5503)에 접속된다.
- [0177] 제 2 박막 트랜지스터(5572)의 제 1 전극이 제 6 배선(5506)에 접속된다. 제 2 박막 트랜지스터(5572)의 제 2 전극이 제 3 배선(5503)에 접속된다.
- [0178] 제 3 박막 트랜지스터(5573)의 제 1 전극이 제 5 배선(5505)에 접속된다. 제 3 박막 트랜지스터(5573)의 제 2 전극이 제 2 박막 트랜지스터(5572)의 게이트 전극에 접속된다. 제 3 박막 트랜지스터(5573)의 게이트 전극이 제 5 배선(5505)에 접속된다.
- [0179] 제 4 박막 트랜지스터(5574)의 제 1 전극이 제 6 배선(5506)에 접속된다. 제 4 박막 트랜지스터(5574)의 제 2 전극이 제 2 박막 트랜지스터(5572)의 게이트 전극에 접속된다. 제 4 박막 트랜지스터(5574)의 게이트 전극이 제 1 박막 트랜지스터(5571)의 게이트 전극에 접속된다.
- [0180] 제 5 박막 트랜지스터(5575)의 제 1 전극이 제 5 배선(5505)에 접속된다. 제 5 박막 트랜지스터(5575)의 제 2 전극이 제 1 박막 트랜지스터(5571)의 게이트 전극에 접속된다. 제 5 박막 트랜지스터(5575)의 게이트 전극이 제 1 배선(5501)에 접속된다.
- [0181] 제 6 박막 트랜지스터(5576)의 제 1 전극이 제 6 배선(5506)에 접속된다. 제 6 박막 트랜지스터(5576)의 제 2 전극이 제 1 박막 트랜지스터(5571)의 게이트 전극에 접속된다. 제 6 박막 트랜지스터(5576)의 게이트 전극이 제 2 박막 트랜지스터(5572)의 게이트 전극에 접속된다.
- [0182] 제 7 박막 트랜지스터(5577)의 제 1 전극이 제 6 배선(5506)에 접속된다. 제 7 박막 트랜지스터(5577)의 제 2 전극이 제 1 박막 트랜지스터(5571)의 게이트 전극에 접속된다. 제 7 박막 트랜지스터(5577)의 게이트 전극이 제 2 배선(5502)에 접속된다. 제 8 박막 트랜지스터(5578)의 제 1 전극이 제 6 배선(5506)에 접속된다. 제 8 박막 트랜지스터(5578)의 제 2 전극이 제 2 박막 트랜지스터(5572)의 게이트 전극에 접속된다. 제 8 박막 트랜지스터(5578)의 게이트 전극이 제 1 배선(5501)에 접속된다.
- [0183] 또한, 제 1 박막 트랜지스터(5571)의 게이트 전극, 제 4 박막 트랜지스터(5574)의 게이트 전극, 제 5 박막 트랜지스터(5575)의 제 2 전극, 제 6 박막 트랜지스터(5576)의 제 2 전극 및 제 7 박막 트랜지스터(5577)의 제 2 전극의 접속 개소를 노드(node)(5543)로 한다. 또한, 제 2 박막 트랜지스터(5572)의 게이트 전극, 제 3 박막 트랜지스터(5573)의 제 2 전극, 제 4 박막 트랜지스터(5574)의 제 2 전극, 제 6 박막 트랜지스터(5576)의 게이트 전극 및 제 8 박막 트랜지스터(5578)의 제 2 전극의 접속 개소를 노드(5544)로 한다.
- [0184] 또한, 제 1 배선(5501) 및 제 2 배선(5502), 제 3 배선(5503) 및 제 4 배선(5504)을, 각각 제 1 신호선, 제 2 신호선, 제 3 신호선, 제 4 신호선이라고 불러도 좋다. 또한, 제 5 배선(5505)을 제 1 전원선, 제 6 배선(5506)을 제 2 전원선이라고 불러도 좋다.
- [0185] 또한, 신호선 구동회로 및 주사선 구동회로를 실시예4에 나타난 n채널형 TFT만으로 형성할 수 있다. 실시예4에 나타난 n채널형 TFT는 트랜지스터의 이동도가 크기 때문에, 구동회로의 구동주파수를 높게 하는 것이 가능해진다. 또한, 실시예4에 나타난 n채널형 TFT는, In-Ga-Zn-O계 비단결정막인 소스영역 또는 드레인영역에 의해 기생 용량이 저감되어서, 주파수특성(f특성이라고 불린다)이 높다. 예를 들면, 실시예4에 나타난 n채널형 TFT를 사용한 주사선 구동회로는, 고속으로 동작시킬 수 있어서, 프레임 주파수를 높게 할 수 있고, 흑화상 삽입을 실현할 수 있다.
- [0186] 또한, 주사선 구동 회로의 트랜지스터의 채널 폭을 크게 하는 것이나, 복수의 주사선 구동 회로를 배치하는 것 등에 의해서, 더 높은 프레임 주파수를 실현할 수 있다. 복수의 주사선 구동회로를 배치하는 경우는, 짝수 행의 주사선을 구동하기 위한 주사선 구동 회로를 한쪽에 배치하고, 홀수 행의 주사선을 구동하기 위한 주사선 구동회로를 그 반대 측에 배치함으로써, 프레임 주파수를 높이는 것을 실현할 수 있다. 또한, 복수의 주사선 구동회로에 의하여 동일한 주사선에 신호를 출력하면, 표시 장치의 대형화에 유리하다.
- [0187] 또한, 본 발명의 반도체 장치의 일레인 액티브 매트릭스형 발광 표시 장치를 제작하는 경우, 적어도 하

나의 화소에 복수의 박막 트랜지스터를 배치하기 때문에, 주사선 구동 회로를 복수 배치하는 것이 바람직하다. 액티브 매트릭스형 발광 표시 장치의 블록도의 일례를 도 14b에 도시한다.

- [0188] 도 14b에 도시하는 발광 표시 장치는, 기관(5400) 위에, 표시 소자를 각각 구비한 복수의 화소를 갖는 화소부(5401)와, 각 화소를 선택하는 제 1 주사선 구동 회로(5402) 및 제 2 주사선 구동 회로(5404)와, 선택된 화소로의 비디오 신호의 입력을 제어하는 신호선 구동 회로(5403)를 갖는다.
- [0189] 도 14b에 도시하는 발광 표시 장치의 화소에 입력되는 비디오 신호를 디지털 형식으로 하는 경우, 화소는 트랜지스터의 온/오프의 변환에 따라, 발광 상태 또는 비발광 상태가 된다. 따라서, 면적 계조법 또는 시간 계조법을 사용하여 계조의 표시를 행할 수 있다. 면적 계조법은 1화소를 복수의 부화소로 분할하여 각 부화소를 독립적으로 비디오 신호에 따라 구동시킴으로써, 계조 표시를 행하는 구동 방법이다. 또한, 시간 계조법은 화소가 발광하는 기간을 제어함으로써 계조 표시를 행하는 구동 방법이다.
- [0190] 발광 소자는 액정 소자 등과 비교하여 응답 속도가 빠르기 때문에, 액정 소자보다 시간 계조법에 적합하다. 구체적으로, 시간 계조법에 의하여 표시를 행하는 경우, 1프레임 기간을 복수의 서브 프레임 기간으로 분할한다. 그리고 비디오 신호에 따라, 각 서브 프레임 기간에 있어서 화소의 발광 소자를 발광 상태 또는 비발광 상태로 한다. 일 프레임을 복수의 서브 프레임 기간으로 분할함으로써, 1프레임 기간 중에 화소가 실제로 발광하는 기간의 합계 길이를 비디오 신호에 따라 제어할 수 있기 때문에, 계조를 표시할 수 있다.
- [0191] 또한, 도 14b에 도시하는 발광 장치에서는, 하나의 화소에 2개의 스위칭용 TFT를 배치하는 경우, 한쪽의 스위칭용 TFT의 게이트 배선인 제 1 주사선에 입력되는 신호를 제 1 주사선 구동 회로(5402)로 생성하고, 다른 쪽의 스위칭용 TFT의 게이트 배선인 제 2 주사선에 입력되는 신호를 제 2 주사선 구동 회로(5404)로 생성하는 예를 도시하지만, 제 1 주사선에 입력되는 신호와 제 2 주사선에 입력되는 신호의 양쪽 모두를 1개의 주사선 구동 회로로 생성하도록 하여도 좋다. 또한, 예를 들어, 1개의 화소가 갖는 스위칭 TFT의 수에 따라 스위칭 소자의 동작을 제어하기 위해서 사용되는 주사선이 각 화소에 복수 형성되는 일도 있다. 이 경우, 복수의 주사선에 입력되는 신호를 모두 1개의 주사선 구동 회로에서 생성하여도 좋거나, 복수의 주사선 구동 회로에서 생성하여도 좋다.
- [0192] 또한, 발광 표시 장치에 있어서도 구동 회로 중, n채널형 TFT로 구성할 수 있는 구동 회로의 일부를 화소부의 박막 트랜지스터와 동일 기관 위에 형성할 수 있다. 또한, 신호선 구동 회로 및 주사선 구동 회로를 실시예 4 또는 5에 나타내는 n채널형 TFT만으로 제작할 수도 있다.
- [0193] 또한, 상술한 구동 회로는 액정 표시 장치나 발광 표시 장치뿐만 아니라, 스위칭 소자와 전기적으로 접속하는 소자를 이용하여 전자 잉크를 구동시키는 전자 페이퍼에 사용하여도 좋다. 전자 페이퍼는, 전기 영동 표시 장치(전기 영동 디스플레이)라고도 불리고, 종이와 같이 읽기 쉽다는 이점, 다른 표시 장치와 비교하여 저 소비 전력, 얇고 가벼운 형상으로 할 수 있는 이점을 갖는다.
- [0194] 전기 영동 디스플레이에는 다양한 형태가 있다. 전기 영동 디스플레이는, 양 전하를 갖는 제 1 입자와 음 전하를 갖는 제 2 입자를 포함하는 마이크로 캡슐이 용매 또는 용질에 복수 분산되고, 마이크로 캡슐에 전계를 인가함으로써 마이크로 캡슐 중의 입자를 서로 반대 방향으로 이동시켜 한쪽에 모은 입자의 색만을 표시하는 것이다. 또한, 제 1 입자 또는 제 2 입자는 염료를 포함하여, 전계가 없는 경우에 있어서, 이동하지 않는 것이다. 또한, 제 1 입자의 색과 제 2 입자의 색은 다른 것(그 입자는 무색이어도 된다)으로 한다.
- [0195] 이와 같이, 전기 영동 디스플레이는 유전 상수가 높은 물질이 높은 전계 영역에 이동하는, 소위 유전 영동적 효과를 이용한 디스플레이이다. 전기 영동 디스플레이는, 액정 표시 장치에는 필요한 편광판, 대향 기관도 전기 영동 표시 장치에는 필요가 없고, 두께나 무게가 반감한다.
- [0196] 전자 잉크에 있어서, 상기 마이크로 캡슐은 용매 중에 분산되고, 이 전자 잉크는 유리, 플라스틱, 피륙, 종이 등의 표면에 인쇄될 수 있다. 또한, 컬러 필터나 색소를 갖는 입자를 사용함으로써, 컬러 표시도 가능하다.
- [0197] 또한, 액티브 매트릭스 기관 위에 적절히 2개의 전극 사이에 끼워지도록 상기 마이크로 캡슐을 복수 배치하면, 액티브 매트릭스형의 표시 장치가 완성되며, 마이크로 캡슐에 전계를 인가하면 표시할 수 있다. 예를 들어, 실시예 4 또는 5에 나타내는 박막 트랜지스터에 의하여 얻어지는 액티브 매트릭스 기관을 사용할 수 있다.
- [0198] 또한, 마이크로 캡슐 중의 제 1 입자 및 제 2 입자는, 도전체 재료, 절연체 재료, 반도체 재료, 자성

재료, 액정 재료, 강유전성 재료, 일렉트로 루미네센스 재료, 일렉트로크로믹 재료, 자기 영동 재료 중으로부터 선택된 일종의 재료, 또는, 이들의 복합 재료를 사용하면 좋다.

- [0199] 상술한 공정에 따라, 반도체장치로서 신뢰성이 높은 표시장치를 제작할 수 있다.
- [0200] 본 실시예는 또 다른 실시예에 기재한 구성 중 어느 하나와 적절히 조합하여 실시할 수 있다.
- [0201] (실시예7)
- [0202] 본 발명의 실시예의 박막트랜지스터를 제작하고, 상기 박막트랜지스터를 화소부, 그 위에 구동회로에 사용해서, 표시 기능을 갖는 반도체장치(표시장치라고도 한다)를 제작할 수 있다. 또한, 본 발명의 실시예의 박막트랜지스터를 구동회로의 일부 또는 전체를, 화소부와 동일 기관 위에 일체형성되어, 시스템 온 패널을 형성할 수 있다.
- [0203] 표시 장치는 표시 소자를 포함한다. 표시 소자로서는 액정 소자(액정 표시 소자라고도 한다), 발광 소자(발광 표시 소자라고도 한다)를 사용할 수 있다. 발광 소자는 전류 또는 전압에 의해서 휘도가 제어되는 소자를 그 범주에 포함하고 있고, 구체적으로는 무기 일렉트로루미네센스(EL) 소자, 또는 유기 EL 소자 등이 포함된다. 또한, 전자 잉크 등, 전기적 작용에 의하여 콘트라스트가 변화되는 표시 매체도 적용할 수 있다.
- [0204] 또한, 표시 장치는, 표시 소자가 밀봉된 상태에 있는 패널과, 상기 패널에 컨트롤러를 포함하는 IC 등을 실장한 상태에 있는 모듈을 포함한다. 또한, 본 발명의 일 실시예는, 상기 표시 장치를 제작하는 과정에 있어서의, 표시 소자가 완성되기 전의 일 형태에 상당하는 소자 기관에 관한 것으로, 상기 소자 기관에는 전류를 표시 소자에 공급하기 위한 수단을 각각 갖는 복수의 화소가 구비된다. 소자 기관은, 구체적으로는, 표시 소자의 화소 전극만이 형성된 후의 상태이어도 좋고, 화소 전극이 되는 도전막을 성막한 후의 상태이며, 도전막을 에칭하여 화소 전극을 형성하기 전의 상태라도 좋고, 또는 어떠한 다른 상태라도 좋다.
- [0205] 또한, 본 명세서 중에서의 표시 장치란, 화상 표시 디바이스, 표시 디바이스, 또는 광원(조명 장치도 포함한다)을 가리킨다. 또한, 커넥터, 예를 들어, 플렉시블 인쇄회로(FPC) 또는 테이프 자동 접합(TAB) 테이프, 또는 테이프 캐리어 패키지(TCP)가 부착된 모듈, TAB 테이프나 TCP의 끝에 프린트 배선판이 설치된 모듈, 또는 표시 소자에 칩 온 글래스(COG) 방식에 의하여 집적회로(IC)가 직접 실장된 모듈도 모두 표시 장치에 포함하는 것으로 한다.
- [0206] 본 실시예에서는, 본 발명의 일 실시예에 따른 표시 장치의 일 형태인 액정 표시 패널의 외관 및 단면에 대하여 도 22a1, 22a2, 22b를 사용하여 설명한다. 도 22a1 및 22a2는, 상기 제 1 기관(4001)과 제 2 기관(4006) 사이에 절재(4005)로 제 1 기관(4001) 위에 형성된 박막 트랜지스터(4010, 4011) 및 액정소자(4013)를 형성한 패널의 상면도이다. 실시예4에서 나타난 박막 트랜지스터인 박막 트랜지스터(4010, 4011)는, In-Ga-Zn-0계 비단결정막을 반도체층으로서 포함하고 신뢰성이 높다. 도 22b는, 도 22a1 및 22a2의 M-N을 따라 자른 단면도다.
- [0207] 제 1 기관(4001) 위에 형성된 화소부(4002)와, 주사선 구동 회로(4004)를 둘러싸도록, 절재(4005)가 형성된다. 또한, 화소부(4002)와, 주사선 구동 회로(4004) 위에 제 2 기관(4006)이 형성된다. 따라서, 화소부(4002)와, 주사선 구동 회로(4004)는, 제 1 기관(4001)과 절재(4005)와 제 2 기관(4006)에 의하여, 액정층(4008)과 함께 밀봉된다. 또한, 제 1 기관(4001) 위의 절재(4005)에 의하여 둘러싸여 있는 영역과는 다른 영역에, 별도 준비된 기관 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 신호선 구동 회로(4003)가 실장된다.
- [0208] 또한, 별도 형성한 구동 회로의 접속 방법은, 특히 한정되지 않고, COG 방법, 와이어 본딩 방법, 또는 TAB 방법 등을 사용할 수 있다. 도 22a1은 COG 방법에 의하여 신호선 구동 회로(4003)를 실장하는 예이며, 도 22a2는 TAB 방법에 의하여 신호선 구동 회로(4003)를 실장하는 예이다.
- [0209] 또한, 제 1 기관(4001) 위에 형성된 화소부(4002)와 주사선 구동 회로(4004) 각각은, 박막 트랜지스터를 복수 갖는다. 도 22b에서는 화소부(4002)에 포함되는 박막 트랜지스터(4010)와 주사선 구동 회로(4004)에 포함되는 박막 트랜지스터(4011)를 예시한다. 박막 트랜지스터(4010, 4011) 위에는 절연층(4020, 4021)이 형성된다.
- [0210] 박막트랜지스터(4010, 4011)로서, In-Ga-Zn-0계 비단결정막을 반도체층으로서 포함하는 신뢰성이 높은

실시예4에 나타내는 박막트랜지스터를 이용할 수 있다. 또한, 실시예5에 나타내는 박막트랜지스터를 이용해도 좋다. 본 실시예에 있어서, 박막 트랜지스터(4010, 4011)는 n채널형 박막트랜지스터다.

[0211] 또한, 액정 소자(4013)가 갖는 화소 전극층(4030)은, 박막 트랜지스터(4010)와 전기적으로 접속된다. 그리고, 액정 소자(4013)의 대향 전극층(4031)은 제 2 기관(4006) 위에 형성된다. 화소 전극층(4030)과 대향 전극층(4031)과 액정층(4008)이 중첩하는 부분이 액정 소자(4013)에 상당한다. 또한, 화소 전극층(4030), 대향 전극층(4031)은 각각 배향막으로서 기능하는 절연층(4032, 4033)이 형성되고, 절연층(4032, 4033)을 통하여 액정층(4008)을 협지한다.

[0212] 또한, 제 1 기관(4001) 및 제 2 기관(4006)으로서는, 유리, 금속(대표적으로는, 스테인리스), 세라믹스, 플라스틱을 사용할 수 있다. 플라스틱으로서는, 유리섬유 강화 플라스틱(FRP)판, 폴리비닐플루오라이드(PVF) 필름, 폴리에스테르 필름 또는 아크릴수지 필름을 사용할 수 있다. 또한, 알루미늄 포일을 PVF 필름이나 폴리에스테르 필름으로 끼운 구조의 시트를 사용할 수도 있다.

[0213] 참조번호 4035로 나타낸 기둥 모양의 스페이서는, 절연막을 선택적으로 에칭하는 것으로 얻어지고, 화소전극층(4030)과 대향 전극층(4031)과의 사이의 거리(셀 갭)를 제어하기 위해서 설치된다. 또한, 구형의 스페이서를 사용해도 된다. 또한, 대향 전극층(4031)은, 박막트랜지스터(4010)와 동일기관 위에 설치되는 공통 전위선과 전기적으로 접속된다. 공통 접속부를 사용하여, 기관의 쌍사이에 배치된 도전성 입자를 거쳐서 대향 전극층(4031)과 공통 전위선을 전기적으로 접속할 수 있다. 또한, 도전성 입자는 셀재(4005)에 포함된다.

[0214] 또한, 배향막이 불필요한 블루 상(blue phase)을 나타내는 액정을 사용하여도 좋다. 블루 상은 액정상의 하나이며, 콜레스테릭(cholesteric) 액정을 승온하면, 콜레스테릭 상으로부터 등방상으로 전이하기 직전에 발현하는 상이다. 블루 상은 좁은 온도 범위만으로 발현하기 때문에, 온도 범위를 개선하기 위해서 5wt% 이상의 키랄(chiral)제를 혼합시킨 액정 조성물을 사용하여 액정층(4008)에 사용한다. 블루 상을 나타내는 액정과 키랄제를 포함하는 액정 조성물은 응답 속도가 10 μs 내지 100 μs이며 짧고, 광학적 등방성이기 때문에 배향 처리가 불필요하고, 시야각 의존성이 작다.

[0215] 또한, 본 실시예는 투과형 액정 표시 장치의 예이지만, 본 발명의 일 실시예는 반사형 액정 표시 장치라도 반투과형 액정 표시 장치라도 적용할 수 있다.

[0216] 또한, 본 실시예의 액정 표시 장치에서는, 기관의 외측(시인측)에 편광판을 형성하고, 내측에 착색층, 표시 소자에 사용하는 전극층의 순서로 형성하는 예를 나타내지만, 편광판은 기관의 내측에 형성하여도 좋다. 또한, 편광판과 착색층의 적층 구조도 본 실시예에 한정되지 않고, 편광판 및 착색층의 재료나 제작 공정 조건에 의하여 적절히 설정하면 좋다. 또한, 블랙 매트릭스로서 기능하는 차광막을 형성하여도 좋다.

[0217] 본 실시예에서는, 박막 트랜지스터의 표면의 요철을 저감시키기 위해서 및 박막 트랜지스터의 신뢰성을 향상시키기 위해서, 실시예 4에서 얻어진 박막 트랜지스터를 보호막이나 평탄화 절연막으로서 기능하는 절연층(절연층 4020, 4021)으로 덮는 구성이 된다. 또한, 보호막은 대기 중에 부유하는 유기물이나 금속물, 수증기 등의 오염 불순물의 침입을 방지하는 것이며, 치밀한 막이 바람직하다. 보호막은 스퍼터법을 사용하여 산화실리콘막, 질화실리콘막, 산화질화실리콘막, 질화산화실리콘막, 산화알루미늄막, 질화알루미늄막, 산화질화알루미늄막, 또는 질화산화알루미늄막의 단층, 또는 적층으로 형성하면 좋다. 본 실시예에서는, 보호막을 스퍼터법에 의하여 형성하는 예를 나타내지만, 상기 방법은 특정 방법에 한정되지 않고, 다양한 방법으로부터 선택되어도 된다.

[0218] 여기서는, 보호막으로서 적층 구조의 절연층(4020)을 형성한다. 여기서는, 절연층(4020)의 1층째로서 스퍼터법을 사용하여 산화실리콘막을 형성한다. 보호막으로서 산화실리콘막을 사용하면, 소스 전극층 및 드레인 전극층으로서 사용하는 알루미늄막의 힐록 방지에 효과가 있다.

[0219] 또한, 보호막의 2층째로서 절연층을 형성한다. 여기서는, 절연층(4020)의 2층째로서 스퍼터법을 사용하여 질화실리콘막을 형성한다. 보호막으로서 질화실리콘막을 사용하면, 나트륨 등의 가동 이온이 반도체 영역 중에 침입하여 TFT의 전기적 특성을 변화시키는 것을 억제할 수 있다.

[0220] 또한, 보호막을 형성한 후에, 반도체층의 어닐링(300℃ 내지 400℃)을 행하여도 좋다.

[0221] 또한, 평탄화 절연막으로서 절연층(4021)을 형성한다. 절연층(4021)으로서는, 폴리이미드, 아크릴, 벤조시클로부텐, 폴리아미드 또는 에폭시 등의 내열성을 갖는 유기 재료를 사용할 수 있다. 또한, 상기 유기 재료 이외에, 저유전율 재료(low-k 재료), 실록산계 수지, 인 유리(PSG), 인붕소 유리(BPSG) 등을 사용할 수

있다. 또한, 이들 재료로 형성되는 절연막을 복수 적층시킴으로써, 절연층(4021)을 형성하여도 좋다.

- [0222] 또한, 실록산계 수지란, 실록산계 재료를 출발 재료로 하여 형성된 Si-O-Si 결합을 포함하는 수지에 상당한다. 실록산계 수지는, 치환기로서, 유기기(알킬기 및 아릴기 등)나 플루오로기를 가져도 좋다. 유기기는 플루오로기를 포함하여도 된다.
- [0223] 절연층(4021)의 형성 방법은 특정 방법에 한정되지 않고, 그 재료에 따라, 스퍼터법, SOG법, 스핀코팅, 딥 코팅, 스프레이 도포, 액적 도출법(잉크젯법, 스크린 인쇄, 또는 오프셋 인쇄 등), 닥터 나이프, 롤 코터, 커튼 코터, 나이프 코터 등을 사용할 수 있다. 절연층(4021)을 재료액을 사용하여 형성하는 경우, 베이킹하는 공정에서 동시에 반도체층의 어닐링(300℃ 내지 400℃)을 행하여도 좋다. 절연층(4021)의 소성 공정과 반도체층의 어닐링을 겸함으로써, 효율 좋게 반도체 장치를 제작할 수 있다.
- [0224] 화소 전극층(4030) 및 대향 전극층(4031)은 산화텅스텐을 포함하는 인듐산화물, 산화텅스텐을 포함하는 인듐아연산화물, 산화티타늄을 포함하는 인듐산화물, 산화티타늄을 포함하는 인듐주석산화물, 인듐주석산화물(이하, ITO라고 기재한다), 인듐아연산화물, 산화실리콘을 첨가한 인듐주석산화물 등의 투광성을 갖는 도전성 재료를 사용할 수 있다.
- [0225] 또한, 화소 전극층(4030) 및 대향 전극층(4031)으로서 도전성 고분자(도전성 폴리머라고도 한다)를 포함하는 도전성 조성물을 사용하여 형성할 수 있다. 도전성 조성물을 사용하여 형성한 화소 전극은 시트 저항이 10000Ω/□ 이하, 파장 550nm에 있어서의 투광률이 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항률이 0.1Ω·cm 이하인 것이 바람직하다.
- [0226] 도전성 고분자로서는, 이른바 π전자 공액계 도전성 고분자를 사용할 수 있다. 예를 들어, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 또는 이들의 2종 이상의 공중합체 등을 들 수 있다.
- [0227] 또한, 별도 형성된 신호선 구동 회로(4003)와, 주사선 구동 회로(4004)와, 화소부(4002)에 주어지는 각종 신호 및 전위는, FPC(4018)로부터 공급되어 있다.
- [0228] 본 실시예에서는, 접속 단자 전극(4015)이 액정 소자(4013)가 갖는 화소 전극층(4030)과 같은 도전막으로 형성되고, 단자 전극(4016)은, 박막 트랜지스터(4010, 4011)의 소스 전극층 및 드레인 전극층과 같은 도전막으로 형성된다.
- [0229] 접속 단자 전극(4015)은 FPC(4018)가 갖는 단자와 이방성 도전막(4019)을 통하여 전기적으로 접속된다.
- [0230] 또한, 도 22a1, 22a2, 22b에 있어서는 신호선 구동 회로(4003)를 별도 형성하여 제 1 기관(4001)에 실장하는 예를 나타내지만, 본 실시예는 이 구성에 한정되지 않는다. 주사선 구동 회로를 별도 형성하여 실장하여도 좋고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 별도 형성하여 실장하여도 좋다.
- [0231] 도 23은 본 발명의 일 실시예에 따라 제작된 TFT 기관(2600)을 사용하여 반도체 장치로서 액정 표시 모듈을 형성하는 일례를 도시한다.
- [0232] 도 23은 액정 표시 모듈의 일레이며, TFT 기관(2600)과 대향 기관(2601)이 쉘재(2602)에 의하여 고착되고, 그 사이에 TFT 등을 포함하는 화소부(2603), 액정층을 포함하는 표시 소자(2604), 착색층(2605)이 형성되어 표시 영역을 형성한다. 착색층(2605)은 컬러 표시를 행하는 경우에 필요하고, RGB 방식의 경우에는, 적, 녹, 청의 각 색에 대응한 착색층이 각 화소에 대응하여 제공된다. TFT 기관(2600)과 대향 기관(2601)의 외측에는 편광판(2606, 2607), 확산판(2613)이 배치되어 있다. 광원은 냉음극관(2610)과 반사판(2611)에 의하여 구성되고, 회로 기관(2612)은, 플렉시블 배선 기관(2609)에 의하여 TFT 기관(2600)의 배선 회로부(2608)와 접속되고, 컨트롤 회로나 전원회로 등의 외부 회로가 내장되어 있다. 또한, 편광판과, 액정층의 사이에 위상차판을 갖는 상태로 적층하여도 좋다.
- [0233] 액정 표시 모듈에는 TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, MVA(Multi-domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드 등을 사용할 수 있다.
- [0234] 상술한 공정에 따라, 반도체장치로서 신뢰성이 높은 표시장치를 제작할 수 있다.

- [0235] 본 실시예는 또 다른 실시예에 기재한 구성 중 어느 하나와 적절히 조합하여 실시할 수 있다.

- [0236] (실시예8)

- [0237] 본 실시예에서는, 본 발명의 실시예의 반도체장치로서 전자 페이퍼의 예를 나타낸다.

- [0238] 도 13은, 본 발명의 실시예를 적용한 반도체장치의 예로서 액티브 매트릭스형의 전자 페이퍼를 나타낸다. 반도체장치에 사용된 박막트랜지스터(581)는, 실시예4에 나타낸 박막트랜지스터와 마찬가지로 제작할 수 있고, In-Ga-Zn-O계 비단결정막을 반도체층으로서 포함하는 신뢰성이 높은 박막트랜지스터다. 또한, 실시예5에서 나타내는 박막트랜지스터도, 본 실시예에서의 박막트랜지스터(581)로서 사용할 수도 있다.

- [0239] 도 13의 전자 페이퍼는, 트위스트 볼 표기방식을 사용한 표시장치의 예다. 트위스트 볼 표기방식이란, 각각 흑색으로 칠해진 구형의 입자를 표시 소자에 사용하는 전극층인 제1의 전극층과 제2의 전극층과의 사이에 배치하고, 제1의 전극층과 제2의 전극층 사이에 전위차를 생기게 해서 상기 구형의 입자의 방향을 제어하여, 표시를 행하는 방법이다.

- [0240] 박막트랜지스터(581)는 보텀 게이트 구조의 박막트랜지스터이며, 그 소스 전극층 또는 드레인 전극층은 절연층(585)에 형성된 개구를 통해 제1의 전극층(587)과 접하여 있어, 박막트랜지스터(581)는 제1의 전극층(587)과 전기적으로 접속되어 있다. 제1의 전극층(587)과 제2의 전극층(588)과의 사이에는, 흑색영역(590a), 백색영역(590b) 및 이 영역들 주변에 액체로 채워진 캐비티(594)를 각각 갖는 구형의 입자(589)가 설치되어 있다. 구형의 입자(589) 주위의 공간에는, 수지 등의 충전제(595)로 충전되어 있다(도 13참조). 본 실시예에 있어서는, 제1의 전극층(587)이 화소전극에 상당하고, 제2의 전극층(588)이 공통 전극에 상당한다. 제2의 전극층(588)은, 박막트랜지스터(581)와 동일기판 위에 설치된 공통 전위선과 전기적으로 접속된다. 실시예1 내지 3 중 어느 하나에 기재된 공통 접속부를 사용하여, 한 쌍의 기판간에 배치된 도전성 입자를 거쳐서 제2의 전극층(588)과 공통 전위선을 전기적으로 접속할 수 있다.

- [0241] 또한, 트위스트 볼 대신에, 전기 영동 소자를 사용할 수 있다. 투명한 액체, 양으로 대전한 흰 미립자 및 음으로 대전한 검은 미립자로 밀봉된 직경 10 μ m 내지 200 μ m 정도의 마이크로 캡슐을 사용한다. 제 1 전극층과 제 2 전극층의 사이에 형성되는 마이크로 캡슐은, 제 1 전극층과 제 2 전극층 사이에 전장이 주어지면, 흰 미립자와, 검은 미립자가 반대측으로 이동하여, 백 또는 흑을 표시할 수 있다. 이 원리를 응용한 표시 소자가 전기 영동 표시 소자이고, 일반적으로 전자 페이퍼라고 불리고 있다. 전기 영동 표시 소자는 액정 표시 소자와 비교하여 반사율이 높기 때문에, 보조 라이트는 불필요하고, 소비전력이 낮고, 어두컴컴한 장소에서 표시부를 인식하는 것이 가능하다. 또한, 표시부에 전원이 공급되지 않은 경우라도, 한번 표시한 화상을 유지하는 것이 가능하다. 따라서, 전파 발신원으로부터 표시 기능을 갖는 반도체 장치(단순히 표시 장치, 또는 표시 장치를 구비하는 반도체 장치라고도 한다)를 멀리한 경우라도, 표시된 화상을 보존해 두는 것이 가능해진다.

- [0242] 상술한 공정에 따라, 반도체장치로서 신뢰성이 높은 전자 페이퍼를 제작할 수 있다.

- [0243] 본 실시예는 또 다른 실시예에 기재한 구성 중 어느 하나와 적절히 조합하여 실시할 수 있다.

- [0244] (실시예9)

- [0245] 본 실시예는, 본 발명의 실시예에 따른 반도체장치로서 발광 표시장치의 예를 나타낸다. 표시 장치가 갖는 표시 소자의 예로서는, 여기서는 일렉트로루미네센스를 이용하는 발광 소자를 나타낸다. 일렉트로루미네센스를 이용하는 발광 소자는, 발광 재료가 유기 화합물인지, 무기 화합물인지에 의하여 구별된다. 일반적으로는, 전자(前者)는 유기 EL 소자, 후자(後者)는 무기 EL 소자라고 불린다.

- [0246] 유기 EL 소자는 발광 소자에 전압을 인가함으로써, 한 쌍의 전극으로부터 전자 및 정공이 각각 발광성의 유기 화합물을 포함하는 층에 주입되어, 전류가 흐른다. 그리고, 그들 캐리어(즉, 전자 및 정공)가 재결합함으로써, 발광성의 유기 화합물이 여기 상태를 형성한다. 발광성의 유기 화합물이 그 여기 상태가 기저 상태로 되돌아올 때에 발광한다. 이러한 메커니즘 때문에, 이러한 발광 소자는 전류 여기형의 발광 소자라고 불린다.

- [0247] 무기 EL 소자는, 그 소자 구성에 의하여, 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는, 발광 재료의 입자를 바인더 중에 분산시킨 발광층을 갖고, 발광 메카니즘은, 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는, 발광층을 유전체층으로 협지

하고, 또한 그것을 전극 사이에 끼운 구조이며, 발광 메커니즘은 금속 이온의 내각 전자 천이를 이용하는 국제형 발광이다. 또한, 본 예에서는, 발광 소자로서 유기 EL 소자를 사용한다.

- [0248] 도 20은 본 발명의 일 실시예를 적용한 반도체 장치의 예로서 디지털 시간 계조 구동을 적용할 수 있는 화소 구성의 일례를 도시하는 도면이다.
- [0249] 디지털 시간 계조 구동을 적용할 수 있는 화소의 구성 및 화소의 동작에 대해서 설명한다. 본 예시에서는, 산화물 반도체층(In-Ga-Zn-O계 비단결정막)을 채널 형성 영역에 각각 사용하는 2개의 n채널형 트랜지스터를 1개의 화소에 구비한다.
- [0250] 화소(6400)는, 스위칭용 트랜지스터(6401), 구동용 트랜지스터(6402), 발광 소자(6404) 및 용량 소자(6403)를 갖는다. 스위칭용 트랜지스터(6401)는, 게이트가 주사선(6406)에 접속되고, 제 1 전극(소스 전극 및 드레인 전극의 한쪽)이 신호선(6405)에 접속되고, 제 2 전극(소스 전극 및 드레인 전극의 다른 쪽)이 구동용 트랜지스터(6402)의 게이트에 접속된다. 구동용 트랜지스터(6402)는, 게이트가 용량 소자(6403)를 통하여 전원선(6407)에 접속되고, 제 1 전극이 전원선(6407)에 접속되고, 제 2 전극이 발광 소자(6404)의 제 1 전극(화소 전극)에 접속된다. 발광 소자(6404)의 제 2 전극은 공통 전극(6408)에 상당한다. 공통 전극(6408)은, 동일 기판 위에 형성된 공통 전원선과 전기적으로 접속되고, 그 접속 부분을 공통 접속부로서 사용하여 도 1a, 도 2a 또는 도 3a에 나타낸 구조를 얻어도 된다.
- [0251] 또한, 발광 소자(6404)의 제 2 전극(공통 전극(6408))에는 저전원 전위가 설정된다. 또한, 저전원 전위란, 전원선(6407)에 설정되는 고전원 전위를 기준으로 하여 고전원 전위보다 낮은 전위이다. 저전원 전위로서는, 예를 들어, GND, 0V 등이 설정되어도 좋다. 이 고전원 전위와 저전원 전위의 전위차를 발광 소자(6404)에 인가하여 발광 소자(6404)에 전류를 흘려 발광 소자(6404)를 발광시키기 위해서, 고전원 전위와 저전원 전위의 전위차가 발광 소자(6404)의 순방향 임계값 전압 이상이 되도록 각각의 전위를 설정한다.
- [0252] 또한, 용량 소자(6403)는 구동용 트랜지스터(6402)의 게이트 용량을 대용(代用)하여 생략할 수도 있다. 구동용 트랜지스터(6402)의 게이트 용량은, 채널 영역과 게이트 전극의 사이에 형성되어도 좋다.
- [0253] 전압 입력 전압 구동 방식의 경우에는, 구동용 트랜지스터(6402)의 게이트에는, 구동용 트랜지스터(6402)가 실질적으로 온되거나 오프되도록 비디오 신호를 입력한다. 즉, 구동용 트랜지스터(6402)는 선형 영역에서 동작시킨다. 구동용 트랜지스터(6402)는, 선형 영역에서 동작시키므로, 전원선(6407)의 전압보다 높은 전압을 구동용 트랜지스터(6402)의 게이트에 인가한다. 또한, 신호선(6405)에는 전원선 전압과 구동용 트랜지스터(6402)의 V_{th} 의 합계 이상의 전압을 인가한다.
- [0254] 또한, 디지털 시간 계조 구동 대신에 아날로그 계조 구동을 행하는 경우, 신호의 입력을 다르게 함으로써, 도 20과 같은 화소 구성을 사용할 수 있다.
- [0255] 아날로그 계조 구동을 행하는 경우, 구동용 트랜지스터(6402)의 게이트에 발광 소자(6404)의 순 방향 전압과 구동용 트랜지스터(6402)의 V_{th} 의 합계 이상의 전압을 인가한다. 발광 소자(6404)의 순 방향 전압이란, 원하는 휘도로 하는 경우의 전압을 가리키고, 적어도 순방향 임계값 전압을 포함한다. 또한, 구동용 트랜지스터(6402)가 포화 영역에서 동작하는 비디오 신호를 입력함으로써, 발광 소자(6404)에 전류를 흘릴 수 있다. 구동용 트랜지스터(6402)를 포화 영역에서 동작시키기 위해서, 전원선(6407)의 전위는 구동용 트랜지스터(6402)의 게이트 전위보다 높게 한다. 비디오 신호를 아날로그로 함으로써, 발광 소자(6404)에 비디오 신호에 따른 전류를 흘려, 아날로그 계조 구동을 행할 수 있다.
- [0256] 또한, 도 20에 도시하는 화소 구성은 이것에 한정되지 않는다. 예를 들어, 도 20에 도시하는 화소에 스위치, 저항 소자, 용량 소자, 트랜지스터, 논리 회로 등을 추가하여도 좋다.
- [0257] 다음, 발광 소자의 구성에 대해서 도 21a 내지 도 21c를 사용하여 설명한다. 여기서는, 구동용 TFT가 n채널형일 경우를 예로 들어, 화소의 단면 구조에 대해서 설명한다. 도 21a 내지 도 21c의 반도체 장치에 사용되는 구동용 TFT인 TFT(7001, 7011, 7021)는, 실시예 4에서 나타낸 박막트랜지스터를 형성하는 방법과 같은 방법에 의해 형성될 수 있다. TFT(7001, 7011, 7021)는, 신뢰성이 높고, 반도체층으로서 In-Ga-Zn-O계 비단결정막을 각각 포함한다. 실시예5에 나타낸 박막트랜지스터는, TFT(7001, 7011, 7021)로서 사용될 수도 있다.
- [0258] 또한, 발광 소자로부터 방출된 광을 추출하기 위해서, 적어도 양극 또는 음극의 한쪽이 투광하면 좋다. 그리고, 기판 위에 박막 트랜지스터 및 발광 소자를 형성한다. 기판과는 반대측의 면으로부터 발광을 추출하는 상면 사출이나, 기판 측의 면으로부터 발광을 추출하는 하면 사출이나, 기판 측 및 기판과는 반대 측의 면으로

부터 발광을 추출하는 양면 사출 구조의 발광 소자가 있다. 본 발명의 일 실시예의 화소 구성은 어떠한 사출 구조의 발광 소자에나 적용할 수 있다.

[0259] 상면 사출 구조의 발광 소자에 대해서 도 21a를 사용하여 설명한다.

[0260] 도 21a는, 구동용 TFT인 TFT(7001)가 n채널형 TFT이며, 발광 소자(7002)로부터 방출되는 광이 양극(7005) 측으로 사출되는 경우의, 화소의 단면도다. 도 21a에서는, 발광 소자(7002)의 음극(7003)과 구동용 TFT인 TFT(7001)가 전기적으로 접속되고, 음극(7003) 위에 발광층(7004), 양극(7005)이 순차로 적층된다. 음극(7003)은 일 함수가 작고 또 광을 반사하는 어떠한 도전재료를 사용하여도 형성될 수 있다. 예를 들어, Ca, Al, CaF, MgAg, AlLi 등을 사용하는 것이 바람직하다. 그리고, 발광층(7004)은 단층으로 구성되어도 좋고, 복수의 층이 적층되도록 구성되어도 좋다. 발광층(7004)이 복수의 층으로 구성되는 경우, 발광층(7004)은, 음극(7003) 위에 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 홀 주입층의 순서로 적층한다. 또한, 이들 층을 모두 형성할 필요는 없다. 양극(7005)은 광을 투과하는 투광성을 갖는 도전성 재료를 사용하여 형성하고, 예를 들어, 산화텅스텐을 포함하는 인듐산화물, 산화텅스텐을 포함하는 인듐아연산화물, 산화티타늄을 포함하는 인듐산화물, 산화티타늄을 포함하는 인듐주석산화물, 인듐주석산화물(이하, ITO라고 기재한다), 인듐아연산화물, 산화실리콘을 첨가한 인듐주석산화물 등의, 투광성을 갖는 도전막을 사용하여도 좋다.

[0261] 음극(7003) 및 양극(7005)에서 발광층(7004)을 끼우는 영역이 발광 소자(7002)에 상당한다. 도 21a에 도시한 화소의 경우, 발광 소자(7002)로부터 방출되는 광은 화살표로 도시하는 바와 같이, 양극(7005) 측으로 사출된다.

[0262] 다음에, 하면 사출 구조의 발광 소자에 대하여 도 21b를 사용하여 설명한다. 도 21b는 구동용 TFT(7011)가 n채널형 TFT이고, 발광 소자(7012)로부터 방출되는 광이 음극(7013) 측으로 사출되는 경우의 화소의 단면도다. 도 21b에서는, 구동용 TFT(7011)와 전기적으로 접속된 투광성을 갖는 도전막(7017) 위에, 발광 소자(7012)의 음극(7013)이 형성되고, 음극(7013) 위에 발광층(7014) 및 양극(7015)이 순차로 적층된다. 또한, 양극(7015)이 투광성을 갖는 경우, 양극(7015)을 덮도록, 광을 반사 혹은 차폐하기 위한 차광막(7016)이 형성되어도 좋다. 음극(7013)은, 도 21a의 경우와 마찬가지로, 일 함수가 작은 도전성 재료라면 어떠한 재료도 사용할 수 있다. 이때, 음극(7013)은, 음극(7013)이 투광할 수 있는 두께(바람직하게는, 5nm 내지 30nm 정도)로 한다. 예를 들어, 20nm의 두께를 갖는 알루미늄막을 음극(7013)으로서 사용할 수 있다. 그리고, 발광층(7014)은, 도 21a의 경우와 마찬가지로, 단층으로 구성되어도 좋고, 복수의 층이 적층되도록 구성되어도 좋다. 양극(7015)은, 광을 투과할 필요는 없지만, 도 21a의 경우와 마찬가지로, 투광성을 갖는 도전성 재료를 사용하여 형성될 수 있다. 그리고, 차광막(7016)은 예를 들어 광을 반사하는 금속 등을 사용할 수 있지만, 금속막에 한정되지 않는다. 예를 들어, 흑색의 안료를 첨가한 수지 등을 사용할 수도 있다.

[0263] 음극(7013)과 양극(7015) 사이에 발광층(7014)을 끼우는 영역이 발광 소자(7012)에 상당한다. 도 21b에 도시하는 화소의 경우, 발광 소자(7012)로부터 방출되는 광은, 화살표로 도시하는 바와 같이, 음극(7013) 측으로 사출된다.

[0264] 다음에, 양면 사출 구조의 발광 소자에 대하여 도 21c를 사용하여 설명한다. 도 21c에서는, 구동용 TFT(7021)와 전기적으로 접속된 투광성을 갖는 도전막(7027) 위에, 발광 소자(7022)의 음극(7023)이 형성되고, 음극(7023) 위에 발광층(7024), 양극(7025)이 순차로 적층된다. 음극(7023)은, 도 21a의 경우와 마찬가지로, 일 함수가 작은 어떠한 도전성 재료도 형성할 수 있다. 이때, 음극(7023)은, 그 음극(7023)이 광을 투과하는 두께를 갖도록 형성된다. 예를 들어, 20nm의 두께를 갖는 Al막을, 음극(7023)으로서 사용할 수 있다. 그리고, 발광층(7024)은, 도 21a의 경우와 마찬가지로, 단층으로 구성되어도 좋고, 복수의 층이 적층되도록 구성되어도 좋다. 양극(7025)은, 도 21a와 마찬가지로, 광을 투과하는 도전성 재료를 사용하여 형성될 수 있다.

[0265] 음극(7023)과, 발광층(7024)과, 양극(7025)이 중첩하는 부분이 발광 소자(7022)에 상당한다. 도 21c에 도시한 화소의 경우, 발광 소자(7022)로부터 방출되는 광은 화살표로 도시하는 바와 같이, 양극(7025) 측과 음극(7023) 측의 양쪽으로 사출한다.

[0266] 또한, 여기서는, 발광 소자로서 유기 EL 소자에 대하여 설명하였지만, 발광 소자로서 무기 EL 소자를 형성할 수도 있다.

[0267] 또한, 본 실시예에서는, 발광 소자의 구동을 제어하는 박막 트랜지스터(구동용 TFT)와 발광 소자가 전기적으로 접속되는 예를 나타내지만, 구동용 TFT와 발광 소자 사이에 전류 제어용 TFT가 접속되는 구성이라도 좋다.

- [0268] 또한, 본 실시예에서 나타내는 반도체 장치는, 도 21a 내지 도 21c에 도시한 구성에 한정되지 않고, 본 발명의 실시예의 기술의 사상에 의거한 각종 변형이 가능하다.
- [0269] 다음에, 본 발명에 따른 반도체장치의 일 형태인 발광 표시 패널(발광 패널이라고도 한다)의 외관 및 단면에 대하여 도 24a 및 도 24b를 사용하여 설명한다. 도 24a는, 기판 위의 발광소자와 박막 트랜지스터가 제 1기판과 제2기판 사이에 절재로 밀봉된 패널의 상면도이다. 도 24b는 도 24a의 H-I를 따라서의 단면도다.
- [0270] 제 1 기판(4501) 위에 형성된 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)를 둘러싸도록 절재(4505)가 형성된다. 또한, 화소부(4502), 신호선 구동 회로(4503a, 4503b) 및 주사선 구동 회로(4504a, 4504b) 위에 제 2 기판(4506)이 형성된다. 따라서, 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)는 제 1 기판(4501)과 절재(4505)와 제 2 기판(4506)에 의하여 충전재(4507)와 함께 밀봉된다. 이와 같이, 외기에 노출되지 않도록 기밀성이 높고, 탈 가스가 적은 보호 필름(접합 필름, 자외선 경화 수지 필름 등)이나 커버재로 패키징(밀봉)하는 것이 바람직하다.
- [0271] 또한, 제 1 기판(4501) 위에 형성된 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b) 각각은, 박막 트랜지스터를 복수 갖는다. 도 24b에서는 화소부(4502)에 포함되는 박막 트랜지스터(4510)와 신호선 구동 회로(4503a)에 포함되는 박막 트랜지스터(4509)를 예시한다.
- [0272] 박막트랜지스터(4509, 4510)로서, In-Ga-Zn-0계 비단결정막을 반도체층으로서 포함하는 신뢰성이 높은 실시예4에 나타내는 박막트랜지스터를 이용할 수 있다. 또한, 실시예5에 나타내는 박막트랜지스터를 박막트랜지스터(4509, 4510)로서 이용해도 좋다. 본 실시예에 있어서, 박막트랜지스터(4509, 4510)는 n채널형 박막트랜지스터다.
- [0273] 또한, 참조부호 4511은 발광 소자에 상당하고, 발광 소자(4511)가 갖는 화소 전극인 제 1 전극층(4517)은, 박막 트랜지스터(4510)의 소스 전극층 또는 드레인 전극층과 전기적으로 접속된다. 또한, 발광 소자(4511)의 구성은 제 1 전극층(4517), 전계 발광층(4512), 제 2 전극층(4513)의 적층 구조이지만, 본 실시예에 나타낸 구성에 한정되지 않는다. 발광 소자(4511)로부터 추출하는 광의 방향 등에 맞추어 발광 소자(4511)의 구성은 적절히 변화시킬 수 있다.
- [0274] 격벽(4520)은, 유기 수지막, 무기 절연막 또는 유기폴리실록산을 사용하여 형성한다. 특히, 감광성을 갖는 재료를 사용하여 제 1 전극층(4517) 위에 개구부를 형성하고, 그 개구부의 측벽이 연속된 곡률을 가져 형성되는 경사면이 되도록 형성하는 것이 바람직하다.
- [0275] 전계 발광층(4512)은, 단층으로 구성되어도 좋고, 복수의 층이 적층되도록 구성되어도 좋다.
- [0276] 발광 소자(4511)에 산소, 수소, 수분, 이산화 탄소 등이 침입하지 않도록 제 2 전극층(4513) 및 격벽(4520) 위에 보호막을 형성하여도 좋다. 보호막으로서, 질화실리콘막, 질화산화실리콘막, DLC막 등을 형성할 수 있다.
- [0277] 또한, 신호선 구동 회로(4503a, 4503b), 주사선 구동 회로(4504a, 4504b), 또는 화소부(4502)에 주어지는 각종 신호 및 전위는 FPC(4518a, 4518b)로부터 공급된다.
- [0278] 본 실시예에서는, 접속 단자 전극(4515)은, 발광 소자(4511)가 갖는 제 1 전극층(4517)과 같은 도전막으로 형성된다. 단자 전극(4516)은 박막 트랜지스터(4509, 4510)가 갖는 소스 전극층 및 드레인 전극층과 같은 도전막으로 형성된다.
- [0279] 접속 단자 전극(4515)은 FPC(4518a)가 갖는 단자와 이방성 도전막(4519)을 통하여 전기적으로 접속된다.
- [0280] 발광 소자(4511)로부터의 광의 추출 방향에 위치하는 제 2 기판(4506)은 투광성이 아니면 안 된다. 그 경우에는, 유리 기판, 플라스틱 기판, 폴리에스테르 필름 또는 아크릴 필름과 같은 투광성을 갖는 재료를 사용한다.
- [0281] 또한, 충전재(4507)로서는, 질소나 아르곤 등의 불활성 기체 이외에, 자외선 경화 수지 또는 열 경화 수지를 사용할 수 있다. 예를 들면, 폴리비닐 클로라이드(PVC), 아크릴, 폴리이미드, 에폭시 수지, 실리콘(silicone) 수지, 폴리비닐 부티랄(PVB) 또는 에틸렌비닐 아세테이트(EVA)를 사용할 수 있다. 본 실시예에서는 충전재(4507)로서 질소를 사용한다.
- [0282] 또한, 필요하다면, 발광 소자의 사출면에 편광판, 또는 원형 편광판(타원 편광판을 포함한다), 위상차

관(1/4 파장판, 1/2 파장판), 컬러 필터 등의 광학 필름을 적절히 형성하여도 좋다. 또한, 편광판 또는 원 편광판에 반사 방지막을 형성하여도 좋다. 예를 들어, 표면의 요철에 따라 반사광을 확산하여 반사를 절감할 수 있는 안티-글레어(anti-glare) 처리를 실시할 수 있다.

[0283] 신호선 구동 회로(4503a, 4503b) 및 주사선 구동 회로(4504a, 4504b)로서, 별도 준비된 기관 위에 단결정 반도체막 또는 다결정 반도체막에 의하여 형성된 구동 회로가 실장되어도 좋다. 또한, 신호선 구동 회로만, 또는 신호선 구동 회로의 일부, 또는 주사선 구동 회로만, 또는 주사선 구동 회로의 일부만을 별도 형성하여 실장하여도 좋다. 본 실시예는 도 24a 및 도 24b의 구성에 한정되지 않는다.

[0284] 상술한 공정에 따라, 반도체장치로서 신뢰성이 높은 발광 장치(표시 패널)를 제작할 수 있다.

[0285] 본 실시예는 또 다른 실시예에 기재한 구성 중 어느 하나와 적절히 조합하여 실시할 수 있다.

[0286] (실시예10)

[0287] 본 발명의 실시예에 따른 반도체장치는, 전자 페이퍼로서 적용할 수 있다. 전자 페이퍼는, 정보를 표시하는 것이라면 다양한 분야의 전자 기기에 사용할 수 있다. 예를 들어, 전자 페이퍼를 사용하여 전자 서적 리더(전자 북 리더), 포스터, 전자 등의 탈 것류의 차내 광고, 신용 카드 등의 각종 카드에 있어서의 표시 등에 적용할 수 있다. 그 전자 기기의 일례를 도 25a, 25b 및 도 26에 도시한다.

[0288] 도 25a는 전자 페이퍼로 제작된 포스터(2631)를 도시한다. 광고 매체가 종이의 인쇄물인 경우는, 광고의 교환은 사람들이 행하지만, 본 발명의 일 실시형태를 적용한 전자 페이퍼를 사용하면, 단시간에 광고의 표시를 바꿀 수 있다. 또한, 표시도 흐트러지지 않고, 안정한 화상을 얻을 수 있다. 또한, 포스터는 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다.

[0289] 도 25b는 전자 등의 탈 것류의 차내 광고(2632)를 도시한다. 광고 매체가 종이인 인쇄물의 경우는, 광고의 교환은 사람들이 행하지만, 본 발명의 일 실시형태를 적용한 전자 페이퍼를 사용하면, 사람들을 많이 필요로 하지 않고, 단시간에 광고의 표시를 바꿀 수 있다. 또한, 표시도 흐트러지지 않고, 안정한 화상을 얻을 수 있다. 또한, 차내 광고는 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다.

[0290] 도 26은 전자 서적 리더(2700)의 일례를 도시한다. 예를 들어, 전자 서적 리더(2700)는 2개의 하우징(2701, 2703)으로 구성된다. 그 하우징(2701, 2703)은, 힌지(2711)에 의하여 접합되어, 전자 서적 리더(2700)가 상기 힌지(2711)를 따라 개폐 동작을 행할 수 있다. 이러한 구성에 의하여, 전자 서적 리더(2700)는, 종이의 서적처럼 처리될 수 있다.

[0291] 하우징(2701)에는 표시부(2705)가 내장되고, 하우징(2703)에는 표시부(2707)가 내장된다. 표시부(2705) 및 표시부(2707)는 하나의 화상을 표시하여도 되거나, 다른 화상을 표시하여도 된다. 표시부(2705) 및 표시부(2707)에 다른 화상이 표시되는 구성에서, 예를 들면, 오른쪽의 표시부(도 26에서는 표시부(2705))에 문장을 표시하고, 왼쪽의 표시부(도 26에서는 표시부(2707))에 화상을 표시할 수 있다.

[0292] 도 26은 하우징(2701)에 조작부 등을 구비한 예를 도시한다. 예를 들어, 하우징(2701)에 있어서, 전원 스위치(2721), 조작키(2723), 스피커(2725) 등을 구비한다. 조작키(2723)에 의하여 페이지를 넘길 수 있다. 또한, 하우징의 표시부와 동일면에 키보드나 포인팅 디바이스 등을 구비하는 구성으로 하여도 좋다. 또한, 하우징의 이면이나 측면에 외부 접속용 단자(이어폰 단자, USB 단자, 또는 AC 어댑터나 USB 케이블 등의 각종 케이블과 접속할 수 있는 단자 등), 기록 매체 삽입부 등을 구비하는 구성으로 하여도 좋다. 또한, 전자 서적 리더(2700)는 전자 사전으로서의 기능을 갖는 구성으로 하여도 좋다.

[0293] 또한, 전자 서적 리더(2700)는 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다. 무선에 의하여 전자 서적 서버로부터 원하는 서적 데이터 등을 구매하여, 다운로드할 수 있다.

[0294] (실시예11)

[0295] 본 발명의 일 실시예에 따른 반도체 장치는, 다양한 전자 기기(유기기도 포함한다)에 적용할 수 있다. 전자 기기로서는, 예를 들어, 텔레비전 장치(텔레비, 또는 텔레비전 수신기라고도 한다), 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오 카메라, 디지털 포토 프레임, 휴대 전화기(휴대 전화, 또는 휴대 전화

장치라고도 한다), 휴대형 게임기, 휴대 정보 단말, 음향 재생 장치, 파친코(pachinko)기 등의 대형 게임기 등을 들 수 있다.

- [0296] 도 27a에는 텔레비전 장치(9600)의 일례를 도시한다. 텔레비전 장치(9600)는 하우징(9601)에 표시부(9603)가 내장된다. 표시부(9603)에 의하여 영상을 표시할 수 있다. 또한, 여기서는 스탠드(9605)에 의하여 하우징(9601)을 지지한 구성을 도시한다.
- [0297] 텔레비전 장치(9600)의 조작은 하우징(9601)이 구비하는 조작 스위치나, 별체의 리모트 컨트롤러(9610)에 의하여 행할 수 있다. 리모트 컨트롤러(9610)가 구비하는 조작 키(9609)에 의하여 채널이나 음량을 조작할 수 있어 표시부(9603)에 표시되는 화상을 제어할 수 있다. 또한, 리모트 컨트롤러(9610)는, 상기 리모트 컨트롤러(9610)로부터 출력하는 정보를 표시하는 표시부(9607)를 가져도 된다.
- [0298] 또한, 텔레비전 장치(9600)는 수신기, 모뎀 등을 구비한 구성으로 한다. 수신기에 의하여, 일반의 텔레비전 방송을 수신할 수 있다. 또한, 모뎀을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써, 일방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자간, 또는 수신자끼리 등)의 정보 통신을 할 수 있다.
- [0299] 도 27b는 디지털 포토 프레임(9700)의 일례를 도시한다. 예를 들어, 디지털 포토 프레임(9700)은 하우징(9701)에 표시부(9703)가 내장된다. 표시부(9703)는 각종 화상을 표시할 수 있고, 예를 들어, 디지털 카메라 등으로 촬영한 화상 데이터를 표시시킴으로써, 보통의 포토 프레임과 마찬가지로 기능시킬 수 있다.
- [0300] 또한, 디지털 포토 프레임(9700)은, 조작부, 외부 접속용 단자(USB 단자, USB 케이블 등의 각종 케이블과 접속할 수 있는 단자 등), 기록 매체 삽입부 등을 구비하는 구성으로 한다. 이들의 구성은 표시부와 동일면에 내장되어도 좋지만, 측면이나 이면에 구비하면 디자인성이 향상되기 때문에 바람직하다. 예를 들어, 디지털 포토 프레임의 기록 매체 삽입부에 디지털 카메라를 사용하여 촬영한 화상 데이터를 기억한 메모리를 삽입하여 화상 데이터를 취득한다. 그 취득한 화상 데이터를 표시부(9703)에 표시시킬 수 있다.
- [0301] 디지털 포토 프레임(9700)은, 무선으로 정보를 송수신하여도 좋다. 무선통신에 의하여, 원하는 화상의 데이터를 무선으로 디지털 포토 프레임(9700)에 취득하여 표시할 수 있다.
- [0302] 도 28a는 휴대형 유키기이며, 하우징(9881)과 하우징(9891)으로 구성되고, 연결부(9893)에 의하여 개폐 가능하도록 연결된다. 하우징(9881)에는 표시부(9882)가 내장되고, 하우징(9891)에는 표시부(9883)가 내장된다. 또한, 도 28a에 도시하는 휴대형 유키기는, 그 외에 스피커부(9884), 기록 매체 삽입부(9886), LED 램프(9890), 입력 수단(조작키(9885), 접속 단자(9887), 센서(9888)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 빛, 액체, 자기, 온도, 화학물질, 음성, 시간, 경도, 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경도, 진동, 냄새 또는 적외선을 측정하는 기능을 포함한 것), 마이크론(9889)) 등을 포함한다. 물론, 휴대형 유키기의 구성은 상술한 것에 한정되지 않고, 적어도 본 발명의 일 실시예에 따른 반도체 장치를 구비한 구성이라면 좋다. 또한, 그 외에 부속 설비가 적절히 설치되어도 된다. 도 28a에 도시하는 휴대형 유키기는 기록 매체에 기록되는 프로그램 또는 데이터를 판독하여 표시부에 표시하는 기능이나, 다른 휴대형 유키기와 무선 통신을 행하여 정보를 공유하는 기능을 갖는다. 또한, 도 28a에 도시하는 휴대형 유키기는, 상기의 기능 외에 다양한 기능을 가질 수 있다.
- [0303] 도 28b는 대형 유키기인 슬롯머신(9900)의 일례를 도시한다. 슬롯머신(9900)은, 하우징(9901)에 표시부(9903)가 내장된다. 또한, 슬롯머신(9900)은, 그 외에 스타트 레버(lever)나 스톱 스위치 등의 조작 수단, 코인 투입구, 스피커 등을 구비한다. 물론, 슬롯머신(9900)의 구성은 상술한 것에 한정되지 않고, 적어도 본 발명의 일 실시예에 따른 반도체 장치를 구비한 구성이라면 좋다. 그 외 부속 설비가 적절히 설치되어도 된다.
- [0304] 도 29a는 휴대 전화기(1000)의 일례를 도시한다. 휴대 전화기(1000)는, 하우징(1001)에 내장된 표시부(1002) 외에 조작 버튼(1003), 외부 접속 포트(1004), 스피커(1005), 마이크(1006) 등을 구비한다.
- [0305] 도 29a에 도시하는 휴대 전화기(1000)는 표시부(1002)를 손가락 등으로 터치(touch)함으로써, 정보를 입력할 수 있다. 또한, 전화를 거는 조작, 또는 문자를 보내는 조작 등은 표시부(1002)를 손가락 등에 의하여 터치함으로써 행할 수 있다.
- [0306] 표시부(1002)의 화면은 주로 3개의 모드가 있다. 제 1 모드는 화상의 표시가 주된 표시 모드이다. 제 2 모드는 문자 등의 정보의 입력이 주된 입력 모드이다. 제 3 모드는 표시 모드와 입력 모드의 2개의 모드가 혼합한 표시-앤드-입력 모드이다.
- [0307] 예를 들어, 전화를 거는 경우 또는 문자 메시지를 보내는 경우에, 표시부(1002)를 문자의 입력이 주된

문자 입력 모드로 하여, 화면에 문자의 입력 조작을 행할 수 있다. 이 경우, 표시부(1002)의 화면의 대부분에 키 보드 또는 번호 버튼을 표시시키는 것이 바람직하다.

[0308] 또한, 휴대 전화기(1000) 내부에 자이로스코프(gyroscope), 가속도 센서 등의 기울기를 검출하는 센서를 갖는 검출 장치를 설치하면, 휴대 전화기(1000)의 방향(휴대 전화기(1000)가 풍경모드나 인물모드를 위해 가로 또는 세로로 놓여 있는지)을 판단하여, 표시부(1002)의 화면 표시를 자동적으로 전환할 수 있다.

[0309] 또한, 화면 모드의 전환은 표시부(1002)를 터치함으로써, 또는 하우스징(1001)의 조작 버튼(1003)을 조작함으로써 행해진다. 또한, 표시부(1002)에 표시된 화상의 종류에 따라 화면 모드를 전환할 수 있다. 예를 들어, 표시부에 표시하는 화상 신호가 동화상의 데이터라면, 그 화면 모드를 표시 모드로 전환한다. 그 신호가 텍스트 데이터라면, 그 화면 모드를 입력 모드로 전환한다.

[0310] 또한, 입력 모드에 있어서, 표시부(1002)의 광 센서에 의하여 검출되는 신호를 검지하여 표시부(1002)의 터치 조작에 의한 입력이 일정 기간 없는 경우에는, 화면의 모드를 입력 모드로부터 표시 모드로 전환하도록 제어하여도 좋다.

[0311] 표시부(1002)는, 이미지 센서로서 기능시킬 수도 있다. 예를 들어, 표시부(1002)에 손바닥이나 손가락으로 터치하여 장문이나 지문을 촬상함으로써, 본인 인증을 행할 수 있다. 또한, 표시부에 근적외광을 발광하는 백 라이트 또는 근적외광을 발광하는 검출용 광원을 사용하면, 손가락 정맥, 손바닥 정맥 등을 촬상할 수도 있다.

[0312] 도 29b는 휴대전화기의 다른 예다. 도 29b의 휴대전화기는, 하우스징(9411)에, 표시부(9412) 및 조작 버튼(9413)을 포함하는 표시장치(9410)와, 하우스징(9401)에 조작 버튼(9402), 외부입력 단자(9403), 마이크(9404), 스피커(9405) 및 착신시에 발광하는 발광부(9406)를 포함하는 통신장치(9400)를 갖고 있다. 표시 기능을 갖는 표시장치(9410)는, 전화 기능을 갖는 통신장치(9400)와 화살표의 2방향으로 탈착가능하다. 따라서, 표시장치(9410)와 통신장치(9400)의 단축끼리 또는 장축끼리를 부착할 수도 있다. 또한, 표시 기능만을 필요로 하는 경우, 통신장치(9400)로부터 표시장치(9410)를 떼어, 표시장치(9410)를 단독으로 사용할 수 있다. 통신장치(9400)와 표시장치(9410)는 무선통신 또는 유선통신에 의해 화상 또는 입력 정보를 송수신할 수 있고, 각각 충전가능한 배터리를 가진다.

[0313] 본 출원은, 전체 내용이 참고로 포함된 일본특허청에 2008년 10월 3일에 출원된 일본특허출원번호 2008-258992를 기초로 한다.

부호의 설명

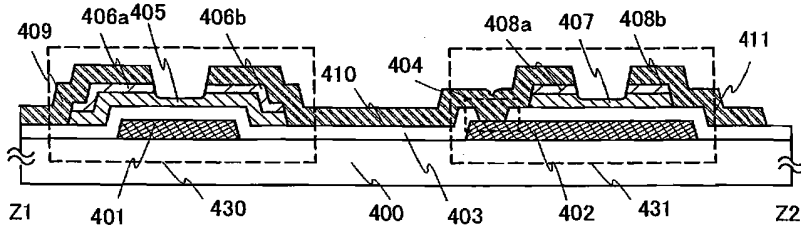
[0314] 100: 기관, 101: 게이트 전극층, 102: 게이트 절연층, 103: 반도체층, 107: 보호 절연층, 108: 용량 배선, 109: 산화물 반도체막, 110: 화소전극층, 111: 산화물 반도체막, 120: 접속 전극, 121: 제1의 단자, 122: 제2의 단자, 125: 콘택트홀, 126: 콘택트홀, 127: 콘택트홀, 128: 투명도전막, 129: 투명도전막, 131: 레지스트 마스크, 132: 도전막, 150: 제2의 단자, 151: 제1의 단자, 152: 게이트 절연층, 153: 접속 전극, 154: 보호 절연막, 155: 투명도전막, 156: 전극, 170: 박막트랜지스터, 400: 기관, 401: 제1의 게이트 전극, 402: 제2의 게이트 전극, 403: 게이트 절연층, 404: 콘택트홀, 405: 제1의 산화물 반도체층, 407: 제2의 산화물 반도체층, 409: 제1배선, 410: 제2배선, 411: 제3배선, 430: 제1의 박막트랜지스터, 431: 제2의 박막트랜지스터, 440: 기관, 441: 제1의 게이트 전극, 442: 제2의 게이트 전극, 443: 게이트 절연층, 444: 콘택트홀, 445: 제1의 산화물 반도체층, 447: 제2의 산화물 반도체층, 449: 제1배선, 450: 제2배선, 451: 제3배선, 452: 보호층, 453: 접속 배선, 454: 산화물 반도체막, 455: n⁺형 층, 456: 산화물 반도체막, 457: n⁺형 층, 460: 제1의 박막트랜지스터, 461: 제2의 박막트랜지스터, 480: 제1의 박막트랜지스터, 481: 제2의 박막트랜지스터, 581: 박막트랜지스터, 585: 절연층, 587: 제1의 전극층, 588: 제2의 전극층, 589: 구형의 입자, 594: 캐비티, 595: 충전재, 1000: 휴대전화기, 1001: 하우스징, 1002: 표시부, 1003: 조작 버튼, 1004: 외부접속포트, 1005: 스피커, 1006: 마이크, 104a: n⁺형 층, 104b: n⁺형 층, 105a: 소스전극층, 또는 드레인전극층, 105b: 소스전극층, 또는 드레인전극층, 2600: T F T기관, 2601: 대향기관, 2602: 쉘재, 2603: 화소부, 2604: 표시 소자, 2605: 착색층, 2606: 편광판, 2607: 편광판, 2608: 배선회로부, 2609: 플렉시블 배선 기관, 2610: 냉음극관, 2611: 반사판, 2612: 회로기관, 2613: 확산판, 2631: 포스터, 2632: 차내광고, 2700: 전자서적 리더, 2701: 하우스징, 2703: 하우스징, 2705: 표시부, 2707: 표시부, 2711: 힌지, 2721: 전원 스위치, 2723: 조작 키, 2725: 스피커, 4001: 제1기관, 4002: 화소부, 40003: 신호선 구동회로, 4004: 주사선 구동회로, 4005: 쉘재, 4006: 제2기관, 4008: 액정층, 4010: 박막

트랜지스터, 4011: 박막트랜지스터, 4013: 액정소자, 4015: 접속 단자 전극, 4016: 단자 전극, 4018: F P C, 4019: 이방성 도전막, 4020: 절연층, 4021: 절연층, 4030: 화소전극층, 4031: 대향전극층, 4032: 절연층, 406a: n⁺형 층, 406b: n⁺형 층, 408a: n⁺형 층, 408b: n⁺형 층, 446a: n⁺형 층, 446b: n⁺형 층, 448a: n⁺형 층, 448b: n⁺형 층, 4501: 제1기관, 4502: 화소부, 4505: 절재, 4506: 제2기관, 4507: 충전재, 4509: 박막트랜지스터, 4510: 박막트랜지스터, 4511: 발광소자, 4512: 전계발광층, 4513: 제1의 전극층, 4515: 접속 단자전극, 4516: 단자전극, 4517: 제1의 전극층, 4519: 이방성도전막, 4520: 격벽, 5300: 기관, 5301: 화소부, 5302: 주사선 구동회로, 5303: 신호선 구동회로, 5400: 기관, 5401: 화소부, 5402: 제1의 주사선 구동회로, 5403: 신호선 구동회로, 5404: 제2의 주사선 구동회로, 5501: 제1배선, 5502: 제2배선, 5503: 제3배선, 5504: 제4배선, 5505: 제5배선, 5506: 제6배선, 5543: 노드, 5544: 노드, 5571: 제1의 박막트랜지스터, 5572: 제2의 박막트랜지스터, 5573: 제3의 박막트랜지스터, 5574: 제4의 박막트랜지스터, 5575: 제5의 박막트랜지스터, 5576: 제6의 박막트랜지스터, 5577: 제7의 박막트랜지스터, 5578: 제8의 박막트랜지스터, 5601: 드라이버 IC, 5602: 스위치 균, 5611: 제1배선, 5612: 제2배선, 5613: 제3배선, 5621: 배선, 5701: 플립플롭, 5711: 제1배선, 5712: 제2배선, 5713: 제3배선, 5714: 제4배선, 5715: 제5배선, 5716: 제6배선, 5717: 제7배선, 5821: 신호, 5721: 신호, 590a: 흑색영역, 590b: 백색영역, 6400: 화소, 6401: 스위칭용 트랜지스터, 6402: 구동용 트랜지스터, 6403: 용량소자, 6404: 발광소자, 6405: 신호선, 6406: 주사선, 6407: 전원선, 6408: 공통전극, 7001: 구동용 TFT, 7002: 발광소자, 7003: 음극, 7004: 발광층, 7005: 양극, 7011: 구동용 TFT, 7012: 발광소자, 7013: 음극, 7014: 발광층, 7015: 양극, 7016: 차광막, 7017: 도전막, 7021: 구동용 TFT, 7022: 발광소자, 7023: 음극, 7024: 발광층, 7025: 양극, 7027: 도전막, 9400: 통신장치, 9401: 하우징, 9402: 조작 버튼, 9403: 외부입력단자, 9404: 마이크, 9405: 스피커, 9406: 발광부, 9410: 표시장치, 9411: 하우징, 9412: 표시부, 9413: 조작 버튼, 9600: 텔레비전 장치, 9601: 하우징, 9603: 표시부, 9605: 스탠드, 9607: 표시부, 9609: 조작 키, 9610: 리모트 컨트롤러, 9700: 디지털 포토 프레임, 9701: 하우징, 9703: 표시부, 9881: 하우징, 9882: 표시부, 9883: 표시부, 9884: 스피커부, 9885: 조작 키, 9886: 기록 매체 삽입부, 9887: 접속 단자, 9888: 센서, 9889: 마이크, 9890: L E D램프, 9891: 하우징, 9893: 연결부, 9900: 슬롯 머신, 9901: 하우징, 9903: 표시부, 4503a: 신호선 구동회로, 4504a: 주사선 구동회로, 4518a: FPC, 5603a: 제1의 박막트랜지스터, 5603b: 제2의 박막트랜지스터, 5603c: 제3의 박막트랜지스터, 5703a: 타이밍, 5703b: 타이밍, 5703c: 타이밍, 5803a: 타이밍, 5803b: 타이밍, 5803c: 타이밍.

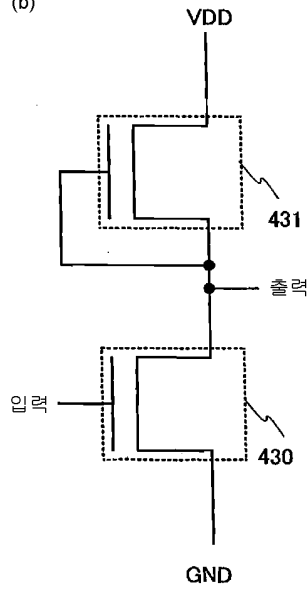
도면

도면1

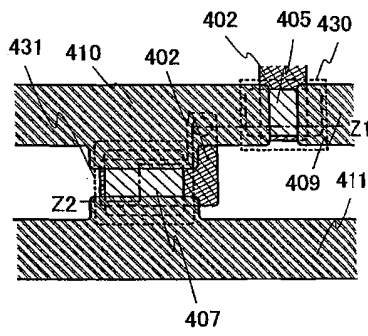
(a)



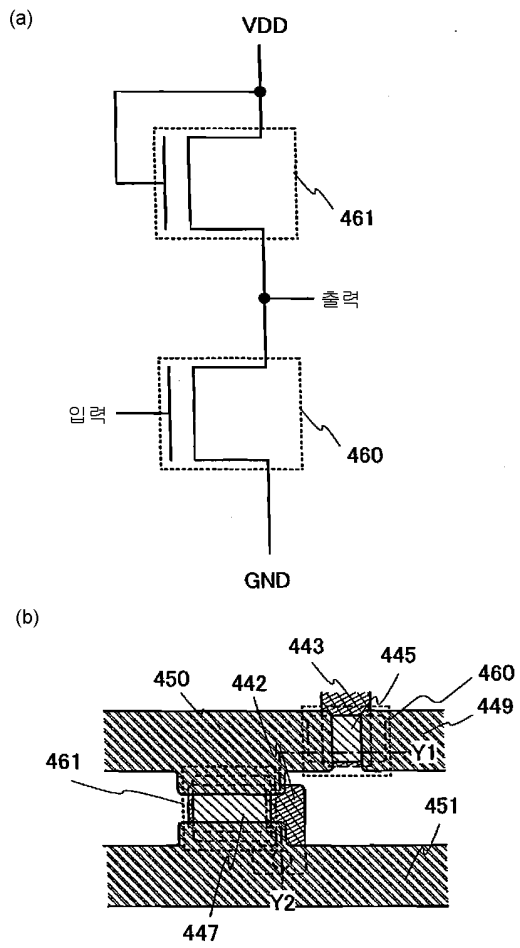
(b)



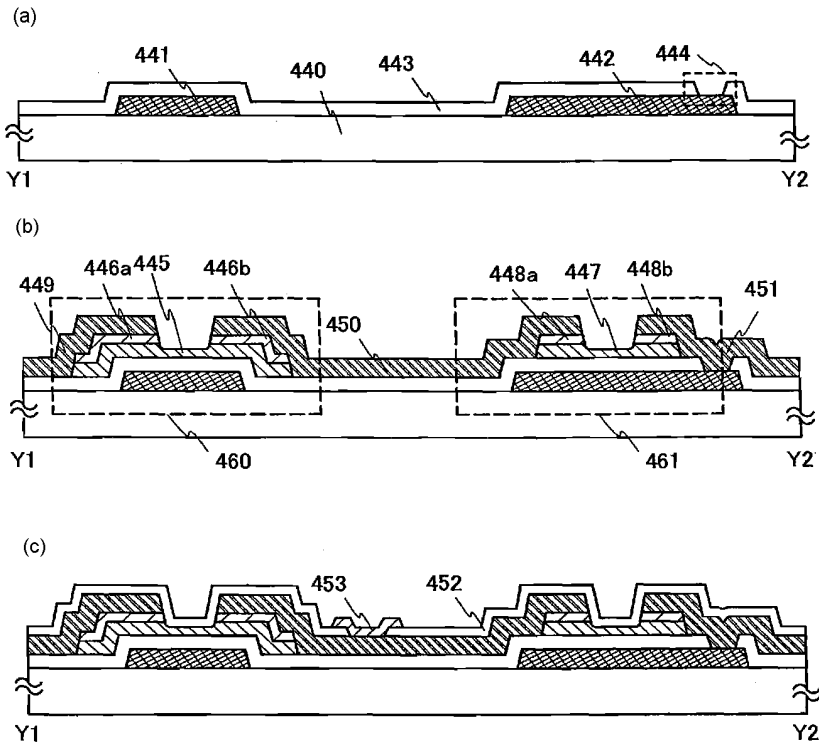
(c)



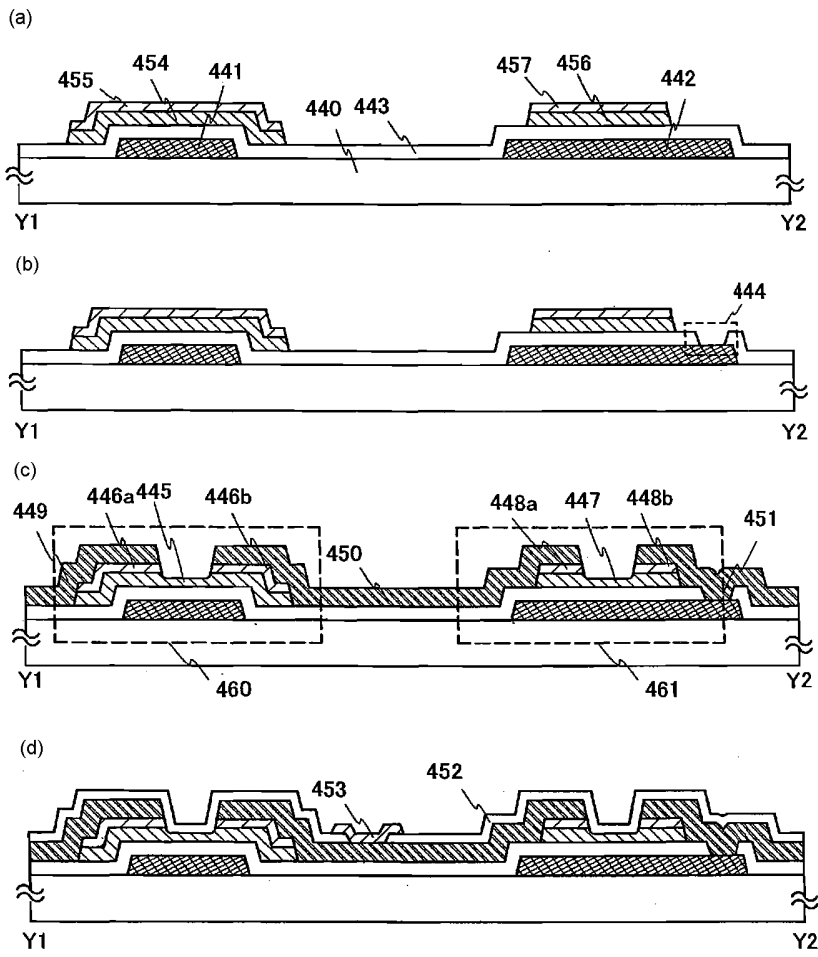
도면2



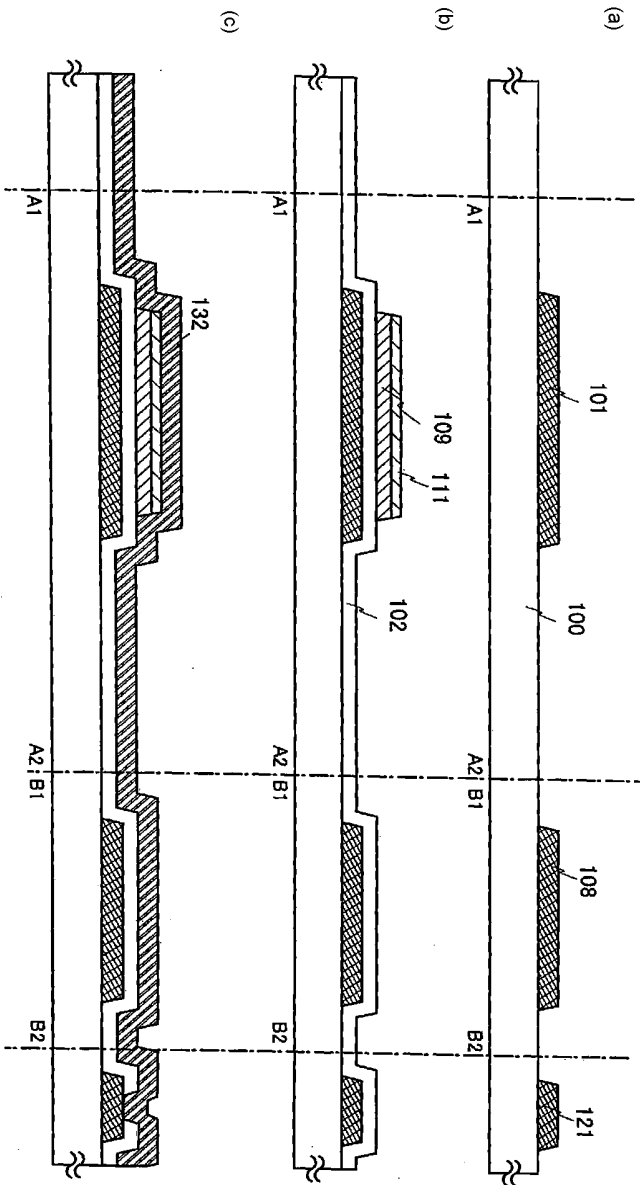
도면3



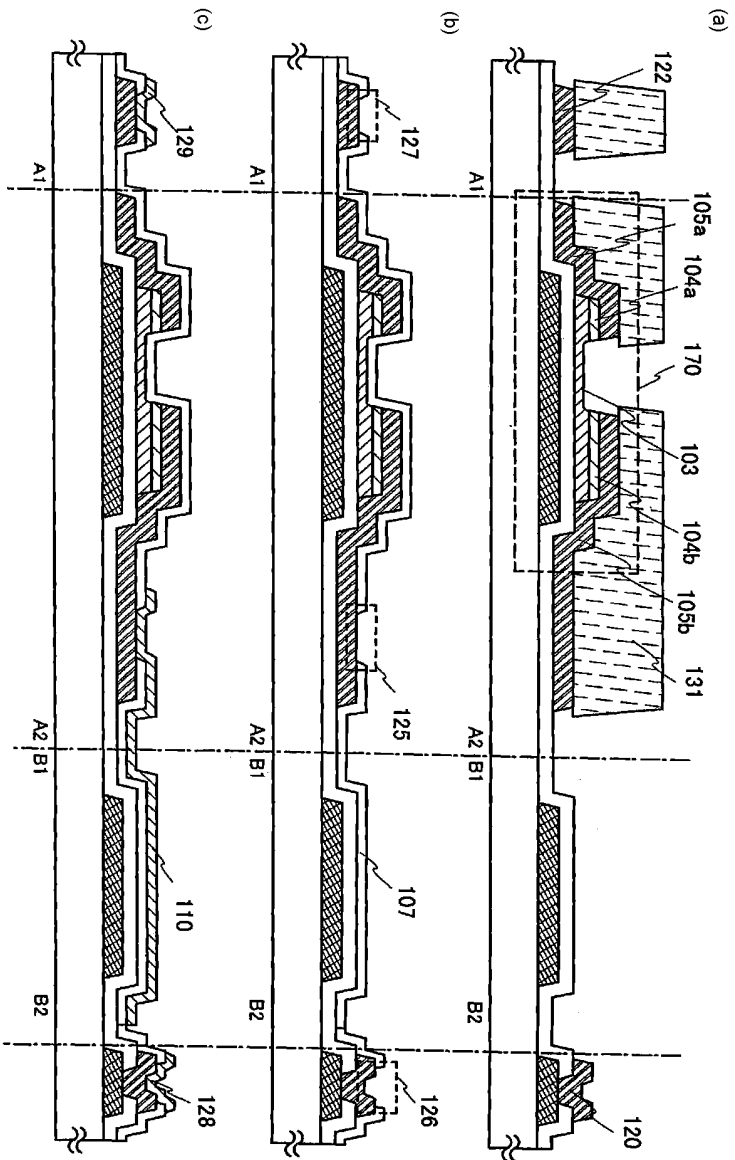
도면4



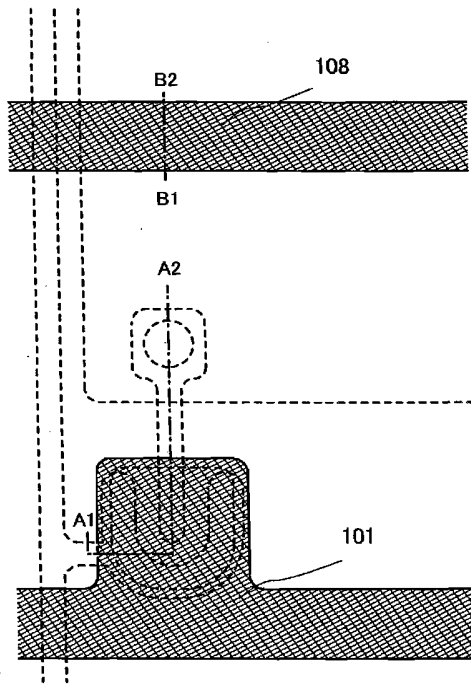
도면5



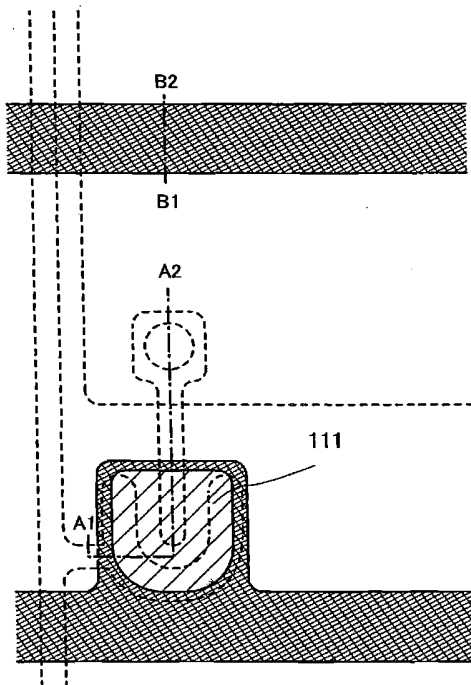
도면6



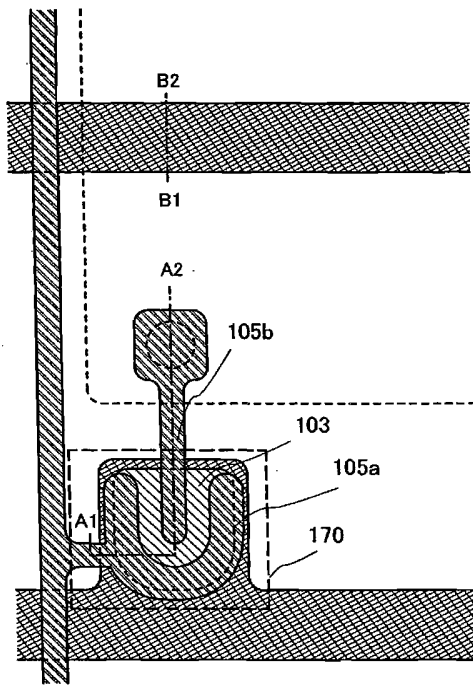
도면7



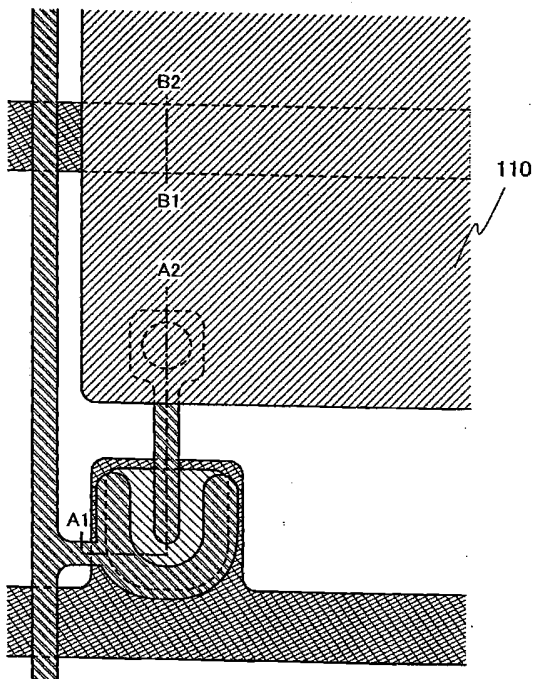
도면8



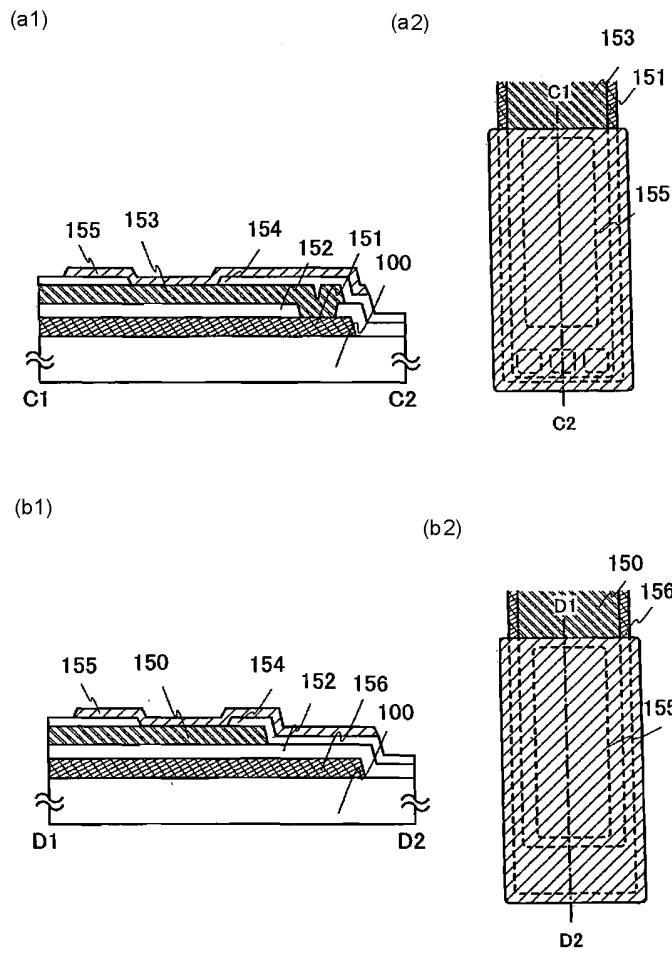
도면9



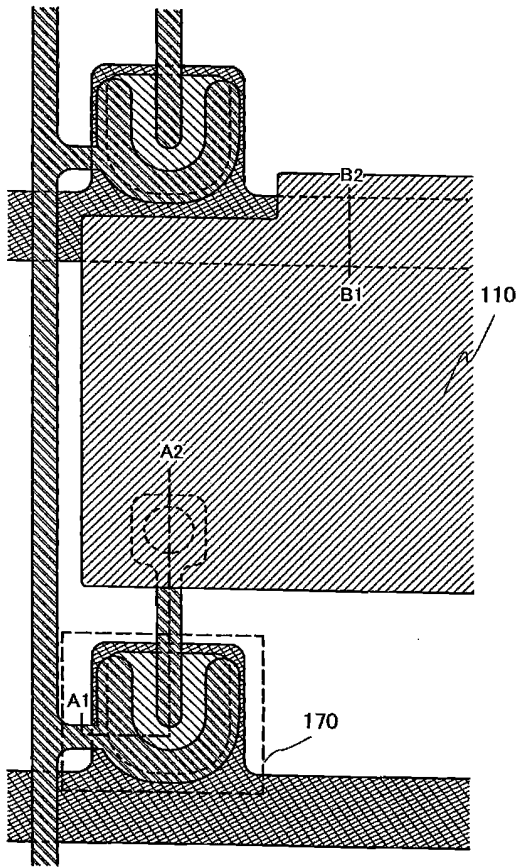
도면10



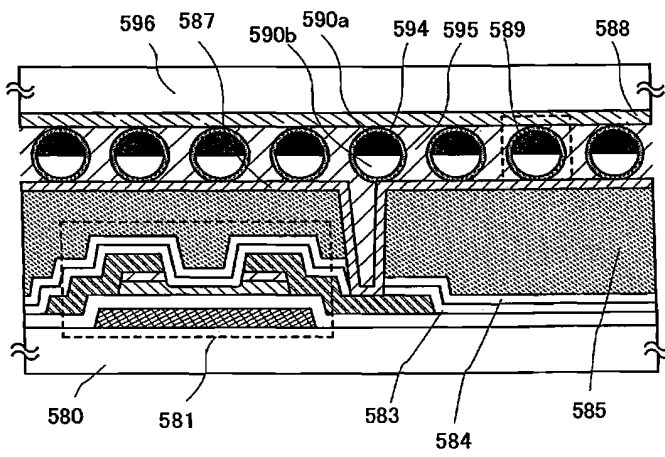
도면11



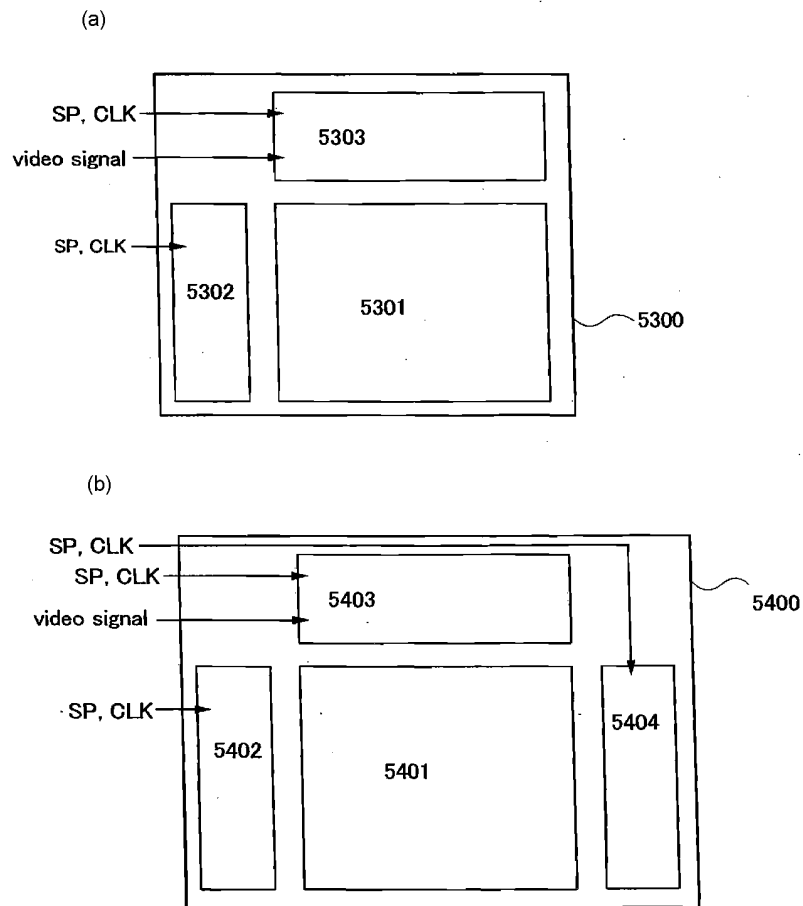
도면12



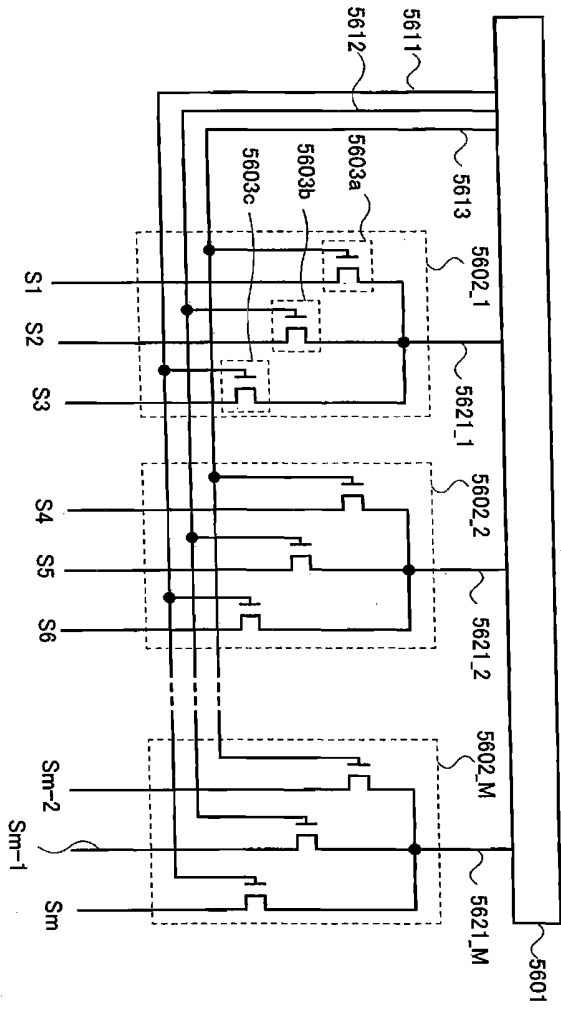
도면13



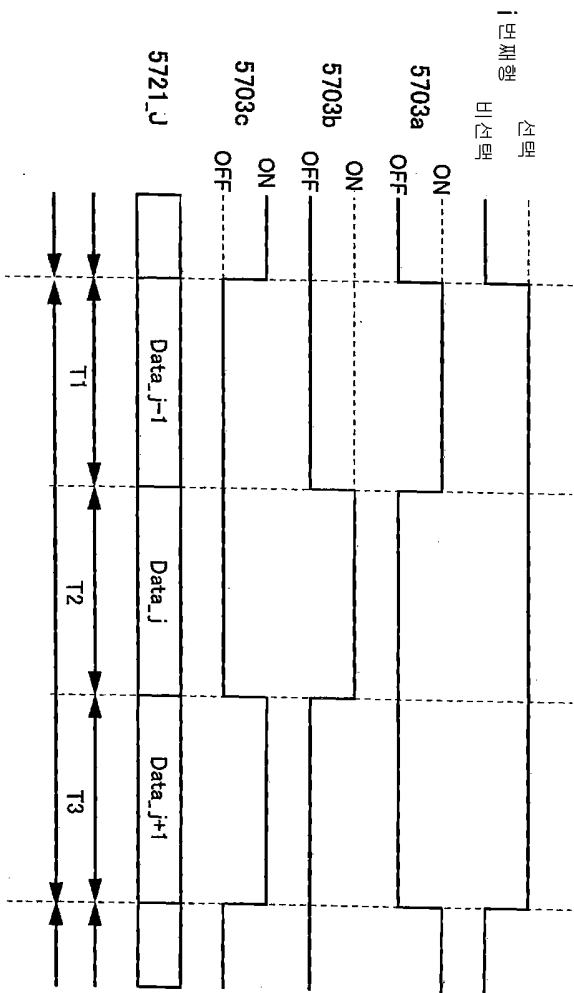
도면14



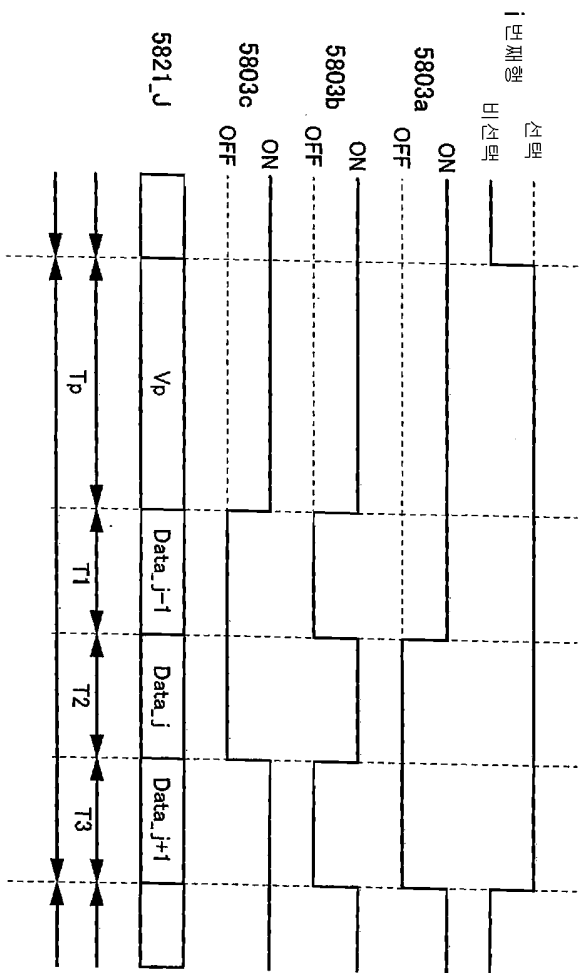
도면15



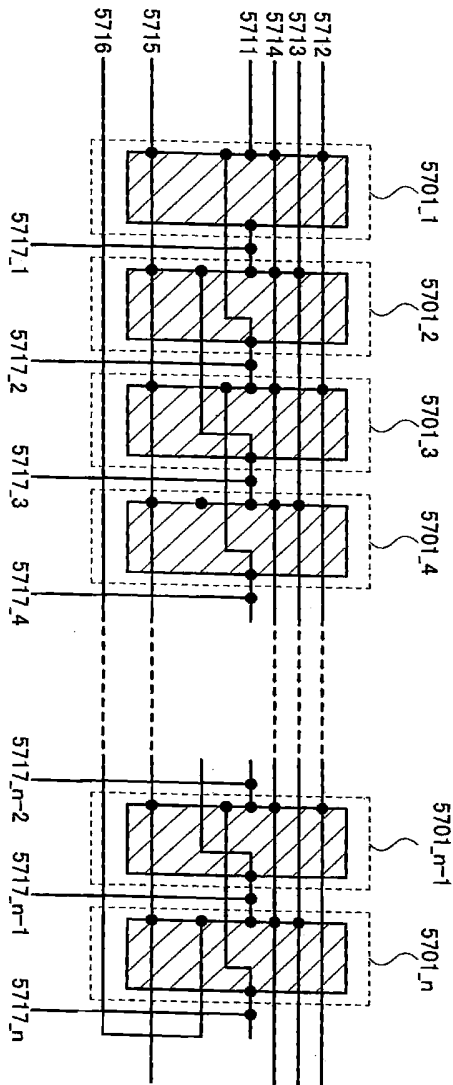
도면16



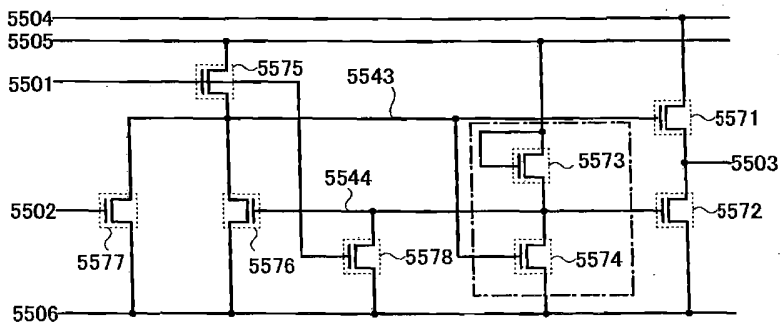
도면17



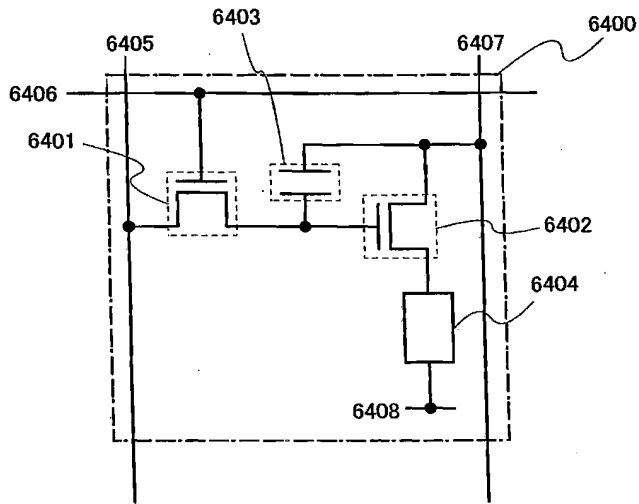
도면18



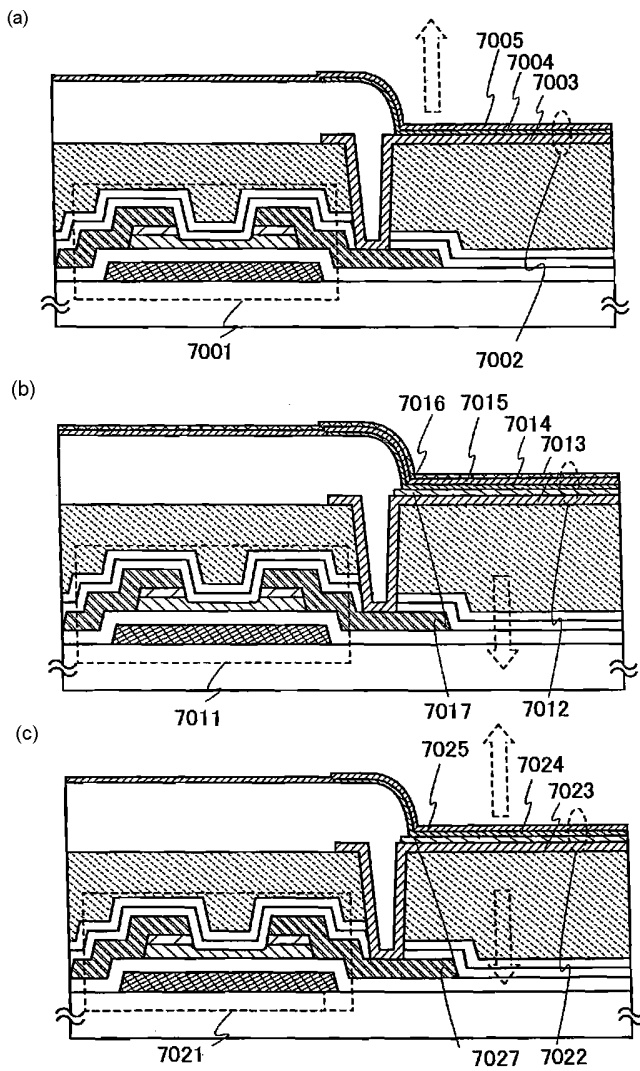
도면19



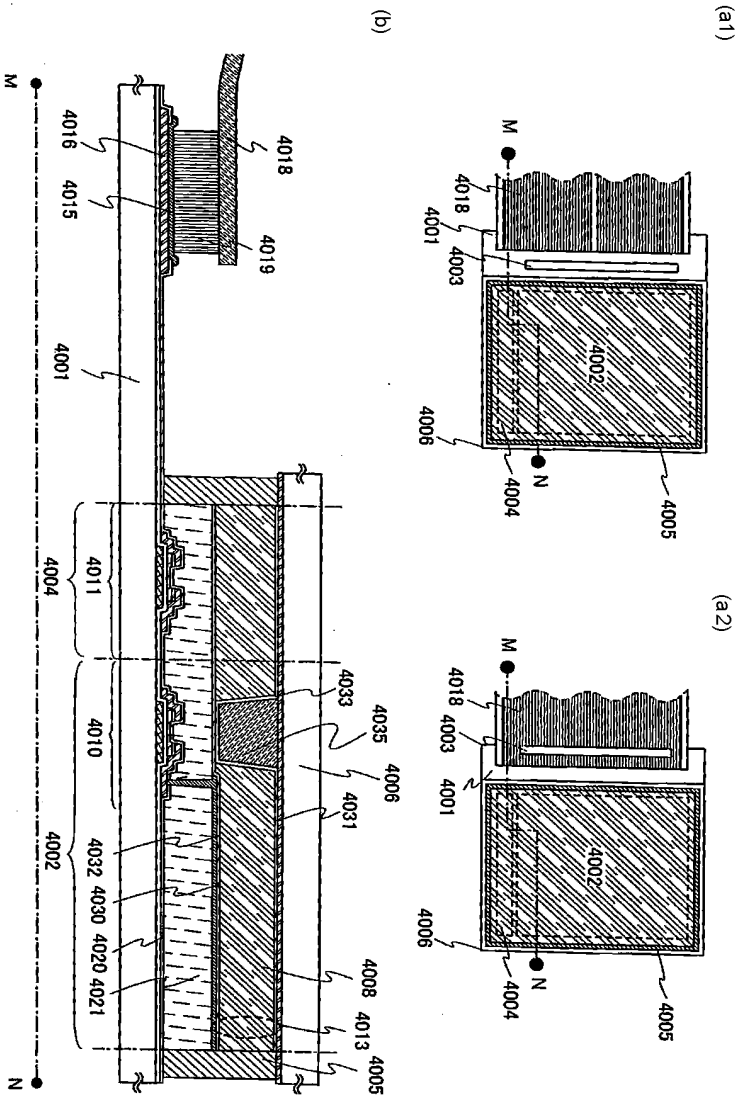
도면20



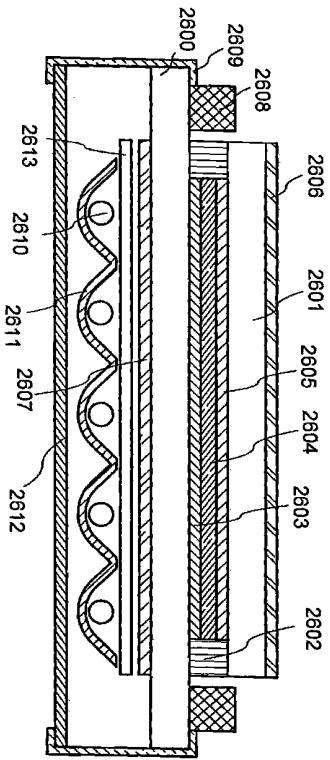
도면21



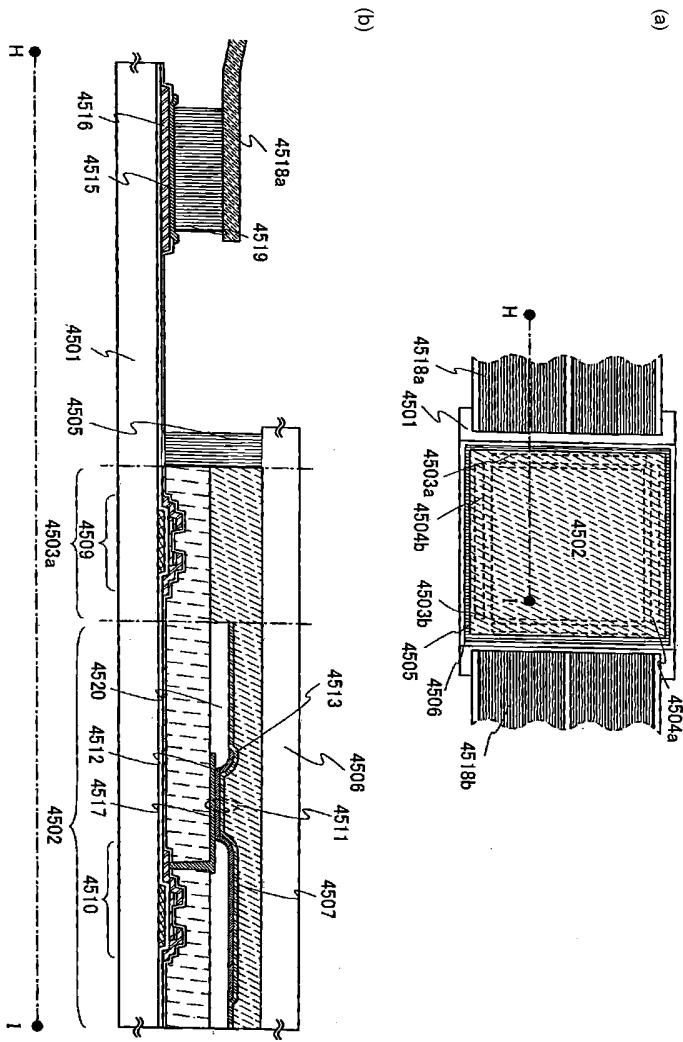
도면22



도면23

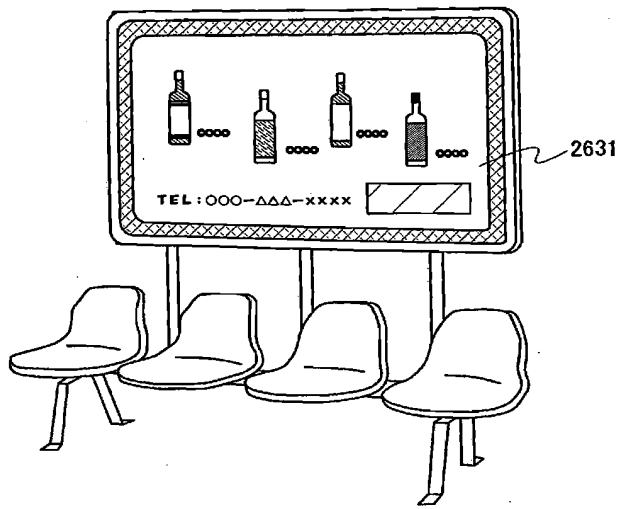


도면24

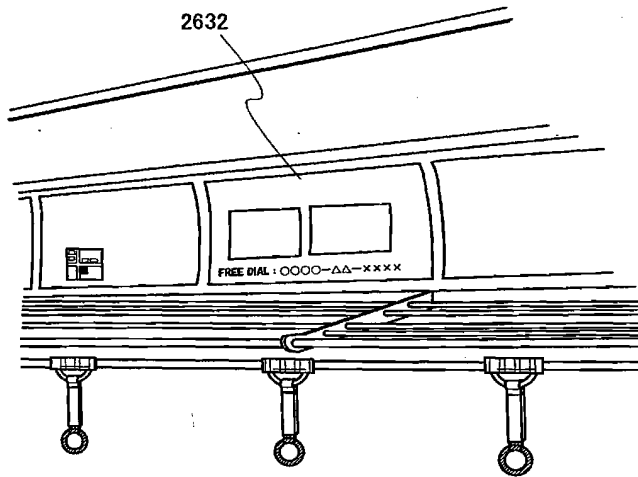


도면25

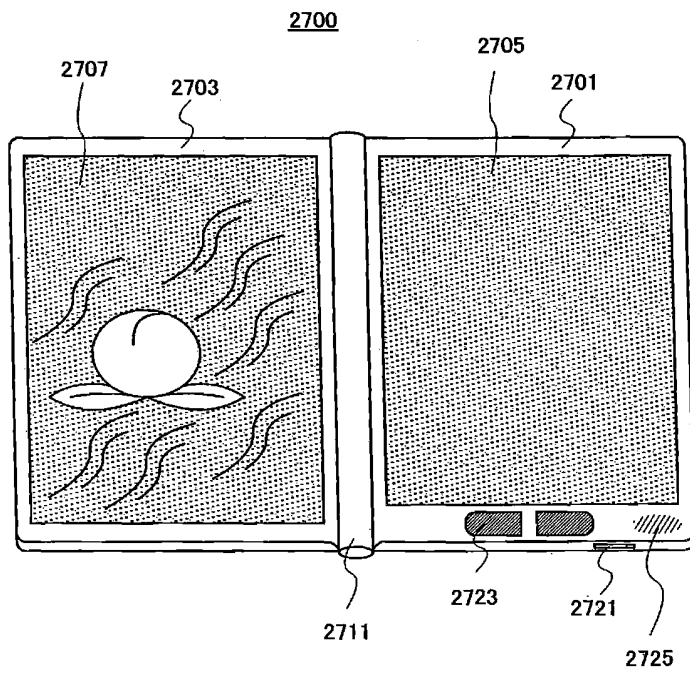
(a)



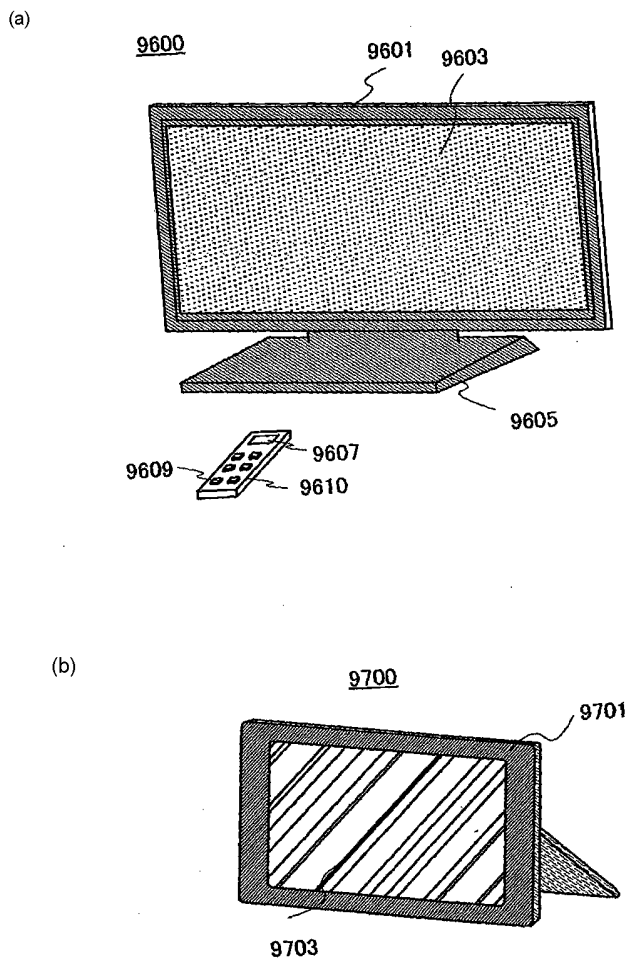
(b)



도면26

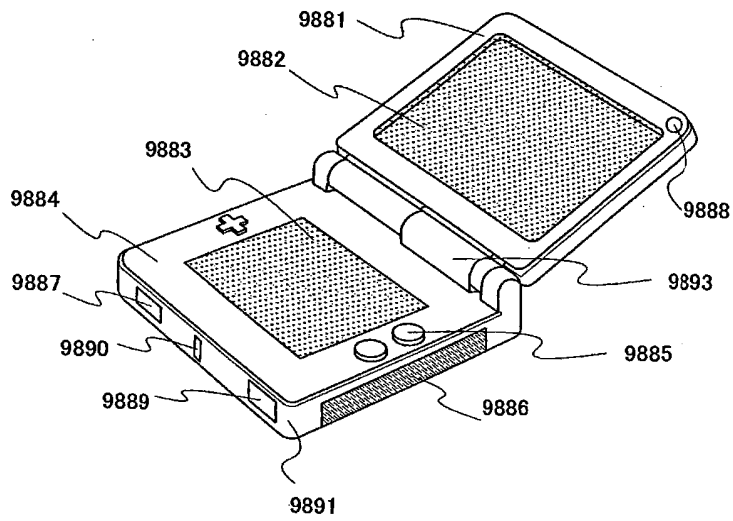


도면27

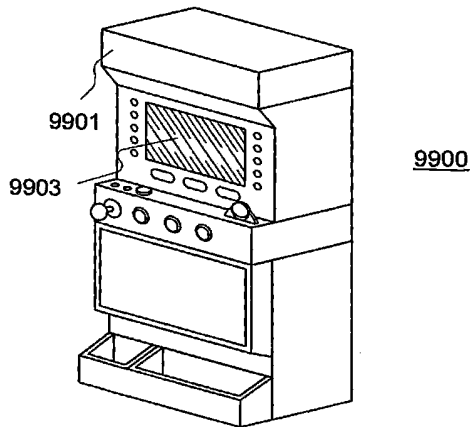


도면28

(a)

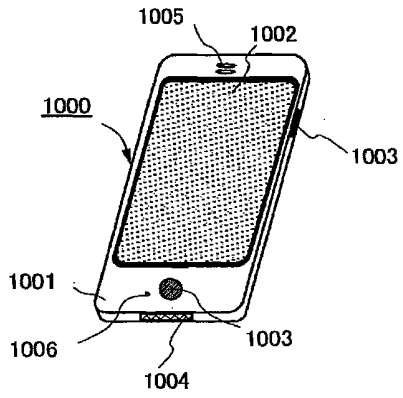


(b)

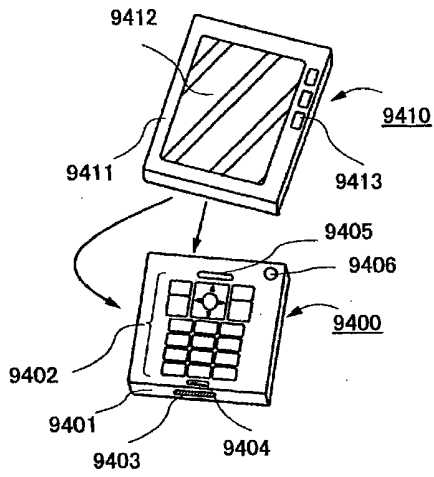


도면29

(a)



(b)



도면30

