

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成22年7月8日 (2010.7.8)

【公開番号】特開2010-118087(P2010-118087A)
 【公開日】平成22年5月27日 (2010.5.27)
 【年通号数】公開・登録公報2010-021
 【出願番号】特願2010-48024(P2010-48024)
 【国際特許分類】

G 0 6 F 12/00 (2006.01)

【F I】

G 0 6 F 12/00 5 6 0 G

G 0 6 F 12/00 5 9 7 C

G 0 6 F 12/00 5 5 0 E

【手続補正書】

【提出日】平成22年4月19日 (2010.4.19)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

N 個のビット（該ビットの各々は低レベル値または高レベル値を有する）を有する、書き込むべき現在のワードを検査する工程と、

前記現在のワードと N 個のビットを有する前のワードとを比較し、前記前のワードにおける前記低レベル値から前記現在のワードにおける前記高レベル値への遷移の数を決定する工程と、

前記遷移の数が $N/2$ 以上である時に、前記現在のワードを反転する工程と、

同期式メモリデバイスへ前記現在のワードを書き込む工程とを備えた、同期式メモリデバイスへ情報を書き込む方法。

【請求項 2】

N 個のビット（該ビットの各々は低レベル値または高レベル値を有する）を有する、読み出すべき同期式メモリデバイス内の現在のワードを検査する工程と、

前記現在のワードと N 個のビットを有する前のワードとを比較し、前記前のワードにおける前記低レベル値を有するビットから前記現在のワードにおける前記高レベル値を有するビットへの遷移の数を決定する工程と、

前記遷移の数が $N/2$ 以上である時に、前記現在のワードを反転する工程と、

前記同期式メモリデバイスから前記現在のワードを読み出す工程とを備えた、同期式メモリデバイスから情報を読み出す方法。

【請求項 3】

N 個のビット（該ビットの各々は第 1 レベル値または第 2 レベル値を有する）を有する、書き込むべき現在のワードを検査する工程と、

前記現在のワードと N 個のビットを有する前のワードとを比較し、前記前のワードにおける前記第 1 レベル値から前記現在のワードにおける前記第 2 レベル値への遷移の数を決定する工程と、

前記遷移の数が $N/2$ 以上である時に、前記現在のワードを反転する工程と、

メモリデバイスへ前記現在のワードを書き込む工程とを備えた、メモリデバイスへ情報を書き込む方法。

【請求項 4】

N個のビット（該ビットの各々は第1レベル値または第2レベル値を有する）を有する、読み出すべき同期式メモリデバイス内の現在のワードを検査する工程と、

前記現在のワードとN個のビットを有する前のワードとを比較し、前記前のワードにおける前記第1レベル値を有するビットから前記現在のワードにおける前記第2レベル値を有するビットへの遷移の数を決定する工程と、

前記遷移の数が $N/2$ 以上である時に、前記現在のワードを反転する工程と、

前記メモリデバイスから前記現在のワードを読み出す工程とを備えた、メモリデバイスから情報を読み出す方法。

【請求項 5】

I/Oピンを有するデータアレイ、とデータ反転マスク発生器を含むメモリデバイスであって、

前記データ反転マスク発生器は、前記I/Oピンに作動的に結合されていて、第1のビットセットを、少なくとも前記第1のビットセットと第2のビットセットに基づいて、選択的に反転する前記メモリデバイス。

【請求項 6】

メモリデバイスであって、

フリップフロップの入力に接続されている読み取りデータバスと、比較器の第1の入力と、

NORゲートの第1の入力とを含み、

負荷信号は、前記フリップフロップのイネーブル入力に接続され

前記フリップフロップの出力は、ORゲートの第1の入力に接続され、

DC最適化信号は、前記ORゲートの第2の入力に接続され、

前記ORゲートの出力は、前記比較器の第2の入力に接続され、

前記比較器の出力は、データ反転マスクビットと前記NORゲートに接続され、

前記NORゲートの出力は、I/Oピンに接続されている、

前記メモリデバイス。

【請求項 7】

DRAMを含むメモリデバイスであって、前記DRAMは

データが読み出される第1のデータバンクと、

データが読み出される第2のデータバンクと、

前記第1のデータバンクからの出力バスと前記第2のデータバンクからの出力バスを結合させて結合バスを形成するメモリコントローラとを含み、

前記結合バスはマイクロプロセッサの第1の入力に接続され、

前記第1のデータバンクからのデータ反転マスクビットは、排他的ORゲートの第1の入力に接続され、

前記第2のデータバンクからのデータ反転マスクビットは、前記排他的ORゲートの第2の入力に接続され、

前記排他的ORゲートの出力は、前記マイクロプロセッサの第2の入力に接続されている、

前記メモリデバイス。

【請求項 8】

メモリデバイスであって、

第1のフリップフロップの入力に接続されている書き込みデータバスと、

第2のフリップフロップの入力に接続されているデータ反転マスクとを含み、

書き込みクロック信号は、前記第1のフリップフロップと前記第2のフリップフロップの各々のイネーブル入力に接続され、

前記第1のフリップフロップの出力は、NORゲートの第1の入力に接続され、

前記第2のフリップフロップの出力は、前記NORゲートの第2の入力に接続され、

前記NORゲートの出力がI/Oピンに接続されている

前記メモリデバイス。

【請求項 9】

メモリデバイスであって、

I/Oピンを有するデータアレイと、

前記 I/Oピンに作動的に結合されているデータ反転マスク発生器とを含み、更に

第 1 の複数のバイトを蓄積する第 1 のレジスタと、

第 2 の複数のバイトを蓄積する第 2 のレジスタと、

前記第 1 のレジスタと前記第 2 のレジスタに作動的に接続されている比較器とを含む、

前記メモリデバイス。

【請求項 10】

メモリデバイスであって、

I/Oピンを有するデータアレイと、

データ反転マスク発生器とを含み、更に

前記 I/Oピンからの複数のデータビットを第 1 の入力としデータ反転マスクビットを第 2 の入力とする排他的 OR ゲートと、

前記排他的 OR ゲートの入力に接続されるデータアレイとを含む、

前記メモリデバイス。

【請求項 11】

メモリデバイスを含む装置であって、前記メモリデバイスは、

第 1 のビットセットと第 2 のビットセットを蓄積するよう作動するデータアレイと、

前記第 1 のビットセットと前記第 2 のビットセットに基づいて選択的にビット反転情報を提供するよう作動する、データ反転マスク発生器と、

前記メモリデバイスに作動的に結合されており、前記第 1 のビットセットに基づく出力データと、前記ビット反転情報に基づくビット反転出力とを提供するよう作動するメモリコントローラとを含む、

前記装置。

【請求項 12】

メモリデバイスであって、

フリップフロップの入力に作動的に結合されているデータバスと、

比較器の第 1 の入力と、

ロジックゲートの第 1 の入力とを含み、

前記フリップフロップのイネーブル入力は、負荷信号を受けるよう作動し、

前記フリップフロップの出力は、OR ゲートの第 1 の入力に作動的に結合され、

前記 OR ゲートの第 2 の入力は、DC 最適化信号を受けるよう作動し、

前記 OR ゲートの出力は、前期比較器の第 2 の入力に作動的に結合され、

前期比較器の出力は、データ反転マスクビットと前記ロジックゲートの第 2 の入力に作動的に結合され、

前記ロジックゲートの出力は、I/Oピンに作動的に結合されている、

前記メモリデバイス。

【請求項 13】

メモリデバイスであって、

書き込みデータバスは、第 1 のフリップフロップの入力に作動的に結合され、

第 2 のフリップフロップの入力は、データ反転マスクを受けるよう作動し、

前記第 1 のフリップフロップおよび前記第 2 のフリップフロップの各々のイネーブル入力は、書き込みクロックを受けるよう作動し、

前記第 1 のフリップフロップの出力は、ロジックゲートの第 1 の入力に接続され、

前記第 2 のフリップフロップの出力は、前記ロジックゲートの第 2 の入力に接続され、

前記ロジックゲートの出力は、I/Oピンに接続されている、

前記メモリデバイス。