

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5929969号  
(P5929969)

(45) 発行日 平成28年6月8日(2016.6.8)

(24) 登録日 平成28年5月13日(2016.5.13)

(51) Int.Cl.		F I			
H05K	3/46	(2006.01)	H05K	3/46	Z
H05K	1/16	(2006.01)	H05K	3/46	Q
H05K	1/02	(2006.01)	H05K	1/16	B
			H05K	1/02	P

請求項の数 10 (全 14 頁)

(21) 出願番号	特願2014-121596 (P2014-121596)	(73) 特許権者	00004075
(22) 出願日	平成26年6月12日 (2014.6.12)		ヤマハ株式会社
(65) 公開番号	特開2016-1691 (P2016-1691A)		静岡県浜松市中区中沢町10番1号
(43) 公開日	平成28年1月7日 (2016.1.7)	(74) 代理人	100064908
審査請求日	平成28年2月10日 (2016.2.10)		弁理士 志賀 正武
早期審査対象出願		(74) 代理人	100089037
			弁理士 渡邊 隆
		(72) 発明者	川田 章弘
			静岡県浜松市中区中沢町10番1号 ヤマハ株式会社内
		審査官	井出 和水

最終頁に続く

(54) 【発明の名称】 プリント回路基板及びプリント回路基板におけるノイズ低減方法

(57) 【特許請求の範囲】

【請求項1】

コア基板と、  
前記コア基板の一方の面に設けられた補強誘電体層と、  
前記補強誘電体層のいずれか一方の面側に設けられ、前記コア基板内に伝搬する所定の第1周波数の電磁ノイズを抑制する第1電磁バンドギャップ構造と、  
前記第1電磁バンドギャップ構造を形成するパターンの外周に対して所定の距離を設けて形成された補助パターンと  
を備えることを特徴とするプリント回路基板。

【請求項2】

コア基板と、  
前記コア基板の一方の面に設けられた補強誘電体層と、  
前記補強誘電体層のいずれか一方の面側に設けられ、前記コア基板内に伝搬する所定の第1周波数の電磁ノイズを抑制する第1電磁バンドギャップ構造と、  
前記第1電磁バンドギャップ構造を形成するパターンの外周に形成され前記第1電磁バンドギャップ構造と所定の容量で容量結合する補助パターンと  
を備えることを特徴とするプリント回路基板。

【請求項3】

前記補助パターンは、前記第1周波数の波長において容量性インピーダンスを有する長さで設けられている

ことを特徴とする請求項 1 または請求項 2 に記載のプリント回路基板。

【請求項 4】

前記補助パターンは、前記第 1 電磁バンドギャップ構造と容量結合することを特徴とする請求項 1 に記載のプリント回路基板。

【請求項 5】

前記第 1 電磁バンドギャップ構造が屈曲した形状に配線されたパターンであるオープンスタブで構成されており、

前記オープンスタブに囲まれるように設けられた、前記第 1 周波数より周波数の高い第 2 周波数の電磁ノイズを抑制する第 2 電磁バンドギャップ構造をさらに有する

ことを特徴とする請求項 1 から請求項 4 のいずれか一項に記載のプリント回路基板。

10

【請求項 6】

前記第 1 電磁バンドギャップ構造及び前記補助パターンの各々が、前記補強誘電体層における前記コア基板と対向する面に設けられている

ことを特徴とする請求項 1 から請求項 4 のいずれか一項に記載のプリント回路基板。

【請求項 7】

前記第 1 電磁バンドギャップ構造及び前記補助パターンの各々が、前記補強誘電体層における前記コア基板と対向しない面に設けられている

ことを特徴とする請求項 1 から請求項 5 のいずれか一項に記載のプリント回路基板。

【請求項 8】

前記補助パターンが前記第 1 電磁バンドギャップ構造の最外周の周囲に設けられた閉リング構造あるいは開リング構造で形成されている

ことを特徴とする請求項 1 から請求項 7 のいずれか一項に記載のプリント回路基板。

20

【請求項 9】

コア基板と当該コア基板の一方の面に設けられた補強誘電体層とを備えるプリント回路基板におけるノイズ低減方法であり、

前記補強誘電体層のいずれかの面側に、前記コア基板内を伝搬する所定の第 1 周波数の電磁ノイズを抑制するため、前記補強誘電体層の面に第 1 電磁バンドギャップ構造を設け、

前記第 1 電磁バンドギャップ構造を形成するパターンの外周に対して所定の距離に補助パターンを設け、

前記プリント回路基板における電磁ノイズの伝搬を、前記第 1 電磁バンドギャップ構造により抑制する

ことを特徴とするプリント回路基板におけるノイズ低減方法。

30

【請求項 10】

コア基板と当該コア基板の一方の面に設けられた補強誘電体層とを備えるプリント回路基板におけるノイズ低減方法であり、

前記補強誘電体層のいずれかの面側に、前記コア基板内を伝搬する所定の第 1 周波数の電磁ノイズを抑制するため、前記補強誘電体層の面に第 1 電磁バンドギャップ構造を設け

、  
前記第 1 電磁バンドギャップ構造を形成するパターンの外周に形成され前記第 1 電磁バンドギャップ構造と所定の容量で容量結合する補助パターンを設け、

前記プリント回路基板における電磁ノイズの伝搬を、前記第 1 電磁バンドギャップ構造により抑制する

ことを特徴とするプリント回路基板におけるノイズ低減方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子部品が実装されるプリント回路基板及びプリント回路基板におけるノイズ低減方法に関する。

【背景技術】

50

## 【 0 0 0 2 】

電子部品の小型化への要求に伴い、半導体集積回路や回路部品を搭載した電子回路基板においては、多数の集積回路チップや回路部品を搭載する必要がある。そのため、配線スペースや、実装スペースの有効活用に対する要求が高まっている。

特に無線LAN (Local Area Network) 通信において、電子回路の情報処理に用いられる信号はデジタル信号であるため、無線通信の送受信を行うアナログ回路と、送受信する信号の情報処理を行うデジタル回路とが、混載されている。

このため、デジタル回路におけるCPU (Central Processing Unit) やメモリなどの動作クロックにより発生する電磁ノイズによって、アナログ回路が干渉を受けてしまい、送受信信号の特性劣化を招くという問題がある。

10

## 【 0 0 0 3 】

そのため、電子回路基板に対して、スパイラル状に形成したオープンスタブを用い、電磁バンドギャップ構造 (EBG : Electromagnetic Band Gap) を構成して、電子回路基板における電磁ノイズの伝搬を抑制する技術がある (例えば、非特許文献1参照)。すなわち、デジタル回路から発生する電磁ノイズの電気エネルギーを、電磁バンドギャップ構造に吸収させることで、電子回路基板内において電磁ノイズが伝搬される量を低減し、アナログ回路が電磁ノイズの干渉を受けることを抑制している。

## 【 先行技術文献 】

## 【 非特許文献 】

## 【 0 0 0 4 】

【非特許文献1】Y. Kim, F. Yang, and A. Elsherbeni, Compact artificial magnetic conductor designs using planar square spiral geometry, Progress In Electromagnetics Research, PIER 77, pp.43-54, 2007

## 【 発明の概要 】

## 【 発明が解決しようとする課題 】

## 【 0 0 0 5 】

しかしながら、上述のように、電磁バンドギャップ構造をスパイラル形状のオープンスタブで形成しているため、オープンスタブの長さを調整することにより、低減させる対象の電磁ノイズの周波数に対応させる必要がある。

このため、低減させる対象の電磁ノイズの周波数をより低周波数側とするほど、オープンスタブの長さを長くする必要がある。すなわち、オープンスタブの長さが長くなるほど、電磁バンドギャップ構造の配置面積がより大きくなり、実装スペースの有効活用に支障を与えることになる。

30

## 【 0 0 0 6 】

本発明は、このような状況に鑑みてなされたもので、低減させる対象の電磁ノイズの周波数をより低周波数側とした場合においても、スパイラル形状のオープンスタブから形成される電磁バンドギャップ構造の配置面積の大型化を抑制し、より実装スペースの有効活用を行うことができるプリント回路基板及びプリント回路基板におけるノイズ低減方法を提供する。

## 【 課題を解決するための手段 】

## 【 0 0 0 7 】

上述した課題を解決するために、本発明のプリント回路基板は、コア基板と、前記コア基板の一方の面に設けられた補強誘電体層と、前記補強誘電体層のいずれか一方の面側に設けられ、前記コア基板内に伝搬する所定の第1周波数の電磁ノイズを抑制する第1電磁バンドギャップ構造と、前記第1電磁バンドギャップ構造を形成するパターンの外周に対して所定の距離を設けて形成された補助パターンとを備えることを特徴とする。

また、本発明のプリント回路基板は、コア基板と、前記コア基板の一方の面に設けられた補強誘電体層と、前記補強誘電体層のいずれか一方の面側に設けられ、前記コア基板内に伝搬する所定の第1周波数の電磁ノイズを抑制する第1電磁バンドギャップ構造と、前記第1電磁バンドギャップ構造を形成するパターンの外周に形成され前記第1電磁バンド

40

50

ギャップ構造と所定の容量で容量結合する補助パターンとを備えることを特徴とする。

【0008】

本発明のプリント回路基板は、前記補助パターンが、前記第1周波数の波長において容量性インピーダンスを有する長さで設けられていることを特徴とする。

【0009】

本発明のプリント回路基板は、前記補助パターンが前記第1電磁バンドギャップ構造と容量結合することを特徴とする。

【0010】

本発明のプリント回路基板は、前記第1電磁バンドギャップ構造が屈曲した形状に配線されたパターンであるオープスタブで構成されており、前記オープスタブに囲まれるように設けられた、前記第1周波数より周波数の高い第2周波数の電磁ノイズを抑制する第2電磁バンドギャップ構造をさらに有することを特徴とする。

10

【0011】

本発明のプリント回路基板は、前記第1電磁バンドギャップ構造及び前記補助パターンの各々が、前記補強誘電体層における前記コア基板と対向する面に設けられていることを特徴とする。

【0012】

本発明のプリント回路基板は、前記第1電磁バンドギャップ構造及び前記補助パターンの各々が、前記補強誘電体層における前記コア基板と対向しない面に設けられていることを特徴とする。

20

【0013】

本発明のプリント回路基板は、前記補助パターンが前記第1電磁バンドギャップ構造の最外周の周囲に設けられた閉リング構造あるいは開リング構造で形成されていることを特徴とする。

【0014】

本発明のプリント回路基板におけるノイズ低減方法は、コア基板と当該コア基板の一方の面に設けられた補強誘電体層とを備えるプリント回路基板におけるノイズ低減方法であり、前記補強誘電体層のいずれかの面側に、前記コア基板内を伝搬する所定の第1周波数の電磁ノイズを抑制するため、前記補強誘電体層の面に第1電磁バンドギャップ構造を設け、前記第1電磁バンドギャップ構造を形成するパターンの外周に対して所定の距離に補助パターンを設け、前記プリント回路基板における電磁ノイズの伝搬を、前記第1電磁バンドギャップ構造により抑制することを特徴とする。

30

また、本発明のプリント回路基板におけるノイズ低減方法は、コア基板と当該コア基板の一方の面に設けられた補強誘電体層とを備えるプリント回路基板におけるノイズ低減方法であり、前記補強誘電体層のいずれかの面側に、前記コア基板内を伝搬する所定の第1周波数の電磁ノイズを抑制するため、前記補強誘電体層の面に第1電磁バンドギャップ構造を設け、前記第1電磁バンドギャップ構造を形成するパターンの外周に形成され前記第1電磁バンドギャップ構造と所定の容量で容量結合する補助パターンを設け、前記プリント回路基板における電磁ノイズの伝搬を、前記第1電磁バンドギャップ構造により抑制することを特徴とする。

40

【発明の効果】

【0015】

以上説明したように、本発明は、第1電磁バンドギャップ構造に対して補助パターンにより容量装荷を行い、第1電磁バンドギャップ構造の共振周波数を低下させている。このため、本発明によれば、従来のように第1電磁バンドギャップ構造の外周の長さを長くすることにより共振周波数を低下させる場合に比較して、第1電磁バンドギャップ構造を小型化でき、実装スペースの有効活用を行うことが可能となる。

【図面の簡単な説明】

【0016】

【図1】本発明の本実施形態によるプリント回路基板の一例を示す平面図である。

50

【図 2】図 1 における電磁バンドギャップ構造体 1 の構成例を示す平面図である。

【図 3】電磁バンドギャップ構造 1 1 における第 1 周波数用のスタブパターン 1 1 2 と第 1 周波数より高い周波数の第 2 周波数用のスタブパターン 1 1 3 との構造を説明する図である。

【図 4】表面型の電磁バンドギャップ構造体 1 が配置されたプリント回路基板の断面図である。

【図 5】周波数と電磁バンドギャップ構造体 1 (表面型) の S パラメータ (挿入損失  $S_{21}$ ) との対応を示すグラフである。

【図 6】内装型の電磁バンドギャップ構造体 1 A が配置されたプリント回路基板の断面図である。

【図 7】図 6 における内層型に用いる電磁バンドギャップ構造体 1 A の構成例を示す平面図である。

【図 8】周波数と電磁バンドギャップ構造体 1 A (内装型) の S パラメータ (挿入損失  $S_{21}$ ) との対応を示すグラフである。

【図 9】本発明のプリント回路基板の概念を示す図である。

【発明を実施するための形態】

【0017】

以下、本発明の一実施形態について、図面を参照して説明する。

図 1 は、本発明の本実施形態によるプリント回路基板の一例を示す平面図である。この図 1 は、後述する本発明における人工磁気導体の基本構成の概念図である図 9 の構成を、以下に示す実施形態に対応させてより具体化したものである。リファレンスプレーン (Reference Plane、例えばグランドプレーン) 101 の一方の主面 (表面) の上部に、電源プレーン (Power Plane) 102 が重ね合わせて設けられている。電源プレーン 102 は、他方の主面 (裏面) がリファレンスプレーン 101 の上面 (表面) と対向して設けられている。電源プレーン 102 は、一方の主面 (表面) において電磁バンドギャップ構造体 1 が所定の周期でマトリクス状に配列するように設けられている。

【0018】

この電磁バンドギャップ構造体 1 は、リファレンスプレーン 101 と電源プレーン 102 とで形成されるプリント回路基板に配置されている電子回路 (CPU (Central Processing Unit) 及びメモリなど) から発生される電磁ノイズの電気エネルギーを吸収する。また、上述したように、プリント回路基板は、電磁バンドギャップ構造体 1 の複数個をマトリクス状に配置する構成ではなく、単体で配置しても良い。すなわち、プリント回路基板において電磁ノイズの伝搬を低減させるためには、電磁バンドギャップ構造体 1 を電磁ノイズを発生する電子回路に対向する位置にのみに配置しても良く、例えば 1 個単位で配置しても良い。

【0019】

図 2 は、図 1 における電磁バンドギャップ構造体 1 の構成例を示す平面図である。この図 2 において、電磁バンドギャップ構造体 1 は、電源プレーン 102 の一方の主面 (表面) の上部に形成されている表面型の電磁バンドギャップ構造である。また、例えば電磁バンドギャップ構造体 1 の外形は、X 軸方向の長さが 3.1 mm であり、Y 軸方向の長さが 3.1 mm である。

電磁バンドギャップ構造体 1 は、電磁バンドギャップ構造 1 1 と、補助パターン 1 2 とから構成されている。補助パターン 1 2 は、例えば閉リング形状をしており、電磁バンドギャップ構造 1 1 の外周に対して所定の距離を有して配置されている。この補助パターン 1 2 は、電磁バンドギャップ構造 1 1 の外周を取り囲むように設けられている。

電磁バンドギャップ構造 1 1 は、ビアパターン 1 1 1 と、低周波数用のスタブパターン 1 1 2 (第 1 電磁バンドギャップ構造) と高周波数用のスタブパターン 1 1 3 (第 2 電磁バンドギャップ構造) とを備えている。スタブパターン 1 1 2 及び 1 1 3 の各々は、オープンスタブを構成している。

【0020】

10

20

30

40

50

図3は、電磁バンドギャップ構造11における第1周波数用のスタブパターン112と第1周波数より高い周波数の第2周波数用のスタブパターン113との構造を説明する図である。ここで、第1周波数とは例えば、無線LANにおける2.45GHzの周波数(第1周波数)であり、一方、第2周波数とは、第1周波数より高い周波数であり、例えば、無線LANにおける5.44GHzの周波数(第2周波数)である。

図3(a)は、第1周波数用のスタブとして働く第1周波数用のスタブパターン112の部分、斜線のパターンで示している。スタブパターン112は、屈曲した形状に配線されたパターン、例えば本実施形態においてはスパイラル形状及びミアンダ形状などの折り畳み構造のパターンのいずれか、またはスパイラル形状及びミアンダ形状を組合わせたパターンで形成されている。また、スタブパターン112は、例えば、その伝送線路の幅が0.1mmであり、その伝送線路の全体の長さが19mmのオープンスタブとして形成されている。また、調整スタブパターン112\_1は、伝送線路であり、その幅が0.1mmであり、長さが1.37mmである。調整スタブパターン112\_2は、その幅が0.1mmであり、長さが1.37mmである。上述した調整スタブパターン112\_1及び112\_2の各々は、スタブパターン112のスタブ長を微調整するために、スタブパターン112の伝送線路上の一部を起点として、延在するように設けたパターンであり、必要に応じて付加あるいは削除しても良い。また、調整スタブパターン112\_1、112\_2の長さは、スタブパターン112のスタブ長を調整することができるように設定される。

#### 【0021】

この図3(a)において、スタブパターン112は、2.45GHz(後述する5.44GHzに比較して低周波数の第1周波数)の周波数に対して、電気長が約 $\lambda/3.7$ であり、誘導性インピーダンスを有している。オープンスタブの一方の端部からみたインピーダンス $Z_{in}$ は、以下の式で表される。

$$Z_{in} = -j Z_0 \cot \beta l$$

上記式において、 $\beta$ は位相定数であり、伝送線路であるスタブパターン上の電磁波の波長を $\lambda$ とすると、 $\beta = 2\pi/\lambda$ で表される。 $l$ はスタブパターンの物理長(mm)である。 $Z_0$ は、オープンスタブ(伝送線路)の特性インピーダンスである。したがって、 $\beta l$ と $l$ とを乗算した $\beta l$ は、スタブパターンの電気長[rad]となる。

#### 【0022】

ここで、オープンスタブのインピーダンスの特性は、伝送線路の電気長が $\lambda/4$ から $\lambda/2$ までの間にある場合、誘導性インピーダンスの特性であり、伝送線路の電気長が $\lambda/4$ より短い場合に容量性インピーダンスとなり、伝送線路の電気長が $\lambda/4$ の場合に「0」となる。

この図におけるスタブパターン112は、2.45GHzにおいて電気長が約 $\lambda/3.7$ であり、 $\lambda/4$ から $\lambda/2$ までの間にあるため、誘導性インピーダンスの特性を有し、電磁バンドギャップ構造を形成する。

#### 【0023】

補助パターン12は、例えば所定の幅を有したリング形状であり、スタブパターン112の外周を取り囲むように設けられる。また、補助パターン12は、周波数2.45GHzにおいて、電気長が $\lambda/6$ から $\lambda/7$ 程度である。このため、補助パターン12は、電気長が $\lambda/4$ より短いために容量性インピーダンスの特性を有している。

このように、スタブパターン112の外周に沿うように補助パターン12を設けることにより、スタブパターン112に対して容量結合する。これにより、スタブパターン112に対する容量装荷を行い、スタブパターン112の容量成分を増加させ、スタブパターン112の電気長を約 $\lambda/3.7$ よりも長くすることができる。この結果、スタブパターン112を短くした場合、またプリプレグ(後述する補強誘電体層104)を薄くした場合と同様に、共振周波数を低下させるという効果を得ることができる。

また、スタブパターン112の線幅 $W$ と、スタブパターン112及び補助パターン12間の距離 $L$ との関係は、 $W > L$ となる。

10

20

30

40

50

## 【 0 0 2 4 】

図3(b)は、第2周波数用のスタブとして働く、第2周波数用のスタブパターン113の部分、斜線のパターンで示している。スタブパターン113は、蛇行形状の配線されたパターン、本実施形態においてはスパイラル形状及びミアンダ形状などの折り畳み構造のパターンのいずれか、またはスパイラル形状及びミアンダ形状を組合わせたパターンで形成されている。また、スタブパターン113は、例えばその伝送線路の幅が0.1mmであり、その伝送線路の全体の長さが8.9mmのオープンスタブとして形成されている。この図3(b)において、スタブパターン113は、5.44GHz(前述した2.45GHzと比較して高周波数の第2周波数)の周波数に対して、スタブパターン112と同様に電気長が約 $1/3.7$ である。このスタブパターン113は、誘導性インピーダンスを有し、電磁バンドギャップ構造を形成する。図3(b)の第2周波数用のスタブパターン113は、近傍に容量性インピーダンスの特性を有するパターンが存在しないため、伝送路としてのパターンの長さのみにより、共振周波数が設定される。

10

## 【 0 0 2 5 】

図4は、表面型の電磁バンドギャップ構造体1が配置されたプリント回路基板の断面図である。図4は、図1におけるプリント回路基板を線A-Aで切断した際の断面を示している。コア基板103の下面には、金属などの導体層として、例えば銅を材料とする35 $\mu$ mの厚さのリファレンスプレーン101が配置されている。コア基板103は、例えば、誘電率4.3のガラスエポキシを材料とした、厚さが0.4mmの基板である。また、コア基板103の上面には、金属などの導体層として、例えば銅を材料とする、厚さが3

20

## 【 0 0 2 6 】

電源プレーン102の上面には、例えば、誘電率4.3のガラスエポキシを材料とした、厚さが0.2mmの補強誘電体層104(プリプレグ)が配置されている。そして、補強誘電体層104の上面には、金属などの導体層として、例えば銅を材料とする35 $\mu$ mの厚さで、電磁バンドギャップ構造体1が形成されている。補強誘電体層104の露出されている上面及び電磁バンドギャップ構造体1の上面には、例えば、厚さ0.05mmのソルダリングレジスト150の層が形成されている。ビアパターン111は、直径が0.3mmのビアホール160を介してリファレンスプレーン101に対して接続されている。

30

## 【 0 0 2 7 】

電磁バンドギャップ構造体1における電磁バンドギャップ構造11と補助パターン12の下部には、補強誘電体層104を介して電源プレーン102におけるパターン210が形成されている。また、水平方向において隣接する電磁バンドギャップ構造体1間の距離Rは、例えば、2mmである。このように、図4においては、電磁バンドギャップ構造体1が補強誘電体層104の上面において、表面型として設けられている。ソルダリングレジスト150を透して、電磁バンドギャップ構造体1が観察されるため、補強誘電体層104の上面に形成した電磁バンドギャップ構造体1を表面型としている。

40

## 【 0 0 2 8 】

上述したプリント回路基板の構成により、ソルダリングレジスト150上部に電子部品を配置した際、電子部品から発生する電磁ノイズの内、電磁バンドギャップ構造11の共振周波数に対応した電磁ノイズがプリント回路基板101内を伝搬することを抑制する。

本実施形態は、電磁バンドギャップ構造体1において、スタブパターン112及びスタブパターン113の各々の周波数が、それぞれ2.45GHz、5.44GHzであるため、プリント回路基板内におけるこれらの周波数の電磁ノイズの伝搬を抑制する。この結果、本実施形態によれば、同一基板上に配置されている無線LANのアナログ回路に対する電磁ノイズの影響を低減させるため、無線LANにおけるデータの送受信に対する電磁ノイズの干渉を抑制できる。

50

## 【 0 0 2 9 】

図5は、周波数と電磁バンドギャップ構造体1（表面型）のSパラメータ（挿入損失 $S_{21}$ ）との対応を示すグラフである。図5において、横軸が周波数を示し、縦軸が挿入損失 $S_{21}$ を示している。また、図5において、破線が補助パターン12を電磁バンドギャップ構造11の外周に設けない場合における電磁バンドギャップ構造体1（すなわち電磁バンドギャップ構造11）の周波数と挿入損失 $S_{21}$ との対応を示している。一方、実線が補助パターン12を電磁バンドギャップ構造11の外周に設けた場合における電磁バンドギャップ構造体1の周波数と挿入損失 $S_{21}$ との対応を示している。

## 【 0 0 3 0 】

破線と実線とを比較してみると、実線の場合には、4GHzより低周波数側において、電磁ノイズの減衰の生じる（挿入損失 $S_{21}$ が大きくなる）周波数がより低周波数側に移動していることが判る。また、図5から判るように、本実施形態によるプリント回路基板においては、無線LANで使用される周波数帯域である2.4GHz~2.5GHzと、5GHz~5.7GHzとにおいて大きな減衰が得られることが判る。

ここで、2GHz以下の周波数に生じている減衰は、電源プレーン102のサイズに依存して生じたものであり、電磁バンドギャップ構造体1による減衰とは異なる。

## 【 0 0 3 1 】

図6は、内装型の電磁バンドギャップ構造体1Aが配置されたプリント回路基板の断面図である。ここで、図6においては、基板などにおいて、図面上部方向を向いている面を上面とし、図面下部方向を向いている面を下面として説明する。コア基板103の下面には、金属などの導体層として、例えば銅を材料とする35 $\mu$ mの厚さのリファレンスプレーン101が配置されている。また、コア基板103の上面には、金属などの導体層として、例えば銅を材料とする、厚さが35 $\mu$ mのパターンで形成された複数の電磁バンドギャップ構造体1からなる電磁バンドギャップ層105が配置されている。電磁バンドギャップ層105の上面には、補強誘電体層104が形成されている。補強誘電体層104の上面には、電源プレーン102が形成されている。電源プレーン102の上面及び補強誘電体層104の露出した上面には、ソルダリングレジスト150が形成されている。

## 【 0 0 3 2 】

ビアパターン211は、例えば、直径が0.3mmのビアホール170を介してリファレンスプレーン101に対して接続されている。電磁バンドギャップ構造体1Aにおける電磁バンドギャップ構造11Aと補助パターン12Aの上部には、補強誘電体層104を介して電源プレーン102におけるパターン220が形成されている。また、水平方向において隣接する電磁バンドギャップ構造体1A間の距離Rは、先に述べた実施形態と同様に0.2mmである。このように、図6においては、電磁バンドギャップ構造体1Aが補強誘電体層104とコア基板103との間において、内装型として設けられている。

## 【 0 0 3 3 】

図7は、図6における内層型に用いる電磁バンドギャップ構造体1Aの構成例を示す平面図である。この図7において、電磁バンドギャップ構造体1Aは、コア基板103の上面に形成されている表面型の電磁バンドギャップ構造体である。また、例えば電磁バンドギャップ構造体1Aの外形は、X軸方向の長さが3.1mmであり、Y軸方向の長さが3.1mmである。

また、電磁バンドギャップ構造体1Aは、電磁バンドギャップ構造11Aと、補助パターン12Aとから構成されている。補助パターン12Aは、例えば閉リング形状をしており、電磁バンドギャップ構造11Aの外周に対して所定の距離を有して配置されている。この補助パターン12Aは、電磁バンドギャップ構造11Aの外周を取り囲むように設けられている。

## 【 0 0 3 4 】

電磁バンドギャップ構造11Aは、ビアパターン211Aと、第1周波数用のスタブパターン112Aと、第2周波数用のスタブパターン113Aとを備えている。スタブパターン112A及び113Aの各々は、オープンスタブを構成している。内装型の電磁バン

10

20

30

40

50

ドギャップ構造体 1 A は、スタブパターン 1 1 2 A 及び 1 1 3 A 各々のスタブ長を電気長の違いにより調整しており、基本的な構造が表面型の電磁バンドギャップ構造体 1 と同様である。また、電磁バンドギャップ構造 1 1 A は、コア基板 1 0 3 の一方の主面（表面）に形成されている。補強誘電体層 1 0 4 は、電磁バンドギャップ構造 1 1 A の配列された面の上部に形成されている。すなわち、電磁バンドギャップ構造 1 1 A は、コア基板 1 0 3 と補強誘電体層 1 0 4 とに挟まれて形成されている。このため、電磁バンドギャップ構造 1 1 A は、本実施形態において内装型と定義している。

#### 【 0 0 3 5 】

図 8 は、周波数と電磁バンドギャップ構造体 1 A（内装型）の S パラメータ（挿入損失  $S_{21}$ ）との対応を示すグラフである。図 8 において、横軸が周波数を示し、縦軸が挿入損失  $S_{21}$  を示している。また、図 8 において、破線が補助パターン 1 2 A を電磁バンドギャップ構造 1 1 A の外周に設けない場合における電磁バンドギャップ構造体 1 A（すなわち電磁バンドギャップ構造 1 1 A）の周波数と挿入損失  $S_{21}$  との対応を示している。一方、実線が補助パターン 1 2 A を電磁バンドギャップ構造 1 1 A の外周に設けた場合における電磁バンドギャップ構造体 1 A の周波数と挿入損失  $S_{21}$  との対応を示している。

#### 【 0 0 3 6 】

破線と実線とを比較してみると、実線の場合には、4 GHz より低周波数側において、電磁ノイズの減衰の生じる（挿入損失  $S_{21}$  が大きくなる）周波数がより低周波数側に移動していることが判る。また、図 8 から判るように、本実施形態によるプリント回路基板においては、無線 LAN で使用される周波数帯域である 2.4 GHz ~ 2.5 GHz と、5 GHz ~ 5.7 GHz とにおいて大きな減衰が得られることが判る。

ここで、2 GHz 以下の周波数に生じている減衰は、電源プレーン 1 0 2 のサイズに依存して生じたものであり、電磁バンドギャップ構造体 1 A による減衰とは異なる。

#### 【 0 0 3 7 】

上述したように本実施形態によれば、電磁バンドギャップ構造 1 1（1 1 A）におけるスタブパターン 1 1 2（1 1 2 A）に対して補助パターン 1 2（1 2 A）により容量装荷を行い、電磁バンドギャップ構造 1 1 の共振周波数を低下させているため、従来のように電磁バンドギャップ構造 1 1（1 1 A）の外周の長さを長くすることにより共振周波数を低下させる場合に比較して、電磁バンドギャップ構造体 1 を小型化することが可能となる。例えば、本実施形態と同様の構成の場合、補助パターン 1 2 を電磁バンドギャップ構造 1 1 の外周に沿って形成しないと、電磁バンドギャップ構造体の大きさが 3.5 mm x 3.5 mm のサイズとなる。本実施形態における電磁バンドギャップ構造体 1 が 3.1 mm x 3.1 mm であるため、補助パターン 1 2 を設けない場合の 3.5 mm x 3.5 mm のサイズに比較して 78% の大きさとなり、電磁バンドギャップ構造体のサイズを小型化することができる。

#### 【 0 0 3 8 】

また、本実施形態によれば、電磁バンドギャップ構造体 1（1 A）を用いることにより、放射電磁界強度も抑制することができる。

例えば、電磁ギャップ構造体 1 が無いプリント回路基板の場合、低周波数側の 2.45 GHz における放射電磁界強度が 1.13 ( $\mu W$ ) であり、高周波数側の 5.44 GHz における放射電磁界強度が 57.2 ( $\mu W$ ) である。

一方、表面型の電磁ギャップ構造体 1 を用いたプリント回路基板の場合、低周波数側の 2.45 GHz における放射電磁界強度が 0.0609 ( $\mu W$ ) であり、高周波数側の 5.44 GHz における放射電磁界強度が 0.252 ( $\mu W$ ) である。

内層型の電磁ギャップ構造体 1 A を用いたプリント回路基板の場合、低周波数側の 2.45 GHz における放射電磁界強度が 0.00475 ( $\mu W$ ) であり、高周波数側の 5.44 GHz における放射電磁界強度が 0.201 ( $\mu W$ ) である。

#### 【 0 0 3 9 】

上述したように、本実施形態によれば、電磁バンドギャップ 1 1（1 1 A）におけるスタブパターン 1 1 2（1 1 2 A）を補助パターン 1 2（1 2 A）により取り囲むように形

10

20

30

40

50

成することにより、スタブパターン 1 1 2 ( 1 1 2 A ) の長さを長くすることで共振周波数を低下させる構成と比較して、電磁バンドギャップ構造 1 1 ( 1 1 A ) を小型化でき、実装スペースの有効活用を行うことが可能となる。

【 0 0 4 0 】

本実施形態において、補助パターン 1 2 ( 1 2 A ) は、閉リングのパターンでなく、開リングのパターンでも、電磁バンドギャップ構造 1 の共振周波数を目的の周波数に低下させ、かつ容量インピーダンス特性を有する長さであれば良い。また、補助パターン 1 2 は、容量インピーダンス特性を有する長さであれば、電磁バンドギャップ構造 1 1 ( 1 1 A ) の外周の辺と容量結合する位置に配置される直線パターンでも良い。

補助パターン 1 2 ( 1 2 A ) に対してオープンビアを設けて、容量を増加させる構成としても良い。

10

【 0 0 4 1 】

また、補助パターン 1 2 ( 1 2 A ) のパターンを複数のエレメントに分割し、エレメントとエレメントとの間を、ギャップ容量またはコンデンサあるいは抵抗などにより接続する構成としても良い。

さらに、電磁バンドギャップ構造 1 1 ( 1 1 A ) の上部に絶縁層を設け、この絶縁層の上部において、平面視でスタブパターン 1 2 ( 1 2 A ) 補助パターンを形成することにより、周波数を低周波数側にシフトさせることができる。これにより、本実施形態によれば、電磁バンドギャップ構造体 1 1 ( 1 1 A ) のサイズを、より小型化することができるため、実装スペースの有効活用を行うことが可能となる。

20

【 0 0 4 2 】

図 9 は、本発明のプリント回路基板の概念を示す図である。この図 9 において、図 9 ( a ) は、平面視における補強誘電体層 1 0 4 ( 補強誘電体層 ) の表面 1 0 4 S ( 補強誘電体層のいずれか一方の面 ) にスタブパターン 1 1 3 ( 第 1 電磁バンドギャップ構造 ) と補助パターン 1 2 ( 補助パターン ) との各々のパターンが配線されたプリント回路基板が示されている。また、図 9 ( b ) は、図 9 ( a ) のプリント回路基板における線分 A - A による断面が示されている。

図 9 ( a ) に示されるように、補強誘電体層 1 0 4 ( 補強誘電体層 ) の表面 1 0 4 S ( 補強誘電体層のいずれか一方の面 ) に対し、スタブパターン 1 1 3 ( 第 1 電磁バンドギャップ構造 ) と補助パターン 1 2 ( 補助パターン ) との各々のパターンが形成されている。スタブパターン 1 1 3 ( 第 1 電磁バンドギャップ構造 ) の外周に対し、補助パターン 1 2 ( 補助パターン ) が所定の距離を設けて形成されている。この補助パターン 1 2 ( 補助パターン ) は、スタブパターン 1 1 3 ( 第 1 電磁バンドギャップ構造 ) の共振周波数を低下させるため、スタブパターン 1 1 3 ( 第 1 電磁バンドギャップ構造 ) に対して容量装荷を行うために設けられている。

30

【 0 0 4 3 】

図 9 ( b ) において、コア基板 1 0 3 ( コア基板 ) の表面 1 0 3 S ( コア基板のいずれか一方の面 ) に対し、補強誘電体層 1 0 4 ( 補強誘電体層 ) が設けられている。この補強誘電体層 1 0 4 ( 補強誘電体層 ) の表面 1 0 4 S ( 補強誘電体層のいずれか一方の面 ) に対し、スタブパターン 1 1 3 ( 第 1 電磁バンドギャップ構造 ) と補助パターン 1 2 ( 補助パターン ) との各々のパターンが形成されている。この構成により、プリント回路基板に電子部品を配置した際、電子部品から発生する電磁ノイズの内、スタブパターン 1 1 3 ( 第 1 電磁バンドギャップ構造 ) の共振周波数に対応した電磁ノイズがプリント回路基板内を伝搬することを抑制する。また、補助パターン 1 2 ( 補助パターン ) により、スタブパターン 1 1 3 ( 第 1 電磁バンドギャップ構造 ) に対して容量装荷を行い、スタブパターン 1 1 3 ( 第 1 電磁バンドギャップ構造 ) の共振周波数を低下させている。

40

上述した図 9 に示すスタブパターン 1 1 3 ( 第 1 電磁バンドギャップ構造 ) 及び補助パターン 1 2 ( 補助パターン ) の構成により、本発明によれば、従来のようにスタブパターン 1 1 3 ( 第 1 電磁バンドギャップ構造 ) の外周の長さを長くすることで共振周波数を低下させる場合に比較し、スタブパターン 1 1 3 ( 第 1 電磁バンドギャップ構造 ) を小型化

50

することが可能となり、プリント回路基板における実装スペースの有効活用を行うことができる。

【符号の説明】

【0044】

1, 1A... 電磁バンドギャップ構造体 11, 11A... 電磁バンドギャップ構造 12, 12A... 補助パターン 101... リファレンスプレーン 102... 電源プレーン 103... コア基板 104... 補強誘電体層 111... ピアパターン 112, 113, 112A, 113B... スタブパターン 112\_1, 112\_2... 調整スタブパターン 150... ソルダリングレジスト 160, 170... ピアホール 211, 211A... ピアパターン 210, 220... パターン

【図2】

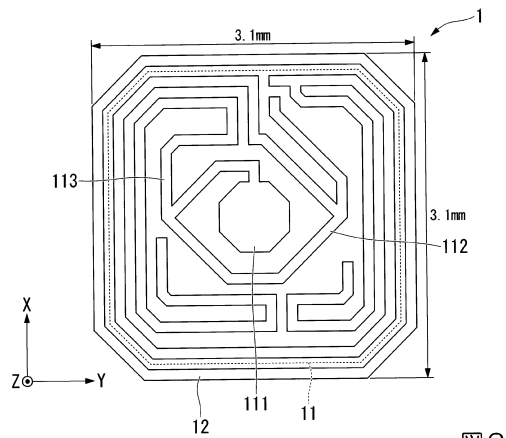


図2

【図3】

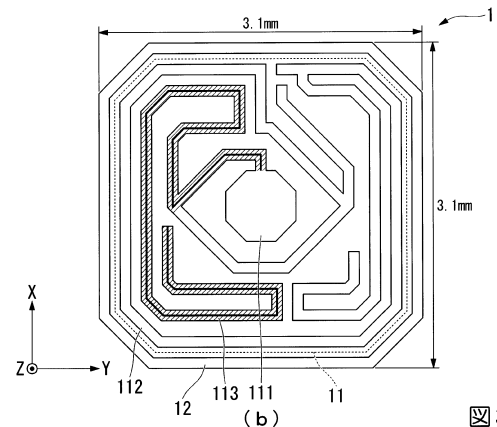
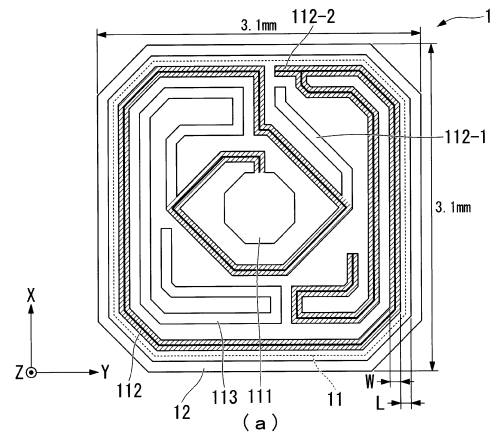
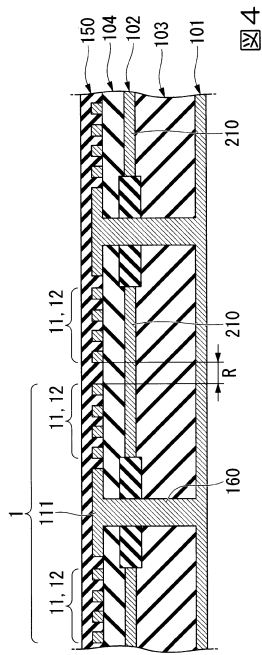
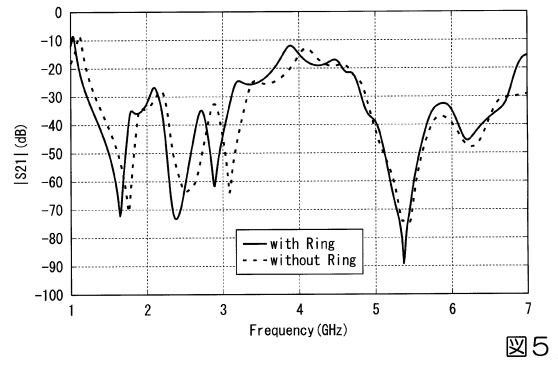


図3

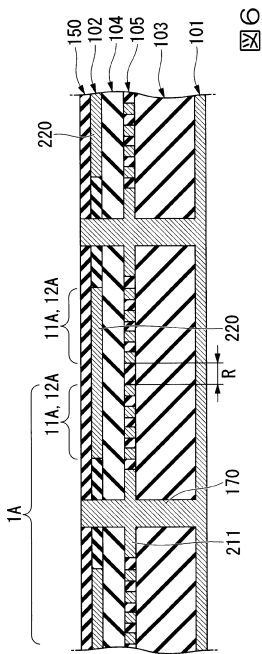
【 図 4 】



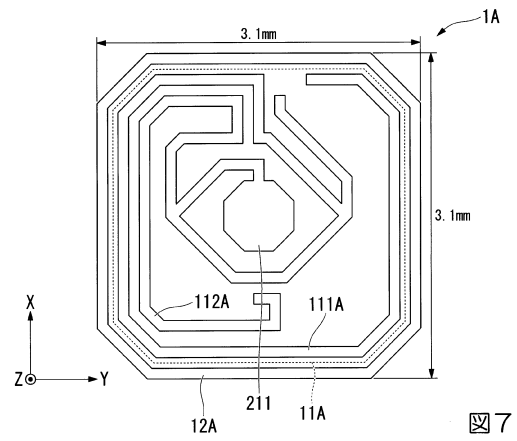
【 図 5 】



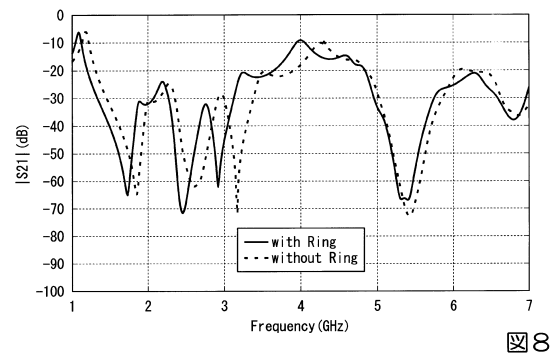
【 図 6 】



【 図 7 】



【 図 8 】



【図9】

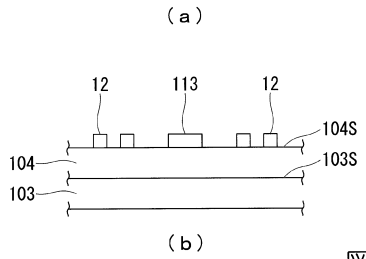
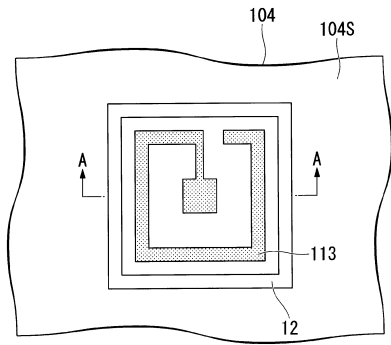


図9

【図1】

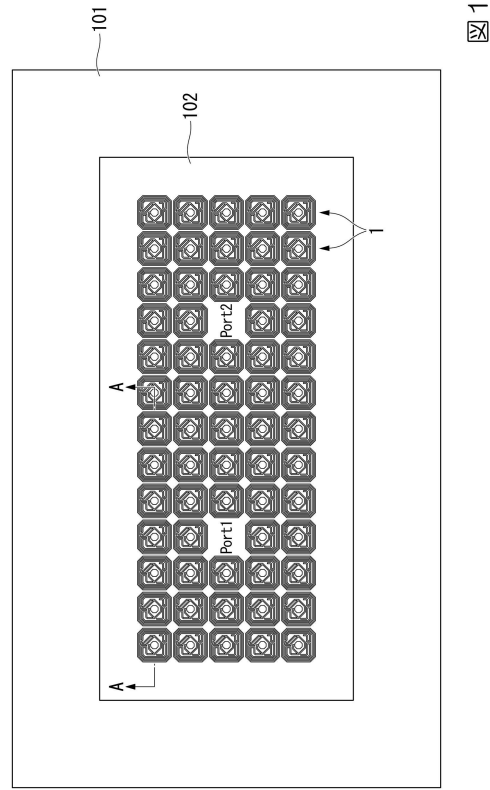


図1

---

フロントページの続き

(56)参考文献 特開2010-010183(JP,A)  
特開2010-252329(JP,A)

(58)調査した分野(Int.Cl., DB名)

H05K 3/46

H05K 1/02

H05K 1/16