

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6068193号
(P6068193)

(45) 発行日 平成29年1月25日(2017.1.25)

(24) 登録日 平成29年1月6日(2017.1.6)

(51) Int.Cl. F I
HO4L 7/00 (2006.01)
 HO4L 7/00 080
 HO4L 7/00 370
 HO4L 7/00 410

請求項の数 16 (全 35 頁)

(21) 出願番号	特願2013-39802 (P2013-39802)	(73) 特許権者	308017571
(22) 出願日	平成25年2月28日 (2013.2.28)		シナプティクス・ジャパン合同会社
(65) 公開番号	特開2014-168195 (P2014-168195A)		東京都中野区中野四丁目10番2号
(43) 公開日	平成26年9月11日 (2014.9.11)	(74) 代理人	100102864
審査請求日	平成27年12月11日 (2015.12.11)		弁理士 工藤 実
		(74) 代理人	100117617
			弁理士 中尾 圭策
		(72) 発明者	糸魚川 敬一
			東京都小平市上水本町5丁目20番1号
			株式会社ルネサスエスピードライバ内
		(72) 発明者	小江 信一
			東京都小平市上水本町5丁目20番1号
			株式会社ルネサスエスピードライバ内

最終頁に続く

(54) 【発明の名称】 受信装置及び送受信システム

(57) 【特許請求の範囲】

【請求項1】

外部クロック信号を受け取ってクロック信号を出力する第1受信部と、
 外部データ信号を受け取ってデータ信号を出力する第2受信部と、
 前記クロック信号と前記データ信号の少なくとも一方の信号を遅延することにより遅延調整後クロック信号及び遅延調整後データ信号とを生成するように構成された可変遅延回路と、

前記遅延調整後クロック信号に同期して前記遅延調整後データ信号をラッチして出力データ信号を生成するラッチ回路部と、

前記データ信号又は前記データ信号を遅延して得られる遅延データ信号によって伝送される特定データ列を、前記クロック信号からの遅延時間が異なる第1～第Nクロック信号(Nは、2以上の整数)に同期してラッチすることでスキュー検出データを生成し、前記スキュー検出データに応じて、前記少なくとも一方の信号が前記可変遅延回路において遅延される遅延時間を制御するスキュー検出回路

とを具備する

受信装置。

【請求項2】

請求項1に記載の受信装置であって、

前記スキュー検出回路は、前記スキュー検出データに応じて前記可変遅延回路に前記少なくとも一方の信号が遅延される遅延時間を制御する制御信号を生成し、

10

20

前記可変遅延回路は、前記第1～第Nクロック信号を生成すると共に、前記制御信号に応じて前記第1～第Nクロック信号のいずれかを選択して前記遅延調整後クロック信号として出力し、

前記第1～第Nクロック信号が前記可変遅延回路から前記スキュー検出回路に供給される

受信装置。

【請求項3】

請求項2に記載の受信装置であって、

前記可変遅延回路は、前記データ信号を所定の遅延時間だけ遅延して前記遅延データ信号を生成すると共に、前記遅延データ信号から前記遅延調整後データ信号を生成し、

前記遅延データ信号が前記可変遅延回路から前記スキュー検出回路に供給され、

前記スキュー検出回路は、前記遅延データ信号によって伝送される前記特定データ列を、前記第1～第Nクロック信号に同期してラッチすることで前記スキュー検出データを生成する

受信装置。

【請求項4】

請求項1に記載の受信装置であって、

前記スキュー検出回路は、前記スキュー検出データに応じて前記可変遅延回路に前記少なくとも一方の信号が遅延される遅延時間を制御する制御信号を生成し、

前記可変遅延回路は、

前記データ信号を遅延して前記遅延調整後データ信号を生成するデータ可変遅延部と

前記クロック信号を遅延して前記遅延調整後クロック信号を生成するクロック可変遅延部

とを含み、

前記データ可変遅延部は、

前記データ信号を、第1遅延時間だけ遅延して第1遅延信号を出力する第1遅延回路と、

前記第1遅延信号を、第2遅延時間だけ遅延して第2遅延信号を出力する第2遅延回路と、

前記制御信号に応じて前記第1遅延信号と前記第2遅延信号のいずれかを前記遅延調整後データ信号として選択する第1選択回路

とを含み、

前記クロック可変遅延部は、

前記クロック信号を、前記第1遅延時間だけ遅延して第3遅延信号を出力する第3遅延回路と、

前記クロック信号を、前記第2遅延時間だけ遅延して第4遅延信号を出力する第4遅延回路と、

前記制御信号に応じて前記第3遅延信号と前記第4遅延信号のいずれかを前記遅延調整後クロック信号として選択する第2選択回路

とを含み、

前記第2遅延時間は、実質的に前記クロック信号の周期の半分に一致する

受信装置。

【請求項5】

請求項4に記載の受信装置であって、

更に、

前記クロック信号からの遅延時間が異なる複数の第1順次遅延信号を前記クロック信号から生成する第1順次遅延部と、

前記クロック信号を前記複数の第1順次遅延信号に同期してラッチし、又は、前記複数の第1順次遅延信号を前記クロック信号でラッチして遅延制御データを取得する遅延制御

10

20

30

40

50

データ取得部と、

タイミング検出回路と、

第1遅延選択回路

とを具備し、

前記第2遅延回路は、前記第1遅延信号からの遅延時間が異なる複数の第2順次遅延信号を前記第1遅延信号から生成する第2順次遅延部を備え、

前記タイミング検出回路は、前記遅延制御データにตอบสนองして前記複数の第2順次遅延信号のいずれかを前記第2遅延信号として決定し、

前記第1遅延選択回路は、前記タイミング検出回路による決定に応じて、前記複数の第2順次遅延信号のいずれかを前記第2遅延信号として出力する

受信装置。

10

【請求項6】

請求項5に記載の受信装置であって、

前記第4遅延回路は、前記第3遅延信号からの遅延時間が異なる複数の第3順次遅延信号を前記第3遅延信号から生成する第3順次遅延部と、

第2遅延選択回路

とを備え、

前記タイミング検出回路は、前記遅延制御データにตอบสนองして前記複数の第3順次遅延信号のいずれかを前記第3遅延信号として決定し、

前記第2遅延選択回路は、前記タイミング検出回路による決定に応じて、前記複数の第3順次遅延信号のいずれかを前記第3遅延信号として出力する

受信装置。

20

【請求項7】

請求項1乃至6のいずれかに記載の受信装置であって、

前記受信装置への前記外部クロック信号及び前記外部データ信号への伝送は、M I P I D - P H Y規格に準拠して行われ、

前記特定データ列は、H Y - S Y N Cコードに含まれるデータ列である

受信装置。

【請求項8】

請求項1に記載の受信装置であって、

更に、

前記スキュー検出回路に前記データ信号又は前記遅延データ信号を供給する第1信号ラインと、

前記スキュー検出回路の前記クロック信号を供給する第2信号ラインと、

前記第1信号ラインに設けられた第1スイッチと、

前記第2信号ラインに設けられた第2スイッチ

とを具備し、

前記スキュー検出回路は、前記スキュー検出データに応じて前記可変遅延回路に前記少なくとも一方の信号が遅延される遅延時間を制御する制御信号を生成し、

前記第1スイッチと前記第2スイッチとは、前記特定データ列が伝送される期間を含む特定期間において、前記データ信号又は前記遅延データ信号を前記スキュー検出回路に供給すると共に前記クロック信号を前記スキュー検出回路に供給し、

前記第1スイッチと前記第2スイッチとは、前記特定期間以外の期間において、前記データ信号又は前記遅延データ信号の前記スキュー検出回路への供給、及び、前記クロック信号の前記スキュー検出回路への供給を遮断し、

前記スキュー検出回路は、前記特定期間以外の期間において、前記制御信号の値をホールドする

受信装置。

40

【請求項9】

請求項1に記載の受信装置であって、

50

更に、
前記スキュー検出回路に前記データ信号又は前記遅延データ信号を供給する第1信号ラインと、

前記スキュー検出回路の前記第1～第Nクロック信号を供給する第2信号ラインと、
前記第1信号ラインに設けられた第1スイッチと、
前記第2信号ラインに設けられた第2スイッチ

とを具備し、

前記スキュー検出回路は、前記スキュー検出データに応じて前記可変遅延回路に前記少なくとも一方の信号が遅延される遅延時間を制御する制御信号を生成し、

前記第1スイッチと前記第2スイッチとは、前記特定データ列が伝送される期間を含む特定期間において、前記データ信号又は前記遅延データ信号を前記スキュー検出回路に供給すると共に前記第1～第Nクロック信号を前記スキュー検出回路に供給し、

前記第1スイッチと前記第2スイッチとは、前記特定期間以外の期間において、前記データ信号又は前記遅延データ信号の前記スキュー検出回路への供給、及び、前記クロック信号の前記スキュー検出回路への供給を遮断し、

前記スキュー検出回路は、前記特定期間以外の期間において、前記制御信号の値をホールドする

受信装置。

【請求項10】

請求項1に記載の受信装置であって、

第2外部データ信号を受け取って第2データ信号を出力する第3受信部と、
前記クロック信号と前記第2データ信号の少なくとも一方の信号を遅延することにより第2遅延調整後クロック信号及び第2遅延調整後データ信号とを生成するように構成された第2可変遅延回路と、

前記第2遅延調整後クロック信号に同期して前記第2遅延調整後データ信号をラッチして第2出力データ信号を生成する第2ラッチ回路部と、

前記第2データ信号又は前記第2データ信号を遅延して得られる第2遅延データ信号によって伝送される特定データ列を、前記クロック信号からの遅延時間が異なる第1～第Nクロック信号(Nは、2以上の整数)に同期してラッチすることで第2スキュー検出データを生成し、前記第2スキュー検出データに応じて、前記少なくとも一方の信号が前記第2可変遅延回路において遅延される遅延時間を制御する第2スキュー検出回路とを具備する

受信装置。

【請求項11】

外部クロック信号を受け取ってクロック信号を出力する第1受信部と、
外部データ信号を受け取ってデータ信号を出力する第2受信部と、
前記クロック信号と前記データ信号の少なくとも一方の信号を遅延することにより遅延調整後クロック信号及び遅延調整後データ信号とを生成する可変遅延回路と、

前記遅延調整後クロック信号に同期して前記遅延調整後データ信号をラッチして出力データ信号を生成するラッチ回路部と、

前記データ信号からの遅延時間が異なる第1～第Nデータ信号(Nは、2以上の整数)によって伝送される特定データ列を前記クロック信号又は前記クロック信号を遅延して得られる遅延クロック信号に同期してラッチすることでスキュー検出データを生成し、前記スキュー検出データに応じて、前記少なくとも一方の信号が遅延される遅延時間を制御するスキュー検出回路

とを具備する

受信装置。

【請求項12】

請求項11に記載の受信装置であって、

前記スキュー検出回路は、前記スキュー検出データに応じて前記可変遅延回路に前記少

なくとも一方の信号が遅延される遅延時間を制御する制御信号を生成し、

前記可変遅延回路は、前記第1～第Nデータ信号を生成すると共に、前記制御信号に応じて前記第1～第Nデータ信号のいずれかを選択して前記遅延調整後データ信号として出力し、

前記第1～第Nデータ信号が前記可変遅延回路から前記スキュー検出回路に供給される受信装置。

【請求項13】

請求項12に記載の受信装置であって、

前記可変遅延回路は、前記クロック信号を所定の遅延時間だけ遅延して前記遅延クロック信号を生成すると共に、前記遅延クロック信号から前記遅延調整後クロック信号を生成し、

前記遅延クロック信号が前記可変遅延回路から前記スキュー検出回路に供給され、

前記スキュー検出回路は、前記第1～第Nデータ信号によって伝送される前記特定データ列を、前記遅延クロック信号に同期してラッチすることで前記スキュー検出データを生成する

受信装置。

【請求項14】

送信装置と、

前記送信装置から外部クロック信号及び外部データ信号を受け取る受信装置とを具備し、

前記受信装置は、

前記外部クロック信号を受け取ってクロック信号を出力する第1受信部と、

前記外部データ信号を受け取ってデータ信号を出力する第2受信部と、

前記クロック信号と前記データ信号の少なくとも一方の信号を遅延することにより遅延調整後クロック信号及び遅延調整後データ信号とを生成するように構成された可変遅延回路と、

前記遅延調整後クロック信号に同期して前記遅延調整後データ信号をラッチして出力データ信号を生成するラッチ回路部と、

前記データ信号又は前記データ信号を遅延して得られる遅延データ信号によって伝送される特定データ列を、前記クロック信号からの遅延時間が異なる第1～第Nクロック信号(Nは、2以上の整数)に同期してラッチすることでスキュー検出データを生成し、前記スキュー検出データに応じて、前記少なくとも一方の信号が前記可変遅延回路において遅延される遅延時間を制御するスキュー検出回路

とを具備する

送受信システム。

【請求項15】

送信装置と、

前記送信装置から外部クロック信号及び外部データ信号を受け取る受信装置とを具備し、

前記受信装置は、

前記外部クロック信号を受け取ってクロック信号を出力する第1受信部と、

前記外部データ信号を受け取ってデータ信号を出力する第2受信部と、

前記クロック信号と前記データ信号の少なくとも一方の信号を遅延することにより遅延調整後クロック信号及び遅延調整後データ信号とを生成する可変遅延回路と、

前記遅延調整後クロック信号に同期して前記遅延調整後データ信号をラッチして出力データ信号を生成するラッチ回路部と、

前記データ信号から生成された、前記データ信号からの遅延時間が異なる第1～第Nデータ信号(Nは、2以上の整数)によって伝送される特定データ列を前記クロック信号又は前記クロック信号を遅延して得られる遅延クロック信号に同期してラッチすることでスキュー検出データを生成し、前記スキュー検出データに応じて、前記少なくとも一方の

10

20

30

40

50

信号が遅延される遅延時間を制御するスキュー検出回路とを具備する

送受信システム。

【請求項 16】

請求項 14 又は 15 に記載の送受信システムであって、

前記送信装置から前記受信装置への前記外部クロック信号及び前記外部データ信号への伝送は、M I P I D - P H Y 規格に準拠して行われ、

前記特定データ列は、H Y - S Y N C コードに含まれるデータ列である

送受信システム。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、受信装置及び送受信システムに関し、特に、クロック信号とデータ信号とを別の配線で送信する送受信システム、及び、それに用いられる受信装置に関する。

【背景技術】

【0002】

送信装置から受信装置にデータを送信する送受信システムで用いられるデータ通信方式の一つは、クロック信号とデータ信号とを別の配線で送信する方式である。例えば、M I P I 規格 (Mobile Industry Processor Interface) による通信 (例えば、M I P I D S I や M I P I D - P H Y) は、このようなデータ通信方式に対応している。M I P I D - P H Y は、例えば、パネル表示装置のドライバ IC への高速データ通信に用いられており、近年の表示パネルの高解像度化に伴い、M I P I - D - P H Y によるデータ通信において、更なる高速化が要求されている。

20

【0003】

クロック信号とデータ信号とを別の配線で送信するデータ通信方式において、通信速度を増大させる上での一つの問題は、クロック信号とデータ信号との間でスキューが発生することである。高速通信においてはスキューの問題は非常に重大な問題になり得る。例えば、M I P I D - P H Y 規格に準拠した送受信システムにおいて 1 . 5 G b p s の通信速度で通信する場合のスキューの許容値は、数十～数百 p s と非常に小さい。

【0004】

30

スキューを解消するための技術は、例えば、特開平 5 - 1 1 0 5 5 0 号公報、特開平 1 0 - 1 6 4 0 3 7 号公報、及び、特開 2 0 0 4 - 2 3 6 0 1 9 号公報に知られている。しかしながら、発明者の検討によれば、これらの技術においては、スキューの解消において改良の余地がある。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開平 5 - 1 1 0 5 5 0 号公報

【特許文献 2】特開平 1 0 - 1 6 4 0 3 7 号公報

【特許文献 3】特開 2 0 0 4 - 2 3 6 0 1 9 号公報

40

【発明の概要】

【発明が解決しようとする課題】

【0006】

したがって、本発明の目的は、クロック信号とデータ信号とを別の配線で送信する送受信システムにおいて、スキューを解消するための技術を提供することにある。

【課題を解決するための手段】

【0007】

本発明の一の観点では、受信装置が、外部クロック信号を受け取ってクロック信号を出力する第 1 受信部と、外部データ信号を受け取ってデータ信号を出力する第 2 受信部と、クロック信号とデータ信号の少なくとも一方の信号を遅延することにより遅延調整後クロ

50

ック信号及び遅延調整後データ信号とを生成するように構成された可変遅延回路と、遅延調整後クロック信号に同期して遅延調整後データ信号をラッチして出力データ信号を生成するラッチ回路部と、スキュー検出回路とを具備する。スキュー検出回路は、データ信号又はデータ信号を遅延して得られる遅延データ信号によって伝送される特定データ列を、クロック信号からの遅延時間が異なる第1～第Nクロック信号(Nは、2以上の整数)に同期してラッチすることでスキュー検出データを生成し、スキュー検出データに応じて、該少なくとも一方の信号が可変遅延回路において遅延される遅延時間を制御する。

【0008】

本発明の他の観点では、受信装置が、外部クロック信号を受け取ってクロック信号を出力する第1受信部と、外部データ信号を受け取ってデータ信号を出力する第2受信部と、クロック信号とデータ信号の少なくとも一方の信号を遅延することにより遅延調整後クロック信号及び遅延調整後データ信号とを生成する可変遅延回路と、遅延調整後クロック信号に同期して遅延調整後データ信号をラッチして出力データ信号を生成するラッチ回路部と、スキュー検出回路とを具備する。スキュー検出回路は、データ信号からの遅延時間が異なる第1～第Nデータ信号(Nは、2以上の整数)によって伝送される特定データ列をクロック信号又はクロック信号を遅延して得られる遅延クロック信号に同期してラッチすることでスキュー検出データを生成し、スキュー検出データに応じて、該少なくとも一方の信号が遅延される遅延時間を制御する。

10

【0009】

本発明の更に他の観点では、送受信システムが、送信装置と、送信装置から外部クロック信号及び外部データ信号を受け取る受信装置とを具備する。該受信装置は、上述の構成を有している。一実施形態では、送信装置から受信装置への外部クロック信号及び外部データ信号への伝送が、MIPI D-PHY規格に準拠して行われる。この場合、該特定データ列は、HS-SYNCコードに含まれるデータ列であることが好ましい。

20

【発明の効果】

【0010】

本発明によれば、クロック信号とデータ信号とを別の配線で送信する送受信システムにおいて、スキューを解消する技術が提供される。

【図面の簡単な説明】

【0011】

【図1】本発明の一実施形態における送受信システムの構成を示すブロック図である。

【図2】HS-SYNCコードを説明する図である。

【図3】本実施形態の送受信システムの動作を示すタイミングチャートである。

【図4】本実施形態の送受信システムの動作の変形例を示すタイミングチャートである。

【図5】本実施形態の送受信システムの動作の他の変形例を示すタイミングチャートである。

【図6A】本実施形態の送受信システムの動作の更に他の変形例を示すタイミングチャートである。

【図6B】本実施形態の送受信システムの動作の更に他の変形例を示すタイミングチャートである。

40

【図7】他の実施形態における送受信システムの構成を示すブロック図である。

【図8】更に他の実施形態における送受信システムの構成を示すブロック図である。

【図9】更に他の実施形態における送受信システムの構成を示すブロック図である。

【図10】更に他の実施形態における送受信システムの構成を示すブロック図である。

【図11】実施例1における可変遅延回路、ラッチ回路及びスキュー検出回路の構成を示すブロック図である。

【図12】実施例1におけるスキュー検出回路の動作を示すタイミングチャートである。

【図13】実施例2における可変遅延回路、ラッチ回路及びスキュー検出回路の構成を示すブロック図である。

【図14】実施例3における可変遅延回路、ラッチ回路及びスキュー検出回路の構成を示

50

すブロック図である。

【図 1 5】実施例 4 における可変遅延回路、ラッチ回路及びスキュー検出回路の構成を示すブロック図である。

【図 1 6】実施例 4 におけるスキュー検出回路の動作を示すタイミングチャートである。

【図 1 7】実施例 5 における可変遅延回路、ラッチ回路及びスキュー検出回路の構成を示すブロック図である。

【図 1 8】実施例 6 における可変遅延回路、ラッチ回路及びスキュー検出回路の構成を示すブロック図である。

【図 1 9】実施例 7 における可変遅延回路、ラッチ回路及びスキュー検出回路の構成を示すブロック図である。

10

【図 2 0】実施例 7 におけるスキュー検出回路の動作を示すタイミングチャートである。

【図 2 1 A】実施例 7 における、遅延時間を $UI/2$ に調節するための遅延回路の構成を示すブロック図である。

【図 2 1 B】実施例 7 における、遅延時間を $UI/2$ に調節するための遅延回路の他の構成を示すブロック図である。

【図 2 2 A】図 2 1 A の遅延回路の動作を示すタイミングチャートである。

【図 2 2 B】図 2 1 B の遅延回路の動作を示すタイミングチャートである。

【図 2 3】遅延時間が可変である遅延回路の構成を示すブロック図である。

【図 2 4】実施例 8 における送受信システムの構成を示すブロック図である。

【図 2 5】実施例 8 における送受信システムの変形例を示すブロック図である。

20

【図 2 6】実施例 9 における送受信システムの構成を示すブロック図である。

【発明を実施するための形態】

【0012】

図 1 は、本実施形態の一実施形態の送受信システムの構成を示すブロック図である。当該送受信システムは、トランスミッタ（送信装置）1 とレシーバ（受信装置）2 とを備えている。トランスミッタ 1 とレシーバ 2 とは、伝送線路 3、4 を介して接続されている。トランスミッタ 1 は、レシーバ 2 に、データ信号 DATA 及びクロック信号 CLOCK を、それぞれ、伝送線路 3、4 を介して送信する。本実施形態では、トランスミッタ 1 からレシーバ 2 へのデータ信号 DATA 及びクロック信号 CLOCK の送信は、MIPID-PHY 規格に準拠して行われる。

30

【0013】

トランスミッタ 1 は、送信側アンプ 11、12 を備えており、レシーバ 2 は、受信側アンプ 21、22 を備えている。送信側アンプ 11、12 としては、いずれも、高速アンプが使用される。トランスミッタ 1 の送信側アンプ 11 は、データ信号 DATA を、伝送線路 3 を介してレシーバ 2 に送信する第 1 の送信部として機能する。トランスミッタ 1 の送信側アンプ 12 は、クロック信号 CLOCK を、伝送線路 4 を介してレシーバ 2 の受信側アンプ 22 に送信する第 2 の送信部として機能する。伝送線路 3、4 においては、データ信号 DATA、クロック信号 CLOCK は、いずれも、差動小振幅信号として伝送される。

【0014】

40

レシーバ 2 は、受信側アンプ 21、22 は、それぞれ、差動小振幅信号としてトランスミッタ 1 から伝送されたデータ信号 DATA（外部データ信号）及びクロック信号 CLOCK（外部クロック信号）を受け取り、受け取ったデータ信号 DATA、クロック信号 CLOCK をシングルエンド信号に変換する受信部として機能する。即ち、受信側アンプ 21、22 から出力されるデータ信号 DATA、クロック信号 CLOCK は、いずれも、シングルエンド信号である。受信側アンプ 21、22 としては、いずれも、高速アンプが使用される。ここで、レシーバ 2 の受信側アンプ 21 から出力されるデータ信号 DATA は、クロック信号 CLOCK の半周期に 1 ビットのデータを伝送する信号である。即ち、データ信号 DATA は、クロック信号 CLOCK の各エッジ（立ち上がりエッジ及び立ち下がりエッジの両方を含む）あたり、1 ビットのデータを含んでいることになる。

50

【 0 0 1 5 】

レシーバ2は、更に、可変遅延回路23と、ラッチ回路24と、スキュー検出回路25とを備えている。可変遅延回路23は、受信側アンプ21、22から出力されたデータ信号DATAとクロック信号CLOCKの間の相対的な遅延を調節する回路であり、その一方の信号を他方の信号に対して、特定の遅延時間だけ遅延させる機能を有している。ここで、当該遅延時間は、スキュー検出回路25から供給される遅延制御信号S_{CTRL}に応じて調節される。図1において、可変遅延回路23によって遅延が調節されたデータ信号DATAとクロック信号CLOCKは、それぞれ、遅延調整後データ信号DATA_{ADJ}、遅延調整後クロック信号CLOCK_{ADJ}として図示されている。

【 0 0 1 6 】

ラッチ回路24は、遅延調整後クロック信号CLOCK_{ADJ}に同期して遅延調整後データ信号DATA_{ADJ}をラッチし、出力データ信号D_{OUT}を生成する。本実施形態では、ラッチ回路24は、遅延調整後クロック信号CLOCK_{ADJ}の立ち上がりエッジと立ち下がりエッジとの両方に応答して遅延調整後データ信号DATA_{ADJ}をラッチする。

【 0 0 1 7 】

スキュー検出回路25は、データ信号DATAとクロック信号CLOCKの間のスキューを検出し、検出されたスキューに応じて遅延制御信号S_{CTRL}を生成する。生成された遅延制御信号S_{CTRL}は、可変遅延回路23に送られる。可変遅延回路23においては、スキューに応じて生成された遅延制御信号S_{CTRL}に応答して、データ信号DATAとクロック信号CLOCKの間の相対的な遅延が制御されることになる。

【 0 0 1 8 】

本実施形態では、スキュー検出回路25におけるスキューの検出は、データ信号DATAによって、特定のデータ列が特定のタイミングでレシーバ2に送られると判明しているという前提で行われる。そして、スキュー検出回路25では、該特定のデータ列を、クロック信号CLOCKから生成された多相クロック信号に同期してラッチして得られる一群のデータ(以下、「スキュー検出データ」という。)を用いてスキューが検出される。

【 0 0 1 9 】

トランスミッタ1からレシーバ2へのデータ通信が、MIPID-PHY規格に準拠して行われる本実施形態では、HS-SYNCコードに含まれる特定のデータ列を、多相クロック信号に同期してラッチすることにより、スキュー検出データが生成される。図2は、HS-SYNCコードを説明する図である。HS-SYNCコードは、8ビットからなるシリアルコードであり、その値は、MIPID-PHY規格において、“00011101”と定められている。HS-SYNCコードは、MIPID-PHY規格において、トランスミッタ1からレシーバ2へのデータ通信がLP(low power)モードからHS(high speed)モードに切り換えられるときに、データ信号DATAで送られるデータ列の先頭に挿入されると規定されている。これは、レシーバ2にとって、HS-SYNCコードが送られるタイミングは既知であることを意味している。

【 0 0 2 0 】

HS-SYNCコードにはデータ列“01110”が存在しており、本実施形態では、該データ列の1番目“1”と3番目の“1”(図2において、破線の楕円で示されている)が、スキュー検出データに利用される。データ信号DATAにおいて、クロック信号CLOCKの半周期あたりに1ビットが送信される本実施形態では、データ信号DATAとクロック信号CLOCKの間のタイミングが正常であれば、該データ列“01110”の1番目“1”と3番目の“1”は、その両方が、クロック信号CLOCKの立ち下がりエッジでラッチされるか、クロック信号CLOCKの立ち上がりエッジでラッチされるかのいずれでなければならない。そして、データ信号DATAとクロック信号CLOCKの間のスキューが全く存在しない場合には、クロック信号CLOCKと位相が少し異なるクロック信号の立ち下がりエッジ又は立ち上がりエッジで該データ列“01110”をラッチしても、該データ列“01110”の1番目“1”と3番目の“1”が正常にラッチでき

10

20

30

40

50

るはずである。その一方で、データ信号DATAとクロック信号CLOCKの間にスキューが存在する場合には、クロック信号CLOCKと位相が少し異なるクロック信号の立ち下がりエッジ又は立ち上がりエッジで該データ列“01110”をラッチすると、1番目“1”又は3番目の“1”が正常にラッチできず、データ“0”がラッチされることになる。これは、クロック信号CLOCKから生成された多相クロック信号の立ち下がりエッジ又は立ち上がりエッジで該データ列“01110”をラッチして得られるデータ、即ち、スキュー検出データを参照することにより、スキューを検出できることを意味している。ここで、スキュー検出データを得るために用いられる多相クロック信号は、クロック信号CLOCKと同一の周波数を有しており、且つ、互いに位相が異なるように生成される。

10

【0021】

図3は、本実施形態の送受信システムの動作を示しており、特に、HS-SYNCコードに含まれるデータ列“01110”を、クロック信号CLOCKから生成された多相クロック信号CLOCK#0~#2の立ち下がりエッジに同期してラッチすることにより得られるスキュー検出データを図示している。多相クロック信号CLOCK#0~#2は、データ信号DATAにおいてデータ列“01110”が転送される時間帯に、それぞれ、2つの立ち下がりエッジを含んでいる。以下では、2つの立ち下がりエッジのうち、時間的に前の立ち下がりエッジを「前側立ち下がりエッジ」、時間的に後ろの立ち下がりエッジを「後側立ち下がりエッジ」ということにする。

【0022】

一例としては、図3(a)に示されているように、データ信号DATAとクロック信号CLOCKの間のタイミングが正常である場合、多相クロック信号CLOCK#0~#2の前側立ち下がりエッジに同期してデータ列“01110”の1番目の“1”がラッチされ、後側立ち下がりエッジに同期して3番目の“1”がラッチされる。この結果、得られるスキュー検出データは、全て“1”となる。

20

【0023】

また、図3(b)に示されているように、データ信号DATAに対してクロック信号CLOCKのタイミングが遅延するようなスキューが発生している場合、位相が相対的に遅い多相クロック信号(図3(b)ではクロック信号CLOCK#1、#2)の、後側立ち下がりエッジに同期してラッチすることで得られるスキュー検出データが“0”になる。データ信号DATAに対するクロック信号CLOCKのタイミングの遅延が増大すると、“0”として得られるスキュー検出データの数も増大する。

30

【0024】

更に、図3(c)に示されているように、クロック信号CLOCKに対してデータ信号DATAのタイミングが遅延するようなスキューが発生している場合、位相が相対的に進んでいる多相クロック信号(図3(c)ではクロック信号CLOCK#0、#1)の、前側立ち下がりエッジに同期してラッチすることで得られるスキュー検出データが“0”になる。クロック信号CLOCKに対するデータ信号DATAのタイミングの遅延が増大すると、“0”として得られるスキュー検出データの数も増大する。

【0025】

このように、“0”のスキュー検出データの存在により、スキューの発生を検出することができる。また、“0”のスキュー検出データが、前側立ち上がりエッジ、後側立ち上がりエッジのいずれで生じるかにより、スキューの向き(即ち、データ信号DATAとクロック信号CLOCKのいずれが遅れているか)を判別することができる。更に、“0”のスキュー検出データの数により、スキューの程度を判別することができる。このようにして生成されたスキュー検出データに応じて遅延制御信号SCTRLを生成し、データ信号DATAとクロック信号CLOCKの間の相対的なタイミングを遅延制御信号SCTRLに应答して制御することで、データ信号DATAとクロック信号CLOCKの間のスキューを解消することができる。

40

【0026】

50

なお、データ信号DATAとクロック信号CLOCKの間のタイミングが、図3(a)~(c)のような関係となる多相クロック信号CLOCK#0~#2は、クロック信号CLOCKを適宜の遅延時間で遅延することで生成することができることに留意されたい。

【0027】

ここで、データ信号DATAの代わりに、データ信号DATAを遅延して得られる遅延データ信号DATA_{DLY}を多相クロック信号CLOCK#0~#2に同期してラッチすることで、スキュー検出データを取得しても良い。データ信号DATAの代わりに、それを遅延して得られる遅延データ信号DATA_{DLY}を用いても、スキュー検出データの値が相違し得るだけであり、本質的な相違は無い。この場合でも、スキュー検出データから遅延制御信号S_{CTRL}を生成するロジックを必要に応じて変更することで、適正な遅延制御信号S_{CTRL}を生成することができる。

10

【0028】

図3では、3個の多相クロック信号CLOCK#0~#2がスキュー検出データの生成に用いられているが、多相クロック信号の数は、3には限定されない。図4に示されているように、HS-SYNCコードに含まれるデータ列“01110”を、N個の多相クロック信号CLOCK#0~#(N-1)(Nは、2以上の整数)に同期してラッチすることによってスキュー検出データを生成してもよい。

【0029】

また、データ信号DATA(又は遅延データ信号DATA_{DLY})を多相クロック信号CLOCK#0~#(N-1)でラッチしてスキュー検出データを生成する代わりに、図5に図示されているように、データ信号DATAからの遅延時間が異なる複数のデータ信号DATA#0~#(N-1)を生成し、そのそれぞれを、クロック信号CLOCKに同期してラッチすることによってスキュー検出データを生成してもよい。図5では、3つのデータ信号#0~#2が生成される場合が図示されている。この場合でも、スキュー検出データによって、スキューの検出が可能である。

20

【0030】

例えば、図5(a)に示されているように、データ信号DATAとクロック信号CLOCKの間のタイミングが正常である場合、データ信号#0~#2の全てにおいて、データ列“01110”の1番目の“1”がクロック信号CLOCKの前側立ち上がりエッジに同期してラッチされ、3番目の“1”が後側立ち上がりエッジに同期してラッチされる。この結果、得られるスキュー検出データは、全て“1”となる。

30

【0031】

また、図5(b)に示されているように、データ信号DATAに対してクロック信号CLOCKのタイミングが遅延するようなスキューが発生している場合、データ信号#0~#2のうち、位相が相対的に進んでいるデータ信号(図5(b)ではデータ信号#0、#1)をクロック信号CLOCKの後側立ち上がりエッジに同期してラッチすることで得られるスキュー検出データが“0”になる。データ信号DATAに対するクロック信号CLOCKのタイミングの遅延が増大すると、“0”として得られるスキュー検出データの数も増大する。

【0032】

40

更に、図5(c)に示されているように、クロック信号CLOCKに対してデータ信号DATAのタイミングが遅延するようなスキューが発生している場合、データ信号#0~#2のうち、位相が相対的に遅れているデータ信号(図5(c)ではデータ信号#1、#2)をクロック信号CLOCKの前側立ち上がりエッジに同期してラッチすることで得られるスキュー検出データが“0”になる。クロック信号CLOCKに対するデータ信号DATAのタイミングの遅延が増大すると、“0”として得られるスキュー検出データの数も増大する。

【0033】

このように、遅延時間が異なる複数のデータ信号DATA#0~#(N-1)をクロック信号CLOCKに同期してラッチすることによってスキュー検出データを生成する場合

50

についても、“0”のスキュー検出データの存在により、スキューの発生を検出することができる。

【0034】

上述の実施形態では、HS-SYNCコードに含まれるデータ列“01110”が、スキュー検出データの生成に利用されるが、HS-SYNCコードに含まれる他のデータ列をスキュー検出データの生成に用いても良い。図6Aは、HS-SYNCコードに含まれるデータ列“0011”を用いてスキュー検出データを生成する場合を示している。

【0035】

図6A(a)に示されているように、データ信号DATAとクロック信号CLOCKの間のタイミングが正常である場合、多相クロック信号CLOCK#0~#2の特定の立ち上がりエッジに同期してデータ列“0011”の2番目の“0”がラッチされ、該立ち上がりエッジに続く立ち下がりエッジに同期して1番目の“1”がラッチされる。この結果、立ち上がりエッジに同期して得られるスキュー検出データは全て“0”となり、立ち下がりエッジに同期して得られるスキュー検出データは全て“1”となる。

10

【0036】

また、図6A(b)に示されているように、データ信号DATAに対してクロック信号CLOCKのタイミングが遅延するようなスキューが発生している場合、多相クロック信号CLOCK#0~#2のうち、位相が進んだ多相クロック信号CLOCK#0の特定の立ち上がりエッジに同期してラッチすることで得られるスキュー検出データが“0”になるのに対し、位相が遅いクロック信号(図6A(b)では、多相クロック信号CLOCK#1、#2)の、当該特定立ち上がりエッジに対応する立ち上がりエッジに同期してラッチすることで得られるスキュー検出データが“1”になる。データ信号DATAに対するクロック信号CLOCKのタイミングの遅延が増大すると、“1”として得られるスキュー検出データの数も増大する。

20

【0037】

更に、図6A(c)に示されているように、クロック信号CLOCKに対してデータ信号DATAのタイミングが遅延するようなスキューが発生している場合、多相クロック信号CLOCK#0~#2のうち位相が遅い多相クロック信号CLOCK#2の特定の立ち下がりエッジに同期してラッチすることで得られるスキュー検出データが“1”になるのに対し、位相が進んだクロック信号(図6A(c)では、多相クロック信号CLOCK#0、#1)の、当該特定立ち下がりエッジに対応する立ち下がりエッジに同期してラッチすることで得られるスキュー検出データが“0”になる。クロック信号CLOCKに対するデータ信号DATAのタイミングの遅延が増大すると、“0”として得られるスキュー検出データの数も増大する。

30

【0038】

このように、HS-SYNCコードのデータ列“0011”を用いてスキュー検出データを生成する場合についても、スキュー検出データの値からスキューの発生を検出することができる。

【0039】

また、図6Bは、HS-SYNCコードに含まれるデータ列“1101”を用いてスキュー検出データを生成する場合を示している。

40

【0040】

図6B(a)に示されているように、データ信号DATAとクロック信号CLOCKの間のタイミングが正常である場合、多相クロック信号CLOCK#0~#2の特定の立ち下がりエッジに同期してデータ列“1100”の2番目の“1”がラッチされ、該立ち下がりエッジに続く立ち上がりエッジに同期して1番目の“0”がラッチされる。この結果、立ち上がりエッジに同期して得られるスキュー検出データは全て“1”となり、立ち下がりエッジに同期して得られるスキュー検出データは全て“0”となる。

【0041】

また、図6B(b)に示されているように、データ信号DATAに対してクロック信号

50

CLOCKのタイミングが遅延するようなスキューが発生している場合、多相クロック信号CLOCK#0～#2のうち、位相が進んだ多相クロック信号CLOCK#0の特定立ち上がりエッジに同期してラッチすることで得られるスキュー検出データが“1”になり、該特定立ち上がりエッジに続く立ち下がりエッジ(特定立ち下がりエッジ)に同期してラッチすることで得られるスキュー検出データが“0”になる。一方、位相が遅い多相クロック信号CLOCK#1、#2の当該特定立ち上がりエッジに対応する立ち上がりエッジに同期してラッチすることで得られるスキュー検出データは“1”になり、多相クロック信号CLOCK#1、#2の該特定立ち下がりエッジに対応する立ち下がりエッジに同期してラッチすることで得られるスキュー検出データは“0”になる。

【0042】

10

更に、図6A(c)に示されているように、クロック信号CLOCKに対してデータ信号DATAのタイミングが遅延するようなスキューが発生している場合、多相クロック信号CLOCK#0～#2のうち位相が遅い多相クロック信号CLOCK#2の特定立ち上がりエッジに同期してラッチすることで得られるスキュー検出データが“0”になるのに対し、位相が進んだクロック信号(図6B(c)では、多相クロック信号CLOCK#0、#1)の、当該特定立ち上がりエッジに対応する立ち上がりエッジに同期してラッチすることで得られるスキュー検出データが“1”になる。クロック信号CLOCKに対するデータ信号DATAのタイミングの遅延が増大すると、“1”として得られるスキュー検出データの数も増大する。

【0043】

20

このように、HS-SYNCコードのデータ列“1101”を用いてスキュー検出データを生成する場合についても、スキュー検出データの値からスキューの発生を検出することができる。

【0044】

図3～図5、図6A、図6Bから理解されるように、一般に、スキュー検出データは、値が既知である任意のデータ列をラッチすることで生成することができる。ただし、多相クロック信号CLOCK#0～#(N-1)、又は、クロック信号CLOCKに含まれるエッジのうち、立ち下がりエッジ又は立ち上がりエッジの一方のみに同期してスキュー検出データを生成することが好適である。図3、図4には、多相クロック信号CLOCK#0～#(N-1)の立ち下がりエッジのみに同期してスキュー検出データを生成する場合が図示されており、図5には、クロック信号CLOCKの立ち下がりエッジのみに同期してスキュー検出データを生成する場合が図示されていることに留意されたい。図6A、図6Bに示されているように、スキュー検出データの生成において、立ち上がりエッジと立ち下がりエッジの両方を用いると、立ち上がりエッジに同期してデータ信号DATA(又は、データ信号#0～#(N-1))をラッチする回路と、立ち下がりエッジに同期してデータ信号DATA(又は、データ信号#0～#(N-1))をラッチする回路の両方が必要となる。これは、回路規模を増大させるため好ましくない。多相クロック信号CLOCK#0～#(N-1)、又は、クロック信号CLOCKに含まれるエッジのうち、立ち下がりエッジ又は立ち上がりエッジの一方のみに同期してスキュー検出データを生成する構成(図3～図5の動作を行う構成)では、スキュー検出データの生成に用いられる回路の回路規模を小さくすることができる。

30

40

【0045】

なお、データ信号DATA及びクロック信号CLOCKの送信がMIPI D-PHY規格以外の規格で行われる場合においても、特定のタイミングでレシーバ2に送られることが既知である特定のデータ列を、クロック信号CLOCKから生成された多相クロック信号に同期してラッチすることでスキュー検出データを生成することができることに留意されたい。

【0046】

また、図7に図示されているように、可変遅延回路23において多相クロック信号CLOCK#0～#(N-1)が生成され、且つ、スキュー検出回路25において多相クロッ

50

ク信号 $CLOCK\#0 \sim \#(N-1)$ がスキュー検知データの生成に用いられる場合には、可変遅延回路 23 からスキュー検出回路 25 に多相クロック信号 $CLOCK\#0 \sim \#(N-1)$ が供給されてもよい。この場合、スキュー検出回路 25 において多相クロック信号 $CLOCK\#0 \sim \#(N-1)$ が生成されない。このような構成は、可変遅延回路 23 から出力される遅延調整後クロック信号 $CLOCK_{ADJ}$ が多相クロック信号 $CLOCK\#0 \sim \#(N-1)$ から選択される場合に有効である。

【0047】

同様に、図 8 に図示されているように、可変遅延回路 23 においてデータ信号 $DATA\#0 \sim \#(N-1)$ が生成され、且つ、スキュー検出回路 25 においてデータ信号 $DATA\#0 \sim \#(N-1)$ がスキュー検知データの生成に用いられる場合には、可変遅延回路 23 からスキュー検出回路 25 にデータ信号 $DATA\#0 \sim \#(N-1)$ が供給されてもよい。この場合、スキュー検出回路 25 においてデータ信号 $DATA\#0 \sim \#(N-1)$ が生成されない。このような構成は、可変遅延回路 23 から出力される遅延調整後データ信号 $DATA_{ADJ}$ がデータ信号 $DATA\#0 \sim \#(N-1)$ から選択される場合に有効である。

10

【0048】

更に、図 9 に図示されているように、可変遅延回路 23 においてデータ信号 $DATA$ を遅延して遅延データ信号 $DATA_{DL}$ が生成され、且つ、スキュー検出回路 25 においてスキュー検知データの生成に遅延データ信号 $DATA_{DL}$ が用いられる場合、可変遅延回路 23 からスキュー検出回路 25 に遅延データ信号 $DATA_{DL}$ が供給されてもよい。なお、可変遅延回路 23 からスキュー検出回路 25 に遅延データ信号 $DATA_{DL}$ が供給される構成は、図 7 においても図示されていることに留意されたい。

20

【0049】

同様に、図 10 に示されているように、可変遅延回路 23 においてクロック信号 $CLOCK$ を遅延して遅延クロック信号 $CLOCK_{DL}$ が生成され、且つ、スキュー検出回路 25 においてスキュー検知データの生成に遅延クロック信号 $CLOCK_{DL}$ が用いられる場合、可変遅延回路 23 からスキュー検出回路 25 に遅延クロック信号 $CLOCK_{DL}$ が供給されてもよい。

【0050】

以下では、上記の実施形態の具体的な実施例、特に、可変遅延回路 23、ラッチ回路 24 及びスキュー検出回路 25 の具体的な実施例について説明する。

30

【実施例 1】

【0051】

図 11 は、実施例 1 における可変遅延回路 23 と、ラッチ回路 24 と、スキュー検出回路 25 の構成を示すブロック図である。図 11 に図示された回路構成は、図 1 に図示されている可変遅延回路 23、ラッチ回路 24 及びスキュー検出回路 25 の具体的な実施例である。

【0052】

実施例 1 においては、可変遅延回路 23 は、遅延回路 31 ~ 33 と、選択回路 34 とを備えている。遅延回路 31 は、データ信号 $DATA$ を遅延して遅延調整後データ信号 $DATA_{ADJ}$ を生成する。本実施例では、遅延回路 31 の遅延時間は固定である。

40

【0053】

遅延回路 32、33 及び選択回路 34 は、スキュー検出回路 25 から供給される遅延制御信号 $CTRL$ に応答して、クロック信号 $CLOCK$ を遅延した信号である遅延調整後クロック信号 $CLOCK_{ADJ}$ を生成するクロック可変遅延部 23B を構成している。詳細には、遅延回路 32、33 は、クロック信号 $CLOCK$ から多相クロック信号 $CLOCK\#0 \sim \#2$ を生成する回路部分である。本実施形態では、可変遅延回路 23 に入力されるクロック信号 $CLOCK$ が、そのまま、クロック信号 $CLOCK\#0$ として用いられる。遅延回路 32 は、クロック信号 $CLOCK\#0$ を遅延してクロック信号 $CLOCK\#1$ を生成する。遅延回路 33 は、クロック信号 $CLOCK\#1$ を遅延してクロック信号 $CLOCK\#2$ を生成する。

50

OCK # 2 を生成する。選択回路 3 4 は、遅延制御信号 S_{CTRL} に応答して、多相クロック信号 $CLOCK \# 0 \sim \# 2$ のいずれかを選択し、選択したクロック信号を遅延調整後クロック信号 $CLOCK_{ADJ}$ として出力する。

【0054】

ラッチ回路 2 4 は、D フリップフロップ 5 1、5 2 と、デシリアライザ (deserializer) 回路 5 3 とを備えている。D フリップフロップ 5 1 は、遅延調整後データ信号 $DATA_{ADJ}$ を、遅延調整後クロック信号 $CLOCK_{ADJ}$ の立ち上がりエッジに同期してラッチする。一方、D フリップフロップ 5 2 は、遅延調整後データ信号 $DATA_{ADJ}$ を、遅延調整後クロック信号 $CLOCK_{ADJ}$ の立ち下がりエッジに同期してラッチする。デシリアライザ回路 5 3 は、D フリップフロップ 5 1、5 2 から出力されるデータに対してデシリアライズ処理を行い、出力データ信号 DO_{UT} を生成する。このような構成のラッチ回路 2 4 では、遅延調整後クロック信号 $CLOCK_{ADJ}$ の立ち上がりエッジ及び立ち下がりエッジの両方に同期して、遅延調整後データ信号 $DATA_{ADJ}$ をラッチすることに留意されたい。

【0055】

スキュー検出回路 2 5 は、遅延回路 4 1 ~ 4 3 と、D フリップフロップ 4 4 ~ 4 6 と、タイミング検出回路 4 7 とを備えている。遅延回路 4 1 は、データ信号 $DATA$ を遅延して遅延データ信号 $DATA_{DL}$ を生成する。遅延回路 4 2、4 3 は、クロック信号 $CLOCK$ から多相クロック信号 $CLOCK \# 0 \sim \# 2$ を生成する回路部分である。本実施形態では、スキュー検出回路 2 5 に入力されるクロック信号 $CLOCK$ が、そのまま、クロック信号 $CLOCK \# 0$ として用いられる。遅延回路 4 2 は、クロック信号 $CLOCK \# 0$ を遅延してクロック信号 $CLOCK \# 1$ を生成する。遅延回路 4 3 は、クロック信号 $CLOCK \# 1$ を遅延してクロック信号 $CLOCK \# 2$ を生成する。

【0056】

D フリップフロップ 4 4 ~ 4 6 は、それぞれ、多相クロック信号 $CLOCK \# 0 \sim \# 2$ の立ち下がりエッジに同期して遅延データ信号 $DATA_{DL}$ をラッチする。D フリップフロップ 4 4 ~ 4 6 から出力されるデータが、スキュー検出データとして用いられる。

【0057】

タイミング検出回路 4 7 は、D フリップフロップ 4 4 ~ 4 6 から出力されるスキュー検出データに応じて、遅延制御信号 S_{CTRL} を生成する。本実施例では、遅延制御信号 S_{CTRL} は、可変遅延回路 2 3 の選択回路 3 4 に、多相クロック信号 $CLOCK \# 0 \sim \# 2$ のいずれかを選択すべきかを指定する信号として生成される。タイミング検出回路 4 7 には、スキュー検出データの値から、多相クロック信号 $CLOCK \# 0 \sim \# 2$ のいずれかを選択するロジックが組み込まれる。

【0058】

実施例 1 の可変遅延回路 2 3 の遅延回路 3 1 ~ 3 3、及び、スキュー検出回路 2 5 の遅延回路 4 1 ~ 4 3 は、いずれも、「実質的に」同一な遅延時間 C を有している。ここで、「実質的に」とは、製造時に不可避免的に発生するバラツキを無視することを意味している。

【0059】

図 1 2 は、実施例 1 におけるスキュー検出回路 2 5 の動作を示すタイミングチャートである。図 1 2 (a) に示されているように、データ信号 $DATA$ とクロック信号 $CLOCK$ の間のタイミングが正常である場合、多相クロック信号 $CLOCK \# 0 \sim \# 2$ の前側立ち下がりエッジに同期して遅延データ信号 $DATA_{DL}$ のデータ列 “ 0 1 1 1 0 ” の 1 番目の “ 1 ” がラッチされ、後側立ち下がりエッジに同期して 3 番目の “ 1 ” がラッチされる。この結果、得られるスキュー検出データは、全て “ 1 ” となる。この場合、スキュー検出回路 2 5 から可変遅延回路 2 3 に送られる遅延制御信号 S_{CTRL} は、スキュー検出データに応じ、中間的な位相を有する多相クロック信号 $CLOCK \# 1$ を選択するように生成される。このような動作により、ラッチ回路 2 4 の D フリップフロップ 5 1、5 2 の動作タイミングのマージンを大きくすることができる。

10

20

30

40

50

【 0 0 6 0 】

また、図 1 2 (b) に示されているように、データ信号 DATA に対してクロック信号 CLOCK のタイミングが遅延するようなスキューが発生している場合、遅延データ信号 DATA_{DLY} のデータ列 “ 0 1 1 1 0 ” を、位相が遅い多相クロック信号 (図 1 2 (b) ではクロック信号 CLOCK # 1、# 2) の後側立ち下がりエッジに同期してラッチすることで得られるスキュー検出データが “ 0 ” になる。この場合、スキュー検出回路 2 5 から可変遅延回路 2 3 に送られる遅延制御信号 S_{CTRL} は、スキュー検出データに応じ、位相が相対的に進んだ多相クロック信号 CLOCK # 0 を選択するように生成される。このような動作により、ラッチ回路 2 4 の D フリップフロップ 5 1、5 2 の動作タイミングのマージンを大きくすることができる。

10

【 0 0 6 1 】

更に、図 1 2 (c) に示されているように、クロック信号 CLOCK に対してデータ信号 DATA のタイミングが遅延するようなスキューが発生している場合、位相が進んだ多相クロック信号 (図 1 2 (c) ではクロック信号 CLOCK # 0、# 1) の、前側立ち下がりエッジに同期してラッチすることで得られるスキュー検出データが “ 0 ” になる。この場合、スキュー検出回路 2 5 から可変遅延回路 2 3 に送られる遅延制御信号 S_{CTRL} は、スキュー検出データに応じ、位相が相対的に遅れた多相クロック信号 CLOCK # 2 を選択するように生成される。このような動作により、ラッチ回路 2 4 の D フリップフロップ 5 1、5 2 の動作タイミングのマージンを大きくすることができる。

20

【 0 0 6 2 】

いずれの場合でも、本実施例では、遅延データ信号 DATA_{DLY} のデータ列 “ 0 1 1 1 0 ” を多相クロック信号 CLOCK # 0 ~ # 2 の立ち下がりエッジに同期してラッチすることで得られるスキュー検出データに応じて遅延制御信号 S_{CTRL} が生成され、その遅延制御信号 S_{CTRL} により、可変遅延回路 2 3 の選択回路 3 4 が制御される。これにより、遅延調整後データ信号 DATA_{ADJ} と遅延調整後クロック信号 CLOCK_{ADJ} の間の相対的な遅延が最適に調整され、遅延調整後データ信号 DATA_{ADJ} と遅延調整後クロック信号 CLOCK_{ADJ} の間のスキューを小さくすることができる。

【 実施例 2 】

【 0 0 6 3 】

図 1 3 は、実施例 2 における可変遅延回路 2 3 と、ラッチ回路 2 4 と、スキュー検出回路 2 5 の構成を示すブロック図である。図 1 3 に図示された回路構成は、図 9 に図示されている可変遅延回路 2 3、ラッチ回路 2 4 及びスキュー検出回路 2 5 の具体的な実施例である。

30

【 0 0 6 4 】

図 1 3 に図示されている実施例 2 における回路構成は、図 1 1 に図示されている実施例 1 の回路構成と類似している。相違点は、実施例 2 の回路構成では、スキュー検出回路 2 5 から遅延回路 4 1 が除去されると共に可変遅延回路 2 3 からスキュー検出回路 2 5 に遅延データ信号 DATA_{DLY} が供給されることである。可変遅延回路 2 3 の遅延回路 3 1 から出力される遅延調整後データ信号 DATA_{ADJ} が、スキュー検出回路 2 5 に供給される遅延データ信号 DATA_{DLY} としても使用される。スキュー検出回路 2 5 に供給された遅延データ信号 DATA_{DLY} は、D フリップフロップ 4 4 ~ 4 6 に供給される。

40

【 0 0 6 5 】

図 1 3 に図示されている実施例 2 の回路構成によれば、実施例 1 の回路構成と比較して遅延回路の数を減少させることができる。なお、実施例 2 における可変遅延回路 2 3 と、ラッチ回路 2 4 と、スキュー検出回路 2 5 の動作は、実施例 1 と同様であり、説明を省略する。

【 実施例 3 】

【 0 0 6 6 】

図 1 4 は、実施例 3 における可変遅延回路 2 3 と、ラッチ回路 2 4 と、スキュー検出回路 2 5 の構成を示すブロック図である。図 1 4 に図示された回路構成は、図 7 に図示され

50

ている可変遅延回路 2 3、ラッチ回路 2 4 及びスキュー検出回路 2 5 の具体的な実施例である。

【 0 0 6 7 】

図 1 4 に図示されている実施例 3 における回路構成は、図 1 3 に図示されている実施例 2 の回路構成と類似している。相違点は、実施例 3 の回路構成では、スキュー検出回路 2 5 から遅延回路 4 2、4 3 が除去されると共に、可変遅延回路 2 3 からスキュー検出回路 2 5 に多相クロック信号 C L O C K # 0 ~ # 2 が供給されることである。遅延回路 3 2 から出力されるクロック信号 C L O C K # 1 は、選択回路 3 4 に加え、スキュー検出回路 2 5 の D フリップフロップ 4 5 に供給される。また、遅延回路 3 3 から出力されるクロック信号 C L O C K # 2 は、選択回路 3 4 に加え、スキュー検出回路 2 5 の D フリップフロップ 4 6 に供給される。ここで、実施例 3 では、クロック信号 C L O C K が、そのままクロック信号 # 0 として使用されることに留意されたい。

10

【 0 0 6 8 】

図 1 4 に図示されている実施例 3 の回路構成によれば、実施例 2 の回路構成と比較して、遅延回路の数を一層に減少させることができる。なお、実施例 3 における可変遅延回路 2 3 と、ラッチ回路 2 4 と、スキュー検出回路 2 5 の動作は、実施例 1 と同様であり、説明を省略する。

【 実施例 4 】

【 0 0 6 9 】

図 1 5 は、実施例 4 における可変遅延回路 2 3 と、ラッチ回路 2 4 と、スキュー検出回路 2 5 の構成を示すブロック図である。図 1 5 に図示された回路構成は、図 1 に図示されている可変遅延回路 2 3、ラッチ回路 2 4 及びスキュー検出回路 2 5 の他の実施例である。

20

【 0 0 7 0 】

実施例 4 においては、可変遅延回路 2 3 は、遅延回路 6 1、5 2 と、選択回路 6 3 と、遅延回路 6 4 とを備えている。遅延回路 6 1、6 2 及び選択回路 6 3 は、スキュー検出回路 2 5 から供給される遅延制御信号 S C T R L に応答して、データ信号 D A T A を遅延した信号である遅延調整後データ信号 D A T A A D J を生成するデータ可変遅延部 2 3 A を構成している。詳細には、遅延回路 6 1、6 2 は、データ信号 D A T A からの遅延時間が互いに異なるデータ信号 D A T A # 0 ~ # 2 を生成する回路部分である。本実施形態では、可変遅延回路 2 3 に入力されるデータ信号 D A T A が、そのまま、データ信号 D A T A # 0 として用いられる。遅延回路 6 1 は、データ信号 D A T A # 0 を遅延してデータ信号 D A T A # 1 を生成する。遅延回路 6 2 は、データ信号 D A T A # 1 を遅延してデータ信号 D A T A # 2 を生成する。選択回路 6 3 は、遅延制御信号 S C T R L に応答して、データ信号 D A T A # 0 ~ # 2 のいずれかを選択し、選択したデータ信号を遅延調整後データ信号 D A T A A D J として出力する。遅延回路 6 4 は、クロック信号 C L O C K を遅延して遅延調整後クロック信号 C L O C K A D J を生成する。本実施例では、遅延回路 6 4 の遅延時間は固定である。

30

【 0 0 7 1 】

実施例 4 のラッチ回路 2 4 の構成は、実施例 1 乃至 3 のラッチ回路 2 4 と同様である。詳細には、実施例 4 のラッチ回路 2 4 は、D フリップフロップ 5 1、5 2 と、デシリアライザ回路 5 3 とを備えている。D フリップフロップ 5 1 は、遅延調整後データ信号 D A T A A D J を、遅延調整後クロック信号 C L O C K A D J の立ち上がりエッジに同期してラッチする。一方、D フリップフロップ 5 2 は、遅延調整後データ信号 D A T A A D J を、遅延調整後クロック信号 C L O C K A D J の立ち下がりエッジに同期してラッチする。デシリアライザ回路 5 3 は、D フリップフロップ 5 1、5 2 から出力されるデータに対してデシリアライズ処理を行い、出力データ信号 D O U T を生成する。このような構成のラッチ回路 2 4 では、遅延調整後クロック信号 C L O C K A D J の立ち上がりエッジ及び立ち下がりエッジの両方に同期して、遅延調整後データ信号 D A T A A D J をラッチすることに留意されたい。

40

50

【 0 0 7 2 】

また、実施例 4 では、スキュー検出回路 2 5 が、遅延回路 7 1 ~ 7 3 と、D フリップフロップ 7 4 ~ 7 6 と、タイミング検出回路 7 7 とを備えている。遅延回路 7 1、7 2 は、データ信号 DATA からデータ信号 DATA # 0 ~ # 2 を生成する回路部分である。本実施形態では、スキュー検出回路 2 5 に入力されるデータ信号 DATA が、そのまま、データ信号 DATA # 0 として用いられる。遅延回路 7 1 は、データ信号 DATA # 0 を遅延してデータ信号 DATA # 1 を生成する。遅延回路 7 2 は、データ信号 DATA # 1 を遅延してデータ信号 DATA # 2 を生成する。一方、遅延回路 7 3 は、クロック信号 CLOCK を遅延して遅延クロック信号 CLOCK_{DLY} を生成する。

【 0 0 7 3 】

D フリップフロップ 7 4 ~ 7 6 は、それぞれ、遅延クロック信号 CLOCK_{DLY} の立ち下がりエッジに同期してデータ信号 DATA # 0 ~ # 2 をラッチする。D フリップフロップ 7 4 ~ 7 6 から出力されるデータが、スキュー検出データとして用いられる。

【 0 0 7 4 】

タイミング検出回路 7 7 は、D フリップフロップ 7 4 ~ 7 6 から出力されるスキュー検出データに応じて、遅延制御信号 S_{CTRL} を生成する。本実施例では、遅延制御信号 S_{CTRL} は、可変遅延回路 2 3 の選択回路 3 4 に、データ信号 DATA # 0 ~ # 2 のいずれかを選択すべきかを指定する信号として生成される。タイミング検出回路 7 7 には、スキュー検出データの値から、データ信号 DATA # 0 ~ # 2 のいずれかを選択するロジックが組み込まれる。

【 0 0 7 5 】

実施例 4 の可変遅延回路 2 3 の遅延回路 6 1 ~ 6 3、及び、スキュー検出回路 2 5 の遅延回路 7 1 ~ 7 3 の遅延時間は、「実質的に」同一である。ここで、「実質的に」とは、製造時に不可避免的に発生するバラツキを無視することを意味している。

【 0 0 7 6 】

図 1 6 は、実施例 4 におけるスキュー検出回路 2 5 の動作を示すタイミングチャートである。図 1 6 (a) に示されているように、データ信号 DATA とクロック信号 CLOCK の間のタイミングが正常である場合、遅延クロック信号 CLOCK_{DLY} の前側立ち下がりエッジに同期してデータ信号 DATA # 0 ~ # 2 のデータ列 “ 0 1 1 1 0 ” の 1 番目の “ 1 ” がラッチされ、後側立ち下がりエッジに同期して 3 番目の “ 1 ” がラッチされる。この結果、得られるスキュー検出データは、全て “ 1 ” となる。この場合、スキュー検出回路 2 5 から可変遅延回路 2 3 に送られる遅延制御信号 S_{CTRL} は、スキュー検出データに応じて、中間的な遅延を有するデータ信号 DATA # 1 を選択するように生成される。このような動作により、ラッチ回路 2 4 の D フリップフロップ 5 1、5 2 の動作タイミングのマージンを大きくすることができる。

【 0 0 7 7 】

また、図 1 6 (b) に示されているように、データ信号 DATA に対してクロック信号 CLOCK のタイミングが遅延するようなスキューが発生している場合、データ信号 # 0 ~ # 2 のうちデータ信号 DATA からの遅延時間が相対的に小さいデータ信号 (図 1 6 (b) では、データ信号 # 0、# 1) を遅延クロック信号 CLOCK_{DLY} の後側立ち下がりエッジに同期してラッチすることで得られるスキュー検出データが “ 0 ” になる。この場合、スキュー検出回路 2 5 から可変遅延回路 2 3 に送られる遅延制御信号 S_{CTRL} は、スキュー検出データに応じて、データ信号 DATA からの相対的に遅延時間が大きいデータ信号 DATA # 2 を選択するように生成される。このような動作により、ラッチ回路 2 4 の D フリップフロップ 5 1、5 2 の動作タイミングのマージンを大きくすることができる。

【 0 0 7 8 】

更に、図 1 6 (c) に示されているように、クロック信号 CLOCK に対してデータ信号 DATA のタイミングが遅延するようなスキューが発生している場合、データ信号 DATA からの遅延時間が相対的に大きいデータ信号 (図 1 6 (c) ではデータ信号 DATA

10

20

30

40

50

2) の、前側立ち下がリエッジに同期してラッチすることで得られるスキュー検出データが“0”になる。この場合、スキュー検出回路25から可変遅延回路23に送られる遅延制御信号 S_{CTRL} は、スキュー検出データに応じて、データ信号 $DATA$ からの相対的に遅延時間が小さいデータ信号 $DATA\#0$ を選択するように生成される。このような動作により、ラッチ回路24のDフリップフロップ51、52の動作タイミングのマージンを大きくすることができる。

【0079】

いずれの場合でも、本実施例では、データ信号 $DATA\#0\sim\#2$ のデータ列“01110”を遅延クロック信号 $CLOCK_{DL}$ の立ち下がリエッジに同期してラッチすることで得られるスキュー検出データに応じて遅延制御信号 S_{CTRL} が生成され、その遅延制御信号 S_{CTRL} により、可変遅延回路23の選択回路63が制御される。これにより、遅延調整後データ信号 $DATA_{AD}$ と遅延調整後クロック信号 $CLOCK_{AD}$ の間の相対的な遅延が最適に調整され、遅延調整後データ信号 $DATA_{AD}$ と遅延調整後クロック信号 $CLOCK_{AD}$ の間のスキューを小さくすることができる。

【実施例5】

【0080】

図17は、実施例5における可変遅延回路23と、ラッチ回路24と、スキュー検出回路25の構成を示すブロック図である。図17に図示された回路構成は、図10に図示されている可変遅延回路23、ラッチ回路24及びスキュー検出回路25の具体的な実施例である。

【0081】

図17に図示されている実施例5における回路構成は、図15に図示されている実施例4の回路構成と類似している。相違点は、実施例5の回路構成では、スキュー検出回路25から遅延回路73が除去されると共に可変遅延回路23からスキュー検出回路25に遅延クロック信号 $CLOCK_{DL}$ が供給されることである。可変遅延回路23の遅延回路64から出力される遅延調整後クロック信号 $CLOCK_{AD}$ が、スキュー検出回路25に供給される遅延クロック信号 $CLOCK_{DL}$ としても使用される。スキュー検出回路25に供給された遅延クロック信号 $CLOCK_{DL}$ は、Dフリップフロップ74~76に供給される。

【0082】

図17に図示されている実施例5の回路構成によれば、実施例4の回路構成と比較して遅延回路の数を減少させることができる。なお、実施例5における可変遅延回路23と、ラッチ回路24と、スキュー検出回路25の動作は、実施例4と同様であり、説明を省略する。

【実施例6】

【0083】

図18は、実施例6における可変遅延回路23と、ラッチ回路24と、スキュー検出回路25の構成を示すブロック図である。図18に図示された回路構成は、図8に図示されている可変遅延回路23、ラッチ回路24及びスキュー検出回路25の具体的な実施例である。

【0084】

図18に図示されている実施例6における回路構成は、図17に図示されている実施例5の回路構成と類似している。相違点は、実施例6の回路構成では、スキュー検出回路25から遅延回路71、72が除去されると共に、可変遅延回路23からスキュー検出回路25にデータ信号 $\#0\sim\#2$ が供給されることである。遅延回路61から出力されるデータ信号 $DATA\#1$ は、選択回路63に加え、スキュー検出回路25のDフリップフロップ75に供給される。また、遅延回路62から出力されるデータ信号 $DATA\#2$ は、選択回路63に加え、スキュー検出回路25のDフリップフロップ76に供給される。ここで、実施例6では、データ信号 $DATA$ が、そのままデータ信号 $\#0$ として使用されることに留意されたい。

10

20

30

40

50

【 0 0 8 5 】

図 1 8 に図示されている実施例 6 の回路構成によれば、実施例 5 の回路構成と比較して、遅延回路の数を一層に減少させることができる。なお、実施例 6 における可変遅延回路 2 3 と、ラッチ回路 2 4 と、スキュー検出回路 2 5 の動作は、実施例 4 と同様であり、説明を省略する。

【 実施例 7 】

【 0 0 8 6 】

図 1 9 は、実施例 7 における可変遅延回路 2 3 と、ラッチ回路 2 4 と、スキュー検出回路 2 5 の構成を示すブロック図である。図 1 9 に図示された回路構成は、図 9 に図示されている可変遅延回路 2 3、ラッチ回路 2 4 及びスキュー検出回路 2 5 の具体的な実施例である。

10

【 0 0 8 7 】

実施例 7 においては、可変遅延回路 2 3 が、データ可変遅延部 2 3 A とクロック可変遅延部 2 3 B とを備えている。データ可変遅延部 2 3 A は、スキュー検出回路 2 5 から供給される遅延制御信号 S_{CTRL} に応答して、データ信号 $DATA$ を遅延した信号である遅延調整後データ信号 $DATA_{ADJ}$ を生成する回路部分である。詳細には、データ可変遅延部 2 3 A は、遅延回路 8 1、8 2 と、選択回路 8 3 とを備えている。遅延回路 8 1 は、データ信号 $DATA$ を遅延してデータ信号 $DATA\#1$ を生成する。遅延回路 8 2 は、データ信号 $DATA\#1$ を更に遅延してデータ信号 $DATA_{UI/2}$ を生成する。選択回路 8 3 は、遅延制御信号 S_{CTRL} に応答して、データ信号 $DATA\#1$ とデータ信号 $DATA_{UI/2}$ のいずれかを選択し、選択した信号を遅延調整後データ信号 $DATA_{ADJ}$ として出力する。遅延回路 8 1 によって生成されたデータ信号 $DATA\#1$ は、遅延データ信号 $DATA_{DLV}$ としてスキュー検出回路 2 5 に供給される。

20

【 0 0 8 8 】

一方、クロック可変遅延部 2 3 B は、スキュー検出回路 2 5 から供給される遅延制御信号 S_{CTRL} に応答して、クロック信号 $CLOCK$ を遅延した信号である遅延調整後クロック信号 $CLOCK_{ADJ}$ を生成する回路部分である。詳細には、クロック可変遅延部 2 3 B は、遅延回路 8 4、8 5 と、選択回路 8 6 とを備えている。遅延回路 8 4 は、クロック信号 $CLOCK$ を遅延してクロック信号 $CLOCK\#1$ を生成する。遅延回路 8 5 は、クロック信号 $CLOCK\#1$ を更に遅延してクロック信号 $CLOCK_{UI/2}$ を生成する。

30

選択回路 8 6 は、遅延制御信号 S_{CTRL} に応答して、クロック信号 $CLOCK\#1$ とクロック信号 $CLOCK_{UI/2}$ のいずれかを選択し、選択した信号を遅延調整後クロック信号 $CLOCK_{ADJ}$ として出力する。

【 0 0 8 9 】

実施例 7 におけるラッチ回路 2 4 及びスキュー検出回路 2 5 の構成は、実施例 5 (図 1 3 参照) と同一である。ラッチ回路 2 4 は、D フリップフロップ 5 1、5 2 とデシリアライザ回路 5 3 とを備えており、スキュー検出回路 2 5 は、遅延回路 4 2、4 3 と、D フリップフロップ 4 4 ~ 4 6 と、タイミング検出回路 4 7 とを備えている。本実施形態では、スキュー検出回路 2 5 に入力されるクロック信号 $CLOCK$ が、そのまま、クロック信号 $CLOCK\#0$ として用いられ、遅延回路 4 2、4 3 により、クロック信号 $CLOCK\#1$ 、 $\#2$ が生成される。

40

【 0 0 9 0 】

本実施例の一つの特徴は、可変遅延回路 2 3 に含まれる各遅延回路の遅延時間の設定にある。可変遅延回路 2 3 の遅延回路 8 1、8 4、及び、スキュー検出回路 2 5 の遅延回路 4 2、4 3 の遅延時間は、実質的に同一に設定される。遅延回路 8 1、8 4、4 2、4 3 の遅延時間を、以下、遅延時間 C という。一方、遅延回路 8 2、8 5 の遅延時間は、遅延回路 8 1、8 4、4 2、4 3 の遅延時間 C よりも長く設定される。

【 0 0 9 1 】

本実施例では、可変遅延回路 2 3 の遅延回路 8 2、8 5 の遅延時間が、 $UI/2$ に「実質的に」一致するように設定される。ここで、「 UI 」とは、当該送受信システムの仕様

50

で規定されたクロック信号CLOCKの周期の半分の時間である。また、「実質的に」とは、製造時に不可避免的に発生するバラツキを無視することを意味している。言い換えれば、データ可変遅延部23Aの選択回路83により選択されるデータ信号DATA#1、DATA_{UI/2}の遅延時間の差がUI/2になり、クロック可変遅延部23Bの選択回路86により選択されるクロック信号CLOCK#1、CLOCK_{UI/2}の遅延時間の差がUI/2になる。このような設定によれば、可変遅延回路23は、データ信号DATAとクロック信号CLOCKとの遅延がどのような関係であっても、データ信号DATAとクロック信号CLOCKのエッジのタイミングを、仕様においてデフォルトで規定された時間差に設定できる。

【0092】

図20は、実施例7におけるスキュー検出回路25の動作を示すタイミングチャートである。図20には、クロック信号CLOCKに対してデータ信号DATAのタイミングが遅延するようなスキューが発生している場合（即ち、クロック信号CLOCKの位相がデータ信号DATAに対して進んでいる場合）のスキュー検出回路25の動作を示している。この場合、位相が進んだ多相クロック信号（図20ではクロック信号CLOCK#0、#1）の、前側立ち下がりエッジに同期してラッチすることで得られるスキュー検出データが“0”になる。この場合、スキュー検出回路25から可変遅延回路23に送られる遅延制御信号S_{CTRL}は、選択回路83がデータ信号DATA#1を選択し、選択回路86がクロック信号CLOCK_{UI/2}を選択するように生成される。このような動作により、ラッチ回路24のDフリップフロップ51、52の動作タイミングのマージンを大きくすることができる。

【0093】

同様に、スキュー検出データから、データ信号DATAに対してクロック信号CLOCKのタイミングが遅延するようなスキューが発生していると判断される場合、スキュー検出回路25から可変遅延回路23に送られる遅延制御信号S_{CTRL}は、選択回路83がデータ信号DATA_{UI/2}を選択し、選択回路86がクロック信号CLOCK#1を選択するように生成される。このような動作により、ラッチ回路24のDフリップフロップ51、52の動作タイミングのマージンを大きくすることができる。

【0094】

更に、スキュー検出データからスキューが発生していないと判断される場合（例えば、スキュー検出データの全てが“1”である場合）、スキュー検出回路25から可変遅延回路23に送られる遅延制御信号S_{CTRL}は、選択回路83がデータ信号DATA#1を選択し、選択回路86がクロック信号CLOCK#1を選択するように生成される。スキューが発生していないと判断される場合には、データ信号DATAとクロック信号CLOCKとに同一の遅延時間が与えられて遅延調整後データ信号DATA_{ADJ}と遅延調整後クロック信号CLOCK_{ADJ}とが生成される。

【0095】

いずれの場合でも、本実施例においても、遅延データ信号DATA_{DLV}のデータ列“01110”を多相クロック信号CLOCK#0～#2の立ち下がりエッジに同期してラッチすることで得られるスキュー検出データに応じて遅延制御信号S_{CTRL}が生成され、その遅延制御信号S_{CTRL}により、可変遅延回路23の選択回路83、86が制御される。これにより、遅延調整後データ信号DATA_{ADJ}と遅延調整後クロック信号CLOCK_{ADJ}の間の相対的な遅延が最適に調整され、遅延調整後データ信号DATA_{ADJ}と遅延調整後クロック信号CLOCK_{ADJ}の間のスキューを小さくすることができる。

【0096】

本実施形態において、遅延回路82、85は、実際には、インバータその他の遅延素子で用いて構成されるので、温度、電源電圧、MOSトランジスタの閾値電圧バラツキ等の影響を受ける。このため、遅延回路82、85の実際の遅延時間が変動し、遅延時間UI/2からずれることが起こり得る。また、クロック信号CLOCKの実際の周期（周波数

10

20

30

40

50

)も変動し得る。このような変動の影響を抑制するためには、現に使用されているクロック信号CLOCKの周期に応じて遅延回路82、85の遅延時間UI/2が調節されることが好ましい。

【0097】

図21Aは、現に使用されているクロック信号CLOCKの周期UIに応じて遅延回路82の遅延時間UI/2を設定するための遅延回路82、85の構成の例を示す回路図である。以下では、データ信号DATA#1を遅延してデータ信号DATA_{UI/2}を生成する遅延回路82の構成を説明するが、遅延回路85の構成も、入力される信号が異なるだけで同一である。図21の構成を遅延回路85に適用する場合には、データ信号DATA#1の代わりにクロック信号CLOCK#1が入力され、データ信号DATA_{UI/2}の代わりにクロック信号CLOCK_{UI/2}が出力されることになる。

10

【0098】

図21Aの構成では、遅延回路82が、複数の遅延回路91₁~91₁₀と、複数のDフリップフロップ92₁~92₁₀と、タイミング検出回路93aと、遅延選択回路93bと、遅延回路94₁~94₇とを備えている。

【0099】

遅延回路91₁~91₁₀は、それぞれが遅延時間Cを有しており、クロック信号CLOCKからの遅延時間が異なる順次遅延信号DELAY1~DELAY10(第1の順次遅延信号)を生成する第1の順次遅延部として動作する。詳細には、遅延回路91₁は、クロック信号CLOCKを遅延時間Cだけ遅延して順次遅延信号DELAY1を生成する。遅延回路91₂は、遅延信号DELAY1を遅延時間Cだけ遅延して順次遅延信号DELAY2を生成する。以下、同様に、遅延回路91_jは、順次遅延信号DELAY(j-1)を遅延して順次遅延信号DELAYjを生成する。ここで、jは、2以上10以下の整数である。

20

【0100】

Dフリップフロップ92₁~92₁₀は、それぞれ、順次遅延信号DELAY1~DELAY10に同期してクロック信号CLOCKをラッチする遅延制御データ取得部として機能し、ラッチしたクロック信号CLOCKの値(High又はLowレベル)を、遅延制御データとして、それぞれのデータ出力Qから出力する。

【0101】

遅延回路94₁~94₇は、それぞれが遅延時間Cを有しており、直列に接続されている。遅延回路94₁~94₇は、データ信号DATA#1からの遅延時間が異なる順次遅延信号(第2の順次遅延信号)を生成する第2の順次遅延部として動作する。詳細には、1番目の遅延回路94₁の入力には、データ信号DATA#1が供給され、2番目の遅延回路94₂の入力には、1番目の遅延回路94₁の出力が接続されている。同様に、k番目の遅延回路94_kの入力には、k-1番目の遅延回路94_{k-1}の出力が接続されている。ここで、kは、2以上7以下の整数である。

30

【0102】

タイミング検出回路93aは、Dフリップフロップ92₁~92₁₀が出力する遅延制御データに応じて、遅延回路94₁~94₇から出力される順次遅延信号のうち、データ信号DATA_{UI/2}として最も適した順次遅延信号を決定する。タイミング検出回路93aには、Dフリップフロップ92₁~92₁₀が出力する値から、遅延回路94₁~94₇のいずれかが出力する順次遅延信号を選択するロジックが組み込まれる。遅延選択回路93bは、遅延回路94₁~94₇から出力される順次遅延信号のうちからタイミング検出回路93aによって決定された順次遅延信号を選択してデータ信号DATA_{UI/2}として出力する。

40

【0103】

図22Aは、図21Aの構成の遅延回路82の動作、特に、遅延選択回路93の動作を示すタイミングチャートである。図22Aでは、Dフリップフロップ92₁~92₁₀が、それぞれ、順次遅延信号DELAY1~DELAY10の立ち上がりエッジに应答して

50

クロック信号CLOCKをラッチする場合の動作が図示されている。Dフリップフロップ92₁～92₁₀が、それぞれ順次遅延信号DELAY1～DELAY10に同期してクロック信号CLOCKをラッチした場合、Dフリップフロップ92₁～92₁₀から出力される値は、それぞれ、順次遅延信号DELAY1～DELAY10の位相とクロック信号CLOCKの位相との先後を示している。よって、Dフリップフロップ92₁～92₁₀から出力される値から、クロック信号CLOCKの周期を、遅延時間C刻みで特定することができる。

【0104】

例えば、図22Aに図示されているように、順次遅延信号DELAY1～DELAY7に同期してクロック信号CLOCKをラッチして得られた値が“1”であり、遅延信号DELAY8が不安定であり、順次遅延信号DELAY9、DELAY10に同期してクロック信号CLOCKをラッチして得られた値が“0”である場合、クロック信号CLOCKの周期DIは、概ね、クロック信号CLOCKから順次遅延信号DELAY8までの遅延時間8Cに一致していると考えられる。このような場合、遅延選択回路93によってクロック信号CLOCKからの遅延時間が4Cである信号である遅延回路94₄の出力信号を選択することで、データ信号DATA#1から概ねクロック信号CLOCKの周期DIの半分だけ遅延されたデータ信号DATA_{UI/2}を出力することができる。

10

【0105】

図21Aでは、10個の遅延回路91と10個のDフリップフロップ92とを含んでいる回路構成が図示されているが、遅延回路91、Dフリップフロップ92の数は適宜に変更可能である。同様に、遅延回路94の数も、適宜に変更可能である。

20

【0106】

また、遅延回路91の遅延時間と、遅延回路94の遅延時間は、必ずしも一致している必要はないことに留意されたい。遅延回路91の遅延時間と、遅延回路94の遅延時間が相違していても、遅延選択回路93のロジックを変更すれば、Dフリップフロップ92₁～92₁₀が出力する値から、データ信号DATA#1からの遅延時間がUI/2である信号、又は、遅延時間がUI/2に最も近い信号を、遅延回路94₁～94₇のいずれかの出力信号から選択することができる。

【0107】

図21Bは、図21Aの遅延回路82の構成の変形例を図示している。図21Bの構成では、Dフリップフロップ92₁～92₁₀が、それぞれ、クロック信号CLOCKに同期して順次遅延信号DELAY1～DELAY10をラッチし、ラッチした遅延信号DELAY1～DELAY10の値(High又はLowレベル)を、遅延制御データとして、それぞれのデータ出力Qから出力する。この場合でも、Dフリップフロップ92₁～92₁₀が出力する遅延制御データに応じて、遅延回路94₁～94₇のいずれかから出力される順次遅延信号をデータ信号DATA_{UI/2}として決定するロジックをタイミング検出回路93aに組み込むことで、遅延回路94₁～94₇のいずれかから出力される順次遅延信号を、データ信号DATA_{UI/2}として適切に選択することができる。

30

【0108】

図22Bは、図21Bの構成の遅延回路82の動作を示している。図22Bでは、Dフリップフロップ92₁～92₁₀が、それぞれ、クロック信号CLOCKの立ち下がりエッジに 응답してクロック信号CLOCKをラッチする場合の動作が図示されている。図21Bの構成を採用する場合においても、本質的な動作は、図21Aの構成を採用する場合と同一である。

40

【0109】

なお、遅延回路91₁～91₁₀と、Dフリップフロップ92₁～92₁₀と、タイミング検出回路93aとは、遅延回路82、85の間で共有されてもよい。この場合、遅延回路82に対応する遅延回路94₁～94₇と遅延回路85に対応する遅延回路94₁～94₇とが設けられる。タイミング検出回路93aは、遅延回路82に含まれる遅延回路94₁～94₇から出力される順次遅延信号のいずれかを選択してデータ信号DATA_{UI}

50

$I / 2$ として出力し、遅延回路85に含まれる遅延回路94₁～94₇から出力される順次遅延信号のいずれかをクロック信号CLOCK _{$I / 2$} として出力する。

【0110】

本実施例において、可変遅延回路23の遅延回路81、84、及び、スキュー検出回路25の遅延回路42、43（図19参照）についても、遅延時間を可変に調節できる構成を採用しても良い。図23は、遅延時間を可変に調節できる遅延回路の構成の例を示している。図23の構成の遅延回路は、入力端子101に直列に接続された遅延素子102₁～102₇と、選択回路103とを備えている。選択回路103は、遅延素子102₁～102₇のいずれかの出力信号を選択し、選択した出力信号を出力端子104に出力する。選択回路103の動作は、レジスタによって設定しても良いし、メタル配線により特定の遅延回路102の出力信号が固定的に選択されるように設定してもよい。図23の構成を採用することで、選択回路103の設定によって遅延時間が可変である遅延回路を提供することができる。

10

【0111】

また、以上に説明された他の実施例のいずれにおいて用いられる遅延回路（遅延回路31～33、41～43、61、62、64、71～73）についても、図23に図示されている構成を採用してもよい。これにより、各遅延回路の遅延時間が、可変に調節可能になる。

【0112】

続いて、以下では、本実施形態の送受信システムの変形例となる実施例を説明する。

20

【実施例8】

【0113】

図24は、実施例8の送受信システムの構成を示すブロック図である。実施例8では、データ信号DATA、クロック信号CLOCKをスキュー検出回路25に供給する信号ラインに、それぞれ、スイッチ26、27が設けられる。スイッチ26、27は、スキュー検出データの生成に用いられる特定のデータ列がデータ信号DATAで伝送される期間を含む特定期間にオンされ、他の期間においてはオフされる。スイッチ26、27がオフされると、データ信号DATA、クロック信号CLOCKはスキュー検出回路25に供給されない。スイッチ26、27がオフされる期間（即ち、該特定期間以外の期間）においては、スキュー検出回路25から出力される遅延制御信号S_{CTRL}の値がホールドされる。

30

【0114】

例えば、当該送受信システムが、MIPI D-PHY規格に準拠してデータ信号DATA及びクロック信号CLOCKをレシーバ2に送信する場合、HS-SYNCコードがデータ信号DATAで伝送される期間においてスイッチ26、27がオンされ、それ以外の期間において、スイッチ26、27がオフされてもよい。

【0115】

このような構成によれば、スキューが検出される期間（即ち、スキュー検出データが生成される期間）以外において、データ信号DATA及びクロック信号CLOCKのスキュー検出回路25への供給を停止することができ、スキュー検出回路25の消費電流を低減することができる。

40

【0116】

スキュー検出回路25に、他のデータ信号（即ち、遅延データ信号DATA_{DLY}、及び、データ信号DATA_{#0}～_{#(N-1)}）が供給される場合、該データ信号をスキュー検出回路25に供給する信号ラインにスイッチを設けても良い。また、スキュー検出回路25に、他のクロック信号（即ち、遅延クロック信号CLOCK_{DLY}、及び、多相クロック信号CLOCK_{#0}～_{#(N-1)}）が供給される場合、該クロック信号をスキュー検出回路25に供給する信号ラインにスイッチを設けても良い。

【0117】

図25は、このような構成の送受信システムの例を示している。図25の構成では、遅

50

延データ信号 $DATA_{DL Y}$ を可変遅延回路 23 からスキュー検出回路 25 に供給する信号ラインにスイッチ 28 が設けられ、多相クロック信号 $CLOCK \# 0 \sim \# (N - 1)$ を可変遅延回路 23 からスキュー検出回路 25 に供給する信号ラインにスイッチ 29 が設けられる。スイッチ 28、29 は、スキュー検出データの生成に用いられる特定のデータ列がデータ信号 $DATA$ で伝送される期間を含む特定期間にオンされ、他の期間においてはオフされる。スイッチ 28、29 がオフされると、遅延データ信号 $DATA_{DL Y}$ 、多相クロック信号 $CLOCK \# 0 \sim \# (N - 1)$ はスキュー検出回路 25 に供給されない。スイッチ 28、29 がオフされる期間（即ち、該特定期間以外の期間）においては、スキュー検出回路 25 から出力される遅延制御信号 S_{CTRL} の値がホールドされる。このような構成によれば、スキューが検出される期間（即ち、スキュー検出データが生成される期間）以外において、スキュー検出回路 25 の消費電流を低減することができる。

10

【実施例 9】

【0118】

図 26 は、実施例 9 の送受信システムの構成を示すブロック図である。実施例 9 においては、複数のデータ信号、具体的には、データ信号 $DATA00 \sim DATA04$ が、クロック信号 $CLOCK$ に同期してトランスミッタ 1 からレシーバ 2 に伝送される。本実施例では、レシーバ 2 には、データ信号 $DATA00 \sim DATA04$ のそれぞれについて、可変遅延回路 23、ラッチ回路 24、及び、スキュー検出回路 25 が設けられる。

【0119】

詳細には、トランスミッタ 1 は、送信側アンプ $11_0 \sim 11_3$ 、12 を備えており、レシーバ 2 は、受信側アンプ $21_0 \sim 21_3$ 、22 を備えている。トランスミッタ 1 の送信側アンプ $11_0 \sim 11_3$ は、それぞれ、データ信号 $DATA00 \sim DATA03$ を、伝送線路 $3_0 \sim 3_3$ を介してレシーバ 2 の受信側アンプ $21_0 \sim 21_3$ に送信する。また、トランスミッタ 1 の送信側アンプ 12 は、クロック信号 $CLOCK$ を、伝送線路 4 を介してレシーバ 2 の受信側アンプ 22 に送信する。伝送線路 $3_0 \sim 3_3$ 、4 においては、データ信号 $DATA00 \sim DATA03$ 及びクロック信号 $CLOCK$ は、いずれも、差動小振幅信号として伝送される。受信側アンプ $21_0 \sim 21_3$ 、22 は、それぞれ、差動小振幅信号として伝送されたデータ信号 $DATA00 \sim DATA03$ 、クロック信号 $CLOCK$ をシングルエンド信号に変換する。即ち、受信側アンプ $21_0 \sim 21_3$ 、22 から出力されるデータ信号 $DATA00 \sim DATA03$ 、クロック信号 $CLOCK$ は、いずれも、シン

20

30

【0120】

レシーバ 2 は、更に、可変遅延回路 $23_0 \sim 23_3$ と、ラッチ回路 $24_0 \sim 24_3$ と、スキュー検出回路 $25_0 \sim 25_3$ とを備えている。可変遅延回路 $23_0 \sim 23_3$ は、それぞれ、データ信号 $DATA00 \sim DATA03$ とクロック信号 $CLOCK$ の間の相対的な遅延を調節する回路である。ラッチ回路 $24_0 \sim 24_3$ は、それぞれ、可変遅延回路 $23_0 \sim 23_3$ から供給される遅延調整後クロック信号 $CLOCK_{ADJ}$ に同期して遅延調整後データ信号 $DATA_{ADJ}$ をラッチし、出力データ信号 $DOU T_0 \sim DOU T_3$ を生成する。スキュー検出回路 $25_0 \sim 25_3$ は、それぞれ、データ信号 $DATA00 \sim DATA03$ とクロック信号 $CLOCK$ の間のスキューを検出し、検出されたスキューに応じて遅延制御信号 $S_{CTRL_0} \sim S_{CTRL_3}$ を生成する。生成された遅延制御信号 $S_{CTRL_0} \sim S_{CTRL_3}$ は、可変遅延回路 $23_0 \sim 23_3$ に送られる。可変遅延回路 $23_0 \sim 23_3$ においては、検出されたスキューに応じて生成された遅延制御信号 $S_{CTRL_0} \sim S_{CTRL_3}$ に応答して、データ信号 $DATA00 \sim DATA03$ とクロック信号 $CLOCK$ の間の相対的な遅延が制御される。可変遅延回路 $23_0 \sim 23_3$ 、ラッチ回路 $24_0 \sim 24_3$ 、スキュー検出回路 $25_0 \sim 25_3$ の構成は、上述の実施例で説明されておりである。

40

【0121】

本実施例においては、複数のデータ信号 $DATA00 \sim DATA03$ のそれぞれについて、個別に、クロック信号 $CLOCK$ とのスキューを解消することができる。

50

【 0 1 2 2 】

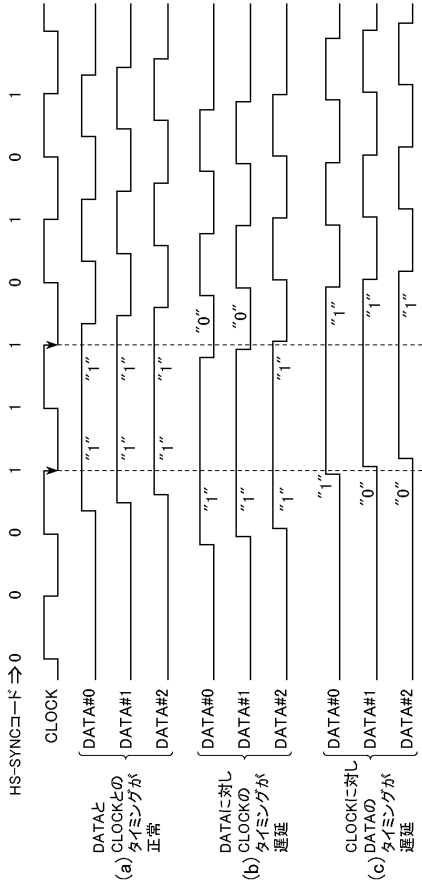
以上には、本発明の具体的な実施形態及び実施例が説明されているが、本発明は、上記の実施形態及び実施例に限定されると解釈してはならない。本発明が、様々な変更と共に実施され得ることは、当業者には自明的であろう。

【 符号の説明 】

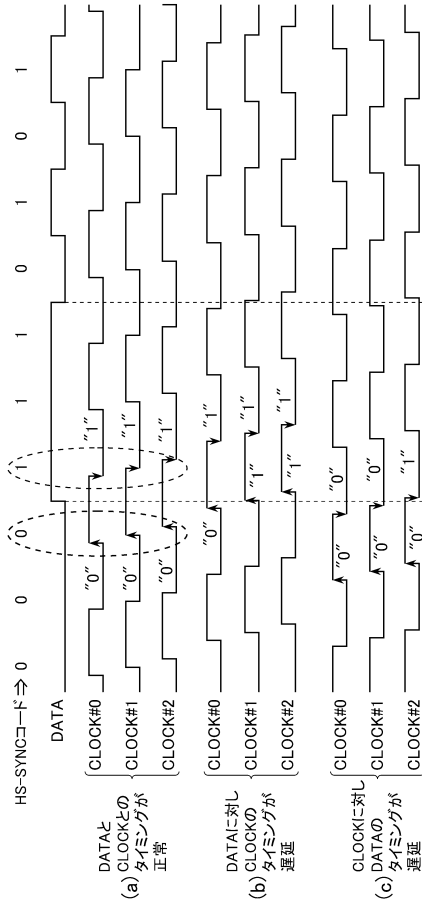
【 0 1 2 3 】

1	: トランスミッタ	
2	: レシーバ	
3、4	: 伝送線路	
1 1、1 2	: 送信側アンプ	10
2 1、2 2	: 受信側アンプ	
2 3	: 可変遅延回路	
2 3 A	: データ可変遅延部	
2 3 B	: クロック可変遅延部	
2 4	: ラッチ回路	
2 5	: スキュー検出回路	
2 6 ~ 2 9	: スイッチ	
3 1 ~ 3 3	: 遅延回路	
3 4	: 選択回路	
4 1 ~ 4 3	: 遅延回路	20
4 4 ~ 4 6	: Dフリップフロップ	
4 7	: タイミング検出回路	
5 1、5 2	: Dフリップフロップ	
5 3	: デシリアライザ回路	
6 1、6 2	: 遅延回路	
6 3	: 選択回路	
6 4	: 遅延回路	
7 1 ~ 7 3	: 遅延回路	
7 4 ~ 7 6	: Dフリップフロップ	
7 7	: タイミング検出回路	30
8 1、8 2	: 遅延回路	
8 3	: 選択回路	
8 4、8 5	: 遅延回路	
8 6	: 選択回路	
9 1	: 遅延回路	
9 2	: Dフリップフロップ	
9 3 a	: タイミング検出回路	
9 3 b	: 遅延選択回路	
9 4	: 遅延回路	
1 0 1	: 入力端子	40
1 0 2	: 遅延回路	
1 0 3	: 選択回路	
1 0 4	: 出力端子	

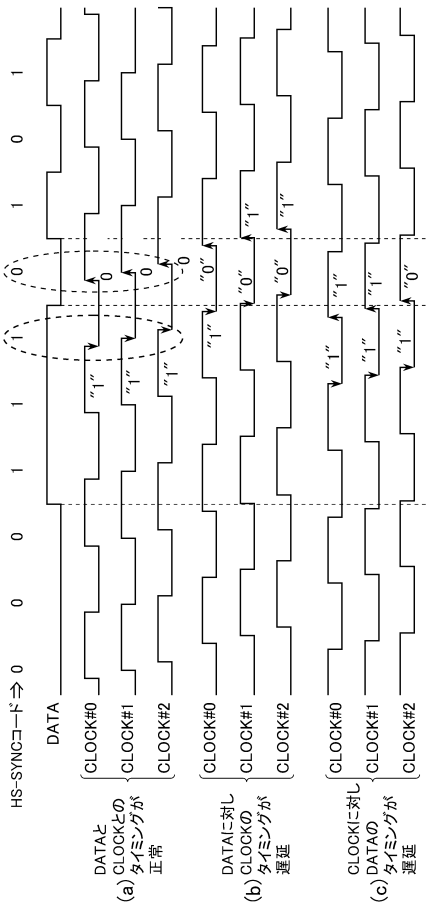
【図5】



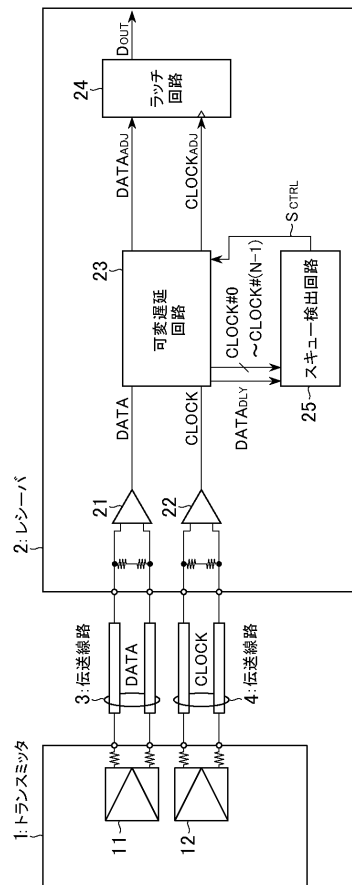
【図6A】



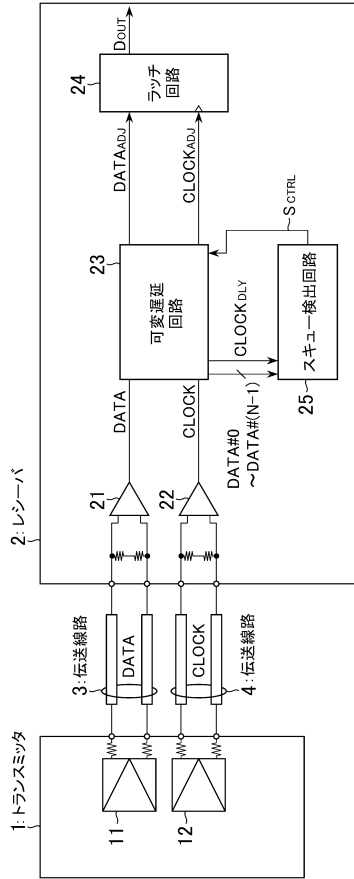
【図6B】



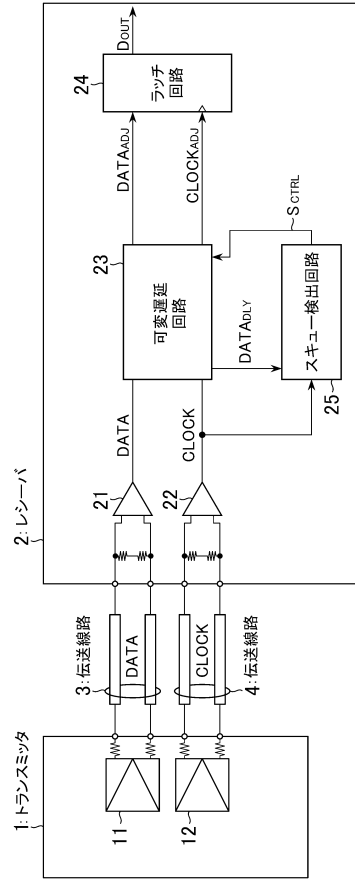
【図7】



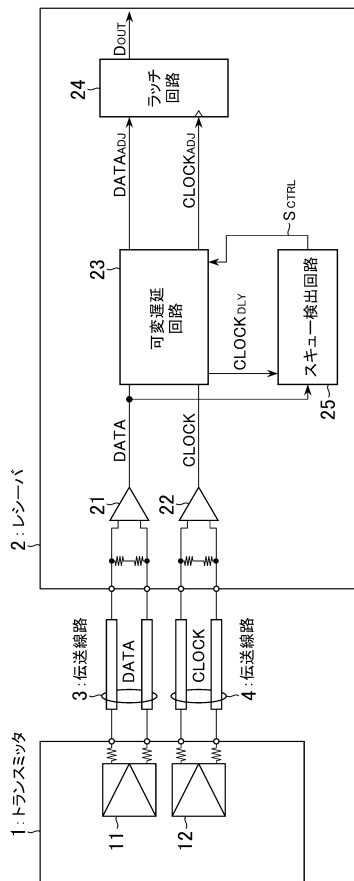
【 図 8 】



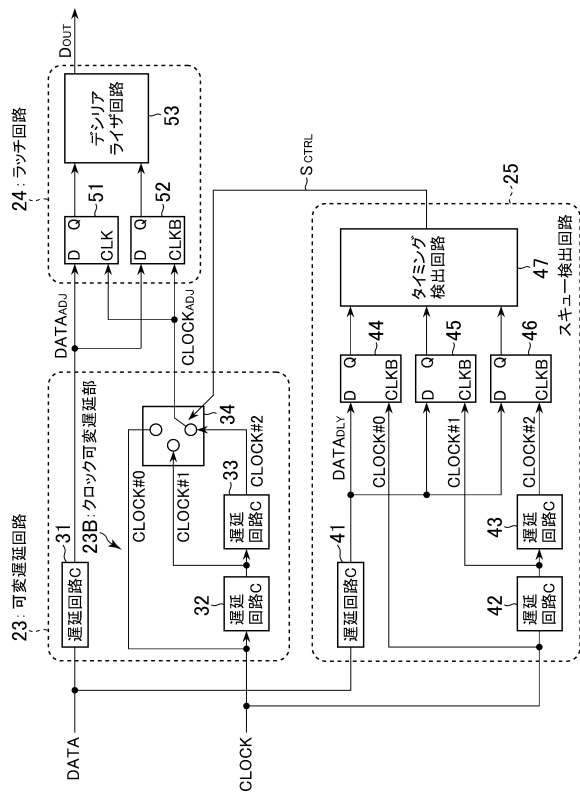
【 図 9 】



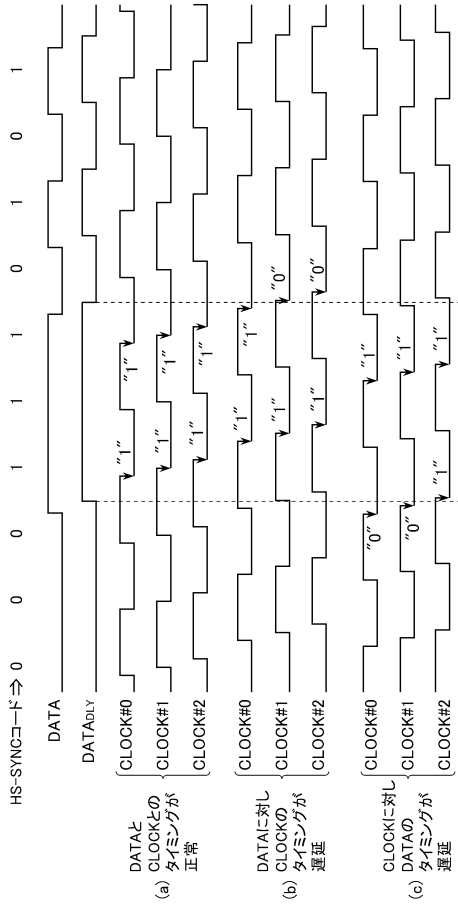
【 図 10 】



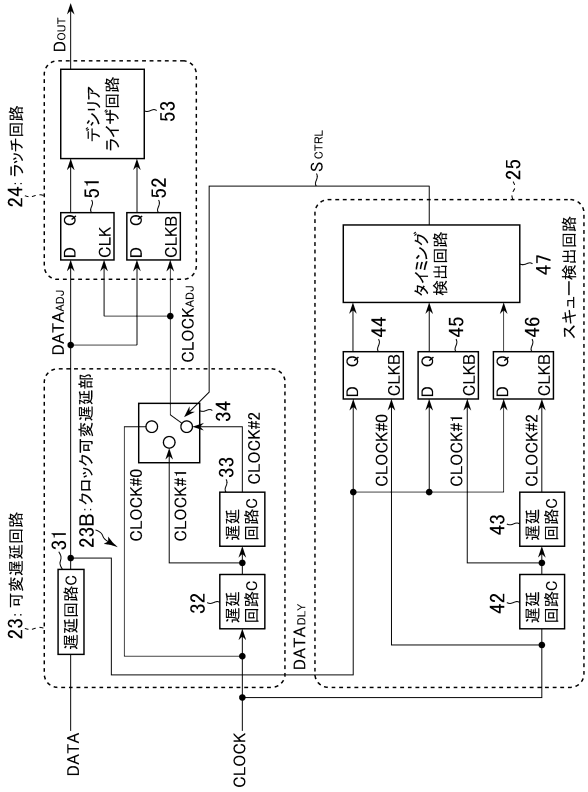
【 図 11 】



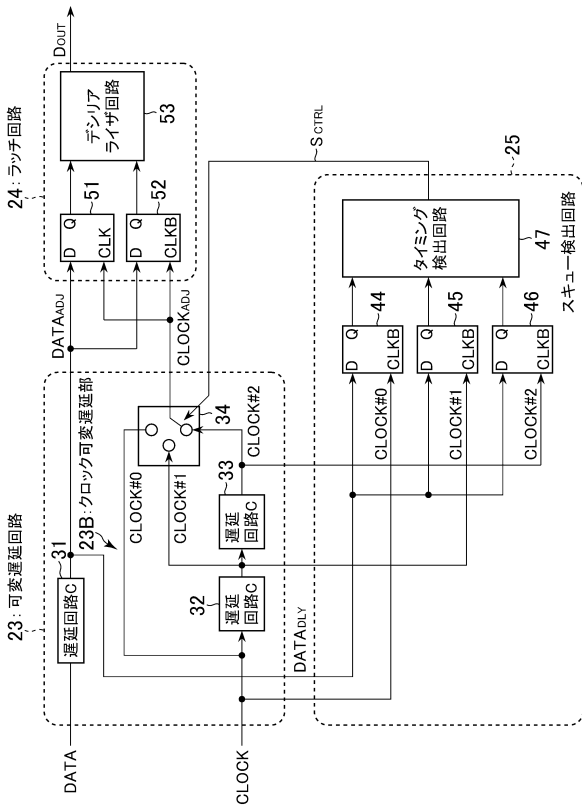
【図 1 2】



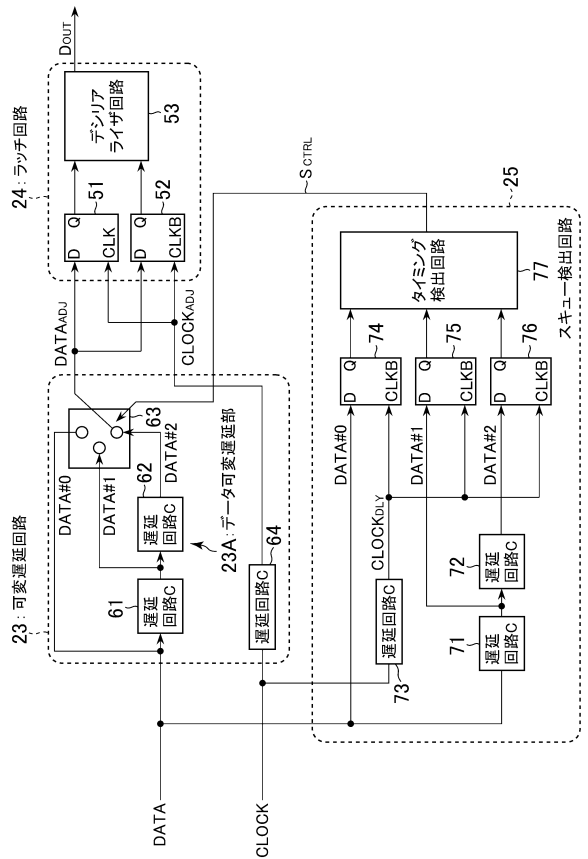
【図 1 3】



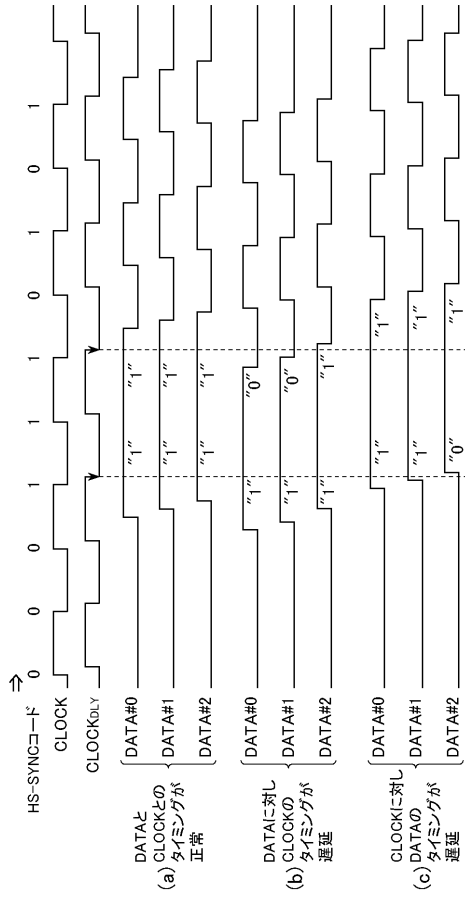
【図 1 4】



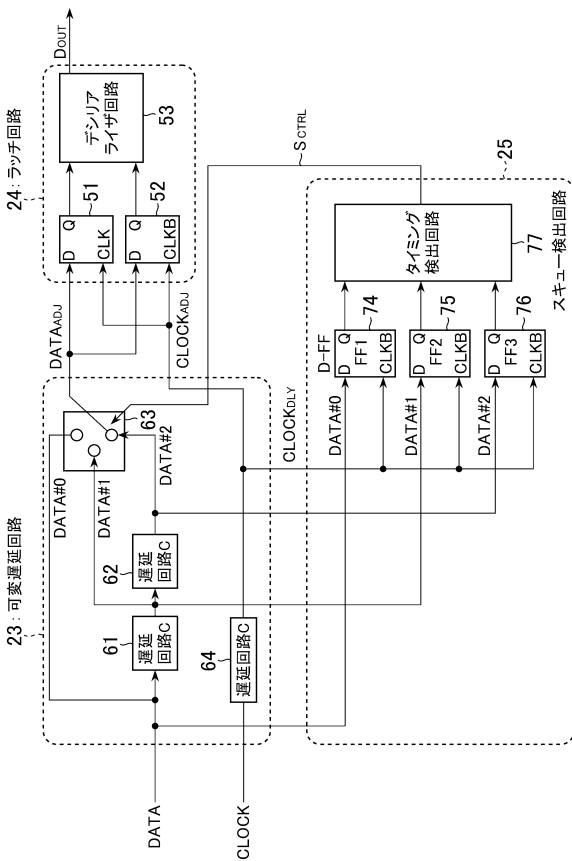
【図 1 5】



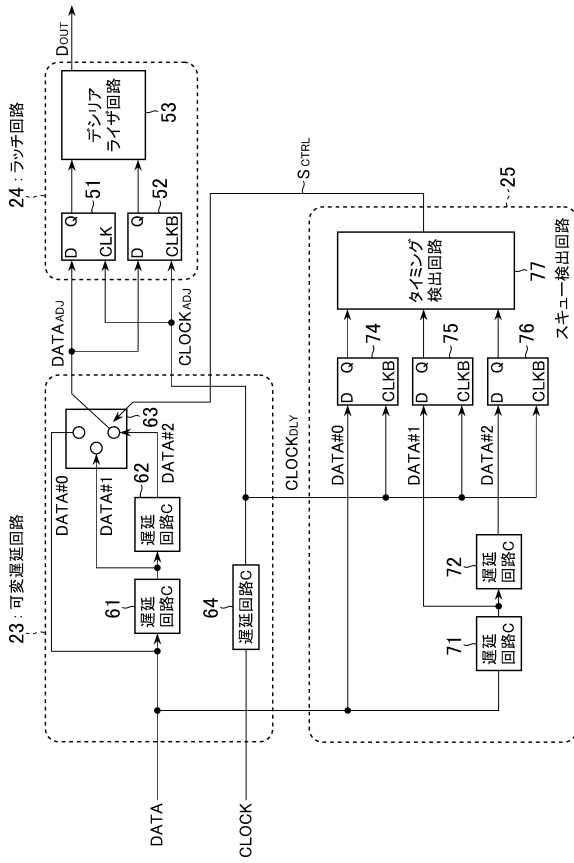
【図16】



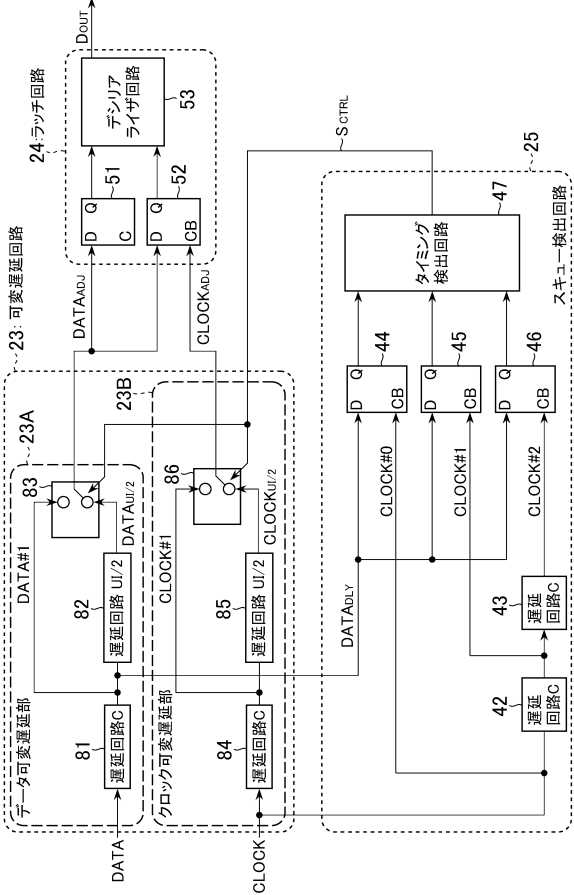
【図18】



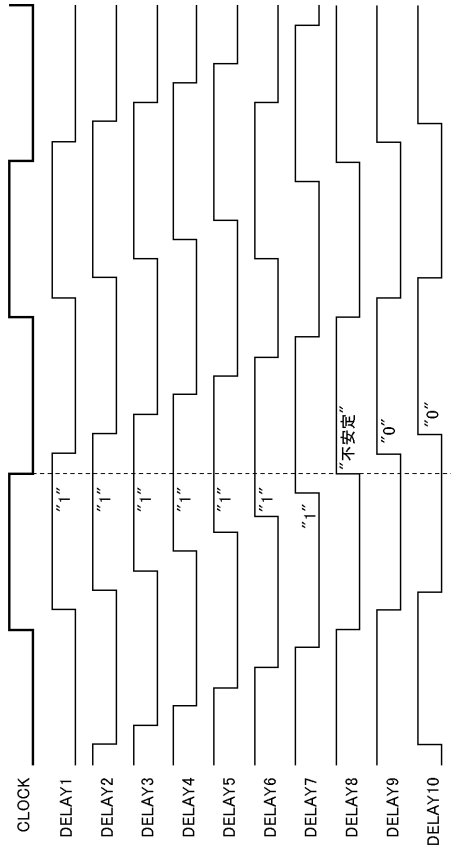
【図17】



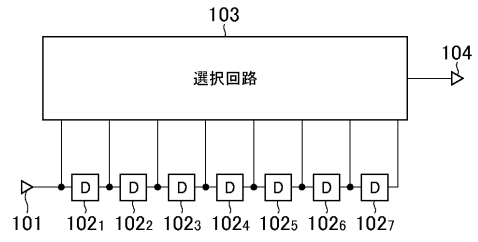
【図19】



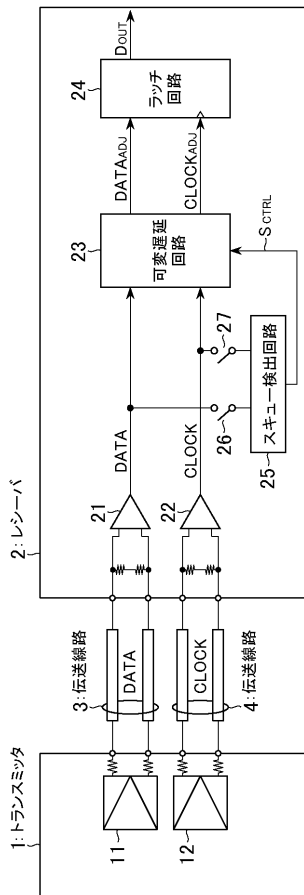
【 図 2 2 B 】



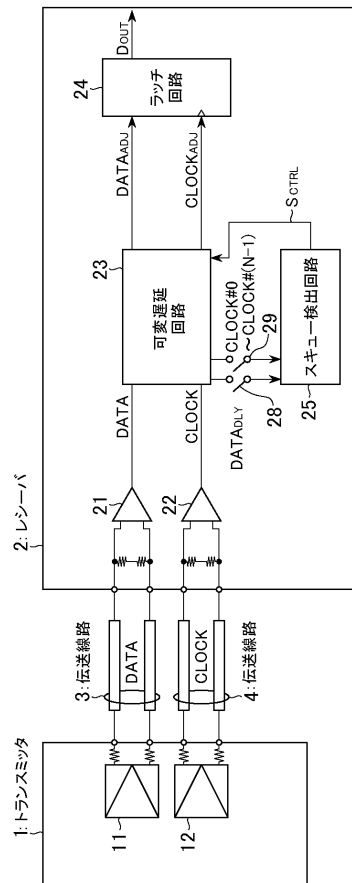
【 図 2 3 】



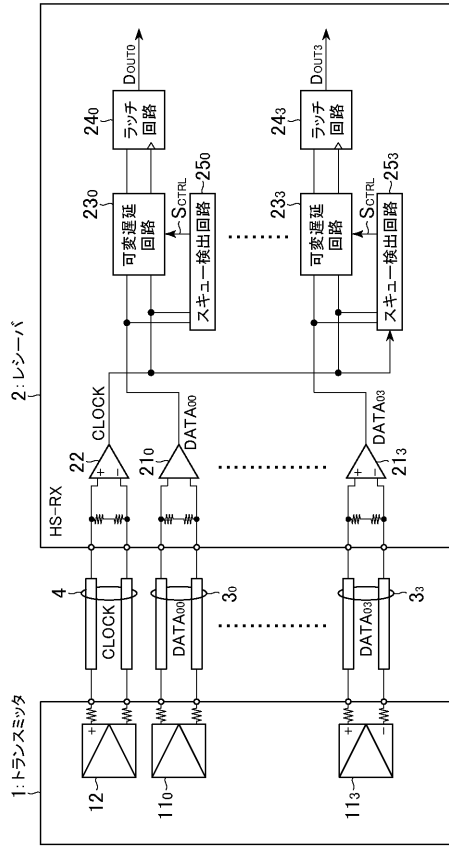
【 図 2 4 】



【 図 2 5 】



【図26】



フロントページの続き

(72)発明者 黒沢 淳

東京都小平市上水本町5丁目20番1号 株式会社ルネサスエスピードライバ内

(72)発明者 田村 敬

東京都小平市上水本町5丁目20番1号 株式会社ルネサスエスピードライバ内

審査官 阿部 弘

(56)参考文献 特開2004-328063(JP,A)

特開2010-056977(JP,A)

特開平07-084946(JP,A)

特開2012-231290(JP,A)

特開2010-041283(JP,A)

米国特許出願公開第2012/0294401(US,A1)

(58)調査した分野(Int.Cl., DB名)

H04L 7/00