



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0043956
(43) 공개일자 2025년03월31일

(51) 국제특허분류(Int. Cl.)
H10N 70/20 (2023.01) H10N 70/00 (2024.01)
(52) CPC특허분류
H10N 70/24 (2023.02)
H10N 70/011 (2023.02)
(21) 출원번호 10-2023-0127312
(22) 출원일자 2023년09월22일
심사청구일자 2023년09월22일

(71) 출원인
경희대학교 산학협력단
경기도 용인시 기흥구 덕영대로 1732 (서천동, 경희대학교 국제캠퍼스내)
(72) 발명자
이홍섭
경기도 성남시 분당구 미금로 215, 812동 703호 (금곡동, 청솔마을)
임병민
경상북도 예천군 예천읍 나부들길 44
(74) 대리인
김종선, 이형석

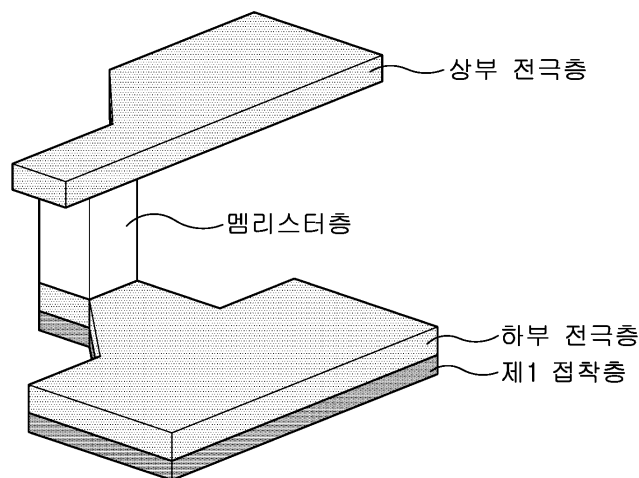
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 알칼리 이온 저장층을 포함하는 메모리스트 소자 및 이의 제조 방법

(57) 요약

본 발명은 알칼리 금속을 포함하는 제1 접착층(adhesion layer); 상기 제1 접착층 상에 형성된 하부 전극층; 상기 하부 전극층 상에 형성되고, 전이금속 산화물을 포함하는 메모리스트층; 및 상기 메모리스트층 상에 형성된 상부 전극층;을 포함하는, 메모리스트 소자를 개시한다. 본 발명에 의하면, 알칼리 금속을 포함하는 접착층 내 알칼리 이온이 확산되어 전이금속 산화물을 포함하는 메모리스트층 계면에 도핑됨에 따라, 유지(retention) 특성과 반복쓰기(endurance) 특성이 향상되고 균일한 조성의 고신뢰성 메모리스트 소자를 구현할 수 있다.

대표도 - 도1



(52) CPC특허분류

H10N 70/826 (2023.02)

H10N 70/841 (2023.02)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711180134
과제번호	2022M3F3A2A01044952
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	차세대지능형반도체기술개발(소자)
연구과제명	인터페이스 타입 알칼리 이온 메모리스터를 이용한 4K 급 고신뢰성 크로스바 집적소자
기 여 율	1/2
과제수행기관명	경희대학교 산학협력단
연구기간	2022.04.15 ~ 2024.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1711156554
과제번호	2022R1C1C1006337
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)
연구과제명	웨이퍼 스케일 초고신뢰성 알칼리 이온기반 메모리스터 메모트랜지스터 소자 및 공정 개
발	
기 여 율	1/2
과제수행기관명	경희대학교 산학협력단
연구기간	2022.03.01 ~ 2026.02.28

명세서

청구범위

청구항 1

알칼리 금속을 포함하는 제1 접착층(adhesion layer);

상기 제1 접착층 상에 형성된 하부 전극층;

상기 하부 전극층 상에 형성되고, 전이금속 산화물을 포함하는 맴리스터층; 및 상기 맴리스터층 상에 형성된 상부 전극층;을 포함하는, 맴리스터 소자.

청구항 2

제1항에 있어서,

상기 맴리스터층 형성시 상기 제1 접착층 내 알칼리 이온이 확산되어 상기 맴리스터층 하부 계면에 도핑되는 것을 특징으로 하는, 맴리스터 소자.

청구항 3

제1항에 있어서,

상기 알칼리 금속은 리튬(Li), 나트륨(Na), 칼륨(K), 루비듐(Rb), 세슘(Cs) 및 프랑슘(Fr)으로 이루어진 군으로부터 선택되는 어느 하나 이상인 것을 특징으로 하는, 맴리스터 소자.

청구항 4

제1항에 있어서,

하부 전극층은 금(Au), 백금(Pt), 주석(Sn), 구리(Cu), 팔라듐(Pd) 및 은(Ag)으로 이루어진 군으로부터 선택되는 어느 하나 이상을 포함하는, 맴리스터 소자.

청구항 5

제1항에 있어서,

상기 전이금속 산화물은 산화티타늄(TiO_2), 산화하프늄(HfO_2), 산화아연(ZnO), 산화알루미늄(Al_2O_3) 및 산화지르코늄(ZrO_2)으로 이루어진 군으로부터 선택되는 어느 하나 이상인 것을 특징으로 하는, 맴리스터 소자.

청구항 6

제1항에 있어서,

상부 전극층은 금(Au), 백금(Pt), 주석(Sn), 구리(Cu), 팔라듐(Pd) 및 은(Ag)으로 이루어진 군으로부터 선택되는 어느 하나 이상을 포함하는, 맴리스터 소자.

청구항 7

제1항에 있어서,

상기 메모리스터층과 상기 상부 전극층 사이에 형성된 제2 접착층을 더 포함하는, 메모리스터 소자.

청구항 8

제7항에 있어서,

상기 제2 접착층은 리튬(Li), 나트륨(Na), 칼륨(K), 루비듐(Rb), 세슘(Cs) 및 프랑슘(Fr)으로 이루어진 군으로부터 선택되는 어느 하나 이상을 포함하는, 메모리스터 소자.

청구항 9

알칼리 금속을 포함하는 제1 접착층을 형성하는 단계;

상기 제1 접착층 상에 하부 전극층을 형성하는 단계;

상기 하부 전극층 상에 전이금속 산화물을 포함하는 메모리스터층을 형성하는 단계; 및

상기 메모리스터층 상에 상부 전극층을 형성하는 단계;를 포함하는, 메모리스터 소자의 제조 방법.

청구항 10

제9항에 있어서,

상기 메모리스터층 형성시 상기 제1 접착층 내 알칼리 이온이 확산되어 상기 메모리스터층 하부 계면에 도핑되는 것을 특징으로 하는, 메모리스터 소자의 제조 방법.

청구항 11

제9항에 있어서,

상기 상부 전극층을 형성하는 단계 이전에, 상기 메모리스터층 상에 제2 접착층을 형성하는 단계;를 더 포함하는, 메모리스터 소자의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 알칼리 이온 기반 메모리스터 소자 및 이의 제조 방법에 관한 것으로, 보다 구체적으로, 메모리스터층 형성시 알칼리 금속을 포함하는 접착층 내 알칼리 이온이 확산되어 메모리스터층 계면에 도핑되는 메모리스터 소자 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 지금까지 개발된 컴퓨팅 시스템은 메모리, 프로세서, 컨트롤러 등이 별도로 존재하는 폰 노이만 아키텍처(von-Neumann architecture)로 구성되어, 반도체 재료를 이용한 연산 및 논리 소자와 메모리 소자의 집적을 통하여 발전하여 왔다. 예를 들어, 메모리 및 프로세싱 유닛의 디지털 및 아날로그 회로는 대부분 CMOS(Complementary Metal-Oxide-Semiconductor) 장치를 포함하여 구성될 수 있다. 컴퓨팅 및 정보 기술의 성능 향상에 따라, 이러한 CMOS 장치의 스케일링 축소(scaling down)를 기반으로 동작 주파수(operating frequency)를 높이면서 전력 소비를 효율적으로 줄일 수 있었다.

[0003] 하지만, 지속적인 집적도(integration density)의 향상을 요구하는 시스템 개선 요구에 비해, 소자의 집적도를 높이는 데는 거의 한계에 이르렀다. 즉, 최신 CMOS 장치 등의 집적도는 무어의 법칙을 따르지 않고 있으며, 그 스케일링 축소(scaling down)도 물리적 한계에 빠르게 도달하고 있다.

- [0004] 또한, 더욱 복잡해지는 정보 처리 환경과 고밀도의 정보저장을 요구하는 환경에서, 종래의 폰 노이만 시스템은 논리 소자와 메모리 소자 사이의 신호전달의 지연 등에 의한 성능 개선의 한계와 높은 에너지 소모의 문제를 안고 있다. 즉, 동작 주파수와 장치 밀도의 증가에 따라 전력 소비와 동작 온도가 증가하면서, 메모리와 프로세서 간에 데이터를 전송하는데 소요되는 시간과 에너지로 인해, 폰 노이만 시스템은 그 성능이 심각하게 저하될 수 있다. 이러한 현상은 실시간 이미지 인식, 자연어 처리 등과 같은 데이터 중심의 응용 분야에서 특히 두드러지며, 이러한 응용 분야에서의 폰 노이만 시스템은 인간의 두뇌를 능가할 수 없다.
- [0005] 폰 노이만 시스템과 달리, 인간의 두뇌는 높은 연결성(connectivity)을 이용한 병렬처리 능력과 더불어 연산기와 기억기능을 시냅스(synapse)를 통하여 동시에 수행하는 특성을 갖고 있다. 즉, 인간의 두뇌에는 약 10^{11} 개의 뉴런(neuron)이 존재하여 저전력 컴퓨팅 요소로 작용하고, 각각의 뉴런과 뉴런 사이에는 약 10^4 개의 시냅스라고 하는 연결부위가 존재하여 적응형 메모리 요소로 작용하며, 이들이 연결된 대규모 병렬 구조를 통해 방대한 양의 정보를 병렬 처리할 수 있다. 그 결과, 단순 계산에 있어서는 폰 노이만 시스템이 인간의 두뇌보다 더 우수한 성능을 나타내지만, 비정형 데이터 분류, 패턴 인식 등 복잡한 환경에서는 인간의 두뇌가 더 우수한 성능을 나타낸다.
- [0006] 따라서, 복잡한 정보처리 환경에서, 인간의 두뇌를 모사한 뉴로모픽 컴퓨팅 시스템(neuromorphic computing system)은 폰 노이만 시스템에 비해 더욱 우수한 성능을 보일 수 있다. 예를 들어, 이러한 뉴로모픽 컴퓨팅 시스템은 멤리스터(memristor) 소자로 구성된 초고밀도 크로스바 어레이(crossbar array)를 통해, 인간의 두뇌에서 발견되는 대규모 병렬성과 극도로 낮은 전력 동작을 모방할 수 있다.
- [0007] 한편, 멤리스터 소자는 인가된 전압 및 전류의 이력에 기초하여 내부 저항의 상태를 유지할 수 있는 전기 저항 스위치(resistive switch)로 동작한다. 즉, 멤리스터 소자는 정보를 저항 형태로 저장하고 이를 기반으로 연산 기능을 할 수 있으며, 기존의 집적 회로 기술을 능가하는 여러 성능 특성을 제공한다. 예를 들어, 멤리스터 소자는 도체-절연체-도체의 스택으로 이루어질 수 있으며, 대규모 크로스바 어레이 구조로 제작하면 vector-matrix multiplication 연산을 기존 CMOS 대비 매우 효율적으로 수행할 수 있다. 현재 deep learning 또는 artificial neural network이라 불리는 인공지능 알고리즘은 vector-matrix multiplication 연산을 기반으로 구성된다. 따라서, 멤리스터 크로스바 어레이는 현재까지 제안된 인공지능 하드웨어 중 가장 효율적이고 진보적인 인공지능 연산기능을 제공할 것으로 기대되는 하드웨어이며 현재 뉴로모픽 하드웨어라는 이름으로 많은 연구가 진행중에 있다.
- [0008] 특히, 멤리스터 소자는 아날로그 메모리 특성을 갖는 수동 저항 소자로써 전이금속 산화물 내 산소공공의 이동을 통하여 저항변화 특성을 나타내는데, 이러한 저항변화 메커니즘은 크게 필라멘트 타입과 인터페이스 타입으로 구분된다. 인터페이스 타입의 멤리스터 소자는 필라멘트 타입의 멤리스터 소자에 비하여 고신뢰성 및 아날로그 저항상태 구현에 유리하지만 느린 동작 속도, 유지(retention) 특성과 반복쓰기(endurance) 특성이 낮은 문제점을 갖고 있다.
- [0009] 이러한 문제점을 극복하기 위하여 최근 고체 내 확산이 유리한 알칼리 이온(Li, Na 등)을 기반으로 하는 인터페이스 타입의 멤리스터 소자가 개발 중에 있다. 그러나 알칼리 이온 기반의 멤리스터 소자는 알칼리 이온의 조성 제어가 매우 어려워 신뢰성있는 박막 증착, 균일한 조성의 박막 재현 등에 어려움이 존재한다.
- [0010] 이에 본 발명자들은 멤리스터층 형성시 알칼리 금속을 포함하는 집착층 내 알칼리 이온이 확산되어 멤리스터층 계면에 도핑되는 멤리스터 소자 및 이의 제조 기술을 개발하여 본 발명을 완성하였다.

선행기술문헌

특허문헌

- [0011] (특허문헌 0001) 대한민국 등록특허공보 제10-2548684호

발명의 내용

해결하려는 과제

- [0012] 본 발명은 알칼리 금속을 포함하는 집착층 내 알칼리 이온이 확산되어 전이금속 산화물을 포함하는 멤리스터층

계면에 도핑됨에 따라, 유지(retention) 특성 및 반복쓰기(endurance) 특성이 향상되고 균일한 조성의 고신뢰성 메모리스터 소자 및 이의 제조 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0013] 상기 목적을 달성하기 위하여, 본 발명은 알칼리 금속을 포함하는 제1 접착층(adhesion layer); 상기 제1 접착층 상에 형성된 하부 전극층; 상기 하부 전극층 상에 형성되고, 전이금속 산화물을 포함하는 메모리스터층; 및 상기 메모리스터층 상에 형성된 상부 전극층;을 포함하는, 메모리스터 소자를 개시한다.
- [0014] 여기서, 본 발명은 상기 메모리스터층 형성시 상기 제1 접착층 내 알칼리 이온이 확산되어 상기 메모리스터층 하부 계면에 도핑될 수 있다.
- [0015] 여기서, 상기 알칼리 금속은 리튬(Li), 나트륨(Na), 칼륨(K), 루비듐(Rb), 세슘(Cs) 및 프랑슘(Fr)으로 이루어진 군으로부터 선택되는 어느 하나 이상일 수 있다.
- [0016] 여기서, 하부 전극층은 금(Au), 백금(Pt), 주석(Sn), 구리(Cu), 팔라듐(Pd) 및 은(Ag)으로 이루어진 군으로부터 선택되는 어느 하나 이상을 포함할 수 있다.
- [0017] 여기서, 전이금속 산화물은 산화티타늄(TiO_2), 산화하프늄(HfO_2), 산화아연(ZnO), 산화알루미늄(Al_2O_3) 및 산화지르코늄(ZrO_2)으로 이루어진 군으로부터 선택되는 어느 하나 이상일 수 있다.
- [0018] 여기서, 상부 전극층은 금(Au), 백금(Pt), 주석(Sn), 구리(Cu) 팔라듐(Pd) 및 은(Ag)으로 이루어진 군으로부터 선택되는 어느 하나 이상을 포함할 수 있다.
- [0019] 여기서, 본 발명은 상기 메모리스터층과 상기 상부 전극층 사이에 형성된 제2 접착층을 더 포함할 수 있다.
- [0020] 여기서, 상기 제2 접착층은 리튬(Li), 나트륨(Na), 칼륨(K), 루비듐(Rb), 세슘(Cs) 및 프랑슘(Fr)으로 이루어진 군으로부터 선택되는 어느 하나 이상을 포함할 수 있다.
- [0021] 한편, 상기 목적을 달성하기 위하여, 본 발명은 알칼리 금속을 포함하는 제1 접착층을 형성하는 단계; 상기 제1 접착층 상에 하부 전극층을 형성하는 단계; 상기 하부 전극층 상에 전이금속 산화물을 포함하는 메모리스터층을 형성하는 단계; 및 상기 메모리스터층 상에 상부 전극층을 형성하는 단계;를 포함하는, 메모리스터 소자의 제조 방법을 추가로 개시한다.
- [0022] 여기서, 본 발명은 상기 메모리스터층 형성시 상기 제1 접착층 내 알칼리 이온이 확산되어 상기 메모리스터층 하부 계면에 도핑될 수 있다.
- [0023] 여기서, 본 발명은 상기 상부 전극층을 형성하는 단계 이전에, 상기 메모리스터층 상에 제2 접착층을 형성하는 단계;를 더 포함할 수 있다.

발명의 효과

- [0024] 본 발명에 의하면, 알칼리 금속을 포함하는 접착층 내 알칼리 이온이 확산되어 전이금속 산화물을 포함하는 메모리스터층 계면에 도핑됨에 따라, 유지(retention) 특성과 반복쓰기(endurance) 특성이 향상되고 균일한 조성의 고신뢰성 메모리스터 소자를 구현할 수 있다.
- [0025] 본 발명의 효과는 상기한 효과로 한정되는 것은 아니며, 본 발명의 상세한 설명 또는 청구범위에 기재된 발명의 구성으로부터 추론 가능한 모든 효과를 포함하는 것으로 이해되어야 한다.

도면의 간단한 설명

- [0026] 도 1은 본 발명의 일 실시예에 따른 메모리스터 소자의 모식도를 도시한 것이다.
- 도 2는 본 발명의 일 실시예에 따른 메모리스터 소자의 모식도를 도시한 것이다.
- 도 3은 본 발명의 일 실시예에 따른 메모리스터 소자의 제조 방법을 각 단계별 순서도로 도시한 것이다.
- 도 4는 본 발명의 일 실시예에 따른 메모리스터 소자의 제조 방법에서 메모리스터층을 형성하는 단계를 모식도로 도시한 것이다.
- 도 5는 본 발명의 일 실시예에 따른 메모리스터 소자의 깊이 방향에 따른 이차이온질량분석법(Secondary Ion Mass

Spectrometry, SIMS) 측정 결과를 그래프로 도시한 것이다.

도 6은 본 발명의 일 실시예에 따른 메모리스터 소자의 Li 1s에 관한 XPS(X-ray photoelectron spectroscopy) 측정 결과를 그래프로 도시한 것이다.

도 7은 본 발명의 일 실시예에 따른 메모리스터 소자의 저항변화 특성을 측정하여 그래프로 도시한 것이다.

도 8은 본 발명의 일 실시예에 따른 메모리스터 소자의 크로스바 어레이 구조의 사진 및 해당 구조에서 저항변화 특성을 측정하여 그래프로 도시한 것이다.

도 9는 본 발명의 일 실시예에 따른 메모리스터 소자의 유지(retention) 특성 측정 결과를 그래프로 도시한 것이다.

도 10은 본 발명의 일 실시예에 따른 메모리스터 소자의 반복쓰기(endurance) 특성 측정 결과를 그래프로 도시한 것이다.

발명을 실시하기 위한 구체적인 내용

[0027] 본 출원에서 사용하는 용어는 단지 특정한 예시를 설명하기 위하여 사용되는 것이다. 때문에 가령 단수의 표현은 문맥상 명백하게 단수여야만 하는 것이 아닌 한, 복수의 표현을 포함한다. 덧붙여, 본 출원에서 사용되는 "포함하다" 또는 "구비하다" 등의 용어는 명세서 상에 기재된 특징, 단계, 기능, 구성요소 또는 이들을 조합한 것이 존재함을 명확히 지칭하기 위하여 사용되는 것이지, 다른 특징들이나 단계, 기능, 구성요소 또는 이들을 조합한 것의 존재를 예비적으로 배제하고자 사용되는 것이 아님에 유의해야 한다.

[0028] 한편, 다르게 정의되지 않는 한, 본 명세서에서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진 것으로 보아야 한다. 따라서, 본 명세서에서 명확하게 정의하지 않는 한, 특정 용어가 과도하게 이상적이거나 형식적인 의미로 해석되어서는 안 된다.

[0030] <알칼리 이온 기반 메모리스터 소자>

[0031] 본 명세서는 알칼리 금속을 포함하는 제1 접착층(adhesion layer); 상기 제1 접착층 상에 형성된 하부 전극층; 상기 하부 전극층 상에 형성되고, 전이금속 산화물을 포함하는 메모리스터층; 및 상기 메모리스터층 상에 형성된 상부 전극층;을 포함하는, 메모리스터 소자를 개시한다.

[0032] 본 발명의 메모리스터 소자는 인터페이스 타입의 메모리스터 소자인 것이 바람직하나, 이에 한정되는 것은 아니다.

[0033] 도 1은 본 발명의 일 실시예에 따른 메모리스터 소자의 모식도를 도시한 것이다. 도 1을 참조하면, 본 발명의 메모리스터 소자는, 알칼리 금속을 포함하는 제1 접착층; 상기 제1 접착층 상에 형성된 하부 전극층; 상기 하부 전극층 상에 형성되고, 전이금속 산화물을 포함하는 메모리스터층; 및 상기 메모리스터층 상에 형성된 상부 전극층;을 포함하는 것을 확인할 수 있다.

[0034] 본 발명의 메모리스터 소자는 상기 메모리스터층 형성시 상기 제1 접착층 내 알칼리 이온이 확산되어 상기 메모리스터층 하부 계면에 도핑되는 것을 특징으로 한다. 즉, 본 발명의 메모리스터 소자는 하부 전극층과 메모리스터층 사이의 계면과 상부 전극층과 메모리스터층 사이의 계면의 결합 밀도가 상이한 것을 특징으로 한다.

[0035] 구체적으로, 본 발명의 메모리스터 소자는 하부 전극층의 아래 제1 접착층으로써 알칼리 금속층을 적층 후, 원자층 증착 공정을 통한 메모리스터층 증착시 하부의 알칼리 금속층 내 알칼리이온이 하부 전극층 위로 확산하여 메모리스터층 하부 계면에 저장될 수 있다. 일반적으로, 알칼리 금속은 쉽게 산화되는 성질을 갖고 있기 때문에, 위와 같은 제1 접착층의 형성에 따라 메모리스터층 증착시까지 알칼리 금속을 안전하게 보존할 수 있는 이점이 있다.

[0036] 본 발명의 메모리스터 소자에서, 제1 접착층에 포함되는 알칼리 금속은 리튬(Li), 나트륨(Na), 칼륨(K), 루비듐(Rb), 세슘(Cs) 및 프랑슘(Fr)으로 이루어진 군으로부터 선택되는 어느 하나 이상일 수 있으나, 이에 한정되는 것은 아니다. 특히, 본 발명의 제1 접착층에 포함되는 알칼리 금속은 리튬(Li) 및/또는 나트륨(Na)인 것이 더욱 바람직하나, 이에 한정되는 것은 아니다. 이러한 알칼리 금속은 인가되는 스위칭 전압에 따라 박막 내부에서 이동, 재분포 등을 통하여 저항변화 특성을 나타낼 수 있다.

- [0037] 본 발명의 멤리스터 소자에서, 하부 전극층은 워드 라인과 연결될 수 있다. 하부 전극층과 멤리스터층 사이에는 다수의 결함(예를 들어, 산소공공 및 침입형 전이금속 이온)이 형성되어 쇼트키 장벽(schottky barrier)이 형성되지 않는다.
- [0038] 본 발명의 멤리스터 소자에서, 하부 전극층은 금(Au), 백금(Pt), 주석(Sn), 구리(Cu), 팔라듐(Pd) 및 은(Ag)으로 이루어진 군으로부터 선택되는 어느 하나 이상을 포함할 수 있으나, 이에 한정되는 것은 아니다.
- [0039] 본 발명의 멤리스터 소자에서, 멤리스터층은 전이금속 산화물을 포함한다. 상기 전이금속 산화물은 결정질 또는 비정질일 수 있으며, 결정질과 비정질의 혼합이어도 무방하다.
- [0040] 본 발명의 멤리스터 소자에서, 멤리스터층에 포함되는 전이금속 산화물은 산화티타늄(TiO_2), 산화하프늄(HfO_2), 산화아연(ZnO), 산화알루미늄(Al_2O_3) 및 산화지르코늄(ZrO_2)으로 이루어진 군으로부터 선택되는 어느 하나 이상일 수 있으나, 이에 한정되는 것은 아니다.
- [0041] 본 발명의 멤리스터층은 전이금속 산화물로 구성되는데, 상기 전이금속 산화물에 의해 멤리스터층 하부 계면에 도핑된 알칼리 이온이 다시 제1 접착층으로 되돌아가지 못하게 함으로써 유지(retention) 특성이 향상되게 된다. 즉, 본 발명의 멤리스터층의 성장 과정에서 제1 접착층 내 알칼리 이온이 하부 전극층을 통과하고, 멤리스터층 하부 계면으로 확산되어 일종의 알칼리 금속 저장층을 형성할 수 있다.
- [0042] 본 발명의 멤리스터 소자에서, 상부 전극층은 비트 라인과 연결될 수 있다.
- [0043] 본 발명의 멤리스터 소자에서, 상부 전극층은 금(Au), 백금(Pt), 주석(Sn), 구리(Cu), 팔라듐(Pd) 및 은(Ag)으로 이루어진 군으로부터 선택되는 어느 하나 이상을 포함할 수 있으나, 이에 한정되는 것은 아니다.
- [0044] 또한, 본 발명의 멤리스터 소자는 상기 멤리스터층과 상기 상부 전극층 사이에 형성된 제2 접착층을 더 포함할 수 있다.
- [0045] 즉, 본 발명의 멤리스터 소자는 알칼리 금속을 포함하는 제1 접착층; 상기 제1 접착층 상에 형성된 하부 전극층; 상기 하부 전극층 상에 형성되고, 전이금속 산화물을 포함하는 멤리스터층; 상기 멤리스터층 상에 형성된 제2 접착층; 및 상기 제2 접착층 상에 형성된 상부 전극층;을 포함할 수 있다.
- [0046] 도 2는 본 발명의 일 실시예에 따른 멤리스터 소자의 모식도를 도시한 것이다. 도 2를 참조하면, 본 발명의 멤리스터 소자는, 알칼리 금속을 포함하는 제1 접착층; 상기 제1 접착층 상에 형성된 하부 전극층; 상기 하부 전극층 상에 형성되고, 전이금속 산화물을 포함하는 멤리스터층; 상기 멤리스터층 상에 형성된 제2 접착층; 및 상기 제2 접착층 상에 형성된 상부 전극층;을 포함하는 것을 확인할 수 있다.
- [0047] 본 발명의 멤리스터 소자에서, 상기 제2 접착층은 리튬(Li), 나트륨(Na), 칼륨(K), 루비듐(Rb), 세슘(Cs) 및 프랑슘(Fr)으로 이루어진 군으로부터 선택되는 어느 하나 이상을 포함할 수 있으나, 이에 한정되는 것은 아니다. 특히, 본 발명의 제2 접착층에 포함되는 알칼리 금속은 리튬(Li) 및/또는 나트륨(Na)인 것이 더욱 바람직하나, 이에 한정되는 것은 아니다.
- [0048] 본 발명의 멤리스터 소자는 상기 제2 접착층의 형성시 고온 공정(예를 들어, 멤리스터층의 증착 공정)을 거치지 않음에 따라, 하부 전극층 상의 계면과 달리 제2 접착층 내 알칼리 이온이 크게 확산되지 않기 때문에, 상부 전극층과 멤리스터층 사이에는 견고한 쇼트키 장벽(schottky barrier)이 형성된다. 즉, 본 발명의 멤리스터 소자는 상부와 하부의 비대칭 계면이 형성될 수 있다.
- [0049] 구체적으로, 본 발명의 멤리스터 소자는 상부 전극층의 아래 제2 접착층으로써 알칼리 금속층이 적층될 수 있으며, 상기 알칼리 금속층 내 알칼리 이온은 크게 확산되지 않기 때문에, 상기 알칼리 금속층은 알칼리 이온 저장층의 성격을 나타낼 수 있다.
- [0050] 즉, 본 발명의 멤리스터 소자는, 상부 전극층의 하부 계면에 제2 접착층에 해당하는 알칼리 금속층을 삽입하여 알칼리 이온 기반의 저항변화 특성을 극대화할 수 있다.
- [0051] 또한, 본 발명의 멤리스터 소자는, 멤리스터층의 상부와 하부에 형성된 쇼트키 접합의 쇼트키 장벽의 크기가 상이하게 형성되므로, 정류회로로 기능할 수 있고, 스니크 전류(sneak current)로 인한 노이즈를 막을 수 있는 장점이 있다.

- [0053] <알칼리 이온 기반 멤리스터 소자의 제조 방법>
- [0054] 한편, 본 명세서는 알칼리 금속을 포함하는 제1 접착층을 형성하는 단계; 상기 제1 접착층 상에 하부 전극층을 형성하는 단계; 상기 하부 전극층 상에 전이금속 산화물을 포함하는 멤리스터층을 형성하는 단계; 및 상기 멤리스터층 상에 상부 전극층을 형성하는 단계;를 포함하는, 멤리스터 소자의 제조 방법을 추가로 개시한다.
- [0055] 본 발명의 멤리스터 소자의 제조 방법에 있어서, 멤리스터 소자에 관한 사항은 상술한 <알칼리 이온 기반 멤리스터 소자>를 준용한다.
- [0056] 도 3은 본 발명의 일 실시예에 따른 멤리스터 소자의 제조 방법을 각 단계별 순서도로 도시한 것이다. 도 3을 참조하면, 본 발명의 멤리스터 소자의 제조 방법은, 알칼리 금속을 포함하는 제1 접착층을 형성하는 단계; 상기 제1 접착층 상에 하부 전극층을 형성하는 단계; 상기 하부 전극층 상에 전이금속 산화물을 포함하는 멤리스터층을 형성하는 단계; 및 상기 멤리스터층 상에 상부 전극층을 형성하는 단계;를 포함하는 것을 확인할 수 있다.
- [0057] 본 발명의 멤리스터 소자의 제조 방법은, 알칼리 금속을 포함하는 제1 접착층을 형성하는 단계;를 포함할 수 있다.
- [0058] 본 발명의 제1 접착층을 형성하는 단계는, 스퍼터링법(sputtering), 전자 빔 증착법(e-beam evaporation), 열 증착법(thermal evaporation), 화학 기상 증착법(chemical vapor deposition) 및 원자층 증착법으로 이루어진 군으로부터 선택되는 어느 하나의 방법으로 수행될 수 있으나, 이에 한정되는 것은 아니다.
- [0059] 또한, 본 발명의 멤리스터 소자의 제조 방법은, 상기 제1 접착층 상에 하부 전극층을 형성하는 단계;를 포함할 수 있다.
- [0060] 본 발명의 하부 전극층을 형성하는 단계는, 스퍼터링법, 전자 빔 증착법, 열 증착법, 화학기상 증착법 및 원자층 증착법으로 이루어진 군으로부터 선택되는 어느 하나의 방법으로 수행될 수 있으나, 이에 한정되는 것은 아니다.
- [0061] 또한, 본 발명의 멤리스터 소자의 제조 방법은, 상기 하부 전극층 상에 전이금속 산화물을 포함하는 멤리스터층을 형성하는 단계;를 포함할 수 있다.
- [0062] 상기 전이금속 산화물이 산화티타늄인 경우, TTIP(티타늄 이소프로폭사이드, $C_{12}H_{28}O_4Ti$), $TiCl_4$ (티타늄 클로라이드) 등의 전구체가 사용될 수 있으나, 이에 한정되는 것은 아니다. 또한, 상기 전이금속 산화물이 산화알루미늄인 경우, TMA($Al(CH_3)_3$) 등의 전구체가 사용될 수 있으나, 이에 한정되는 것은 아니다.
- [0063] 본 발명의 멤리스터층을 형성하는 단계는, 원자층 증착법(Atomic layer deposition, ALD)을 통하여 멤리스터층을 증착하는 것이 바람직하나, 이에 한정되는 것은 아니다. 본 발명의 멤리스터층을 형성하는 단계는 100 내지 300 °C의 범위 이내에서 수행되는 것이 바람직하고, 150 내지 250 °C의 범위 이내에서 수행되는 것이 더욱 바람직하나, 이에 한정되는 것은 아니다. 다시 말해, 본 발명의 멤리스터층을 형성하는 경우, 원자층 증착 공정을 이용하는 것이 바람직하며, 이 때 공정 온도는 150 내지 250 °C의 범위 이내에서 수행되는 것이 더욱 바람직하다.
- [0064] 본 발명의 멤리스터 소자의 제조 방법은 상기 멤리스터층 형성시 상기 제1 접착층 내 알칼리 이온이 확산되어 상기 멤리스터층 하부 계면에 도핑되는 것을 특징으로 한다.
- [0065] 구체적으로, 본 발명의 멤리스터 소자의 제조 방법은, 하부 전극층의 아래 제1 접착층으로써 알칼리 금속층을 적층 후, 원자층 증착 공정을 통한 멤리스터층 증착시 하부의 알칼리 금속층 내 알칼리 이온이 하부 전극층 위로 확산하여 멤리스터층 하부 계면에 저장될 수 있다. 제1 접착층 내 알칼리 이온은 멤리스터층 형성시 고온 공정에 따른 고온에 노출되기 때문에, 하부 전극층 위로 확산하여 멤리스터층 하부 계면에 저장되는 것이다. 이 때 멤리스터층에 포함되는 전이금속 산화물과 확산된 알칼리 이온이 반응하여 전이금속 이온 rich 영역, 산소(O) deficient 영역이 생성될 수 있다.
- [0066] 즉, 본 발명의 멤리스터층의 성장 과정에서 제1 접착층 내 알칼리 이온이 하부 전극층을 통과하고, 멤리스터층 하부 계면으로 확산되어 일종의 알칼리 금속 저장층을 형성할 수 있다.
- [0067] 도 4는 본 발명의 일 실시예에 따른 멤리스터 소자의 제조 방법에서 멤리스터층을 형성하는 단계를 모식도로 도시한 것이다. 이 때 제1 접착층은 리튬(Li) 금속을 포함하고, 하부 전극층은 금(Au)으로 이루어지며, 멤리스터층의 형성을 위하여 산화티타늄(TiO_2)이 원자층 증착법에 의하여 증착되는 것을 특징으로 한다.

- [0068] 도 4를 참조하면, 멤리스터층 형성시 제1 접착층 내 알칼리 이온(Li 이온)이 하부 전극층의 상부로 확산되어 멤리스터층 하부 계면에 도핑되는 것을 확인할 수 있다. 이 때 알칼리 금속을 포함하는 제1 접착층을 하부 전극층 아래 배치함으로써 알칼리 금속의 대기 노출에 따른 급격한 산화를 방지할 수 있다.
- [0069] 또한, 도 4를 참조하면, 멤리스터층 형성 과정에서 제1 접착층 내 알칼리 이온이 멤리스터층 하부 계면에 도핑될 때, 상기 알칼리 이온이 멤리스터층 내 전이금속 산화물의 전이금속(Ti) 자리에 치환(치환형)되거나 멤리스터층 내 침입(침입형)하는 두 종류의 도핑이 이루어지는 것을 확인할 수 있다. 알칼리 이온이 침입형으로 도핑되는 경우 n-type 도펀트(dopant) 역할을 한다. 또한, 알칼리 이온이 치환형으로 도핑되는 경우 p-type 도펀트 역할을 하며, 동시에 전하 중립(charge neutral)을 맞추기 위하여 산소 공공과 침입형의 전이금속을 만들어낼 수 있다.
- [0070] 또한, 본 발명의 멤리스터 소자의 제조 방법은, 상기 멤리스터층 상에 상부 전극층을 형성하는 단계;를 포함할 수 있다.
- [0071] 본 발명의 상부 전극층을 형성하는 단계는, 스퍼터링법, 전자 빔 증착법, 열 증착법, 화학기상 증착법 및 원자층 증착법으로 이루어진 군으로부터 선택되는 어느 하나의 방법으로 수행될 수 있으나, 이에 한정되는 것은 아니다.
- [0072] 또한, 본 발명의 멤리스터 소자의 제조 방법은 상기 상부 전극층을 형성하는 단계 이전에, 상기 멤리스터층 상에 제2 접착층을 형성하는 단계;를 더 포함할 수 있다.
- [0073] 즉, 본 발명의 멤리스터 소자의 제조 방법은 알칼리 금속을 포함하는 제1 접착층을 형성하는 단계; 상기 제1 접착층 상에 하부 전극층을 형성하는 단계; 상기 하부 전극층 상에 전이금속 산화물을 포함하는 멤리스터층을 형성하는 단계; 상기 멤리스터층 상에 제2 접착층을 형성하는 단계; 및 상기 제2 접착층 상에 상부 전극층을 형성하는 단계;를 포함할 수 있다.
- [0074] 본 발명의 제2 접착층을 형성하는 단계는, 스퍼터링법, 전자 빔 증착법, 열 증착법, 화학기상 증착법 및 원자층 증착법으로 이루어진 군으로부터 선택되는 어느 하나의 방법으로 수행될 수 있으나, 이에 한정되는 것은 아니다.
- [0075] 구체적으로, 본 발명의 멤리스터 소자의 제조 방법은, 상부 전극층의 아래 제2 접착층으로써 알칼리 금속층이 적층될 수 있으며, 상기 알칼리 금속층 내 알칼리 이온은 크게 확산되지 않기 때문에, 상기 알칼리 금속층은 알칼리 이온 저장층의 성격을 나타낼 수 있다.
- [0077] 중복되는 내용은 본 명세서의 복잡성을 고려하여 생략하며, 본 명세서에서 달리 정의되지 않은 용어들은 본 발명이 속하는 기술분야에서 통상적으로 사용되는 의미를 갖는 것이다.
- [0078] 이하, 첨부한 도면 및 실시예들을 참조하여 본 명세서가 청구하는 바에 대하여 더욱 자세히 설명한다. 다만, 본 명세서에서 제시하고 있는 도면 내지 실시예 등은 통상의 기술자에게 의하여 다양한 방식으로 변형되어 여러 가지 형태를 가질 수 있는 바, 본 명세서의 기재사항은 본 발명을 특정 개시 형태에 한정되는 것이 아니고 본 발명의 사상 및 기술 범위에 포함되는 모든 균등물 내지 대체물을 포함하고 있는 것으로 보아야 한다. 또한, 첨부된 도면은 본 발명을 통상의 기술자로 하여금 더욱 정확하게 이해할 수 있도록 돕기 위하여 제시되는 것으로서 실제보다 과장되거나 축소되어 도시될 수 있다.
- [0080] {실시예 및 평가}
- [0081] **실시예 1. 본 발명의 일 실시예에 따른 멤리스터 소자의 제조 (제1 접착층, 하부 전극층, 멤리스터층, 및 상부 전극층 포함)**
- [0082] 열증착기를 이용하여 진공분위기에서 리튬(Li) 금속을 포함하는 제1 접착층(6 nm)을 형성하고, 진공을 유지한채 바로 이어서 상기 제1 접착층 상에 금(Au)으로 이루어진 하부 전극층(40 nm)을 형성하였다. (순도 99% Li 소스: 제품번호 Alfa Aesar 00733 CAS:7439-93-2, 순도 99.99% Au 소스: 태원과학) 이후 상기 하부 전극층 상에 산화티타늄(TiO₂)을 약 250 °C의 온도에서 원자층 증착법에 의하여 증착하여 멤리스터층(20 nm)을 형성하였다. (Ti ALD precursor: titanium isopropoxide, ALD 250 cycles) 다음으로, 상기 멤리스터층 상에 금(Au)으로 이루어

진 상부 전극층(40 nm)을 형성하여, 본 발명의 일 실시예에 따른 메모리스트 소자(이하, "실시예 1"이라 함)를 제조하였다.

[0084] 실시예 2. 본 발명의 일 실시예에 따른 메모리스트 소자의 제조 (제1 접착층, 하부 전극층, 메모리스트층, 제2 접착층, 및 상부 전극층 포함)

[0085] 상기 메모리스트층 상에 리튬(Li) 금속을 포함하는 제2 접착층(6 nm)을 형성하고, 상기 제2 접착층 상에 금(Au)으로 이루어진 상부 전극층(40 nm)을 더 형성한 것을 제외하고는, 상기 실시예 1의 메모리스트 소자의 제조 방법과 동일한 과정을 수행하여, 본 발명의 일 실시예에 따른 메모리스트 소자(이하, "실시예 2"이라 함)를 제조하였다.

[0087] 평가 1. 본 발명의 일 실시예에 따른 메모리스트 소자의 원소 분포 측정 결과 및 분석

[0088] 도 5는 본 발명의 일 실시예에 따른 메모리스트 소자의 깊이 방향에 따른 이차이온질량분석법(Secondary Ion Mass Spectrometry, SIMS) 측정 결과를 그래프로 도시한 것이다. 구체적으로, 실시예 1의 메모리스트 소자의 제1 접착층(Li, 6 nm)/하부 전극층(Au, 40 nm)/메모리스트층(TiO₂, 25 nm)을 SIMS를 이용하여 소자의 깊이 방향으로 원소 분포를 측정하였다. 도 5에서 "Intensity"가 절대량을 의미하는 것은 아니며, 소자의 깊이 방향에 따른 원소의 상대 분포만을 확인할 수 있다.

[0089] 도 5를 참조하면, 제1 접착층 내 리튬 이온(Li⁺)이 하부 전극층의 상부로 확산하여 메모리스트층과 하부 전극층 사이의 계면에 상당량이 분포하는 것을 확인할 수 있다. 또한, 도 5를 참조하면, 메모리스트층 내 산화티타늄(TiO₂)의 조성 분포의 경우, 메모리스트층 하부 계면부에서 박막 내부 대비 Ti 양이 증가하고, O 양이 감소한 것을 확인할 수 있다.

[0090] 이러한 결과는 상술한 바와 같이 Li이 Ti의 자리를 치환하여 전하 중립을 맞추기 위해 산소 공공과 침입형 Ti를 만들어 낸 결과로 해석될 수 있다. 이 경우 메모리스트층 하부 계면의 쇼트키 장벽의 형성이 방해되며, 메모리스트층 상부 계면만 쇼트키 장벽이 형성되어 한방향으로만 전류가 흐르는 자가정류(self-rectifying) 특성을 나타낸다. 이 경우 선택소자(cell selector) 없이 크로스바 어레이(crossbar array) 구조에서 스니크 전류를 효과적으로 차단하여 신뢰성이 높은 메모리스트 소자의 구현이 가능하다. 크로스바 어레이 구조는 병렬구조를 가지고 있어 선택한 셀의 이웃 셀을 통하여 전류가 흐르는데 이를 스니크 전류라 하며, 이 스니크 전류로 인하여 선택한 소자의 저항을 정확하게 읽기 어려운 문제가 발생한다. 스니크 전류의 경로를 보면 reverse biased 셀을 항상 포함하고 있기 때문에 (역방향 전압이 걸리는 소자) 자가정류 특성을 갖는 본 발명의 메모리스트 소자의 경우 추가적인 선택소자(cell selector) 없이 스니크 전류를 차단 및 구동이 가능하다.

[0092] 평가 2. 본 발명의 일 실시예에 따른 메모리스트 소자의 XPS 측정 결과 및 분석

[0093] 도 6은 본 발명의 일 실시예에 따른 메모리스트 소자의 Li 1s에 관한 XPS(X-ray photoelectron spectroscopy) 측정 결과를 그래프로 도시한 것이다. 구체적으로, 실시예 1의 메모리스트 소자의 제1 접착층(Li, 6 nm)/하부 전극층(Au, 40 nm)/메모리스트층(TiO₂, 25 nm)을 XPS를 이용하여 Li 1s를 측정하였다. 도 6을 참조하면, 메모리스트층 형성시 제1 접착층 내 리튬 이온(Li⁺)이 소자의 상부 또는 중간부에 해당하는 메모리스트층 하부 계면까지 확산한 것을 확인할 수 있다.

[0095] 평가 3. 본 발명의 일 실시예에 따른 메모리스트 소자의 저항변화 특성 측정 결과 및 분석

[0096] 도 7은 본 발명의 일 실시예에 따른 메모리스트 소자의 저항변화 특성을 측정하여 그래프로 도시한 것이다. 구체적으로, 실시예 2의 메모리스트 소자에 대해 10 사이클(cycles) 반복하여 저항변화 특성을 측정하였다. 도 7을 참조하면, 본 발명의 메모리스트 소자는 매우 균일한 저항변화 특성을 나타내는 것을 확인할 수 있다. 즉, 메모리스트층 내 산화티타늄(TiO₂)의 상하부 비대칭 계면이 형성되어 자가정류형의 저항변화 특성을 얻을 수 있다.

[0097] 도 8은 본 발명의 일 실시예에 따른 메모리스트 소자의 크로스바 어레이 구조의 사진 및 해당 구조에서 저항변화 특성을 측정하여 그래프로 도시한 것이다. 도 8(a)에서 "TE"는 상부 전극층(Top electrode)이며, "BE"는 하부

전극층(Bottom electrode)이다. 구체적으로, 실시예 2의 메모리스터 소자의 크로스바 어레이 구조에서 저항변화 특성을 측정하였다. 도 8을 참조하면, 본 발명의 메모리스터 소자는 32 x 32 크로스바 어레이 구조에서 스니크 전류의 발생없이 원활하게 동작하는 것을 확인할 수 있다.

[0099] **평가 4. 본 발명의 일 실시예에 따른 메모리스터 소자의 유지(retention) 특성과 반복쓰기(endurance) 특성 측정 결과 및 분석**

[0100] 도 9는 본 발명의 일 실시예에 따른 메모리스터 소자의 유지(retention) 특성 측정 결과를 그래프로 도시한 것이다. 구체적으로, 실시예 2의 메모리스터 소자에 대해 125 °C에서 10,000 초(sec)동안 측정하였다. 도 9를 참조하면, 본 발명의 메모리스터 소자는 높은 유지(retention) 특성을 나타내는 것을 확인할 수 있다.

[0101] 도 10은 본 발명의 일 실시예에 따른 메모리스터 소자의 반복쓰기(endurance) 특성 측정 결과를 그래프로 도시한 것이다. 구체적으로, 실시예 2의 메모리스터 소자에 대해 500,000 사이클(cycles) 반복하여 저항변화 특성을 측정하였다. 도 10을 참조하면, 본 발명의 메모리스터 소자는 안정한 저항변화를 보이는 점으로부터 높은 반복쓰기(endurance) 특성을 나타내는 것을 확인할 수 있다.

[0103] 본 발명에 의하면, 알칼리 금속을 포함하는 접촉층 내 알칼리 이온이 확산되어 전이금속 산화물을 포함하는 메모리스터층 계면에 도핑됨에 따라, 유지(retention) 특성과 반복쓰기(endurance) 특성이 향상되고 균일한 조성의 고신뢰성 메모리스터 소자를 구현할 수 있다.

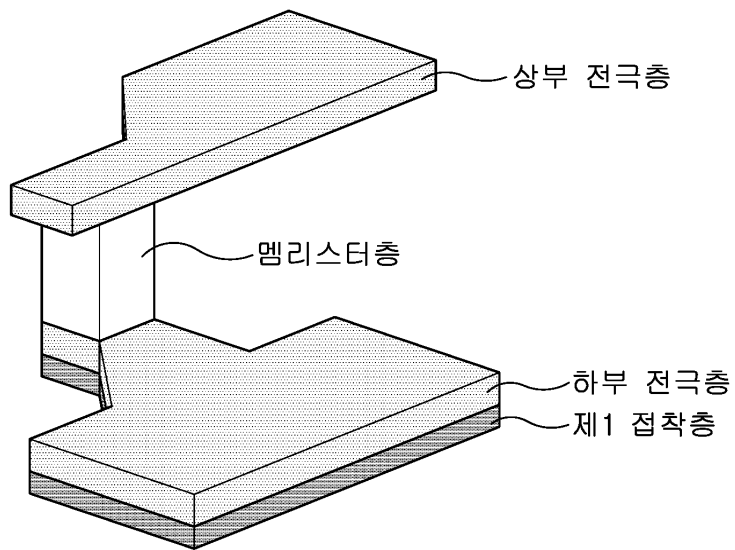
[0104] 또한, 본 발명에 의하면, 빠른 읽기, 쓰기 동작이 가능하며, 동시에 높은 집적도의 비휘발 메모리 소자를 제작할 수 있다. 또한, 본 발명의 메모리스터 소자는, 크로스바 어레이 구조의 메모리스터 구현을 통하여 뉴로모픽 컴퓨팅 시스템의 시냅스 장치로서 핵심 역할을 할 수 있을 것으로 기대되며, 이미지 학습 및 인지에 사용되는 컨볼루션 뉴럴 네트워크(convolution neural network, CNN) 알고리즘에 사용될 수 있다.

[0105] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다.

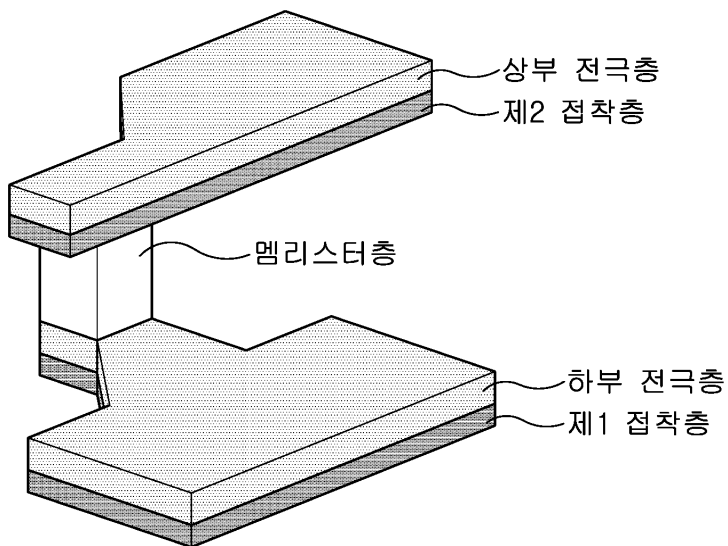
[0106] 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

도면

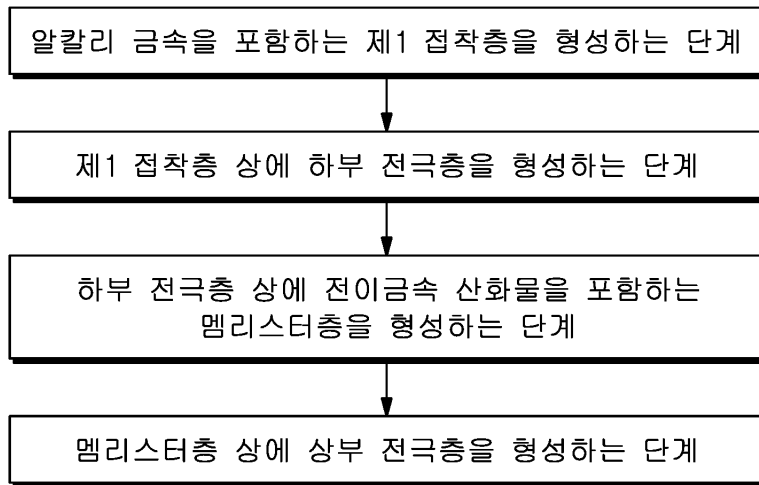
도면1



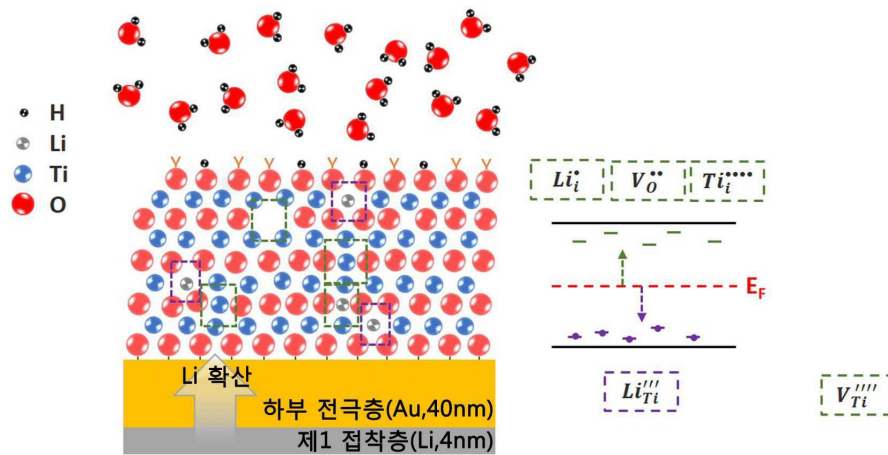
도면2



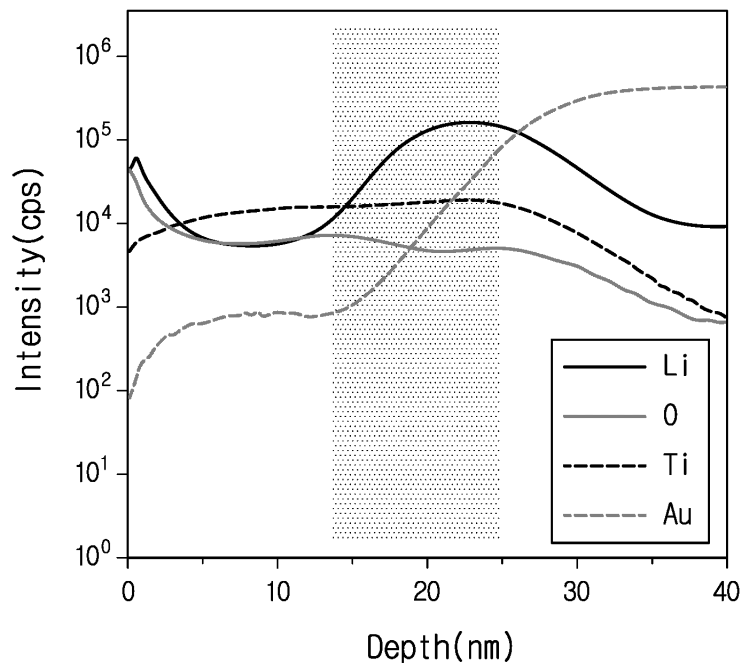
도면3



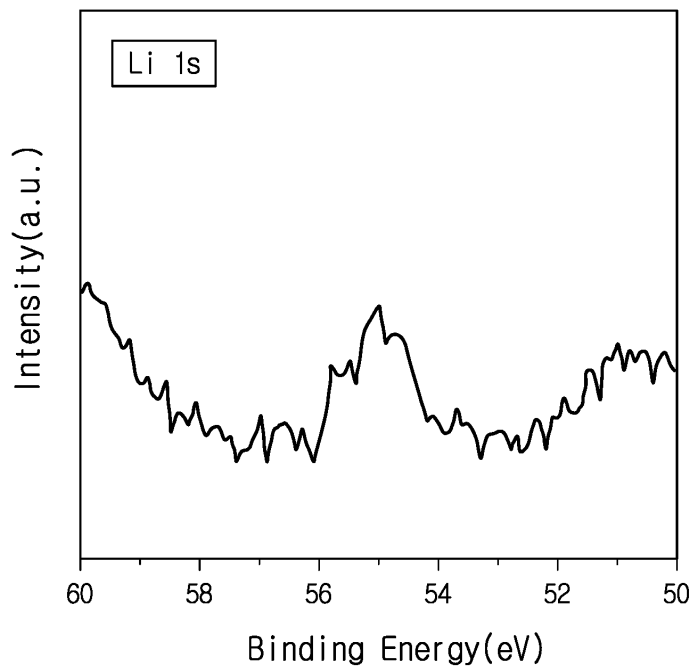
도면4



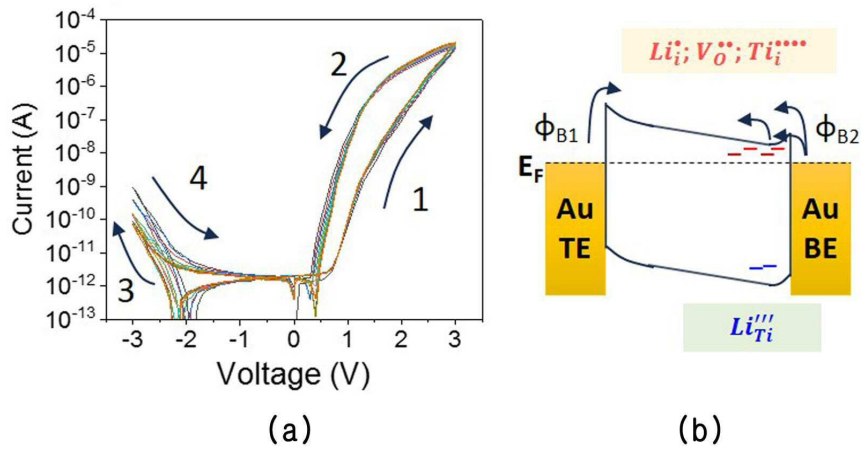
도면5



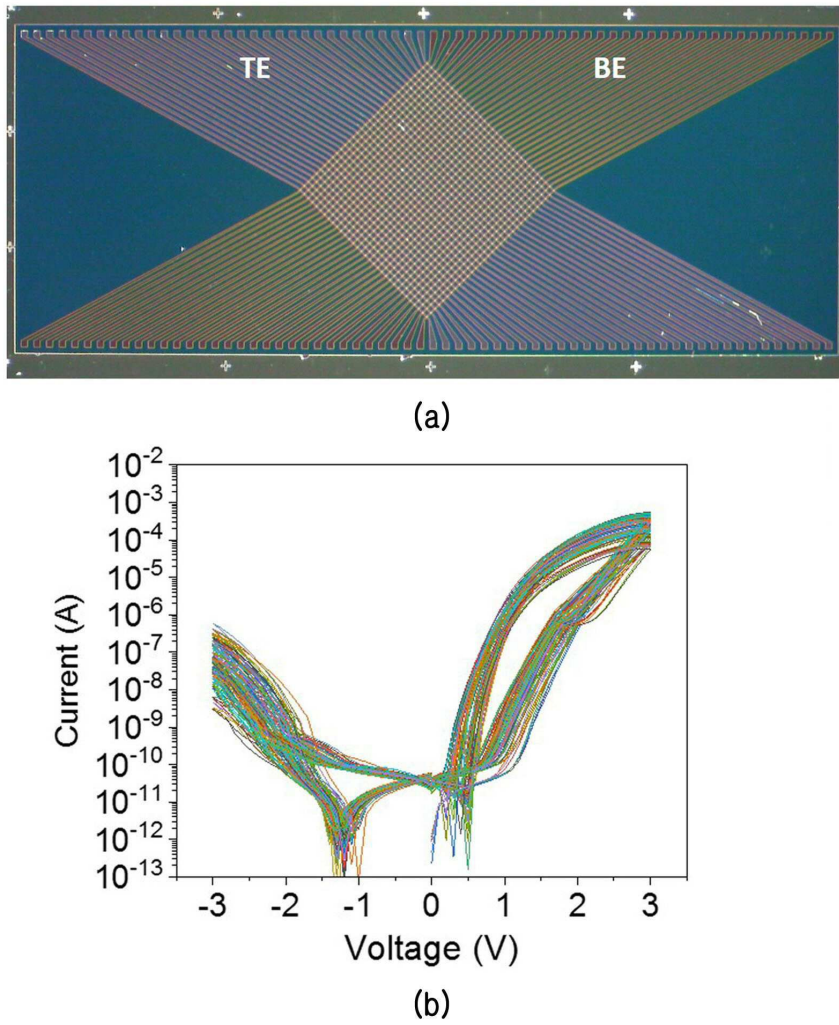
도면6



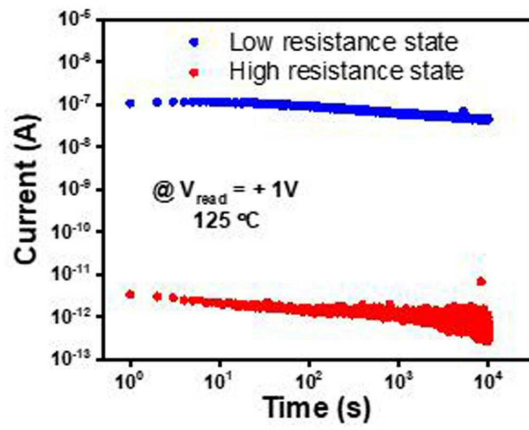
도면7



도면8



도면9



도면10

