

1. 一种图像显示装置，包含：

排列成行列状的多个显示像素元件（PX）；

多条选通线（GL；GLa，GLb），与上述各显示像素行对应地配置，分别与对应行的显示像素元件连接，在选择时选择对应行的显示像素；

多条数据线（DL；DLi，DLj；DL1-DLm），与上述各显示像素列对应地配置，分别与对应列的显示像素元件连接，传送对应于对应列的显示像素元件的像素数据；以及

与各显示像素列对应地配置，分别具有用于在激活时放大对应列的数据线的数据的多个放大电路（AMP；AMPi，AMPj），每个上述放大电路包含：电容元件（34）；差动放大电路（32），具有与对应数据线耦合的第一输入和与电容元件连接的第二输入，用于在激活时，差动地放大上述第一和第二输入的信号；第一开关元件（30），用于响应第一开关控制信号（S2），使上述第一输入与提供规定电压（VM）的基准电源连接；第二开关元件（33），用于响应第二开关控制信号（S3），使上述差动放大电路的输出和上述电容元件耦合起来。

2. 根据权利要求 1 所述的图像显示装置，还包括周边控制电路（6），用于响应工作模式指示信号（SELF，TEST），生成上述第一和第二开关控制信号（S2，S3）并在上述第一和第二开关元件（30，33）在规定期间变为导通状态后，生成用于将从上述多条选通线（GL；GLa，GLb）中选择的选通线驱动为选择状态的选择定时控制信号（STV，VCK，INHV）。

3. 根据权利要求 1 所述的图像显示装置，其中上述每个放大电路还包括数据线驱动电路（35，36，37），用于在将上述选择的选通线驱动为选择状态后，将上述各放大电路的输出信号传送到对应的数据线的中，并且上述数据线驱动电路在上述第一和第二开关元件（30，33）导通时停止向上述差动放大电路（32）的对应数据线进行传送。

4. 根据权利要求 1 所述的图像显示装置，其中上述第一输入是非反转输入 (+)，并且上述第二输入是反转输入 (-)。

5. 根据权利要求 1 所述的图像显示装置，其中上述每个差动放大电路 (32) 包括：

第一和第二场效应晶体管 (NQ3, NQ4)，具有分别与上述第一输入和上述第二输入连接的栅极；

恒流电路 (32A)，与上述第一和第二场效应晶体管耦合，用以使上述第一和第二场效应晶体管中流过恒定大小的工作电流；

负载元件 (RZ2, RZ3)，分别与上述第一和第二场效应晶体管相对应地配置；

输出晶体管 (PQ1)，其栅极与上述第一场效应晶体管 (NQ4) 的导通节点耦合，用于生成上述差动放大电路的输出信号；

恒流源晶体管 (NQ0)，与上述差动放大电路的输出节点耦合，用于使上述输出节点中流过的与上述恒流电路提供的电流对应的电流。

6. 根据权利要求 1 所述的图像显示装置，其中上述各差动放大电路 (32) 包括：

由具有分别与上述第一输入和上述第二输入连接的栅极的第一和第二场效应晶体管 (NQ3, NQ4) 成对构成的差动级；

与上述第一和第二场效应晶体管耦合的电流反射镜级 (PQ2, PQ3)；

输出晶体管 (PQ1)，具有与上述第一场效应晶体管 (NQ4) 的导通节点 (ND5) 耦合的栅极，用于生成上述差动放大电路的输出信号；

恒流电路 (32A)，用于生成确定上述差动级的工作电流的恒电流；

电流源晶体管 (NQ0)，与上述输出晶体管耦合，用于在上述差动放大电路的输出节点中产生与上述恒流电路提供的电流相对应的电流。

7. 根据权利要求 1 所述的图像显示装置，其中上述基准电源提

供的规定电压(VM)是传送给上述数据线(DL; DLi, DLj; DL1-DLm)的信号的高电平(VH)和低电平(VL)的中间电压电平。

8. 根据权利要求1所述的图像显示装置,还包括用于在正常工作模式时将上述放大电路(AMP; 32)维持在非激活状态的电路(PQ4, NQ5, 80)。

9. 根据权利要求1所述的图像显示装置,还包括多个第三开关元件(SW1-SWn),分别为上述各数据线(DL; DLi, DLj; DL1-DLn)配置,在包含与正常工作模式不同的上述刷新工作模式的特定工作模式下,选择性地变成非导通状态,以分割对应的数据线;

其中上述各放大电路(AMPt, AMPb)与各分割数据线(DDLt, DDLb)相对应地配置。

10. 根据权利要求1所述的图像显示装置,其中上述各像素元件(PX)包含由沟道电容形成的电容元件(82),作为像素数据保持元件。

11. 根据权利要求10所述的图像显示装置,还包括向上述电容元件(82)提供升压信号的电路(100)。

12. 根据权利要求1所述的图像显示装置,还包括在测试工作模式下,向外部传送上述放大电路的输出信号的电路(102t, 102b, 104; TSG, 110)。

13. 根据权利要求12所述的图像显示装置,其中上述传送电路(102t, 102b, 110, 104; TSG; TSGti, TSGtj, TSGtk)包括:测试输出电路(104),用于向外部输出所提供的数据;选择电路(TSG; TSGti, TSGtj, TSGtk),顺次选择上述放大器(32)的输出信号,与上述测试输出电路耦合。

显示装置

技术领域

本发明涉及用于显示图像的显示装置，尤其涉及通过电容的保持电压驱动与像素对应配置的显示像素元件的显示装置。

背景技术

目前，作为一种显示装置，已知液晶显示装置（LCD: Liquid Crystal Display）。特别地，作为 LCD，已知用薄膜晶体管（TFT: Thin Film Transistor）作为显示像素元件选择晶体管的薄膜晶体管驱动方式的液晶显示装置（TFT-LCD）。该薄膜晶体管用非晶硅（a-Si）半导体薄膜或多晶硅（p-Si）半导体薄膜作为原材料（活性层），在活性层中形成沟道部分和源/部分。

在有源矩阵型液晶面板中，为显示像素元件设置作为图像信号开关的 TFT，通过 TFT 的开关操作保持显示像素元件的驱动电压，因此，在对比度、响应速度等画质方面出色，在用于显示静止图像和动画的便携式个人计算机和桌上型个人计算机的监视器或投影型监视器等中得到广泛应用。

在有源矩阵型显示装置中，各像素经 TFT 提供的图像信号通过数据保持用电容元件保持。根据电容元件中保持的电压驱动显示像素元件。

在显示装置中，显示像素布置为行列状，与各像素行对应地配置选通线（扫描线）。通过把扫描线顺次驱动为选择状态，与选择选通线连接的 TFT 导通，图像信号传送给对应的数据保持电容元件保持。作为驱动选通线（扫描线）的序列，有把每隔一行扫描线顺次驱动为选择状态的隔行扫描方式和把选通线顺次驱动为选择状态的逐行扫描方式。无论哪种方式，对于一个显示像素而言，需要一个时间间隔，在这个时间间隔中，从图像信号的写入结束开始到写入下一个图像信

号为止，所有的选通线（扫描线）被驱动为选择状态一次。由全部选通线（扫描线）形成1帧。因此，要求各显示像素元件把1帧周期内提供的图像信号保持在数据保持电容元件中。通常，1帧周期为60赫兹（Hz）。因此，一个单位像素元件以帧周期PF（=1/60秒）重写保持电压。在该帧周期内，该像素电极节点（电压保持节点）的电压仅稍微下降，通常，像素的液晶元件的反射率（亮度）变化小，充分抑制了闪烁和对比度的下降以及显示品质的下降。

在液晶显示装置中，为了充放电扫描线和数据信号线交叉部分的电容以及布线（扫描线和数据信号线）和在相对基板上整个表面上形成的对向电极之间的液晶电容，消耗大部分电流。将扫描线驱动为选择状态的垂直扫描电路以帧频率·扫描线数的频率操作，或者，向数据信号线写入图像信号数据的水平扫描电路以帧频率·扫描线数·数据信号线数的频率操作。因此，以这些垂直扫描电路和水平扫描电路的操作频率进行布线间电容与布线和对向电极间的电容的充放电，消耗功率变大。

为了减小消耗功率，考虑降低操作频率或间歇地进行垂直扫描和水平扫描这样的有效手段。但是，当使水平和垂直扫描电路的操作频率下降时，对于一个显示像素来说，重写数据的周期变长，由于像素电极节点（电压保持节点）的漏电流而使电压大大下降，显示像素元件的反射率（亮度）也产生很大变化。因此，像素电极节点的电压下降作为显示画面上的闪烁被观测到，显示图像品质变差。而且，施加到液晶元件上的平均电压下降，不能得到良好的对比度，由于低速重写引起显示响应速度下降等，产生显示品质下降这样的问题。

为了防止由于显示图像的像素电极节点的漏电流引起的电压下降，设置由分别与数据线对应的交叉耦合型MOS晶体管（绝缘栅型场效应晶体管）构成的感测放大器。例如在特开2000-356974号公报中公开了在原始显示像素元件中写入感测放大器的反转输出信号的构成。

在现有技术中，仅进行数据保持时，顺次选择选通线，把读出显

示像素的像素电极信号后提供给放大器的、该放大器的反转数据存储于原始像素元件的电极节点中。利用反转图像信号的存储，如果是液晶元件，则显示像素元件向液晶层施加交流电压，保持图像信号。

现有技术是这样的：通过在内部恢复各显示像素的保持电压，不需要从用于恢复（刷新）显示像素元件累积电压的外部存储器写入数据，可以减小消耗功率。

在显示装置中，作为 MOS 晶体管（绝缘栅型场效应晶体管），通常，为了确保形成像素的玻璃基板或绝缘性树脂基板的可靠性，用低温多晶硅 TFT。在低温多晶硅 TFT 中，通过低温处理进行杂质扩散等。因此，和半导体基板区域表面形成的低密度（bulk）型 MOS 晶体管相比，TFT 的杂质扩散是不充分的，多晶硅的膜质差。而且，如果是 TFT，沟道区域由玻璃基板或绝缘性树脂基板上形成的半导体层构成，不进行用于阈值电压调整的杂质离子注入，也不对基板区域施加偏置电压。

因此，由于这些原因，显示装置中 TFT 的阈值电压偏差比低密度型 MOS 晶体管大。为了恢复（刷新）像素的保持而利用放大器电路时，与显示像素矩阵对应地配置感测放大器，因此，作为感应放大器电路的构成要素，需要使用低温多晶硅 TFT。感测放大器电路的 TFT 的阈值电压偏差大，有不能正确进行感测操作的问题。即，感测放大器电路由交叉耦合的 TFT 构成，但如果交叉耦合的 TFT 的阈值电压不同，则输入信号有偏移，不能正确地放大数据。

尤其是，像素保持电压仅通过像素元件内的数据保持电容元件保持，对感测放大器电路的读出电压小。因此，这种阈值电压偏差大，输入信号有偏移时，不能通过感测放大器正确地放大从像素元件读出的像素电压，出现不能刷新像素的保持电压的问题。

在图像显示装置中，特开 2001-292041 号公报和特开平 9-320291 号公报公开了配置在驱动数据线的水平驱动电路输出部中的采样/保持电路的 OP 放大器的偏移。在这些现有技术中，为了防止 OP 放大器的偏移对输入图像信号的影响，反馈 OP 放大器的输出信号，偏置

对输入图像信号的比较基准电压，消除 OP 放大器的偏移。但是，在这些现有技术中，仅考虑了根据图像数据在像素中写入数据的数据线驱动电路的结构，对漏电流引起的像素保持电压下降的问题未作任何考虑。

在制造工序完成后，需要对各像素是否能正确地执行显示操作进行测试。测试时，需要在各像素中写入测试像素数据，在外部读出写入的像素数据，和测试数据相比较。进行这种测试时，需要正确地放大从像素读出的微小电压，读出到外部。因此，测试器需要检测微小像素电压，产生测试器价格高的问题。

发明内容

本发明的目的是提供一种能正确保持像素数据电压的显示装置。

本发明的另一个目的是提供一种能用廉价的测试器很容易地进行像素测试的显示装置。

根据本发明的显示装置包含：排列成行列状的多个像素像素元件；多个选通线，与各显示像素行对应地配置，分别与对应行的显示像素元件连接，选择时选择对应行的显示像素；多个数据线，对各显示像素列对应的配置，分别与对应列的显示像素连接，向对应列的显示像素元件传送像素数据；多个放大电路，与各列对应地配置，激活时，分别放大对应列的数据线的的数据。各放大电路包含：电容元件；差动放大电路，具有连接对应数据线的的第一输入和连接电容元件的第二输入，激活时，差动地放大第一和第二输入信号；第一开关元件，响应工作模式指示信号，使第一输入与提供规定电压的基准电源连接；第二开关元件，响应工作模式指示，把差动放大电路的输出和电容元件连接起来。

为各数据线配置放大电路。在放大电路中，差动放大电路的第一输入连接规定电源并且第二输入连接接收输出信号的电容，从而，在电容元件中存储基准电压的偏移电压。之后，选择像素，将像素数据传送给差动放大电路时，可以在差动放大电路中消除偏移，差动地放大像素数据。因此，即使差动放大电路的 TFT 的阈值电压的偏差大，

也能不受阈值电压偏差引起的偏移的影响，正确地恢复像素数据。

通过在原始像素中写入差动放大电路的输出信号，可以刷新（恢复）像素数据。通过把差动放大电路的输出信号读出到外部，可以把大振幅的数据信号读出到外部，不需要在外部放大微小振幅的像素数据，可简化测试器的结构，用廉价的测试器就能很容易地进行显示装置的测试。

下面参考附图结合本发明最佳实施例的详细描述更明白地阐述本发明的其他目的、特征和优点。

附图说明

- 图 1 概略地示出了根据本发明的显示装置的整体结构图；
- 图 2 是图 1 所示显示像素元件的一例结构图；
- 图 3 具体示出了图 1 所示显示装置主要部分的结构图；
- 图 4 是图 3 所示结构的操作时间图；
- 图 5 概要地示出了图 1 所示垂直扫描电路的结构图；
- 图 6 是图 5 所示垂直扫描电路的操作时间图；
- 图 7 更具体地示出了图 5 所示垂直扫描电路的操作；
- 图 8 是图 3 和图 5 所示结构的操作时间图；
- 图 9 概要地示出了产生与刷新动作关联的控制信号的的部分的结构图；
- 图 10 是图 9 所示电路的操作时间图；
- 图 11 是图 1 所示的刷新控制电路中发生控制信号部分的一例结构图；
- 图 12 是图 11 所示电路的操作时间图；
- 图 13 是图 3 所示差动放大电路的一例结构图；
- 图 14 是图 3 所示差动放大电路的另一例结构图；
- 图 15 是图 3 所示差动放大电路的再一例结构图；
- 图 16 概要地示出了根据本发明实施例 2 的显示装置主要部分的结构图；
- 图 17 是表示图 16 所示显示像素元件数据读出时的操作的信号波

形图；

图 18 概要地示出了图 16 所示电容元件的截面构造；

图 19 概要地示出了图 16 所示发生升压信号的部分的结构图；

图 20 是表示图 19 所示电路的操作的信号波形图；

图 21 概要地示出了根据本发明实施例 3 的显示装置主要部分的结构图；

图 22 是图 21 所示显示装置主要部分的结构图；

图 23 是图 21 所示刷新电路和测试电路的一例结构图；

图 24 具体示出了图 23 所示放大电路和测试选择门电路的连接；

图 25 概要地示出了图 24 所示发生控制信号的部分的晶体管；

图 26 是表示图 25 所示电路的操作的时间图；

图 27 概要地示出了图 23 所示发生测试选择控制信号的部分的结构图；

图 28 是表示图 2 所示电路的操作的时间图；

图 29 是显示像素元件的另一个结构图；

图 30 是显示像素元件的再一个结构图；

图 31 是显示像素元件的再一个结构图；

图 32 概要地示出了根据本发明实施例 4 的显示装置主要部分的结构图。

具体实施方式

(实施例 1)

图 1 概要地示出了根据本发明第一实施例的图像显示装置的整体结构图。图 1 中，图像显示装置包含：包含排列成行列状的多个像素元件 PX 的显示像素矩阵 1；垂直扫描电路 2，根据未图示显示像素矩阵 1 的行的垂直扫描信号顺次选择；水平扫描电路 3，正常工作模式时，根据未图示的水平时钟信号生成选择显示像素矩阵 1 的列的信号；数据线连接电路 4，根据水平扫描电路 3 输出的选择信号将图像数据 PD 顺次传送给显示像素矩阵 1 的列；刷新电路 5，激活时，刷新显示像素矩阵 1 的各显示像素的保持电压；刷新控制电路 6，根据刷新模

式指示信号 SELF 控制垂直扫描电路 2、数据线连接电路 4 和刷新电路 5 的操作。

在显示像素矩阵 1 中，与像素元件 PX 各行对应地排列选通线 GL，与像素元件 PX 各列对应地配置数据线 DL。1 行像素元件 PX 连接选通线 GL，1 列像素元件 PX 连接数据线 DL。图 1 中，代表性地示出了配置在 1 个选通线 GL 和 1 个数据线 DL 的交叉部的像素元件 PX。

无论改写像素元件 PX 的保持电压的正常工作模式时还是恢复保持电压的刷新模式时，垂直扫描电路 2 都以规定的顺序将选通线 GL 驱动为选择状态。通过垂直扫描电路 2 将选通线 GL 驱动为选择状态的顺序可以用顺次将各行驱动为选择状态的非隔行扫描方式或隔行驱动为选择状态的隔行扫描方式。

例如，水平扫描电路 3 包含水平移位寄存器，根据水平时钟信号（未图示）进行移位操作，生成数据线选择定时信号；缓冲器电路，根据水平移位寄存器的输出信号顺次选择数据线 DL。通过在水平扫描电路 3 中设置缓冲器电路，在选择数据线移到非选择状态之前，禁止把下一个数据线驱动为选择状态的多重选择。

当正常操作时，数据线连接电路 4 根据水平扫描电路 3 的输出信号顺次选择数据线，把经图像数据总线（公共图像数据线）传送的图像数据 PD 传送给显示像素矩阵 1 的对应选择列。在刷新模式时，数据线连接电路 4 变为非导通状态，传送图像数据 PD 的图像数据总线（或数据线驱动器）和显示像素矩阵 1 分离。

数据线连接电路 4 可以这样构成：在水平扫描电路 3 的控制下取入 1 行图像数据 PD 后，把 1 行图像数据同时传送给显示像素矩阵 1 的选择行的像素元件 PX。这种构成的情况下，通过采样保持电路采样图像数据后，同时传送采样的图像数据。

刷新模式指示信号 SELF 激活时，刷新控制电路 6 激活刷新电路 5，执行显示像素矩阵 1 的各显示像素元件 PX 的保持电压的刷新（恢复）。在刷新模式时，刷新控制电路 5 可以给垂直扫描电路 2 生成移

位操作所需的各种时钟信号，当刷新模式时，刷新控制电路 6 可以根据从外部提供的时钟信号给垂直扫描电路 2 生成移位操作所需的时钟信号。

刷新电路 5 包含与数据线 DL 分别对应地设置的放大电路，放大电路由 TFT 构成。为了消除 TFT 阈值电压偏差引起的偏移，分别为刷新电路 5 的放大电路设置消除偏移的电路。刷新模式时，通过刷新电路 5 中包含的带消除偏移功能的放大电路放大的数据写入原始像素元件 PX 中，显示像素矩阵 1 中像素元件 PX 的保持电压被刷新。

不需要为了重新刷新而读出设在外部的存储器存储的刷新用数据并写入显示像素矩阵 1 中，降低了消耗功率。而且，在刷新电路 5 中，在放大像素数据的电路中设置消除偏移的结构，可以正确地放大从显示像素元件 PX 读出的微小电压，写入原始像素元件 PX 中。从而，显示图像不变更时，可以在内部长期地保持保持电压，可以可靠地防止出现显示图像品质下降的现象。

测试模式时，通过刷新电路 5 的放大电路放大的图像数据传送到外部。可以生成大振幅的图像数据并读出到外部，可以用廉价的 LSI 用测试器进行显示像素元件的试验。

图 2 示出了图 1 所示显示像素元件 PX 的一例结构图。图 2 中，显示像素元件 PX 包含 N 沟道 MOS 晶体管 (TFT) 11，根据选通线 GL 上的信号电位导通，使对应的数据线 DL 与像素电极节点 (电压保持节点) 10 电耦合；电压保持电容元件 12，保持电压保持节点 10 的电压；液晶显示元件 13，配置在电压保持节点 10 和对向电极之间。

电压保持电容元件 12 的一个电极节点与电压保持节点 10 耦合，在另一个电极节点接收公共电极电压 Vcom。在电压保持节点 10 中累积公共电极电压 Vcom 和经数据线 DL 提供的信号电压的差以及与电压保持电容元件 12 的电容值对应的电荷。

液晶显示元件 13 根据电压保持节点 10 的电压和提供给对向电极的对向电极电压 Vcnt 的电压差确定取向方向，相应地确定反射率 (亮度)。对向电极电压 Vcnt 配设在显示像素矩阵 1 的整个表面上。公共

电极电压 V_{com} 是确定电压保持节点 10 的累积电荷量的电压, 公共地提供给显示像素矩阵 1 的各像素元件 PX。

电压保持节点 10 的保持电荷经液晶显示元件 13 或电容器 12 或 TFT11 泄漏。电压保持节点 10 的保持电压用图 1 所示的刷新电路 5 进行刷新, 恢复为原始电压电平。可以补偿由于电荷泄漏引起的电压下降, 正确地长时间地保持图像数据。

通常, 在高电压和负电压之间驱动选通线 GL。通过将选通线 GL 驱动为高电压电平, 可以将传送给数据线 DL 的图像信号无 TFT11 阈值电压损失地传送给电压保持节点 10。而且, 通过将选通线 GL 维持在负电压电平, 将 TFT11 设定为深度截至状态, 抑制经 TFT11 的泄漏电流。

图 3 具体示出了图 1 所示的数据线连接电路 4、显示像素矩阵 1 和刷新电路 5 的结构。图 3 代表性地示出了显示像素矩阵 1 中排列成两行两列的像素 PX。分别为排列成一行的像素元件 PX 配设选通线 GLa 和 GLb, 为排列成一列的像素元件 PX 配设数据线 DLi 和 DLj。通过图 1 所示的垂直扫描电路 2 向选通线 GLa 和 GLb 分别提供选通线驱动电压 VGa 和 VGb。

数据线连接电路 4 包含: 数据线选择门电路 20i 和 20j, 根据图 1 所示的水平扫描电路 3 发送的数据线选择信号 Hi 和 Hj 选择性地导通并传送经公共图像数据线 15 提供的图像数据 PD; 数据线驱动器 22i 和 22j, 为数据线选择门电路 20i 和 20j 设置, 放大所提供的图像数据; 分离栅 24i 和 24j, 设置在数据线驱动器 22i 和 22j 的输出与数据线 DLi 和 DLj 之间。

这些分离栅 24i 和 24j 响应连接控制信号 S1 而选择性地变成非导通状态, 分离数据线驱动器 22i 和 22j 的输出和数据线 DLi 和 DLj。连接控制信号 S1 在刷新模式时被激活, 激活时, 将分离栅 24i 和 24j 设定为非导通状态。

数据线驱动器 22i 和 22j 通常由电压跟随器构成, 对应的数据线选择门电路 20i 和 20j 导通时, 生成与公共数据线 15 上提供的图像数

据信号 PD 对应的电压电平信号。

刷新电路 5 包含分别与数据线 DL_i 和 DL_j 对应地设置的放大电路 AMP_i 和 AMP_j 。这些放大电路 AMP_i 和 AMP_j 在操作时基于比较基准电压差动放大对应的数据线 DL_i 和 DL_j 上的信号，再将放大结果传送给对应的数据线 DL_i 和 DL_j 。这些放大电路 AMP_i 和 AMP_j 具有相同的结构，因此，图 3 中，代表性地示出了为数据线 DL_i 设置的放大电路 AMP_i 。

放大电路 AMP_i 包含：开关元件 30，响应开关控制信号 S_2 ，将基准电压 V_M 传送到节点 N_1 ；差动放大电路 32，差动地放大节点 N_1 和 N_2 的电压；开关元件 33，根据开关控制信号 S_2 将差动放大电路 32 的输出节点 N_3 与节点 N_2 电耦合；电容元件 34，耦合在节点 N_2 和接地节点之间；两级级联的反相缓冲器 35 和 36，接收差动放大电路 32 的输出信号；开关元件 37，根据开关控制信号 S_4 将反相缓冲器 36 的输出信号传送给数据线 DL_i 。这些开关元件 30、33、37 由传输门或 CMOS 传输门构成，它们由 TFT 构成。基准电压 V_M 设定为相当于写入像素元件 PX 的图像信号的 H 电平数据和 L 电平数据的电压 V_H 和 V_L 的中间电压 $((V_H - V_L) / 2)$ 。

差动放大电路 32 的同相输入连接节点 N_1 ，反相输入连接节点 N_2 。因此，差动放大电路 32 以节点 N_2 的电压为基准放大节点 N_1 的电压。

反相缓冲器 35 和 36 根据差动放大电路 32 的输出信号以大驱动力驱动对应的数据线 DL_i 。下面，参考图 4 说明图 3 所示的显示装置的刷新操作。

随着刷新模式指示信号 SELF 的激活，在时刻 t_0 ，连接控制信号 S_1 变为 L 电平，相应地，分离栅 24_i 和 24_j 变为非导通状态。在这种状态下，数据线 DL_i 和 DL_j 上的电压 V_D 变为浮动状态，选通线 GL_a 和 GL_b 上的选通线驱动信号 V_G (V_{G_a} 和 V_{G_b}) 处于 L 电平 (电压 V_{GL} 电平)。因此，在像素元件 PX 中，TFT (11) 完全处于非导通状态，内部像素电极节点的电压保持在电压保持电容元件 12 中。

连接控制信号 S1 下降到 L 电平之后，在时刻 t1，开关控制信号 S2 和 S3 被激活，放大电路 AMP_i 和 AMP_j 中的开关元件 30 和 33 导通。从而，通过节点 N1 将数据线 DL_i 和 DL_j（以下统称使用 DL）预充电为中间电压 VM 电平。

在放大电路 AMP_i 和 AMP_j 中，差动放大电路 32 的输出节点 N3 的电压电平通过开关元件 33 传送到节点 N2。从而，差动放大电路 32 的输出通过开关元件 33 连接到自身的反相输入上，作为电压跟随器操作。

在差动放大电路 32 中，由于构成要素 TFT 的阈值电压的偏差而导致存在偏移 VOS。因此，理论上，差动放大电路 32 的输出信号得到同相输入节点 N1 上的电压 VM 的电平，由于偏移电压 VOS，其输出电压变成 VM+VOS。负电压电平时也存在偏移电压 VOS。例如，图 10 示出了偏移电压 VOS 是正电压电平，差动放大电路 32 的输出节点 N3 的电压设定为比中间电压 VM 高的电压电平的狀態。节点 N2 连接电容元件 34，因此，差动放大电路 32 的偏移电压信息由电容元件 34 保持。

当经过规定时间时，在时刻 t2，开关控制信号 S2 和 S3 都未被激活，开关元件 30 和 33 处于非导通状态。在这种状态下，通过数据线 DL 上的寄生电容 27（统一表示 27_i，27_j）将数据线的电压 VD 保持在中间电压 VM 电平。

另一方面，通过电容元件 34 将节点 N2 保持在电压 VM+VOS 的电平。差动放大电路 32 的输出节点 N3 也维持在电压 VM+VOS。差动放大电路 32 将节点 N2 的电压作为比较基准电压，作为比较节点 N1 即数据线 DL 的电压的比较器来操作。由电容元件 34 保持的比较基准电压变成包含了差动放大电路 32 的偏移电压的电压（=VM+VOS）。因此，差动放大电路 32 在消除了偏移的状态下进行比较操作。

在时刻 t3，选通线 GL（GL_a 或 GL_b）被驱动为选择状态，选择选通线上的选通线驱动信号 VG（VG_a 或 VG_b）上升为 H 电平（电压

VGH 电平)。另一方面,非选择的选通线维持在 L 电平(电压 VGL)电平。因此,连接该选择选通线 GL 的像素元件 PX 中的 TFT 导通,由电压保持电容元件 12 保持的电荷传送到数据线 DL 中,数据线电压 VD 从预充电电压 VM 开始变化。图 4 示出了数据线 DL 的电压 VD 从预充电状态的中间电压 VM 开始进一步上升电压 ΔVDH 的情况。

现在,为了简化说明,假定在数据线 DL 中写入 H 电平(电压 VH 电平)的图像信号,电压保持节点不产生漏电流,其电压电平不下降,维持在电压 VH 的电平上。这时,由于读出像素元件的累积电荷引起的数据线 DL 的电压变化量 ΔVDH 如下式表示。

$$\Delta VDH = (VH - VM) \cdot Cs / (Cd + Cs)$$

此外, Cd 和 Cs 分别表示各个数据线的寄生电容 27 (27i, 27j) 的电容值和显示像素元件的电容元件 12 的电容值。

$$VM = (VH - VL) / 2, \text{ 求出下式 (1)。}$$

$$\Delta VDH = (VH - VL) \cdot Cs / 2 \cdot (Cd + Cs) \quad (1)$$

同样地,像素元件存储 L 电平的数据信号,在电压 VL 电平的情况下,满足下式。

$$\begin{aligned} \Delta VDL &= (VL - VM) \cdot Cs / 2 \cdot (Cd + Cs) \\ &= (-VH + 3 \cdot VL) \cdot Cs / 2 \cdot (Cd + Cs) \end{aligned} \quad (2)$$

$$VL = 0 (V) \text{ 时, 求出下式 (3) 和 (4)。}$$

$$\Delta VDH = VH \cdot Cs / 2 \cdot (Cd + Cs) \quad (3)$$

$$\Delta VDL = -VH \cdot Cs / 2 \cdot (Cd + Cs) \quad (4)$$

即,求出 $\Delta VDH = -\Delta VDL$ 。读出 H 电平的图像数据信号时和读出 L 电平的图像数据信号时,数据线的电压变化量的大小相同。

假定 $Cs/Cd = 1/20$ 且 $VH = 5 (V)$ 时,求出下式。

$$\Delta VDH = 2.5/20 \cdot 1.1 = 0.119 (V)$$

$$\Delta VDL = -\Delta VDH = -0.119 (V)$$

即,在理想状态下,数据线 DL 的电压 DV 根据写入像素元件的数据以中间电压 VM (=2.5V) 为中心变化 $\pm 0.119 (V)$ 。数据线的变化量 ΔVDH 或 ΔVDL 被差动放大电路 32 放大,放大结果输出到输出

节点 N3。差分放大电路 32 的输出信号通过反相缓冲器 35 和 36 变换为具有大驱动力的信号。

在时刻 t_4 ，激活开关控制信号 S4，将开关元件 37 设为导通状态。从而，根据节点 N5 的电压，通过反相缓冲器 36 驱动数据线 DL，将该电压驱动至 H 电平（电压 V_H 电平）。因为对应的选通线处于选择状态，所以数据线 DL 上的电压 VD 被写入原始像素元件 PX 中，由电压保持电容元件 12 保持。

放大电路 AMP_i 和 AMP_j 中，通过将反相缓冲器 36 的操作电源电压分别设定为和像素数据信号的 H 电平和 L 电平对应的电压 V_H 和 V_L 的电压电平，可以正确地将写入的图像数据信号恢复并重写到原始像素中，刷新像素数据。

而且，在从时刻 t_3 开始的差分放大电路 32 的比较操作时，通过将电压 $V_M + \Delta V_{DH}$ 或 $V_M - \Delta V_{DH}$ 与节点 N2 的比较基准电压 $V_M + V_{OS}$ 相比较，可以消除差分放大电路 32 的偏移，正确地进行像素数据的比较和放大操作。

差分放大电路 32 的输出信号具有比较大的振幅，因此，在反相缓冲器 35 和 36 中，即使同样由于 TFT 的阈值电压偏差引起输入逻辑阈值有偏差，也能根据差分放大电路 32 的输出信号正确地生成与读出的像素数据信号对应的电压，传送给原始数据线 DL（DL_i 或 DL_j）。

通过顺次反复对各选通线执行上述操作，可以以显示像素的行为单位进行像素数据的刷新。

图 5 具体示出了图 1 所示的垂直扫描电路 2 的结构。图 5 中，垂直扫描电路 2 包含：垂直移位寄存器 40，根据垂直扫描开始信号 STV 和垂直扫描时钟信号 VCK 进行移位操作，将其输出 SR1-SR_m 顺次驱动为选择状态；缓冲器电路 41，根据多重选择禁止信号 INHV 和垂直移位寄存器 40 的输出信号 SR1-SR_m 生成数据线驱动信号 VG1-VG_m。

垂直扫描开始信号 STV 在显示像素矩阵的 1 帧（或半帧）扫描结束时被激活。垂直移位寄存器 40 根据垂直扫描开始信号 STV 的激活初始化其选择输出，根据垂直扫描时钟信号 VCK 从其初始位置开

始再次进行移位操作。

缓冲器电路 41 根据多重选择禁止信号 INHV 禁止选通线驱动信号 VG1-VG_m 中两个选通线驱动信号同时变成选择状态。即，多重选择禁止信号 INHV 为逻辑 H 电平的激活状态时，缓冲器电路 41 不管垂直移位寄存器 40 的输出信号 SR1-SR_m 的状态如何都将选通线驱动信号 VG1-VG_m 全部变成非选择状态。多重选择禁止信号 INHV 为逻辑 L 电平时，缓冲器电路 41 根据垂直移位寄存器 40 的输出信号 SR1-SR_m 将选通线驱动信号（垂直扫描信号）驱动为选择状态。下面，参考图 6 简单说明正常工作模式时图像数据的写入。

正常工作模式时，刷新模式指示信号 SELF 为 L 电平。在这种状态下，连接控制信号 S1 和正常工作模式指示信号 NORM 都处于激活状态。正常工作模式指示信号 NORM 是刷新模式指示信号 SELF 的反相信号。这时，根据由外部未图示的控制器提供的垂直扫描开始信号 STV 和多重选择禁止信号 INHV 以及垂直扫描时钟信号 VCK，垂直移位寄存器 40 进行移位操作。

即，垂直移位寄存器 40 取入垂直扫描开始信号 STV，根据下一个垂直扫描时钟信号 VCK 进行移位操作，从而将头一行的选择信号 SR1 驱动为选择状态。因此，在垂直扫描开始信号 STV 上升的下一个周期中，选通线驱动信号 VG1 被驱动为选择状态。之后，根据垂直扫描时钟信号 VCK，垂直移位寄存器 40 进行移位操作。将选通线驱动信号 VG1-VG_m 顺次驱动为选择状态。这里，图 6 作为一例示出了根据隔行扫描方式顺次选择选通线驱动信号 VG1-VG_m 的顺序。可以用隔行扫描方式将选通线驱动信号 VG1-VG_m 驱动为选择状态。在隔行扫描方式时，交互选择由偶数行选通线构成的半帧和奇数行选通线构成的半帧。

在选通线驱动信号 VG1 为选择状态期间，图 1 所示的水平扫描电路 3 根据水平时钟信号（未图示）进行移位操作，给各数据线传送与图像数据信号 PD 对应的图像信号。在正常工作模式时，开关控制信号 S2、S3 和 S4 全都是非激活状态，即使差动放大电路 32 执行差

动放大时，图 3 所示放大电路 AMP_i 和 AMP_j 中差动放大电路 32 的输出也与相应的数据线隔离，使得差动放大器的输出不对图像数据信号的写入产生影响。正常工作模式时，刷新电路 5 可以都维持在非激活状态。

图 7 详细地示出了正常工作模式时的垂直移位寄存器 40 和缓冲器电路 41 的操作。如图 7 所示，垂直移位寄存器 40 根据垂直扫描时钟信号 VCK 进行移位操作。因此，垂直移位寄存器 40 的输出信号 SR_1 - SR_2 在垂直扫描时钟信号 VCK 的 1 个时钟周期期间为逻辑 H 电平。

多重选择信号 INH_V 响应垂直扫描时钟信号 VCK 的上升，在规定期间变为 L 电平，其间，缓冲器电路 41 的输出信号 VG_1 - VG_m 全部维持 L 电平。因此，多重选择禁止信号 INH_V 为 H 电平期间，选通线驱动信号 VG_1 - VG_m 都处于非选择状态。

多重选择禁止信号 INH_V 下降为 L 电平时，缓冲器电路 41 根据垂直移位寄存器 40 的输出信号 SR_1 - SR_m 驱动选通线驱动信号 VG_1 - VG_m 。因此，垂直扫描时钟信号 VCK 上升，垂直移位寄存器 40 进行移位操作时，即使存在垂直移位寄存器 40 的输出信号 SR_1 - SR_2 都为 H 电平的期间，其间多重选择禁止信号 INH_V 为 H 电平，在缓冲器电路 41 发送的选通线驱动信号 VG_1 和 VG_2 中不产生多重选择，能可靠地在选择行（选通线）的像素中写入图像数据。

此外，根据水平扫描信号 H_1 、 H_2 ...（参考图 2），以点顺序方式在连接选择行的像素中顺次写入图像数据。但是，不用点顺序方式而用在选择行的像素中同时写入图像数据信号的写入方式时，提供写入定时信号来代替图 2 所示的水平扫描信号 H_1 、 H_2 ...，图 2 所示的数据线选择门电路 20（表示 20_i 和 20_j 的总称）同时变成导通状态。

图 8 是图 5 所示垂直扫描电路 2 刷新时的操作时间图。图 8 还示出了图 2 所示开关控制信号 S_2 - S_4 和数据线 DL 的电位变化。

在刷新模式时，刷新模式指示信号 $SELF$ 设定为 H 电平，连接控制信号 S_1 设定为 L 电平。在这种状态下，垂直移位寄存器 40 根据时

钟信号 VCK 进行移位操作。响应垂直时钟信号 VCK 的上升，开关控制信号 S2 和 S3 在规定期间变为 H 电平。其间，多重选择禁止信号 INHV 是 H 电平，选通线驱动信号 VG（表示 VG1、VG2 的总称）处于非激活状态。

将开关控制信号 S2 和 S3 驱动为非激活状态后，多重选择禁止信号 INHV 变为 L 电平，相应地，选通线驱动信号 VG1 上升为 H 电平。多重选择禁止信号 INHV 在 H 电平期间，数据线 DL 的预充电操作结束。当选通线驱动信号 VG1 被驱动为 H 电平时，在数据线 DL 中产生与选择像素元件的电压对应的电压变化。该电压变化被对应的放大电路放大。接着，开关控制信号 S4 变为 H 电平，被放大电路放大的图像数据传送到对应的数据线 DL 中。

当时钟信号 VCK 再次上升为 H 电平时，开关控制信号 S2 和 S3 变为 H 电平，这时，选通线驱动信号 VG1 下降为 L 电平，开关控制信号 S4 也变为 L 电平。从而，再次预充电数据线 DL。之后，在刷新模式期间，根据随垂直扫描时钟信号 VCK 之后的垂直扫描电路 2 的扫描操作，顺次将选通线驱动为选择状态。

刷新模式时，通过把多重选择禁止信号 INHV 的 H 电平期间设定为适当的期间，在可靠地将对应的数据线 DL 预充电为规定的中间电压电平之后，可以将选通线驱动信号 VG1、VG2...驱动为选择状态。

正常工作模式时和刷新模式时，可以从外部提供选通线移位用垂直扫描时钟信号 VCK。以下，对刷新时在内部生成垂直扫描时钟信号 VCK 的结构进行说明。

图 9 概要地示出了图 1 所示刷新控制电路 6 的结构。图 9 中，刷新控制电路 6 包含：振荡电路 55，响应刷新模式指示信号 SELF 的激活，以规定周期进行振荡；缓冲器电路 56，对振荡电路 55 的输出信号 $\phi VS0$ 进行缓冲处理，生成刷新垂直时钟信号 VCKS；单触发脉冲发生电路 57，响应振荡电路 55 的输出信号 $\phi VS0$ 的上升，生成单触发的脉冲信号 INHVS；计数器 58，对振荡电路 55 的输出信号 $\phi VS0$ 计数；单触发脉冲发生电路 59，当计数器 58 的计数值达到规定计数

值时，发生单触发的脉冲信号 $\phi 2$ ；单触发脉冲发生电路 60，响应刷新模式指示信号 SELF 的激活，生成单触发的脉冲信号 $\phi 1$ ；OR 电路 61，接收单触发脉冲 $\phi 1$ 和 $\phi 2$ ，生成刷新垂直时钟信号 VCKS；反相电路 62，反转刷新模式指示信号 SELF，生成正常工作模式指示信号 NORM 和连接控制信号 S1。

振荡电路 55 包含：环形振荡器 55a，在刷新模式指示信号 SELF 激活时进行振荡操作；反相器 55b，反转环形振荡器 55a 的输出信号并且进行缓冲处理，生成输出信号 $\phi VS0$ 。环形振荡器 55a 包含：NAND 电路 NG，将刷新模式指示信号 SELF 接收到第一输入中；偶数级级联的反相器 IV，接收 NAND 电路 NG 的输出信号。这偶数个反相器中位于最终级的反相器 IV 的输出信号提供给 NAND 电路 NG 的第二输入。

刷新控制电路 6 还包含：选择电路 70a，根据正常工作模式指示信号 NORM 和刷新模式指示信号 SELF，选择来自外部的垂直扫描时钟信号 VCKN 或来自缓冲器电路 56 的刷新垂直时钟信号 VCKS，生成垂直扫描时钟信号 VCK；选择电路 70b，根据正常工作模式指示信号 NORM 和刷新模式指示信号 SELF，选择来自单触发脉冲发生电路 57 的单触发脉冲信号 INHVS 或来自外部的多重选择禁止信号 INHVN，输出多重选择禁止信号 INHV；选择电路 70c，根据正常工作模式指示信号 NORM 和刷新模式指示信号 SELF，选择来自外部的垂直扫描开始信号 STVN 或 OR 电路 61 的输出信号 STVS，生成垂直扫描开始信号 STV。

选择电路 70a 包含：AND 门 70aa，接收正常工作模式指示信号 NORM 和来自外部的垂直扫描时钟信号 VCKN；AND 门 70ab，接收刷新模式指示信号 SELF 和缓冲器电路 56 的输出信号 VCKS；OR 门 70ac，接收这些 AND 门 70aa 和 AND 门 70ab 的输出信号，生成垂直扫描时钟信号 VCK。

选择电路 70b 包含：AND 门 70ba，接收正常工作模式指示信号 NORM 和来自外部的多重选择禁止信号 INHV；AND 门 70bb，接收

刷新模式指示信号 SELF 和单触发脉冲发生电路 57 的输出脉冲信号 INHVS; OR 门 70bc, 接收这些 AND 门 70ba 和 AND 门 70bb 的输出信号, 生成多重选择禁止信号 INHV。

选择电路 70c 包含: AND 门 70ca, 接收正常工作模式指示信号 NORM 和来自外部的扫描开始信号 STVN; AND 门 70cb, 接收刷新模式指示信号 SELF 和 OR 电路 61 的输出信号 STVS; OR 门 70cc, 接收这些 AND 门 70ca 和 AND 门 70cb 的输出信号, 生成垂直扫描开始信号 STV。

在正常工作模式时, 刷新模式指示信号 SELF 为 L 电平, 正常工作模式指示信号 NORM 为 H 电平。因此, 在选择电路 70a-70c 中, 根据来自外部的信号 VCKN、INHVN 和 STVN, 输出垂直扫描时钟信号 VCK、多重选择禁止信号 INHV 和垂直扫描开始信号 STV。另一方面, 在刷新模式时, 刷新模式指示信号 SELF 为 H 电平, 正常工作模式指示信号 NORM 为 L 电平, 因此, 这些选择电路 70a-70c 根据缓冲器电路 56、单触发脉冲发生电路 57 和 OR 电路 61 的输出信号 VCKS、INHVS 和 STVS, 生成垂直扫描时钟信号 VCK、多重选择禁止信号 INHV 和垂直扫描开始信号 STV。

图 10 是表示生成与图 9 所示刷新控制电路 6 的刷新有关的信号的部分的操作的时间图。以下, 参考图 10 简单地说明图 9 所示刷新控制电路 6 的操作。

刷新模式指示信号 SELF 为 L 电平时, 振荡电路 55 处于非激活状态, 其输出信号 ϕ_{VS0} 固定为 L 电平。因此, 在刷新控制电路 6 中, 缓冲器电路 56 的输出信号 VCKS、来自单触发脉冲发生电路 57 的单触发脉冲信号 INHVS 和来自 OR 电路 61 的脉冲信号 STVS 都维持 L 电平。

此外, 通过反相电路 62, 正常工作模式指示信号 NORM 处于 H 电平, 连接控制信号 S1 也是 H 电平, 对显示像素矩阵的像素执行图像数据信号的写入。

仅保持图像数据时, 刷新模式指示信号 SELF 被驱动为 H 电平。

刷新模式指示信号 SELF 为 H 电平时，在环形振荡器 55a 中，NAND 电路 NG 作为反相器操作，环形振荡器 55a 开始振荡操作。相应地，振荡电路 55 的输出信号 $\phi VS0$ 以环形振荡器 55a 具有的规定周期进行变化。

响应该刷新模式指示信号 SELF 的上升，单触发脉冲发生电路 60 生成单触发的脉冲信号 $\phi 1$ ，相应地，刷新垂直扫描开始信号 STVS 在规定期间变成 H 电平。垂直扫描开始信号 STVS 变为 H 电平，接着，当来自缓冲器电路 56 的刷新垂直扫描时钟信号 VCKS 变为 H 电平时，根据垂直扫描开始信号 STV 生成的垂直扫描开始信号 STV 在垂直移位寄存器中被置位。在这种状态下，仅简单地对图 5 所示垂直移位寄存器 40 进行初始设定，垂直移位寄存器的输出信号全都为 L 电平。

根据刷新模式指示信号 SELF，选择电路 70a-70c 选择缓冲器电路 56 的输出信号 VCKS、单触发脉冲发生电路 57 的输出信号 INHVS 和 OR 电路 61 的输出信号 STVS，生成垂直扫描时钟信号 VCK、多重选择禁止信号 INHV 和垂直扫描开始信号 STV。

当来自缓冲器电路 56 的刷新垂直扫描时钟信号 VCKS 再次上升到 H 电平时，图 5 所示的垂直移位寄存器 40 执行移位操作，其初级的输出上升为 H 电平。另一方面，单触发脉冲发生电路 57 响应振荡电路 55 的输出信号 $\phi VS2$ 的上升，生成在规定期间变为 H 电平的刷新多重选择禁止信号 INHVS。当刷新多重选择禁止信号 INHVS 变为 L 电平时，来自垂直扫描电路的垂直扫描信号（选通线驱动信号）VG1 被驱动为 H 电平。

计数器 58 对振荡电路 55 的输出信号 $\phi VS0$ 进行计数操作，当对显示像素矩阵的 m 条选通线计数了 m 个信号 $\phi VS0$ 的上升时，生成计数完成信号。响应计数器 58 的计数完成信号，单触发脉冲发生电路 59 生成单触发的脉冲信号 $\phi 2$ ，相应地，垂直扫描开始信号 STVS 再次上升为 H 电平。接着，当振荡电路 55 的输出信号 $\phi VS0$ 上升为 H 电平时，基于刷新垂直扫描开始信号 STVS 生成的垂直扫描开始信号 STV 在垂直移位寄存器中被置位。在这种状态下，垂直移位寄存器将

1 帧的最终扫描线（选通线）的垂直扫描信号 VG_m 驱动成 H 电平。

当振荡电路 55 的输出信号 ϕ_{VS0} 再次上升为 H 电平时，垂直移位寄存器根据取入的垂直扫描开始信号 STV 再次使最初扫描线（选通线）的选通线驱动信号 VG_1 上升到 H 电平。

因此，每当计数器 58 计数了 m 次振荡电路 55 的输出信号 ϕ_{VS0} 就生成单触发的脉冲信号 ϕ_2 ，从而，在扫描了显示像素矩阵中的全部垂直扫描线（选通线）之后，可以产生刷新垂直扫描开始信号 STVS。

关于水平扫描，在刷新时是不需要的。因此，刷新控制电路 6 不生成与水平扫描有关的信号。在这种状态下，只是把来自外部的与水平扫描有关的信号都固定为逻辑 L 电平，停止水平扫描电路的操作。从而，降低消耗功率。

该刷新模式时，通过用单触发脉冲发生电路 57 生成多重选择禁止信号 INHV 来调整其脉冲宽度，能在将数据线 DL 可靠地预充电为规定电压 VM 之后将选通线驱动为选择状态。

图 11 概要地示出了刷新控制电路 6 中产生开关控制信号 S2-S4 的部分的结构。图 11 中，刷新控制电路 6 包含：单触发脉冲发生电路 75，响应图 9 所示振荡电路 55 的输出信号 ϕ_{VS0} 的上升，生成单触发的脉冲信号；置位复位触发器 76，响应振荡电路 55 的输出信号 ϕ_{VS0} 的上升而复位并且由其输出 Q 生成开关控制信号 S4；反转延迟电路 77，反转开关控制信号 S4 并且延迟规定时间。置位复位触发器 76 响应反转延迟电路 77 的输出信号的上升而被置位，将开关控制信号 S4 设定为 H 电平。

图 12 是图 11 所示刷新控制电路 6 的操作时间图。以下，参考图 12 说明图 11 所示刷新控制电路 6 的操作。

当振荡信号 ϕ_{VS0} 上升为 H 电平时，单触发脉冲发生电路 75 产生单触发的脉冲信号，相应地，开关控制信号 S2 和 S3 变为 H 电平。开关控制信号 S2 和 S3 维持激活状态的时间宽度比多重选择禁止信号 INHVS 的 H 电平期间短。足以确保数据线的预充电和放大电路中设定偏移的时间。

将开关控制信号 S2 和 S3 驱动为非激活状态后，将多重选择禁止信号 INHVS 驱动为 H 电平，相应地，选通线驱动信号 VGi 被驱动为 H 电平。

另一方面响应振荡信号 $\phi VS0$ 的上升，置位复位触发器 76 被复位，来自其输出 Q 的开关控制信号 S4 变为 L 电平，禁止向数据线传送放大电路的输出信号。

开关控制信号 S4 从选通线驱动信号 VGi 被驱动为激活状态开始维持规定期间的非激活状态。当经过反转延迟电路 77 具有的延迟时间时，反转延迟电路 77 的输出信号上升为 H 电平，置位复位触发器 76 被置位，开关控制信号 S4 被驱动为 H 电平。这时，选通线驱动信号 VGi 已经是 H 电平，像素数据被读出到数据线中，经放大电路放大，根据放大结果，可以再次驱动数据线，将数据写入到原始像素数据中。

图 12 所示的一连串操作是响应振荡信号 $\phi VS0$ 的上升反复执行的。通过将反转延迟电路 77 具有的延迟时间设定为适当时间，从选通线驱动信号 VGi 被驱动为激活状态开始，在由放大电路进行像素数据的放大操作结束后，可以正确地向原始像素数据写入放大数据。

此外，刷新模式时，当从外部提供垂直扫描时钟信号 VCK、垂直扫描开始信号 STV 和禁止信号 INHV 时，不需要生成与图 4 所示刷新有关的控制信号 VCKS、INHVS 和 STVS。但是，通过在内部生成多重选择禁止信号 INHVS，在内部的数据线预充电操作结束后，可以正确地将选通线驱动信号驱动为选择状态。

即使在刷新模式时，在从外部提供水平扫描时钟信号的情况下，用刷新模式指示信号 SELF 也能停止水平扫描电路的移位操作。从而，而已减小刷新时的消耗电流。

如上所述，根据本发明实施例 1，在各数据线中设置放大电路，在放大电路中，将数据线预充电到固定电压并且将差动放大电路的输出信号保持在电容已经中，通过这种结构，消除差动放大电路阈值电压偏差引起的偏移，可以正确地进行放大操作。

此外，因为不需要变更显示图像，所以不需要特别地改变刷新时

对向电极的像素驱动电压 V_{ent} 的电压极性。但是，刷新操作时，交流地驱动液晶显示元件 PX 时，1 帧的刷新结束后，改变像素驱动电压 V_{ent} 的极性时，在图 2 所示的结构中，可以利用反相缓冲器电路 35 的输出信号，将从像素数据读出的反转像素元件信号写入原始像素中。或者，当将对向电极驱动电压 V_{ent} 设定为驱动信号的 H 电平和 L 电平的电压 V_H 和 V_L 的中间电压电平时，仅将来自放大电路的反转像素数据信号写入原始像素中。

在刷新电路和显示像素矩阵之间，还可以为各数据线配置响应刷新模式指示信号而变为导通状态的开关元件。正常工作模式时，通过将刷新电路与对应的数据线分离，减轻数据线驱动器的负荷。

(实施例 2)

图 13 具体示出了图 2 所示差动放大电路 32 的结构。图 13 中，差动放大电路 32 包含：提供恒电流的恒流部 32A；放大部 32B，放大输入节点 N1 和 N2 的信号并将该放大结果输出到节点 N3。恒流部 32A 包含：电阻元件 RZ1，连接在电源节点 ND1 和节点 ND2 之间；N 沟道薄膜晶体管 (TFT) NQ1，连接在节点 ND2 和节点 ND3 之间，并且其栅极连接节点 N2；N 沟道薄膜晶体管 NQ2，构成薄膜晶体管 NQ1 和电流反射镜电路。在高侧电源节点 ND1 上提供电压 V_1 ，在低侧电源节点 ND3 上提供电压 V_2 。这些电压 V_1 和 V_2 是预充电电压 V_M 落在差动放大电路 32 的最敏感区域内的电压电平。例如，电压 V_1 和 V_2 相当于分别与图像数据信号的 H 电平和 L 电平对应的电压。通常，电压 V_1 设定为电源电压电平，但也可以是比电源电压高的高电压。电压 V_2 通常设定为接地电压，但也可以是负电压。

放大部 32B 包含：电阻元件 RZ2，连接在电源节点 ND1 和节点 ND4 之间；电阻元件 RZ3，连接在电源节点 ND1 和节点 ND5 之间；N 沟道薄膜晶体管 NQ3，连接在节点 ND4 和 ND6 之间，并且其栅极连接节点 N2；N 沟道薄膜晶体管 NQ4，连接在节点 ND5 和 ND6 之间，并且其栅极连接节点 N1；P 沟道薄膜晶体管 PQ1，连接在电源节点 ND1 和输出节点 N3 之间，并且其栅极连接节点 ND5；N 沟道薄膜晶

体管 NQ0，连接在节点 N3 和电源节点 ND3 之间，并且其栅极连接节点 NQ1。节点 N1 和 N2 分别是图 2 所示差动放大电路 32 的同相输入和反相输入，节点 N3 是图 2 所示差动放大电路 32 的输出节点。

在节点 N3 和节点 N2 之间配置响应开关控制信号 S3 的开关元件 33。在节点 N2 上设置电容元件 34。电阻元件 RZ1-RZ3 由沟道电阻或薄膜电阻形成。电阻元件 RZ2 和 RZ3 具有相同电阻值。薄膜晶体管 NQ3 和 NQ4 以相同形状和相同尺寸形成，具有相同的晶体管特性。

以下，对开关元件 33 处于导通状态、节点 N3 和 N2 电连接时的操作进行说明。

恒流部 32A 中流过由电阻元件 RZ1 和薄膜晶体管 NQ1 的沟道电阻决定的电流。薄膜晶体管 NQ1 和 NQ2 构成电流反射镜电路，这些薄膜晶体管 NQ1 和 NQ2 尺寸、形状相同时，在薄膜晶体管 NQ2 中流过的电流的大小和镜薄膜晶体管 NQ1 流过的电流相同。薄膜晶体管 NQ2 用作放大部 32B 的差动放大级的恒流源晶体管。薄膜晶体管 NQ0 构成薄膜晶体管 NQ1 和电流反射镜电路，从输出节点 N3 引出恒定的大电流。

节点 N1 的电压电平比节点 N2 的电压电平高时，薄膜晶体管 NQ4 的沟道电导比薄膜晶体管 NQ3 的沟道电导大，节点 ND5 的电压电平下降，薄膜晶体管 PQ1 的沟道电导增加，向输出节点 N3 提供电流。节点 N3 经开关元件 33 与节点 N2 连接，因此，节点 N2 的电压电平上升。

另一方面，节点 N2 的电压电平比节点 N1 的电压电平高时，薄膜晶体管 NQ3 的沟道电导比薄膜晶体管 NQ4 的沟道电导大，节点 ND5 的电压电平由于电阻元件 RZ3 被提高，薄膜晶体管 PQ1 的沟道电导下降。这时，薄膜晶体管 NQ0 在输出节点 N3 放电，输出节点 N3 的电压电平下降。因此，在这些薄膜晶体管 NQ3 和 NQ4 的阈值电压中没有偏移时，节点 N1 和 N2 的电压电平通过负反馈操作变得彼此相等。

在薄膜晶体管 NQ3 和 NQ4 中的阈值电压存在偏移 VOS 时，薄膜晶体管 NQ3 和 NQ4 的沟道电导的变化受偏移 VOS 的影响。薄膜晶

体管 NQ4 的阈值电压比薄膜晶体管 NQ3 的阈值电压高时, 节点 N2 连接到高出阈值电压偏移 VOS 的电压电平上。即, 当考虑把薄膜晶体管 NQ3 和 NQ4 单纯地作为源耦合逻辑电路操作时, 根据节点 N1 和 N2 的电压电平, 一个变为导通状态, 另一个变为非导通状态, 在节点 N3 和 N2 上产生与阈值电压的偏移 VOS 对应的输出偏移。

因此, 把开关元件 33 作为导通状态, 通过将差动放大电路 32 的输出节点和反相输入节点电耦合, 使差动放大电路 32 作为电压跟随器操作, 可以在电容元件 34 中保持包含差动放大电路 32 的偏移的电压。

在差动放大电路 32 的放大操作时, 开关元件 33 被设定为非导通状态。在这种状态下, 把包含保持在电容元件 34 中的偏移信息的电压和同相输入节点 N1 上提供的信号相比较, 根据比较结果, 调整薄膜晶体管 PQ1 的沟道电导, 将输出节点 N3 驱动为与比较结果对应的电压电平。

因此, 在差动级使用具有相同尺寸、相同特性的薄膜晶体管, 在预充电操作时, 通过反馈其输出信号, 可以正确地将补偿差动放大电路偏移的电压保持在电容元件中, 正确地进行像素数据信号的放大操作。

图 14 示出了图 2 所示的差动放大电路 32 的另一个结构。图 14 所示的差动放大电路 32 和图 13 所示差动放大电路 32 在结构方面的差异有以下几点。即, 在放大部 32B 中, 为了放大差动结果, 为薄膜晶体管 NQ3 和 NQ4 设置电流反射镜级。该电流反射镜级包含: P 沟道薄膜晶体管 PQ2, 连接在电源节点 ND1 和节点 ND4 之间, 并且其栅极与节点 ND4 连接; P 沟道薄膜晶体管 PQ3, 连接在电源节点 ND1 和节点 ND5 之间, 并且其栅极与节点 ND4 连接。图 14 所示差动放大电路 32 的另一个结构和图 13 所示差动放大电路的结构相同, 对应的部分用相同的符号表示, 详细说明从略。

薄膜晶体管 PQ2 和 PQ3 具有相同的形状和相同的尺寸, 流过相同大小的电流。因此, 节点 ND4 的电压电平的变化经 MOS 晶体管 PQ2 和 PQ3 反映在节点 ND5 上, 因此, 和使用图 13 所示的电阻元件 RZ2

和 RZ3 的情况相比，可以提高放大率。

可以检测从显示像素元件读出的微小电压后正确驱动下一级的反相缓冲器。从而，能以更快的定时将图 2 所示反相缓冲器 36 的输出信号设定为确定状态，可以缩短刷新显示像素元件的保持电压所需的时间。

图 15 示出了图 2 所示差动放大电路 32 的再一个结构。图 15 所示的差动放大电路 32 和图 14 所示差动放大电路 32 在结构方面的差异有以下几点。即，在恒流部 32A 中，在电阻元件 RZ1 和电源节点 ND1 之间连接 P 沟道薄膜晶体管 PQ4，在电阻元件 RZ1 和电源节点 ND3 之间设置和 N 沟道晶体管 NQ1 并列的 N 沟道晶体管 NQ5。向这些薄膜晶体管 PQ4 和 NQ5 的栅极提供接收测试模式指示信号 TEST 和刷新模式指示信号 SELF 的 NOR 门 80 的输出信号。

测试模式指示信号 TEST 在以后说明的测试操作时设定为 H 电平，刷新模式指示信号 SELF 在刷新时设定为 H 电平。图 15 所示差动放大电路 32 的另一个结构和图 14 所示差动放大电路的结构相同，对应的部分用相同的符号表示，详细说明从略。

正常工作模式时，即进行像素数据改写的工作模式时，测试模式指示信号 TEST 和刷新模式指示信号 SELF 都是 L 电平，NOR 门 80 的输出信号设定为 H 电平。在这种状态下，薄膜晶体管 PQ4 为非导通状态，薄膜晶体管 NQ5 为导通状态，节点 ND2 设定为低侧电源电压 V2 的电压电平。相应地，薄膜晶体管 NQ1、NQ2 和 NQ4 变为非导通状态，差动放大电路 32 中工作电流路径被切断。

刷新模式时或测试工作模式时，刷新模式指示信号 SELF 或测试模式指示信号 TEST 设定为 H 电平。在这种状态下，NOR 门 80 的输出信号变为 L 电平，薄膜晶体管 PQ4 变为导通状态，薄膜晶体管 NQ5 变为非导通状态。因此，在恒流部 32A 中形成电流流过的路径，在薄膜晶体管 NQ2 和 NQ4 中流过恒定电流，放大部 32B 变成操作状态。

在图 15 所示的差动放大电路 32 中，仅测试工作模式时或刷新工作模式时在差动放大电路中流过工作电流。在正常工作模式时，差动

放大电路 32 的工作电流流动路径被切断,可以减小正常工作模式时的消耗电流。

在图 15 所示的差动放大电路 32 的结构中,正常工作模式时,输出节点 N3 变为浮动状态。为了防止浮动状态,可以与输出驱动晶体管 PQ1 并列地连接将 NOR 门 80 的输出信号接收到栅极的 P 沟道薄膜晶体管。

如上所述,根据本发明的实施例 2,差动放大电路由恒流部和把恒流部的供给电流作为工作电流的放大部构成,该放大部由差动放大级和根据差动放大级的输出信号驱动输出节点的晶体管构成,通过简易的电路结构可以实现进行放大操作的所占面积小的差动放大电路。

(实施例 3)

图 16 是根据本发明实施例 3 的显示装置主要部分的结构图。图 16 中,代表性地示出了与选通线 GL 和数据线 DL 的交叉部对应地配置的显示像素元件 PX。显示像素元件 PX 和前面图 2 所示的结构相同,布置成行列状,与各显示像素列对应地配置数据线 DL,与各显示像素行对应地配置选通线 GL。

与数据线 DL 对应地设置放大电路 AMP。放大电路 AMP 的结构和图 2 所示放大电路 AMP_i 和 AMP_j 相同。

在数据线 DL 上有寄生电容 27。寄生电容 27 有电容值 Cd。

显示像素元件 PX 包含: N 沟道薄膜晶体管 11, 响应选通线 GL 上的信号电位而导通, 导通时, 将像素电极节点 (电压保持节点) 81 和数据线 DL 电耦合; 电压保持电容元件 82, 连接在像素电极节点 (电压保持节点) 81 和升压节点之间; N 沟道薄膜晶体管 83, 根据像素电极节点 81 上的保持电压传送像素驱动电压 Vcom; 液晶显示元件 84, 连接在经薄膜晶体管 83 提供的电压和对向电极节点之间。在对向电极节点上提供对向电极电压 V_{ent}。

电压保持电容元件 82 由利用薄膜晶体管的沟道电容元件构成。在像素电极节点 81 上保持 H 电平电压时形成沟道, 电容元件 82 作为电容进行工作, 当像素电极节点 81 上保持 L 电平电压时, 不形成沟

道，电压保持电容元件 82 作为具有寄生电容的电容值的电容工作。当提供升压信号 BS 时，电压保持电容元件 82 仅在保持 H 电平电压时通过电荷泵操作向像素电极节点 81 提供有效量的电荷，补偿由于漏电流引起的电压电平的下降。

图 17 示出了图 6 所示显示装置刷新时像素操作的信号波形图。图 17 示出了在像素电极节点 81 中存储 H 电平数据、电压电平由于漏电流而下降了时的操作波形。以下参考图 17 说明图 16 所示像素的图像数据信号的刷新操作。

首先，经放大电路 AMP 中包含的开关元件将数据线 DL 预充电到中间电压 VM 电平。在预充电操作期间，电压 Vs 电平的升压信号 BS 升压为电压 Vp。升压信号 VS 的振幅 Vbs 根据提供给像素电极节点 81 的电荷量和电容元件 82 的电容值确定。电压 Vs 的电压电平也根据像素电极节点 81 的保持电压电平适当地确定。

根据升压信号 BS，通过电容元件 82 的电荷泵操作使节点 81 的电压电平上升。电容元件 82 的耦合系数为理想状态 1 时，像素电极节点 81 的电压如图 17 所示改变电压 Vbs。像素电极节点 81 的变化电压由升压信号 BS 的振幅、电容元件 82 的电容值 Cs、像素电极节点 81 的寄生电容的电容值和电容元件的耦合系数决定。

预充电操作结束后，放大电路 AMP 进行放大操作，因此，将选通线 GL 驱动为选择状态，将像素电极节点 81 驱动为导通状态。响应薄膜晶体管 11 的导通，节点 81 的累积电荷传送给对应的数据线 DL。这时，升压信号 BS 维持升压电压 Vp 电平。在数据线 DL 上产生与像素电极节点 81 的电压对应的电压变化。因此，在数据线 DL 上产生在泄漏时产生的电压变化 $\Delta V_{DH}'$ 上又加了由于升压信号 BS 引起的与电压 Vb 对应的电压 ΔV 后的电压变化。若电压 $\Delta V_{DH}' + \Delta V$ 基本等于电压 ΔV_{DH} ，则可以补偿放大电路 AMP 中差动放大电路放大时的 H 电平数据的边缘下降，正确地进行放大操作。

接着，通过放大电路 AMP，根据放大结果驱动数据线 DL。通过放大电路 AMP 进行放大操作时，使升压信号 BS 恢复为原始电压 Vcom

电平。升压信号 BS 的电压电平下降时，像素电极节点 81 经数据线 DL 由放大电路 AMP 驱动，不出现由于电容耦合引起的电压下降，利用放大电路 AMP 维持在原始电压电平 VH。

当显示像素元件 PX 的刷新操作结束时，将选通线 GL 驱动为非选择状态，为了刷新下一个像素行的保持数据，将数据线 DL 驱动为中间电压 VM 电平。像素电极节点 81 维持刷新后的电压 VH 电平。

像素电极节点 81 的电压在电容元件 82 的耦合系数为 1 时变化与升压信号 BS 的振幅 Vbs 相等的电压电平。因此，通过电容元件 82 的电荷泵操作，在像素电极节点 81 中注入 $V_{bs} \cdot C_s$ 的电荷。读出像素数据时，电荷 $V_{bs} \cdot C_s$ 为数据线 DL 的寄生电容 27 和电容元件 82 所共有。因此，数据线 DL 的电压变化增量 ΔV 用下式表示。

$$\Delta V = V_{bs} \cdot C_s / (C_s + C_d)$$

通过把升压信号 BS 的振幅设定为合适值，可以补偿由于像素电极节点 81 的漏电流引起的下降，补偿读出电压 ΔV_{DH} 的下降。即，由于像素电极节点 81 的电压下降而使数据线 DL 的读出电压为 $\Delta V_{DH}'$ 时，通过根据升压信号 BS 的电荷泵操作，使数据线 DL 的电压电平上升 ΔV ，恢复为正常的没有泄漏时的读出数据 ΔV_{DH} 的电压电平。

如果利用升压信号 BS，在像素电极节点 81 中保持 L 电平数据时，也驱动升压信号 BS。但是，电容元件 82 由沟道电容元件构成，存储 L 电平的图像信号时，其电容值仅是寄生电容产生的电容值。即使根据升压信号 BS 进行电荷泵操作，注入电荷量也非常小，可以充分抑制像素电极节点 81 的电压电平的上升。

图 18 概要地示出了图 16 所示电压保持电容元件 82 的截面构造。图 18 中，电压保持电容元件 82 的结构和 N 沟道薄膜晶体管相同，形成在玻璃基板 91 上。电容元件 82 包含：在玻璃基板 91 上形成的 N 型多晶硅膜 92；本征多晶硅膜 93，与 N 型多晶硅膜 92 邻接地形成在玻璃基板 91 表面上；在本征多晶硅膜 93 上形成的栅极绝缘膜 94；栅电极 95，与本征多晶硅膜 93 相对地形成在栅极绝缘膜 94 上；与栅电

极 95 电连接地形成的电极 97; 与 N 型多晶硅膜 92 电连接地形成的电极 99。

栅极绝缘膜 94 例如由二氧化硅形成, 栅电极 95 例如由铬形成。电极 97 和 99 例如由铝形成。

N 型多晶硅膜 92 在沟道形成时与本征多晶硅膜 93 电连接。

电极 97 连接像素电极节点 81, 向电极 99 提供升压信号 BS。

电容元件 82 具有在栅电极 95 和本征多晶硅膜 93 之间形成的重叠部分 98。由图 18 所示栅电极 95 和本征多晶硅膜 93 以及栅极绝缘膜 94 形成的结构的电容称为所谓的沟道电容。以电极 99 的电压为基准, 通过在相当于栅电极的电极 97 和相当于源电极的电极 99 之间施加比 N 沟道薄膜晶体管的阈值电压大的电压, 在重叠部分 98 的本征多晶硅膜 93 的栅电极 95 下部表面形成 N 型沟道层。形成把在重叠部分 98 中形成的沟道上的栅电极 95 作为一方电极, 把沟道层 (与 N 型多晶硅膜 92 电连接) 作为另一方电极的静电电容。即, 当在像素电极节点 81 中保持 H 电平的数据时, 在重叠部分 98 中形成沟道, 电容元件 82 用作电容值 C_s 的电容。

另一方面, 当在像素电极节点 81 中保持 L 电平数据时, 形成电极 97 和 99 之间的电压比 N 型薄膜晶体管的阈值电压小的沟道电容。在这种情况下, 电容元件 82 仅具有位于重叠部分 98 中的微小寄生电容作为其电容值。因此, 这时, 即使提供供给电极 99 的升压信号 BS 的电压电平上升, 经位于重叠部分 98 中的寄生电容的电荷泵操作向像素电极节点 81 注入的电荷量也非常小, 几乎能抑制 L 电平数据保持时的像素电极节点 81 的电压上升。

由此, 补偿 H 电平数据的电压电平下降, 可以正确地将像素数据读出到数据线 DL 中。因此, 升压电压 BS 的 L 电平的电压 V_s 可以根据像素电极节点 81 中保持的 H 电平数据的电压电平 V_H 确定为合适电压电平, 可以是接地电压, 也可以是公共电极电压 V_{com} 。只需要将升压信号 BS 的电压电平确定为 L 电平, 使得当像素电极节点 81 存储 H 电平数据时在电容元件 82 中形成沟道电容, 在存储 L 电平数

据的情况下，在沟道电容中不形成沟道层。

图 19 概要地示出了发生图 16 所示的升压信号 BS 的部分的结构。图 19 中，升压信号发生部由单触发脉冲发生电路 100 构成，单触发脉冲发生电路 100 响应图 9 所示单触发脉冲发生电路 57 发出的多重选择禁止信号 INHVS 的上升而产生单触发的脉冲信号。单触发脉冲发生电路 100 接收电压 V_p 和 V_s 作为工作电源电压进行操作。单触发脉冲发生电路 100 发出的单触发信号用作升压信号 BS。

图 20 示出了图 19 所示单触发脉冲发生电路 100 的操作时间图。以下参考图 20 简单地说明图 19 所示单触发脉冲发生电路 100 的操作。

首先，如图 9 所示，多重选择禁止信号 INHVS 与垂直扫描时钟信号 VCK (VCK) 的上升同步地变成规定期间的 H 电平。严格地说，如前面的图 9 所示，根据图 9 的振荡电路 55 的输出信号 ϕ_{VS0} 生成多重选择禁止信号 INHVS。响应刷新多重选择禁止信号 INHVS 的上升，单触发脉冲发生电路 100 生成单触发的脉冲信号，相应地，升压信号 BS 上升为 H 电平。当升压信号 BS 上升为 H 电平时，如图 20 所示，选通线 GL 变为非选择状态，对数据线执行预充电操作。

当刷新多重选择禁止信号 INHVS 下降为 L 电平时，选择选通线 GL (GLa) 被驱动为 H 电平。选择选通线 GLa 上升为 H 电平，对应的放大电路的输出信号传送到像素电极节点后，升压信号 BS 下降为 L 电平。因此，升压信号 BS 可以在选通线 GL 为 H 电平期间的任意时刻驱动为 L 电平。

一旦对选择选通线 GL (GLa) 的刷新操作结束，就响应垂直扫描时钟信号 VCKS 对下一行 (选通线) 执行刷新操作。这时，下一个选通线 GLb 在刷新多重选择禁止信号 INHVS 下降为 H 电平后变为 H 电平。因此，对于选通线 GLb 来说，升压信号 BS 也变成规定期间的 H 电平。

可以向显示像素矩阵的各像素公共地提供升压信号 BS。在非选择像素中，当对应的选通线为非选择状态时，通过电压保持电容元件进行电荷泵操作，向像素电极节点 (电压保持节点) 注入电荷，再次

响应升压信号 BS 的下降，取出注入的电荷。因此，在连接非选择选通线的显示像素元件中，电压保持节点（像素电极节点）的电压电平在 1 个刷新工作周期结束时不变化。

可以以像素行为单位控制升压信号 BS 的电压电平。基于垂直扫描电路（参考图 5）所示的垂直移位寄存器的输出信号，仅向选择选通线传送升压信号 BS。这种结构的情况下，减轻了升压信号 BS 的驱动负荷，相应地，减小了消耗功率。

如上所述，根据本发明的实施例 3，用沟道电容作为显示像素元件中的电压保持电容元件，在保持 H 电平信号时对电压保持节点执行电荷泵操作，根据这种构成，H 电平数据即使由于漏电流而使其电压电平下降也能可靠地补偿其电压电平。刷新模式时，能将读出电压充分地读出到数据线中，能正确地进行放大操作，进行像素数据的重写。

（实施例 4）

图 21 概要地示出了根据本发明实施例 4 的显示装置主要部分的结构。参考图 21，在显示像素矩阵 1 中，显示像素元件 PX 布置为行列状。图 21 代表性地示出了布置成 1 行的显示像素元件 PX。与下式像素元件 PX 的各列对应地设置数据线 DL1、DL2、...DLn。

这些数据线 DL1-DLn 的每条线的中央部设置开关门电路 SW1-SWn。向这些开关门电路 SW1-SWn 公共地提供接收刷新模式指示信号 SELF 和测试模式指示信号 TEST 的 NOR 电路 106 的输出信号。即，开关门电路 SW1-SWn 在刷新模式时和测试模式时变为非导通状态，分别对数据线 DL1-DLn 进行二分割（bi-divided）。

在显示像素矩阵 1 的列方向的两侧对向地配置刷新电路 5t 和 5b。这些刷新电路 5t 和 5b 分别包含对应于数据线 DL1-DLn 来设置的放大电路（参考图 2）。邻接刷新电路 5t 和 5b 设置测试电路 102t 和 102b，测试时，测试电路 102t 和 102b 读出由刷新电路 5t 和 5b 的放大电路放大的数据。这些测试电路 102t 和 102b 公共地与输出电路 104 耦合。测试模式指示信号 TEST 激活时，输出电路 104 向外部输出由这些测试电路 102t 和 102b 提供的数据。

如图 22 所示，刷新模式时和测试工作模式时，通过开关门电路 SW 将数据线 DL 分割为分割数据线 DDLt 和 DDLb。分割数据线 DDLt 连接刷新电路 5b 中包含的放大电路 AMPb。这些分割数据线 DDLt 和 DDLb 的寄生电容在数据线 DL1-DLn 各自的寄生电容为电容值 Cd 时变为电容值 Cd/2。因此，显示像素元件 PX 中包含的电压保持电容的电容值为 Cs 时，出现在分割数据线 DDLt 和 DDLb 上的电压 ΔV_{DH} 和 ΔV_{DL} 分别用下式表示。

$$\Delta V_{DH} = (V_H - V_L) \cdot C_s / 2 \cdot (C_s + C_d / 2)$$

$$\Delta V_{DL} = (-V_H + 3 \cdot V_L) \cdot C_s / 2 \cdot (C_s + C_d / 2)$$

数据线的电容值从 Cd 减小到 Cd/2，在分割数据线 DDLt 和 DDLb 上出现的读出电压 ΔV_{DH} 和 ΔV_{DL} 可以增大至近 2 倍的值。从而，即使显示像素元件的电压保持电压低，也能正确地通过放大电路 AMP 和 AMPb 进行放大操作，能进行显示像素数据的刷新和外部读出。

图 23 概要地示出了图 21 所示刷新电路 5t 和测试电路 102t 的结构。图 23 中，对于分割数据线 DDLti、DDLtj 和 DDLtk 来说，分别经响应连接控制信号 S1 选择性导通的分离栅 24i、24j 和 24k 与数据线驱动器 22i、22j 和 22k 连接。数据线驱动器 22i、22j 和 22k 以及分离栅 24i、24j 和 24k 的结构和图 2 所示结构相同。

刷新电路 5t 包含分别与分割数据线 DDLti、DDLtj 和 DDLtk 对应地设置的放大电路 AMPti、AMPtj 和 AMPtk。这些放大电路 AMPti、AMPtj 和 AMPtk 的结构分别和前面图 2 所示的放大电路 AMPi 的结构相同。

测试电路 102t 包含分别与放大电路 AMPti、AMPtj 和 AMPtk 对应地设置的测试选择门电路 TSGti、TSGtj 和 TSGtk。这些测试选择门电路 TSGti、TSGtj 和 TSGtk 在测试时响应顺次激活的测试水平扫描信号 THi、THj 和 THk 而导通，导通时，将对应的放大电路 AMPti、AMPtj 和 AMPtk 的输出信号传送到公共测试数据线 110 中。测试公共数据线 110 连接图 21 所示的输出电路 104。在测试公共数据线 110 中设置主放大器，可以通过主放大器向输出电路 104 传送测试数据。

图 21 所示的刷新电路 5b 和测试电路 102b 的结构也和图 23 所示的刷新电路 5t 和测试电路 102t 的结构相同。因此，可以在激活放大电路后在每个刷新电路 5t 和 5b 中进行像素数据的刷新。刷新电路 5t 和 5b 可以并行激活并进行图像数据信号的放大操作，也可以根据选择通线的位置择一地激活并进行放大操作。

图 24 更具体地示出了图 21 所示刷新电路 5t 和 5b 以及测试电路 102t 和 102b 的结构。这些刷新电路 5t 和 5b 具有相同的结构，测试电路 102t 和 102b 具有相同的结构，因此，图 24 对 1 条分割数据线 DDL 代表性地示出了刷新电路内的放大电路 AMP 和测试选择门电路 TSG。

和图 2 所示的结构一样，放大电路 AMP 包含：开关元件 30、33 和 37；电容元件 34；差动放大电容元件 34 的充电电压和分割数据线 DDL 的信号的差动放大电路 32；放大差动放大电路 32 的输出信号、生成大驱动力的信号的两级级联的反相缓冲器 35 和 36。

在测试电路中，测试选择门电路 TSG 将反相缓冲器 36 的输出信号传送到测试公共数据线 110 中。为测试选择门电路 TSG 提供测试水平扫描信号 TH。

如图 24 所示，通过放大电路 AMP 放大显示像素元件的微小累积电压，经读出数据线 110 传送给图 21 所示的输出电路 104。从而，放大微小像素电压，可以将 2 值数据读出到外部。在外部不需要使用检测微小信号的阵列测试器，可以利用廉价的 LSI 测试器。根据测试水平扫描信号 TH 顺次连续地读出 1 行像素数据，可以判断 2 值像素数据的逻辑电平，不需要微小电压电平的逻辑电平判定，可以缩短测试时间。

此外，测试选择门电路 TSG 可以由三态缓冲器构成，也可以由 CMOS 传输门构成。

在测试模式时，生成开关控制信号 S2-S4 和连接控制信号 S1 的构成可以利用图 11 所示的结构。在激活测试模式指示信号 TEST 时生成振荡电路的输出信号 ϕ VS0。对于其他控制信号，也可以利用和图 9

所示相同的结构，在测试模式时，可以消除放大电路 AMP 的偏移而进行正确的放大操作，读出像素元件的存储图像数据。

图 25 概要地示出了生成与依据本发明实施例 4 的显示装置的选通线选择有关的信号的部的结构。图 25 所示的控制信号发生部的结构和图 9 所示控制信号发生部的结构的不同点如下。即，对于振荡电路 55 来说，提供接收刷新模式指示信号 SELF 和测试模式指示信号 TEST 的 OR 电路 120 的输出信号来代替刷新模式指示信号 SELF。OR 电路 120 的输出信号还提供给单触发脉冲发生电路 60 和反相电路 62。

对于选择电路 70a-70c 来说，提供接收刷新模式指示信号 SELF 和测试模式指示信号 TEST 的 OR 电路 122 的输出信号来代替刷新模式指示信号。

而且，为了对应显示像素矩阵的 2 分割结构，根据刷新垂直扫描开始信号 STVS 使计数值置“0”，设置计数振荡电路 55 的输出信号 $\phi VS0$ 的计数器 124。计数器 124 根据其计数值输出激活刷新电路 5t 和测试电路 102t 的激活信号 ENT 和激活刷新电路 5b 和测试电路 102b 的激活信号 ENB。

图 25 所示控制信号发生部的另一个结构和图 9 所示控制信号发生部的结构相同，对应的部分用相同的符号表示，详细说明从略。

图 26 示出了图 25 所示控制信号发生部的计数器 124 的操作时间图。以下，参考图 26 所示的时间图说明计数器 124 的操作。

测试模式时，将测试模式指示信号 TEST 设定为 H 电平，相应地，正常工作模式指示信号 NORM 是 L 电平。根据振荡电路 55 的输出信号 $\phi VS0$ ，从缓冲器电路 56 以规定周期输出刷新垂直扫描时钟信号 VCK。当激活来自 OR 电路 61 的刷新垂直扫描开始信号 STV 时，计数器 124 的计数值设定为初始值，激活激活信号 ENT。从而，在图 21 所示的显示像素矩阵 1 中，对上侧的分割数据线 (DDLt) 进行测试。即，通过选通线驱动信号 VG1 而被顺次驱动为选择状态，顺次执行像素数据的放大和读出。

在显示像素矩阵中，和分割数据线 DDLt 交叉的选通线的驱动都结束、选择和分割数据线 DDLb 交叉的选通线的最初选通线 VGi 时，计数器 124 根据其计数值将激活信号 ENT 设定为 L 电平，将激活信号 ENB 设定为 H 电平。这些激活信号 ENT 和 ENB 的激活与振荡电路 55 的输出信号 $\phi VS0$ 同步地执行。

从而，激活图 21 所示的刷新电路 5b 和测试电路 102b，对与和下侧的分割数据线 DDLb 交叉的选通线连接的像素进行测试。

通过计数选择选通线的数量，把显示像素矩阵作成 2 分割结构，可以根据选择选通线的位置激活对应的刷新电路和测试电路。通过隔行扫描方式选择选通线时，也通过将计数器 124 的相加值设定为合适值（半帧时为选通线的 1/2 的数量），显示矩阵为 2 分割结构时，也能根据选择选通线的位置正确地选择性地激活上侧的刷新电路和测试电路以及下侧刷新电路和测试电路。

测试模式时，显示像素矩阵的分割数据线 DDLt 和 DDLb 并列地读出像素数据，可以通过图 21 所示的刷新电路 5t 和 5b 进行放大操作。在测试模式时，通过将垂直扫描开始信号 STV 置位到图 5 所示垂直移位寄存器 40 的各分割区域的开头位置，可以同时在各个分割区域中为分割数据线 DDLt 和 DDLb 选择选通线，进行显示像素数据的放大和读出。在刷新模式时也可以执行显示像素数据的并列放大操作。

图 27 概要地示出了图 23 所示产生测试水平扫描信号 TH (THi 等) 的部分的结构。图 27 中，测试水平扫描信号发生部包含：振荡电路 130，激活测试模式指示信号 TEST 时被激活，以规定周期进行振荡，将振荡信号作为测试水平扫描时钟信号 HCKS 输出；AND 门 132，接收振荡信号 HCKS 和图 2 所示的开关控制信号 S4；AND 门 134，接收 AND 门 132 的输出信号和图 25 所示的来自计数器 124 的激活信号 EN (ENT 或 ENB)；移位寄存器 136，根据 AND 门 134 的输出信号进行移位操作，生成测试水平扫描信号 TH1-THn。移位寄存器 136 响应垂直扫描时钟信号 VCKS 的激活而被复位。移位寄存器 136 也可以响应垂直扫描开始信号 STV 而被复位。

图 27 所示的测试水平扫描信号发生部与图 21 所示测试电路 102t 和 102b 分别对应地设置。因此，当为测试电路 102t 设置图 27 所示的测试选择信号发生部时，激活信号 EN 为激活信号 ENT，当为测试电路 102b 设置该测试选择信号发生部时，激活信号 EN 为激活信号 ENB。

图 28 示出了图 27 所示测试选择信号发生部的操作时间图。以下，参考图 28 所示的时间图说明图 27 所示电路的操作。

正常工作模式时和刷新模式时，测试模式指示信号 TST 处于非激活状态，振荡电路 130 输出的振荡信号 HCKS 固定在 L 电平。因此，这时，激活信号 EN 即使在刷新模式时被激活，AND 门 130 的输出信号也是 L 电平，移位寄存器 136 不进行移位操作。

测试工作模式时，测试模式指示信号 TEST 被激活，振荡电路 130 以规定周期进行振荡操作。当垂直扫描时钟信号 VCKS 被激活、1 条选通线被驱动为选择状态时，在刷新电路中的放大电路的放大操作后，将开关控制信号 S4 驱动为激活状态。响应开关控制信号 S4 的激活，AND 门 132 使振荡电路 130 输出的振荡信号 HCKS 通过。

移位寄存器 136 响应垂直扫描时钟信号 VCKS 的激活，将选择位置复位到开头位置。因此，移位寄存器 136 响应开关控制信号 S4 的激活而将最初的测试水平扫描信号 TH1 驱动为激活状态。之后，移位寄存器 136 根据振荡电路 130 的振荡信号 HCKS 进行移位操作，顺次将测试水平扫描信号 TH1-THn 驱动为选择状态。

移位寄存器 136 将最后一个测试选择信号 THn 驱动为选择在状态之后，将全部的测试选择信号 TH1-THn 维持在非激活状态。为了驱动下一个选通线，当激活垂直扫描时钟信号 VCKS 时，再次使移位寄存器 136 复位，再次根据测试选择信号 TH1 执行移位操作。

当公共地设置测试电路 102t 和 102b 时，移位寄存器 136 用移位寄存器 136 输出的测试水平扫描信号 TH1-THn 和激活信号 EN(ENT 或 ENB) 的组合(逻辑与)信号作为测试水平扫描信号。

如果利用正常工作模式时使用的水平扫描寄存器作为移位寄存

器 136, 同样地根据测试模式指示信号 TEST 和开关控制信号 S4 激活水平移位寄存器来进行移位操作。用激活信号 ENT 和 ENB 生成测试电路 102t 和 102b 的测试水平扫描信号。

在图 21 所示的结构中, 显示像素矩阵被开关门电路 SW1-SW_n2 分割。但是, 也可以在显示像素矩阵的一侧设置刷新电路和测试电路, 同样用刷新电路进行显示像素元件的测试。在图 25 和图 27 所示的结构中, 可以为 1 个测试电路生成测试控制信号。

如上所述, 根据本发明的实施例 4, 将显示像素矩阵作成 2 分割结构, 为分割数据线分别设置刷新电路, 可以减小分割数据线的寄生电容, 相应地, 可以增大从显示像素元件输出的输出电压, 可以正确地进行显示像素元件的数据放大和重写。

利用刷新电路的放大结果, 通过测试电路将显示像素元件的放大数据读出到外部, 根据这种结构, 不需要用测试器检测微小信号, 可以将大振幅的显示像素数据读出到外部, 可以用廉价的测试器高速地进行测试。

(实施例 5)

图 29 概要地示出了显示像素元件 PX 的另一个结构。图 29 中所示的显示像素元件 PX 中, 设置根据电容元件 12 的保持电压向液晶显示元件 84 传送公共像素驱动电压的 N 沟道薄膜晶体管 83。液晶显示元件的另一个电极是对向电极。电容元件 12 根据选通线 GL 的信号电位通过 N 沟道薄膜晶体管 11 与数据线 DL 连接。

如图 29 所示, 液晶显示元件 80 可以由薄膜晶体管 83 驱动, 同样, 能正确地进行电容元件 12 的保持电压的刷新和外部读出。

图 30 示出了显示像素元件 PX 的再一个结构。在图 30 所示的显示像素元件 PX 中, 根据由沟道电容构成的电容元件 82 的保持电压驱动液晶显示元件 13。通过向电容元件 82 提供的升压信号 BS 补偿像素电极节点中保持的 H 电平数据的漏电流引起的电压下降, 可以将数据线 DL 中读出的读出电压设定为充分大。因此, 选择选通线 GL, 使薄膜晶体管 11 导通, 读出数据线 DL 来刷新电容元件 82 的保持电压,

即使这种情况下，也能正确地刷新保持电压。而且，在向外部读出电容元件 82 的保持电压时，能通过放大电路正确地放大并读出到外部。

图 31 示出了显示像素元件 PX 的再一个结构。图 31 所示的显示像素元件 PX 包含电致发光元件 142。电致发光元件 142 由根据电容元件 12 的保持电压选择性导通的 P 沟道薄膜晶体管 140 驱动。薄膜晶体管 140 导通时，电致发光元件 142 将 H 电平电源电压 V_h 提供给它阳极电极。向电致发光元件 142 的阴极电极提供 L 电平的电源电压 V_l 。这些电压 V_h 和 V_l 可以分别是电源电压和接地电压。

电容元件 12 经响应选通线 GL 上的信号电位的 N 沟道薄膜晶体管 11 与数据线 DL 连接。图 31 所示的显示像素元件 PX 的结构中，根据电容元件 12 的保持电压决定薄膜晶体管 140 的导通/非导通。因此，利用已经描述的刷新电路，能正确地补偿由于漏电流造成的电容元件 12 的保持电压的下降，将保持电压恢复为原始电压电平。利用测试电路可以检测显示像素元件 PX 的异常。

在图 31 的显示像素元件 PX 的结构中，可以用图 30 所示的沟道电容 82 作为电容元件。

因此，作为显示像素元件，如果是利用保持像素数据信号电压的元件作为电容元件、由保持电压确定显示像素的显示状态的显示像素元件，就适用本发明。

(实施例 6)

图 32 概要地示出了根据本发明实施例 6 的显示装置主要部分的结构。在图 32 所示的结构中，在数据线 DL 中设置分离栅 150。放大电路 AMP 经分离栅 150 和数据线 DL 连接。分离栅 150 根据接收刷新模式指示信号 SELF 和测试模式指示信号 TEST 的 OR 电路 152 的输出信号选择性地导通。在测试模式时通过测试选择门电路 TSG 选择放大电路 AMP 的输出信号时，传送给未图示的输出电路。

在刷新模式和测试模式以外的正常工作模式时，分离栅 150 维持非导通状态，数据线 DL 和放大电路 AMP 分离。测试模式时或刷新模式时，分离栅 150 导通，数据线 DL 与放大电路 AMP 连接。因此，

可以减轻正常工作模式时数据线 DL 的负荷，可以根据写入图像数据信号通过数据线驱动器高速地驱动数据线 DL。

本次公开的实施例仅是示例性的而非限制性的。本发明的范围由权利要求的范围确定，可以在权利要求的范围内对本发明进行修改和变更。

工业实用性

本发明通常可用于驱动显示装置的显示面板的电路中。

作为利用液晶面板的装置，包含独立的个人计算机的显示装置和便携设备的显示装置。作为便携设备，包含膝上型计算机、便携电话、PDA（个人数字助理）和游戏机。

如上所述，根据本发明，将数据线预充电到规定电位，并且使差动放大电路电压跟随地设置比较基准电压电平，即使由于差动放大电路的阈值电压偏差而产生偏移时，也能正确地放大从显示像素元件读出的图像信息。从而，可以刷新显示像素元件的累积电压和向外部读出显示像素元件的累积电压。

图1

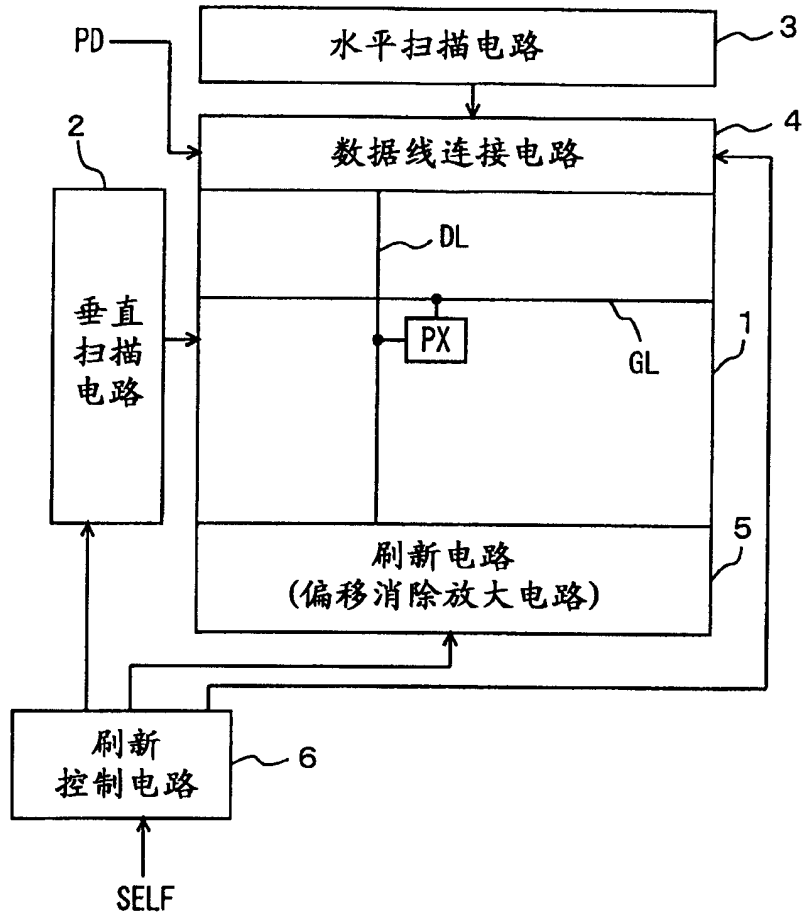


图2

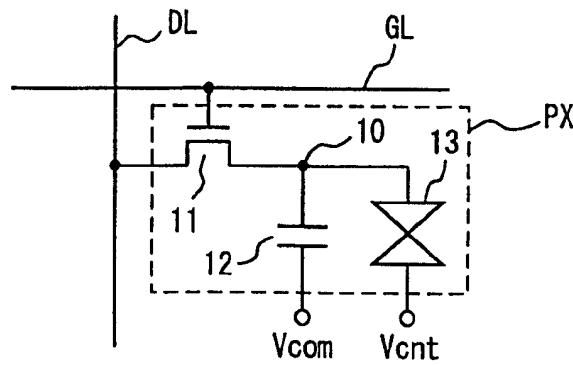


图3

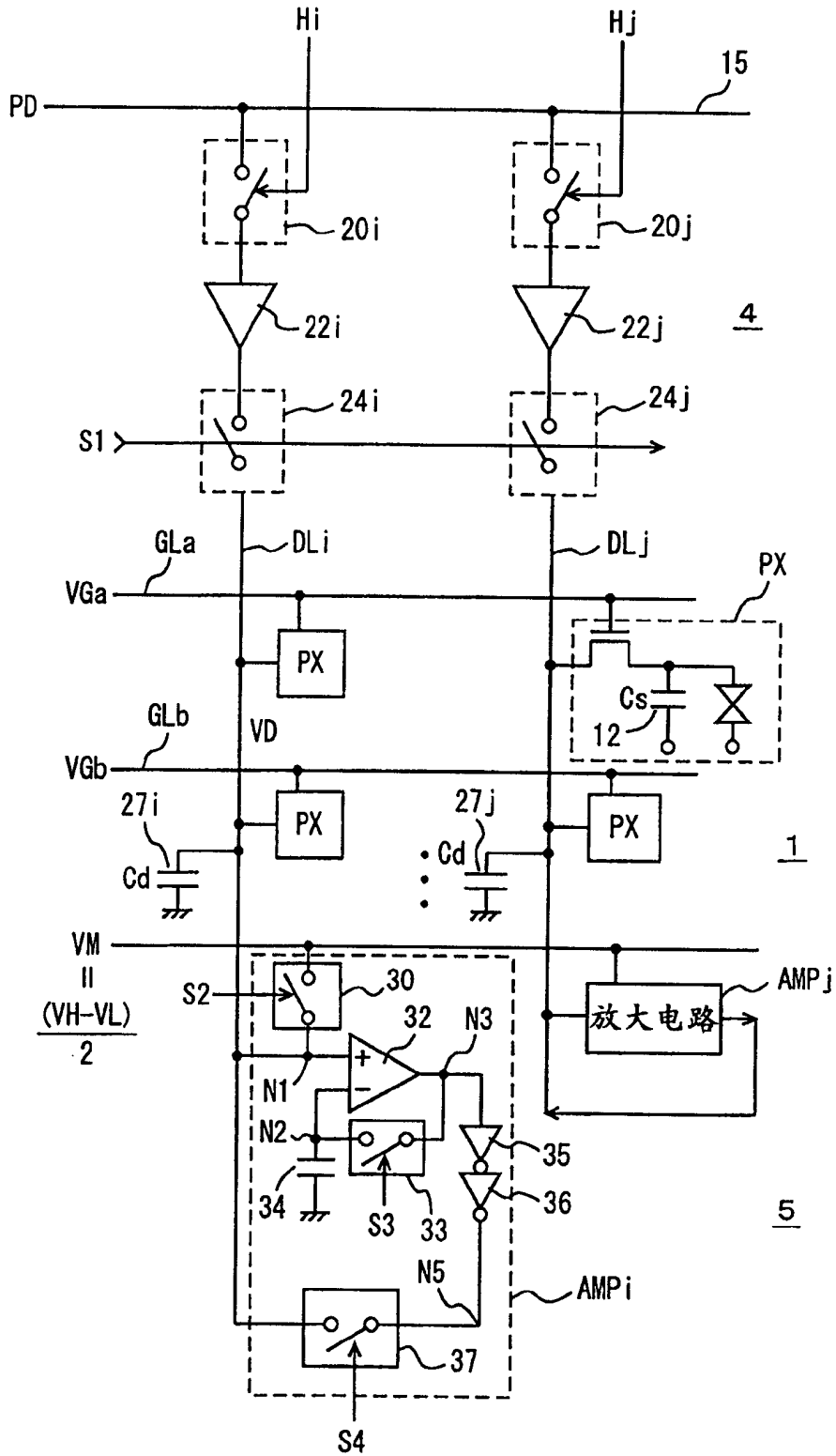


图 4

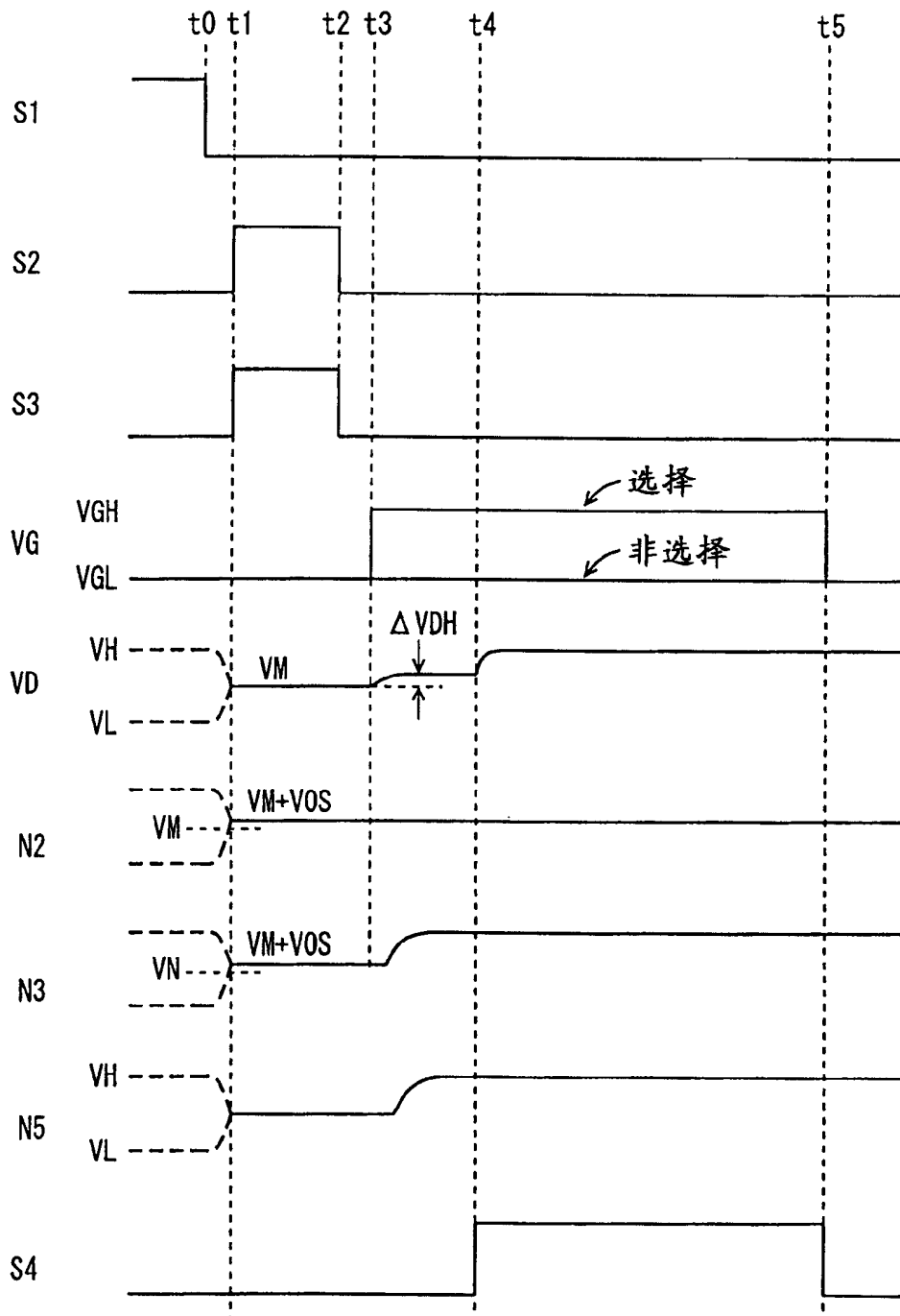


图5

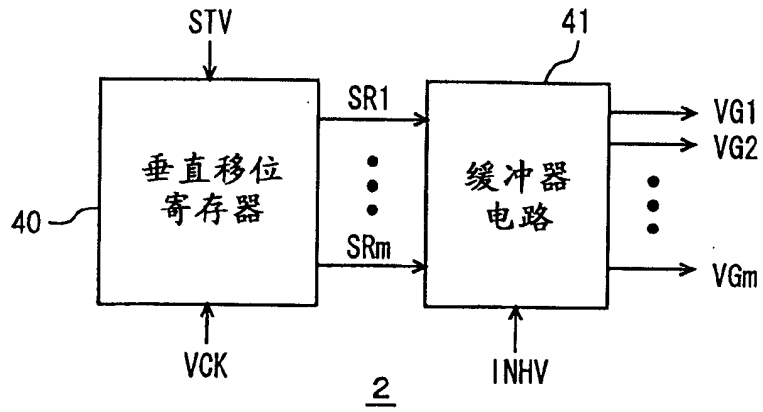


图6

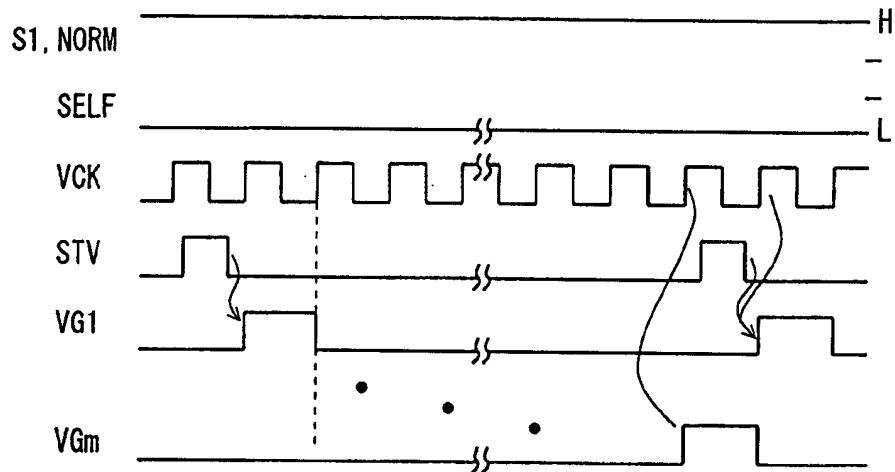


图7

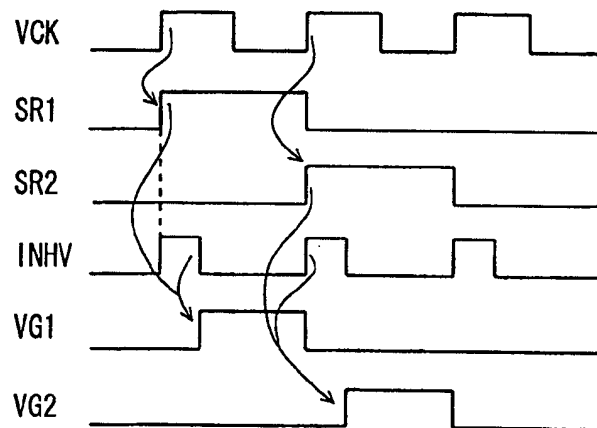


图 8

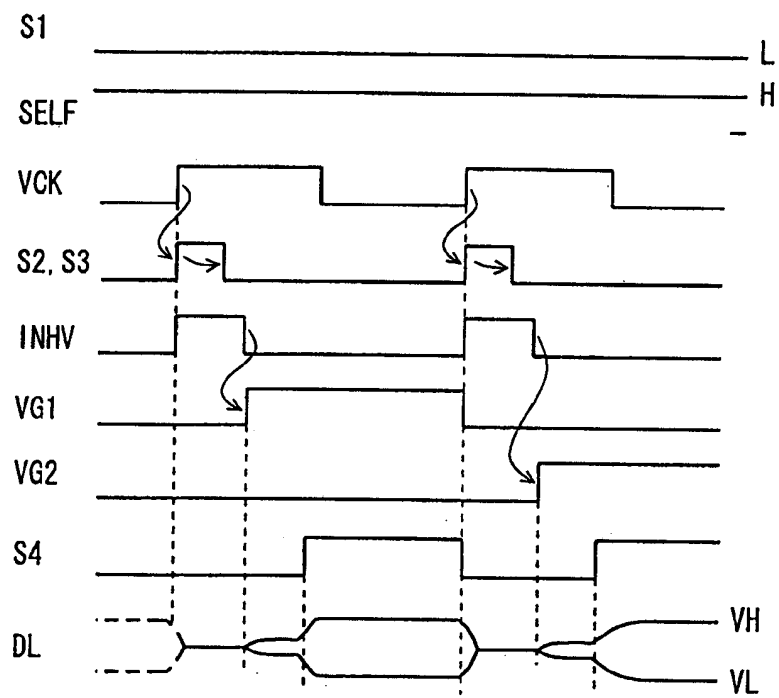


图9

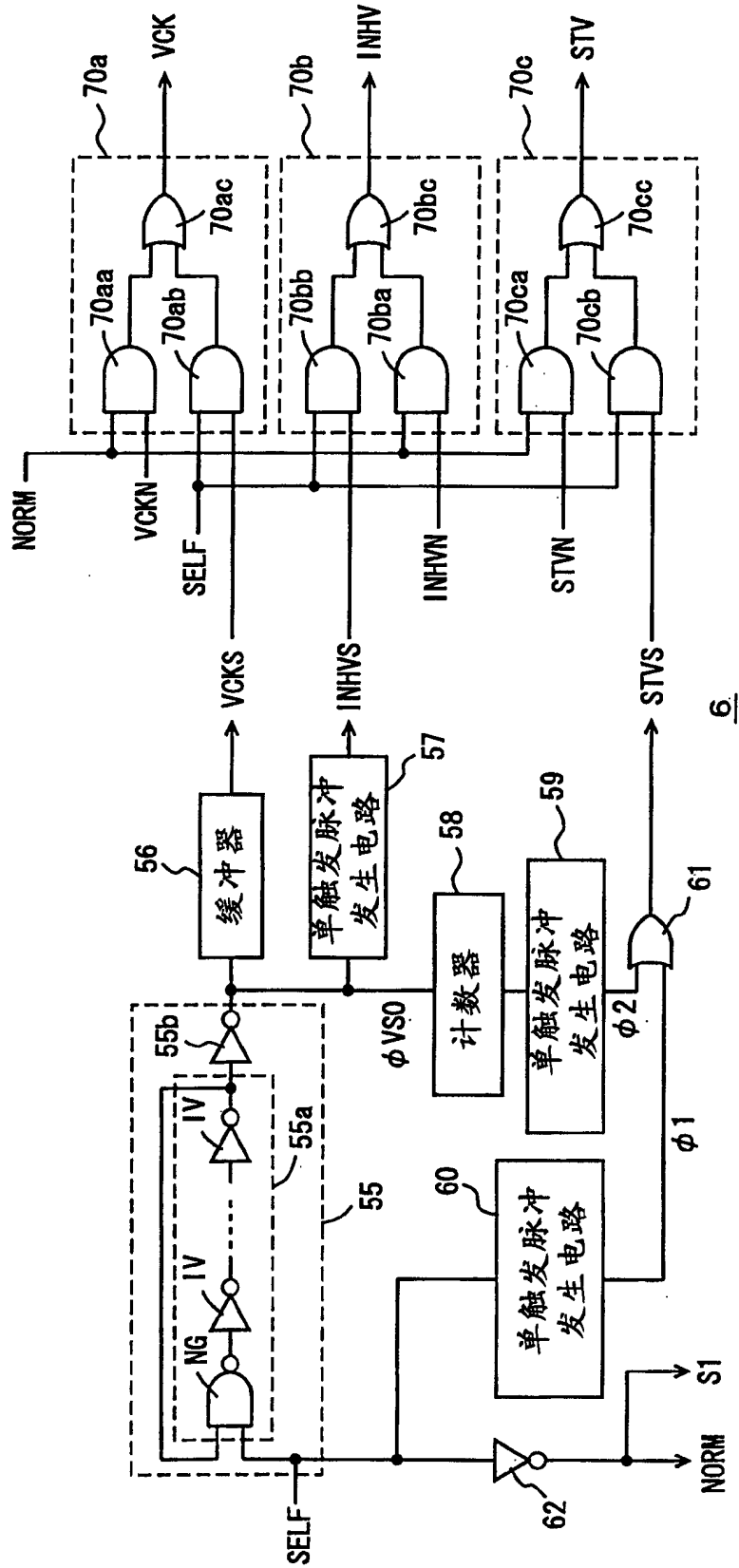


图 10

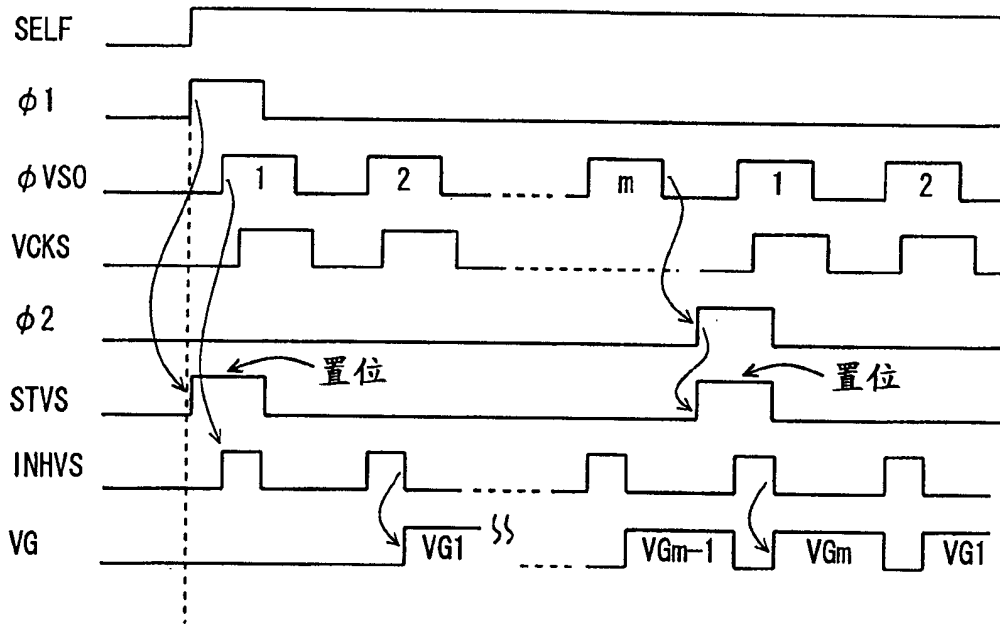


图 11

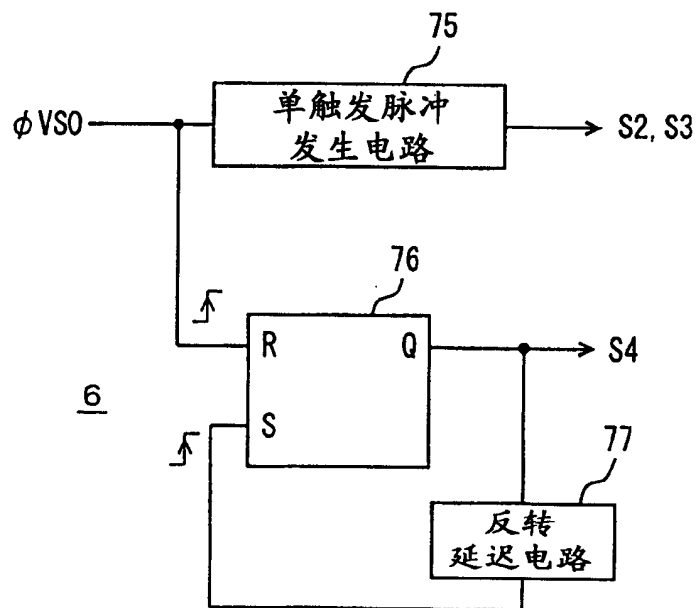


图 12

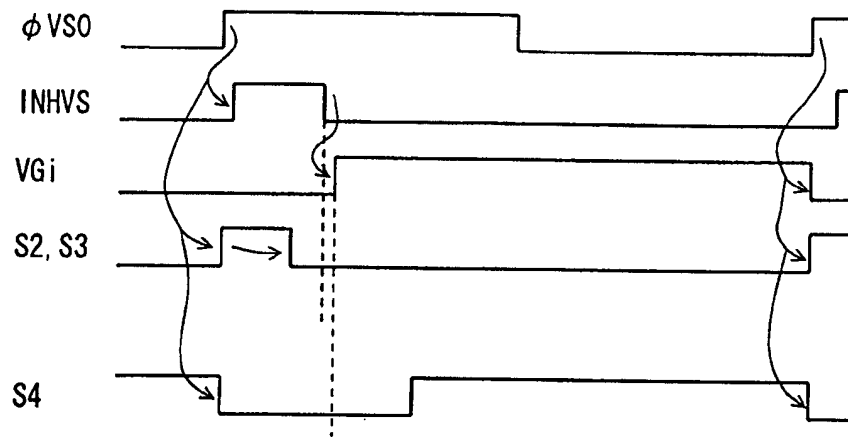


图 13

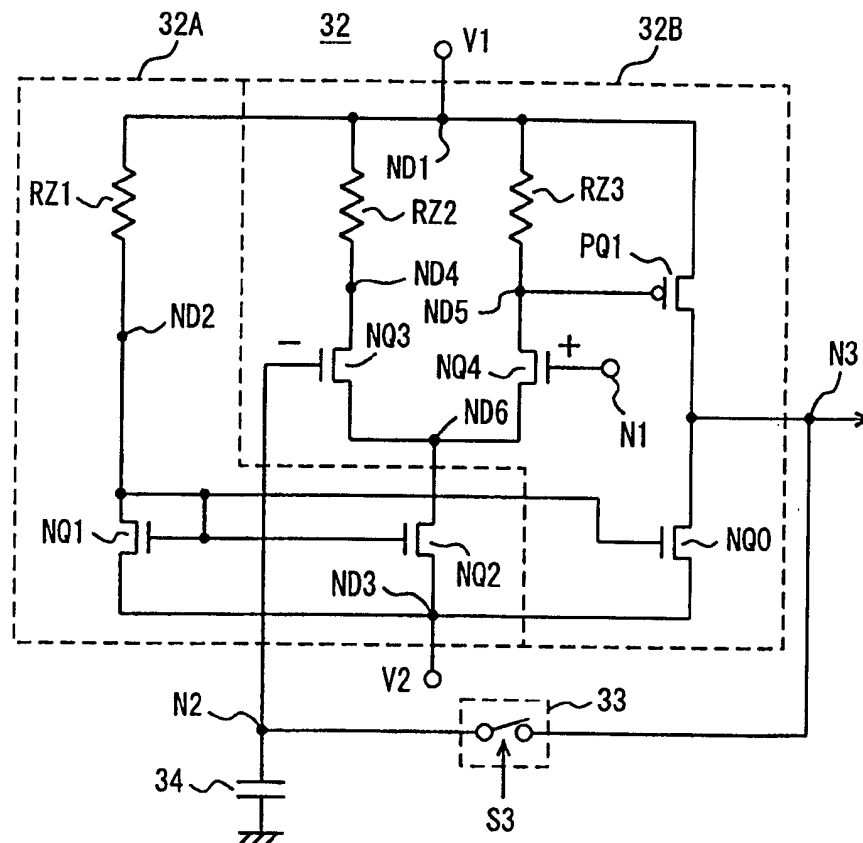


图 14

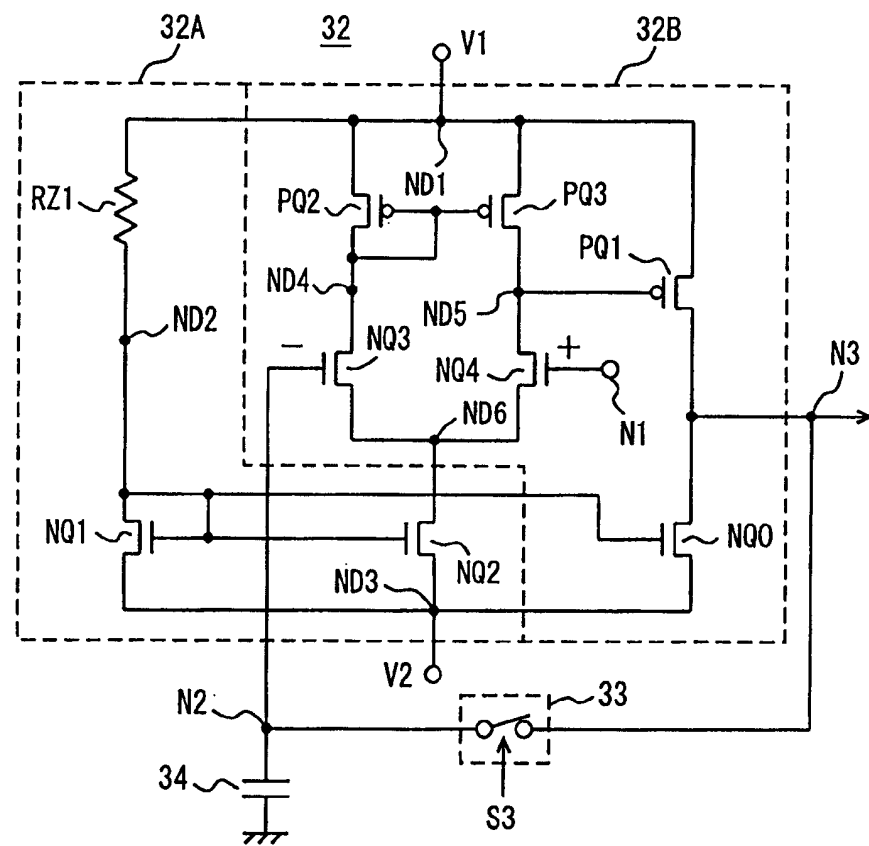


图 15

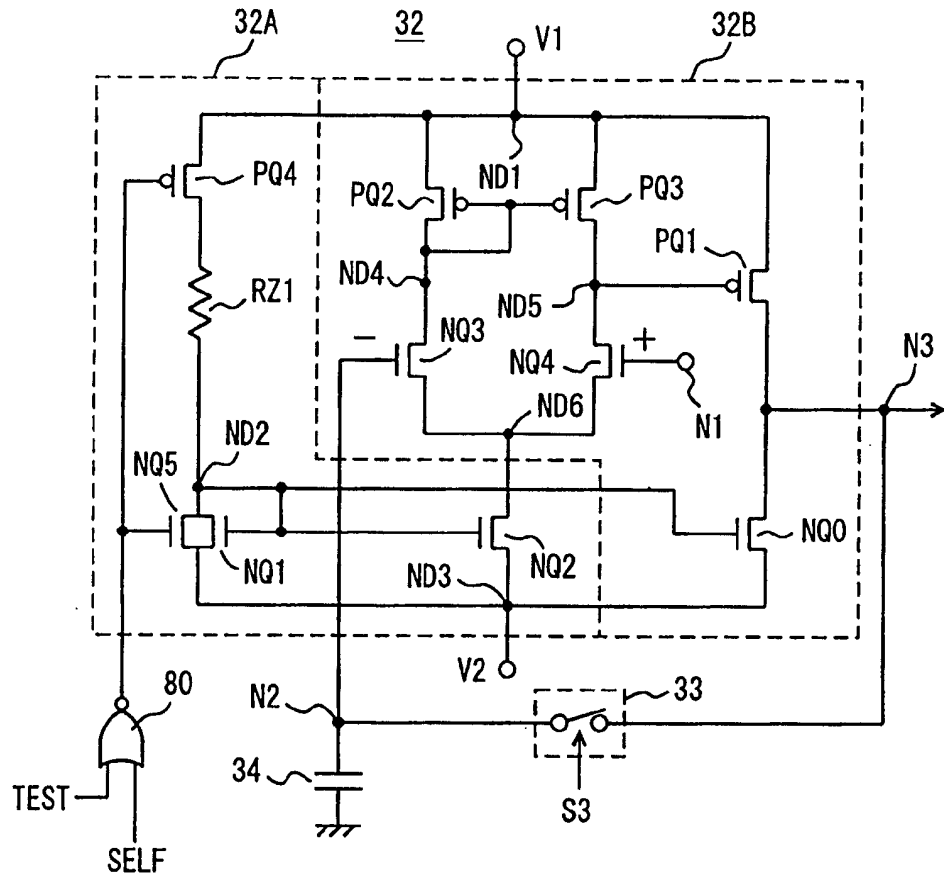


图 16

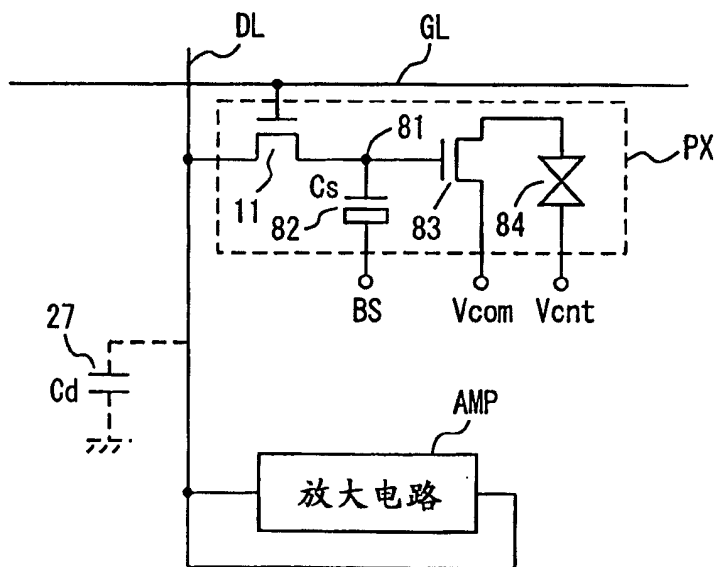


图17

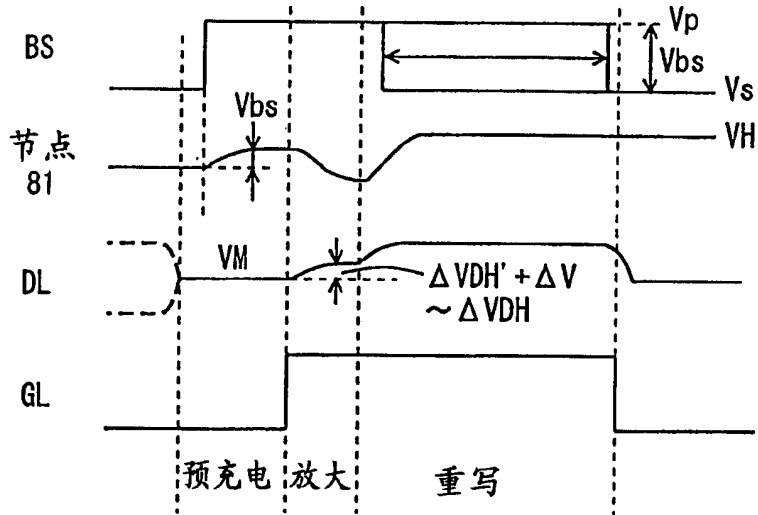


图18

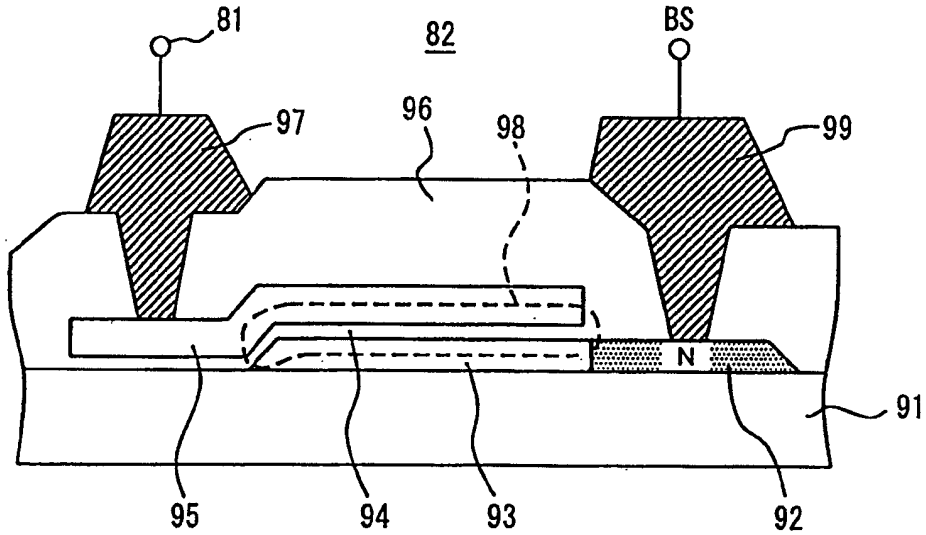


图19

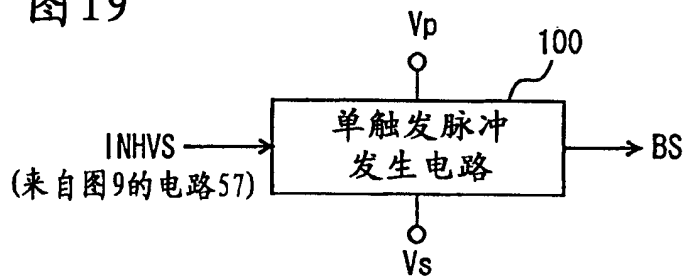


图 20

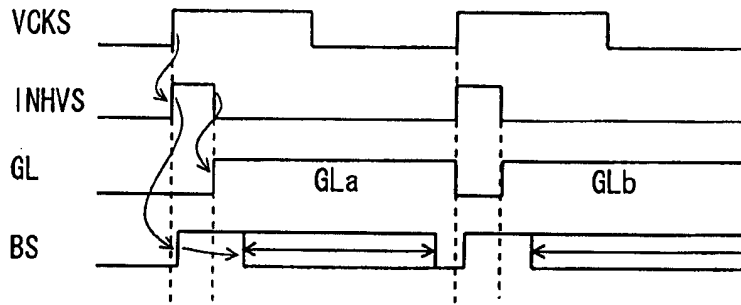


图 21

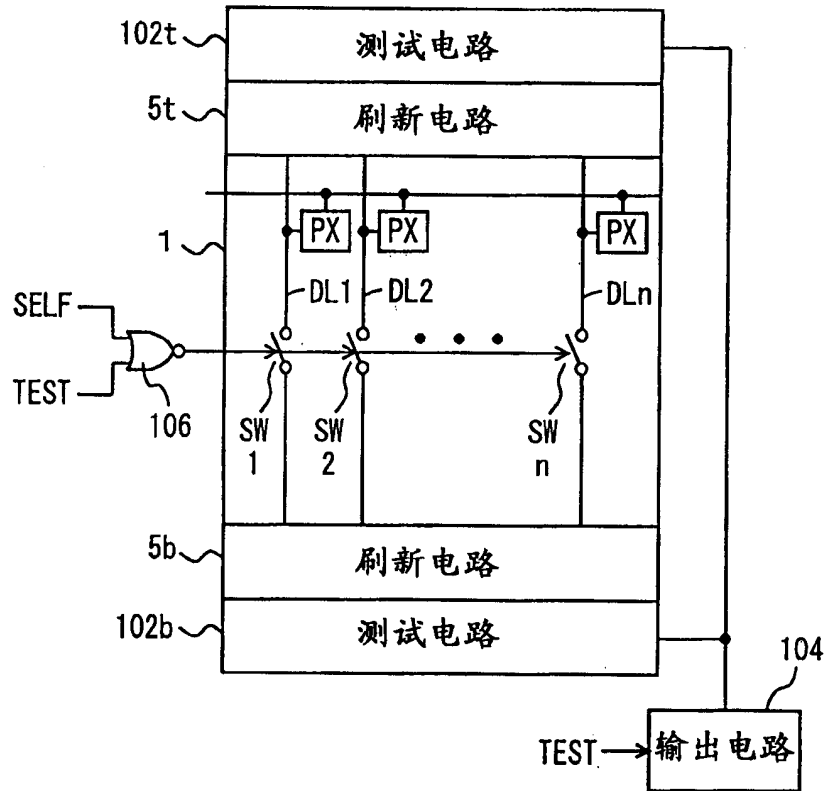


图 22

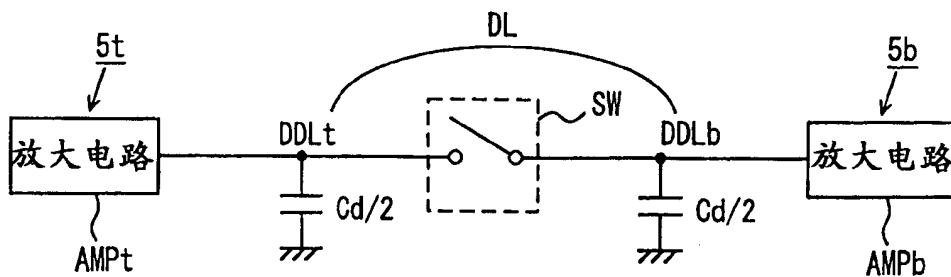


图 23

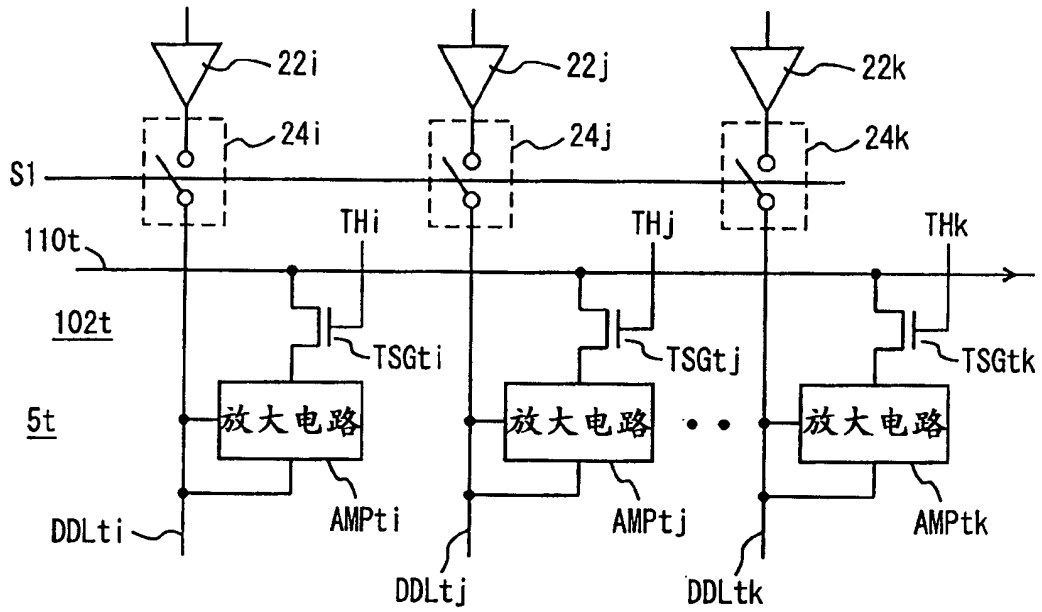


图 24

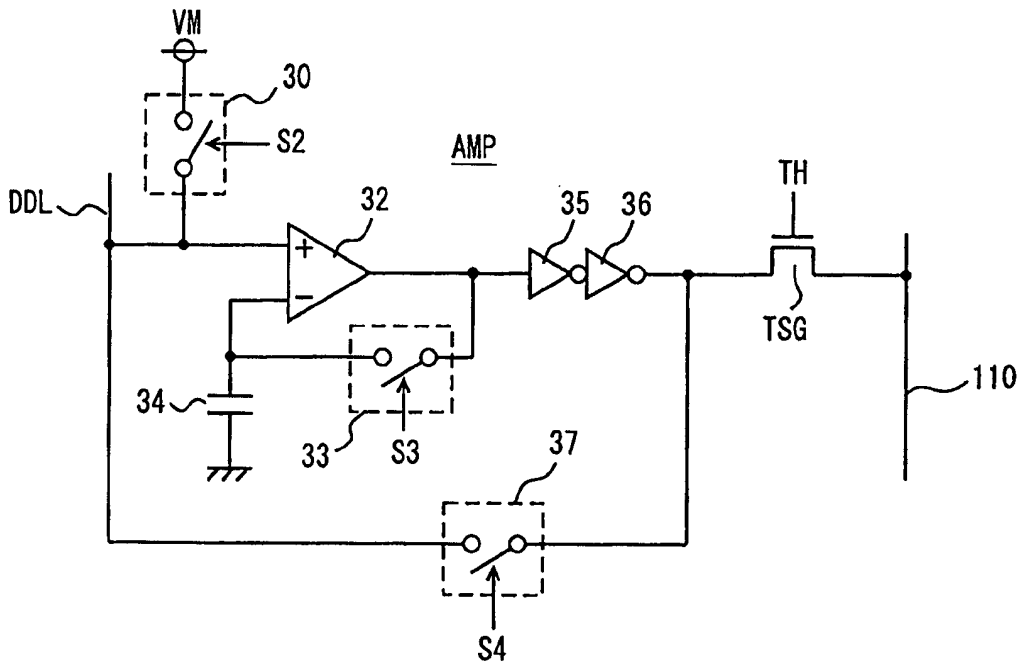


图25

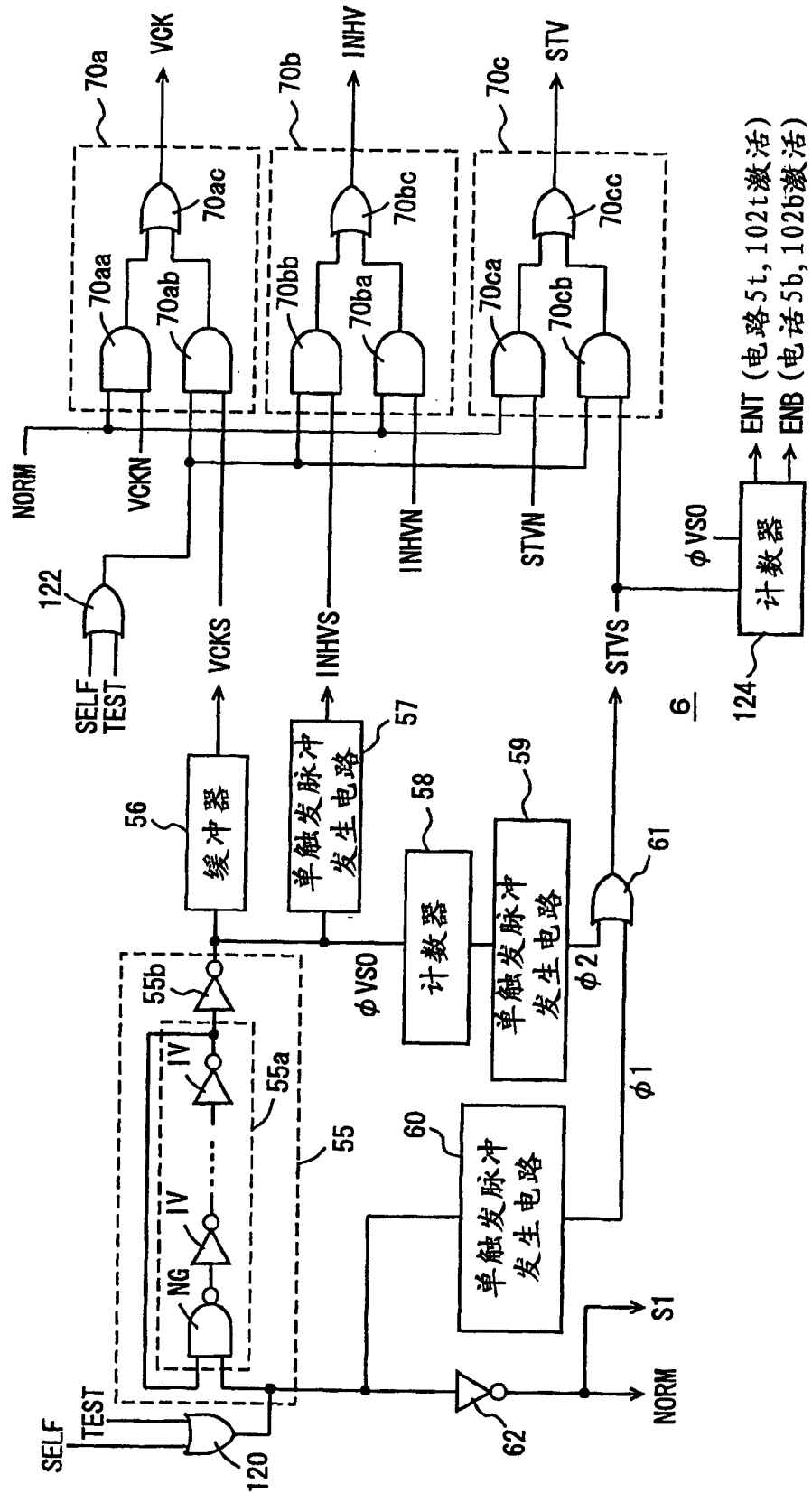


图 26

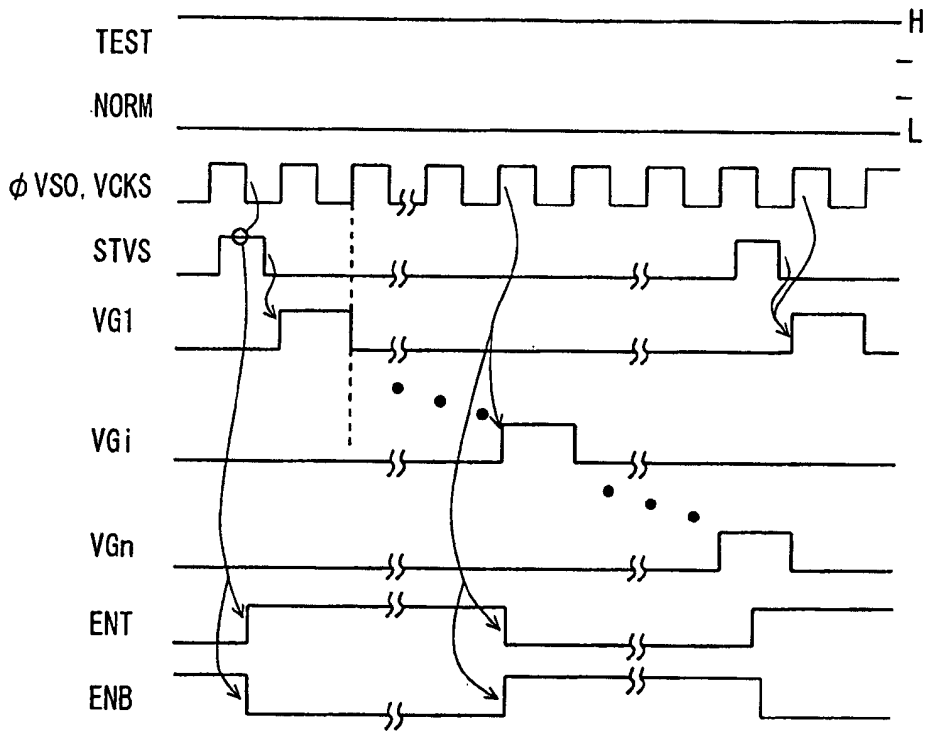


图 27

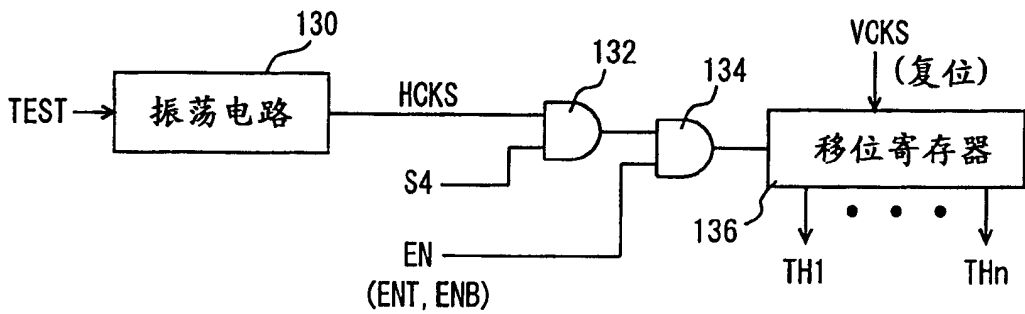


图 28

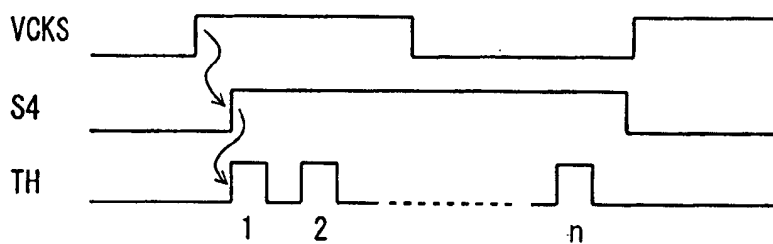


图 29

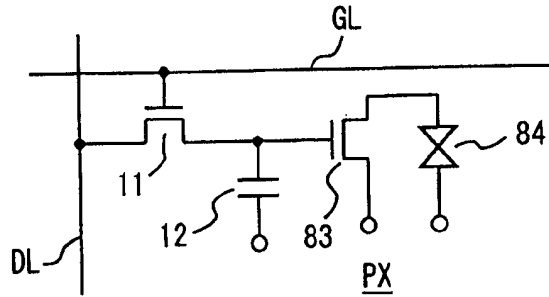


图 30

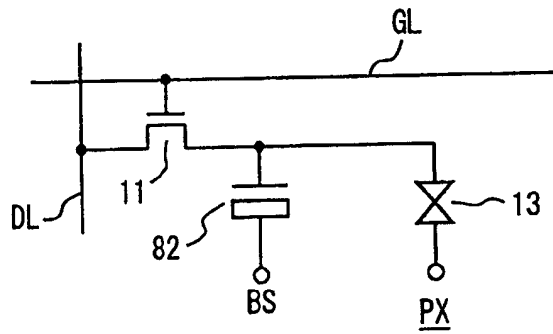


图 31

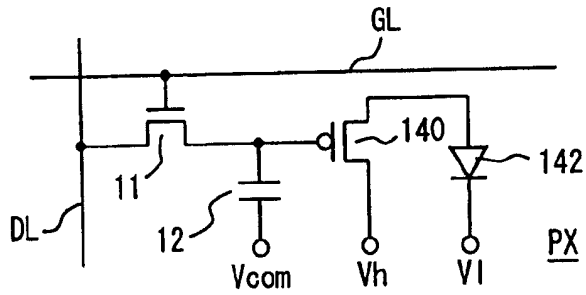


图 32

