

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4570278号
(P4570278)

(45) 発行日 平成22年10月27日(2010.10.27)

(24) 登録日 平成22年8月20日(2010.8.20)

(51) Int. Cl.	F 1	
G02F 1/1333 (2006.01)	G02F 1/1333	500
G02F 1/1343 (2006.01)	G02F 1/1343	
G02F 1/1345 (2006.01)	G02F 1/1345	
G02F 1/1368 (2006.01)	G02F 1/1368	
G09F 9/00 (2006.01)	G09F 9/00	338
請求項の数 14 (全 59 頁) 最終頁に続く		

(21) 出願番号	特願2001-152779 (P2001-152779)	(73) 特許権者	000005049
(22) 出願日	平成13年5月22日(2001.5.22)		シャープ株式会社
(65) 公開番号	特開2002-151522 (P2002-151522A)		大阪府大阪市阿倍野区長池町2番2号
(43) 公開日	平成14年5月24日(2002.5.24)	(74) 代理人	100101683
審査請求日	平成15年2月21日(2003.2.21)		弁理士 奥田 誠司
審判番号	不服2007-32752 (P2007-32752/J1)	(72) 発明者	岡田 美広
審判請求日	平成19年12月5日(2007.12.5)		大阪府大阪市阿倍野区長池町2番2号
(31) 優先権主張番号	特願2000-258042 (P2000-258042)		シャープ株式会社内
(32) 優先日	平成12年8月28日(2000.8.28)	(72) 発明者	齊藤 裕一
(33) 優先権主張国	日本国(JP)		大阪府大阪市阿倍野区長池町2番2号
			シャープ株式会社内
		(72) 発明者	山川 真弥
			大阪府大阪市阿倍野区長池町2番2号
			シャープ株式会社内
最終頁に続く			

(54) 【発明の名称】 アクティブマトリクス基板

(57) 【特許請求の範囲】

【請求項1】

基板と、
 前記基板上に形成された複数の走査配線と、
 絶縁膜を介して前記走査配線と交差する複数の信号配線と、
 前記基板上に形成され、対応する走査配線に印加される信号に応答して動作する複数の薄膜トランジスタと、
 薄膜トランジスタを介して、対応する信号配線と電気的に接続され得る複数の画素電極と、
 を備えたアクティブマトリクス基板であって、
 各画素電極、および、これに対応する薄膜トランジスタは、導電部材によって相互に接続されており、
 前記導電部材は、前記導電部材に接続されている画素電極から前記信号配線に対して平行な方向に延長しており、かつ、前記複数の走査配線のうちの対応する1つの走査配線と交差し、
 各薄膜トランジスタの半導体層は、前記走査配線上に位置し、かつ、同一の走査配線上に位置する各薄膜トランジスタの半導体層は、相互に分離されており、
 前記画素電極は、前記導電部材が交差している走査配線に隣接する走査配線と交差しており、
 各薄膜トランジスタの半導体層の側面のうち前記走査配線が延びる方向に平行な側面は

、前記走査配線の側面に整合しており、
前記信号配線および導電部材は、前記半導体層と交差するように配置され、
前記信号配線、前記導電部材、および前記画素電極は、いずれも、同一の導電膜をパターニングすることによって形成された導電層を含んでいる、アクティブマトリクス基板。

【請求項 2】

基板と、
 前記基板上に形成された複数の走査配線と、複数の補助容量配線と、
 絶縁膜を介して前記走査配線、補助容量配線と交差する複数の信号配線と、
 前記基板上に形成され、対応する走査配線に印加される信号に応答して動作する複数の薄膜トランジスタと、

10

薄膜トランジスタを介して、対応する信号配線と電氣的に接続され得る複数の画素電極と、

を備えたアクティブマトリクス基板であって、

各画素電極、および、これに対応する薄膜トランジスタは、導電部材によって相互に接続されており、

前記導電部材は、前記導電部材に接続されている画素電極から前記信号配線に対して平行な方向に延長しており、かつ、前記複数の走査配線のうちの対応する 1 つの走査配線および前記複数の補助容量配線のうちの対応する 1 つの補助容量配線と交差し、

各薄膜トランジスタの半導体層は、前記走査配線上に位置し、かつ、同一の走査配線上に位置する各薄膜トランジスタの半導体層は、相互に分離されており、

20

前記画素電極は、前記導電部材が交差している走査配線に隣接する走査配線、および前記導電部材が交差している補助容量配線に隣接する補助容量配線と交差しており、

各薄膜トランジスタの半導体層の側面のうち前記走査配線が延びる方向に平行な側面は、前記走査配線の側面に整合しており、

前記信号配線および導電部材は、前記半導体層と交差するように配置され、
前記信号配線、前記導電部材、および前記画素電極は、いずれも、同一の導電膜をパターニングすることによって形成された導電層を含んでいる、アクティブマトリクス基板。

【請求項 3】

基板と、
 前記基板上に形成された複数の走査配線と、複数の補助容量配線と、
 第 1 の絶縁膜を介して前記走査配線、補助容量配線と交差する複数の信号配線と、
 前記基板上に形成され、対応する走査配線に印加される信号に応答して動作する複数の薄膜トランジスタと、

30

薄膜トランジスタを介して、対応する信号配線と電氣的に接続され得る複数の下層画素電極と、

第 2 の絶縁膜を介して前記下層画素電極の上層に配置され、コンタクトホールを介して前記下層画素電極と電氣的に接続される複数の上層画素電極と、

を備えたアクティブマトリクス基板であって、

前記信号配線、前記導電部材、および下層画素電極は、いずれも、同一の導電膜をパターニングすることによって形成され、

40

前記導電部材は、前記導電部材に接続されている下層画素電極から前記信号配線に対して平行な方向に延長しており、かつ、前記複数の走査配線のうちの対応する 1 つの走査配線と交差し、

各薄膜トランジスタの半導体層は、前記走査配線上に位置し、かつ、同一の走査配線上に位置する各薄膜トランジスタの半導体層は、相互に分離されており、

前記下層画素電極および上層画素電極によって構成される画素電極、および、これに対応する薄膜トランジスタは、前記導電部材によって相互に接続されており、

前記下層画素電極は、前記導電部材が交差している走査配線に隣接する補助容量配線と交差しており、

各薄膜トランジスタの半導体層の側面のうち前記走査配線が延びる方向に平行な側面は

50

、前記走査配線の側面に整合しており、

前記信号配線および導電部材は、前記半導体層と交差するように配置されている、アクティブマトリクス基板。

【請求項 4】

基板と、

前記基板上に形成された複数の走査配線と、

第 1 の絶縁膜を介して前記走査配線と交差する複数の信号配線と、

前記基板上に形成され、対応する走査配線に印加される信号に応答して動作する複数の薄膜トランジスタと、

薄膜トランジスタを介して、対応する信号配線と電氣的に接続され得る複数の下層画素電極と、

第 2 の絶縁膜を介して前記下層画素電極の上層に配置され、コンタクトホールを介して前記下層画素電極と電氣的に接続される複数の上層画素電極と、

を備えたアクティブマトリクス基板であって、

前記信号配線、前記導電部材、および下層画素電極は、いずれも、同一の導電膜をパターンニングすることによって形成され、

前記導電部材は、前記導電部材に接続されている下層画素電極から前記信号配線に対して平行な方向に延長しており、かつ、前記複数の走査配線のうちの対応する 1 つの走査配線と交差し、

各薄膜トランジスタの半導体層は、前記走査配線上に位置し、かつ、同一の走査配線上に位置する各薄膜トランジスタの半導体層は、相互に分離されており、

前記下層画素電極および上層画素電極によって構成される画素電極、および、これに対応する薄膜トランジスタは、前記導電部材によって相互に接続されており、

前記下層画素電極は、前記導電部材が交差している走査配線に隣接する走査配線と交差しており、

各薄膜トランジスタの半導体層の側面のうち前記走査配線が延びる方向に平行な側面は、前記走査配線の側面に整合しており、

前記信号配線および導電部材は、前記半導体層と交差するように配置されている、アクティブマトリクス基板。

【請求項 5】

前記信号配線から分岐して前記走査配線と交差するソース電極を備え、

前記導電部材と前記走査配線との交差部は、前記信号配線と前記走査配線との交差部および前記ソース電極と前記走査配線との交差部で挟まれている請求項 3 に記載のアクティブマトリクス基板。

【請求項 6】

前記信号配線、前記導電部材、および前記画素電極は、いずれも、同一の透明導電膜をパターンニングすることによって形成された透明導電層を含んでおり、

前記信号配線に含まれる前記透明導電層の上には、遮光性を有する膜が配置されている請求項 1 または 2 に記載のアクティブマトリクス基板。

【請求項 7】

前記遮光性を有する膜の電気抵抗率は、前記透明導電層の電気抵抗率よりも低い金属から形成されている請求項 6 に記載のアクティブマトリクス基板。

【請求項 8】

前記走査配線は遮光性金属から形成されている請求項 1 から 7 のいずれかに記載のアクティブマトリクス基板。

【請求項 9】

前記複数の走査配線の各々は、少なくとも前記薄膜トランジスタが形成される領域において、複数の配線部分に分離されている請求項 1 から 8 のいずれかに記載のアクティブマトリクス基板。

【請求項 10】

10

20

30

40

50

前記複数の配線部分の各々の線幅は、

前記走査配線を覆うネガ型感光性樹脂層を形成した後、前記基板裏面側から前記基板に光を照射し、それによって前記ネガ型感光性樹脂層の一部を露光するとき、前記光の回折により、前記複数の配線部分上に位置する前記ネガ型感光性樹脂層の実質的に全部を感光させることができる大きさである請求項 9 に記載のアクティブマトリクス基板。

【請求項 1 1】

前記信号配線に平行な方向に対する前記基板の伸縮率が、前記信号配線に垂直な方向に対する前記基板の伸縮率よりも小さくなるように、前記基板と前記信号配線との間の配置関係が規定されている請求項 1 から 1 0 のいずれかに記載のアクティブマトリクス基板。

【請求項 1 2】

前記複数の走査配線は、表示領域よりも外側に延長されており、各走査配線の延長部の長さは、走査配線ピッチよりも大きい請求項 1 から 1 1 のいずれかに記載のアクティブマトリクス基板。

【請求項 1 3】

前記画素電極上にカラーフィルタが形成されている請求項 1 から 1 2 のいずれかに記載のアクティブマトリクス基板。

【請求項 1 4】

前記基板は、プラスチックから形成されている請求項 1 から 1 3 のいずれかに記載のアクティブマトリクス基板。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、アクティブマトリクス基板およびその製造方法、ならびに、当該アクティブマトリクス基板を用いた表示装置およびその製造方法に関する。

【0 0 0 2】

【従来の技術】

近年、液晶表示装置は、室内で使用されるデスクトップ型コンピュータやテレビジョン装置の画像表示素子としてだけではなく、携帯電話、ノート型またはラップトップ型パーソナルコンピュータ、携帯テレビ、デジタルカメラ、デジタルカムコーダなどの各種携帯型電子装置、更にはカーナビゲーション装置などの車載用電子装置における情報表示素子としても広く利用されている。

【0 0 0 3】

各種液晶表示装置のうち、マトリクス電極で駆動される液晶表示装置は、パッシブマトリクス駆動により動作する表示装置とアクティブマトリクス駆動により動作する表示装置に大別される。このうち、アクティブマトリクス型表示装置では、行 (r o w) および列 (c o l u m n) からなるマトリクス状に配列された画素毎にスイッチング素子が設けられており、互いに交差するように配列された複数の信号配線および走査配線を用いてスイッチング素子を制御し、選択された画素電極に所望の信号電荷 (データ信号) を与えることができる。

【0 0 0 4】

まず、図 4 3 および図 4 4 を参照しながら、従来のアクティブマトリクス型表示装置を説明する。図 4 3 は液晶表示装置の概略構成を示しており、図 4 4 は典型的な液晶パネルの断面構成を示している。

【0 0 0 5】

液晶表示装置は、図 4 3 に示されるように、光を空間的に変調する液晶パネル 5 0、液晶パネル内のスイッチング素子を選択的に駆動するためのゲートドライブ回路 5 1、液晶パネル 5 0 内の各画素電極に信号を与えるソースドライブ回路 5 2、ゲートドライバ/ソースドライバ 5 3 などから構成されている。

【0 0 0 6】

液晶パネル 5 0 は、図 4 4 に示されるように、ガラスから形成された一対の透明絶縁基板

10

20

30

40

50

5 4 および 5 5 と、これらの基板 5 4 および 5 5 に挟まれた液晶層（例えばツイステッド・ネマティック液晶層）3 8 と、これらの外側に配置された一对の偏光子 5 6 とを備えている。

【0007】

基板 5 4 の液晶層側面には複数の画素電極 1 1 4 がマトリクス状に配列されており、画素電極 1 1 4 および対向基板 5 5 上の共通透明電極 3 6 により、液晶層 3 8 の選択された部分に所望の電圧を印加することができる。画素電極 1 1 4 は、基板 5 4 上に形成された薄膜トランジスタ 1 1 0 および信号配線（不図示）を介してソースドライブ回路 5 2 に接続されている。薄膜トランジスタ 1 1 0 のスイッチング動作は、基板 5 4 上に形成された走査配線によって制御される。この走査配線は、ゲートドライバ回路 5 1 に接続されている。

10

【0008】

一方、基板 5 5 の液晶層側の面には、ブラックマトリクス 3 5、カラーフィルタ（R、G、B）、および共通透明電極 3 6 が設けられている。

【0009】

基板 5 4 および基板 5 5 の液晶層側は、いずれも配向膜 3 7 によって覆われ、液晶層 3 8 中には数 μm 径のスペーサ 4 0 が分散されている。

【0010】

上述の構成を備えた基板 5 4 は、全体として「アクティブマトリクス基板」と称されている。これに対して、基板 5 5 は「対向基板」と称されている。

20

【0011】

以下、従来のアクティブマトリクス基板について、その構造を説明する。

【0012】

図 4 5 (a) は、従来のアクティブマトリクス基板における単位画素領域のレイアウトを示しており、図 4 5 (b) は、その A - A ' 線断面を示している。

【0013】

図示されている例では、ガラス基板 1 2 1 上に、複数の走査配線 1 0 2 と、走査配線 1 0 2 に交差する複数の信号配線 1 0 5 とが設けられている。走査配線 1 0 2 と信号配線 1 0 5 とは異なる層（レイヤ）のレベルに位置し、それらの中間レイヤに配置された絶縁膜 1 0 4 によって分離されている。

30

【0014】

走査配線 1 0 2 と信号配線 1 0 5 によって囲まれた矩形領域内には、透明導電膜などからなる画素電極 1 1 4 が形成されている。画素電極 1 1 4 は、走査配線 1 0 2 と信号配線 1 0 5 とが交差する部分の近傍に形成された薄膜トランジスタ 1 1 0 を介して、信号配線 1 0 5 から信号電荷を受け取る。画素電極 1 1 4 の下には走査配線 1 0 2 に平行な補助容量配線 1 1 3 が形成されており、画素電極 1 1 4 と補助容量配線 1 1 3 との間に補助容量を形成する。

【0015】

薄膜トランジスタ 1 1 0 は、走査配線 1 0 2 から垂直に突出する支線（ゲート電極 1 0 3）と、ゲート電極 1 0 3 を覆うゲート絶縁膜 1 0 4 と、ゲート絶縁膜 1 0 4 を介してゲート電極 1 0 3 と重なり合っている真性半導体層 1 0 6 と、真性半導体層 1 0 6 上に形成された不純物添加半導体層 1 0 7 と、不純物添加半導体層 1 0 7 を介して真性半導体層 1 0 6 のソース/ドレイン領域に接続されるソース電極 1 0 8 およびドレイン電極 1 0 9 を備えている。ソース電極 1 0 8 は、信号配線 1 0 5 から垂直に突出する支線であり、信号配線 1 0 5 と一体的に形成されている。

40

【0016】

ドレイン電極 1 0 9 は、薄膜トランジスタ 1 1 0 のドレイン領域と画素電極 1 1 4 とを電氣的に接続する導電部材であり、金属膜をパターニングすることによって、信号配線 1 0 5 およびソース電極 1 0 8 とともに形成される。すなわち、この例では、信号配線 1 0 5、ソース電極 1 0 8、およびドレイン電極 1 0 9 は、同一レイヤに属しており、相互の配

50

置関係はフォトリソグラフィ工程で用いるマスクパターンによって規定される。

【0017】

ソース電極108とドレイン電極109との間は、真性半導体層106のチャネル領域を介して接続されており、チャネル領域の導通状態はゲート電極103の電位によって制御される。薄膜トランジスタ110がnチャネル型である場合、ゲート電極103の電位をトランジスタの反転しきい値以上に増加させれば、薄膜トランジスタ110はオン状態になる。このとき、ソース電極108とドレイン電極109とは電氣的に導通するため、信号配線105と画素電極114との間で電荷のやりとりが行なわれる。

【0018】

薄膜トランジスタ110を正常に動作させるには、ソース電極108およびドレイン電極109の少なくとも一部分をゲート電極103に重ねる必要がある。ゲート電極103の線幅は、10 μ m程度またはそれ以下であるため、信号配線105、ソース電極108、およびドレイン電極109を形成するためのフォトリソグラフィ工程においては、基板121上に既に形成されているゲート電極103に対する位置合わせ(以下、「アライメント」と称する。)を高い精度で実行する必要がある。通常、 \pm 数 μ m以下のアライメント精度が要求される。

10

【0019】

また、ゲート電極103とドレイン電極109との間の重なり領域の面積は、表示特性を左右するゲート・ドレイン間容量 C_{gd} を規定し、このゲート・ドレイン間容量 C_{gd} の大きさが基板面内ではばらつくこと、表示品質が劣化する。このため、実際の生産工程においては、露光装置のアライメント精度を $\pm 1\mu$ m以下に制御し、アライメントズレを可能な限り小さく抑えている。

20

【0020】

このように、近年のアクティブマトリクス基板の製造に要求されるアライメント精度は非常に高く、この要求に対応する露光装置が開発され・実用化されている。しかし、アライメント精度の高い露光装置が実用化される以前は、製造歩留まりを向上させるため、アクティブマトリクス基板の配置レイアウトを工夫し、アライメントマージンを大きくしていた。

【0021】

図46は、露光装置のアライメント精度が悪かった時代に提案されたアクティブマトリクス基板のレイアウトである。図示されている構成では、ドレイン電極109が画素電極114から信号配線105に対して平行に延び、走査配線102と交差している。薄膜トランジスタ110は、信号配線105と走査配線102とが交差する部分およびその近傍に形成されている。この例では、走査配線102そのものがゲート電極として機能するとともに、信号配線105の一部がソース電極108として機能する。

30

【0022】

上記構成を有するアクティブマトリクス基板は、次のようにして作製される。

【0023】

まず、ガラス基板101上に透明導電膜161および不純物添加半導体層107を順次堆積した後、第1のマスクを用いて不純物添加半導体層107および透明導電膜161をパターンニングし、信号配線105、ドレイン電極109、および画素電極114を形成する。

40

【0024】

次に、真性半導体層106、ゲート絶縁膜104、および金属薄膜102を順次積層した後、第2のマスクを用い、金属薄膜102、ゲート絶縁膜104、および真性半導体層106を順次パターンニングする。こうして、金属薄膜102から走査配線102および補助容量配線113を形成する。

【0025】

このような方法によれば、最初に形成した信号配線105およびドレイン電極109に対

50

し、後に形成する走査配線 102 の位置が多少ずれたとしても、信号配線 105 と走査配線 102 との重なり、および、ドレイン電極 109 と走査配線 102 の重なりを確保することができ、ゲート・ドレイン間容量 C_{gd} のバラツキも抑制される。

【0026】

しかし、図 46 の構成では、真性半導体層 106 が走査配線 102 の下層レベルに存在しており、全ての信号配線 105 を横切るようにして直線状に長く延びている。このため、薄膜トランジスタ 110 をオン状態にするための走査信号（選択信号）を走査配線 102 に入力したとき、図示されているドレイン電極 109 と、このドレイン電極 109 の図中左側に位置する信号配線 105 との間における半導体層 106 が薄膜トランジスタ 110 のチャンネル領域として機能するだけでなく、ドレイン電極 109 とドレイン電極 109 の図中右側に位置する信号配線 105 との間における半導体層 106 も寄生トランジスタのチャンネル領域として機能してしまう。このため、左右に隣接する画素間でクロストークが発生し、アクティブマトリクス型液晶表示装置の特徴である高い表示コントラストを達成することができない。

10

【0027】

上記の問題を解決するため、図 47 に示すような構成を有するアクティブマトリクス基板が提案された（特開昭 61 - 108171 号公報）。このアクティブマトリクス基板の基本的な構造は、図 45 に示すアクティブマトリクス基板の基本構成と同じである。相違点は、走査配線 102 に支線（ゲート電極 103）が設けられておらず、直線状に延びる走査配線 102 自体がゲート電極として機能する点と、ドレイン電極 109 が信号配線 105 に対して平行に延びている点にある。このような構成を採用することにより、多少のアライメントズレが生じて、薄膜トランジスタ 110 は正常に動作し、ドレイン電極 109 と走査配線 102 との重なり領域の面積も変動しないため、容量 C_{gd} のバラツキを抑えることができる。

20

【0028】

図 47 の構造によれば、アライメントマージンを $10 \sim 20 \mu\text{m}$ 程度にまで拡大することができる。しかし、現在、アクティブマトリクス基板の製造に使用されている露光装置のほとんどが $\pm 1 \mu\text{m}$ 以内のアライメント精度を達成しているため、結局のところ図 47 の構造は採用されず、開口率の向上、不良発生時の修正を容易にする等の目的のため、図 45 の構造が採用されている場合が多い。

30

【0029】

また、層間絶縁膜上に画素電極を設けて画素電極と信号配線とを別レイヤに形成し、画素電極を信号配線上に重ねる構造も提案されている（特開 63 - 279228 公報等）。このような構成では、画素電極と信号配線とが別のレイヤに形成され、画素電極と信号配線との隙間を無くすることができるため、画素電極の面積（開口率）を拡大することができ、液晶表示装置の消費電力を抑えることができる。

【0030】

【発明が解決しようとする課題】

近年、電子機器を軽量化するため、ガラス基板に代え、ガラス基板よりも軽いプラスチック基板を用いて液晶表示装置を製造することが試みられている。

40

【0031】

しかしながら、プラスチック基板の寸法は、製造プロセス中に大きく変化し、その変化量もプロセスによって変動するため、実用化の上で大きな支障をきたしている。

【0032】

プラスチック基板の主面に平行な方向に関する寸法変化率（以下、「基板伸縮率」と称する。）は、製造プロセス中の処理温度やプラスチック基板が吸収する水分の量によって強く影響される。例えば、温度による基板伸縮率は、ガラス基板の場合 $3 \sim 5 \text{ ppm}$ であるのに対し、プラスチック基板の場合は $50 \sim 100 \text{ ppm}$ である。また、プラスチック基板の場合、水分吸収による基板伸縮率は 3000 ppm にも達する。

【0033】

50

3000ppmにも達するという基板伸縮率は、製造プロセス中の全工程を経ることによって生じ得る最大値である。本願発明者は、フォトリソグラフィ工程におけるマスクアライメントの実際のズレ量を評価するため、プラスチック基板上に薄膜トランジスタを作製するプロセスを実際に行ない、2つのフォトリソグラフィ工程間に生じた基板伸縮率を測定した。その結果、マスクアライメントの必要なフォトリソグラフィ工程間で500~1000ppm程度の基板伸縮が発生していることがわかった。

【0034】

このような大きさの基板伸縮が対角5インチのプラスチック基板で生じると、基板サイズは64 μ m~128 μ m変動することになる。このような範囲で基板サイズの変動が生じると、従来のアクティブマトリクス基板の製造方法では、正常に動作する薄膜トランジスタを作製できなくなる。

10

【0035】

本発明者は、図47の従来構造で実現可能なアライメントマージンを評価してみた。図48は、図47の基本構造に対して信号配線105の線幅に相当するアライメントマージンを与えた場合のレイアウトを示している。このレイアウトをもとに、図47の従来構造を持つアクティブマトリクス基板(対角5インチ)で対応可能な基板伸縮量を計算機シミュレーションにより求めた。その結果を下記の表1に記載する。

【0036】

【表1】

画素ピッチ (μ m)	アライメント マージン(μ m)	基板伸縮 (ppm)
350	24	378
300	19	299
250	14	220
200	9	142

20

※露光装置の位置合わせ精度を $\pm 0\mu$ mとしている。

30

【0037】

表1からわかるように、例えば画素ピッチが250 μ mの画素を有するアクティブマトリクス基板では、 $\pm 14\mu$ m以下のアライメントマージンしか得ることができない。この程度のアライメントマージンでは、220ppm以下の基板伸縮率にしか対応できない。

【0038】

以上のことからわかるように、従来の構成を採用する限り、プラスチック基板を用いてアクティブマトリクス基板を製造することはできず、衝撃に弱く、軽量化の困難なガラス基板を用いてアクティブマトリクス基板を製造するしかない。

【0039】

本発明はかかる諸点に鑑みてなされたものであり、その主な目的は、プラスチック基板のように伸縮率の大きな基板を用いても、アライメントズレに起因する問題が生じないアクティブマトリクス基板およびその製造方法を提供することにある。

40

【0040】

本発明の他の目的は、プラスチック基板上に薄膜トランジスタアレイを集積したアクティブマトリクス基板を提供することにある。

【0041】

本発明の更に他の目的は、上記アクティブマトリクス基板を用いて製造した表示装置を提供することにある。

【0042】

【課題を解決するための手段】

50

本発明によるアクティブマトリクス基板は、基板と、前記基板上に形成された複数の走査配線と、絶縁膜を介して前記走査配線と交差する複数の信号配線と、前記基板上に形成され、対応する走査配線上の走査信号に応答して動作する複数の薄膜トランジスタと、薄膜トランジスタを介して、対応する信号配線と電氣的に接続され得る複数の画素電極とを備えたアクティブマトリクス基板であって、各画素電極、および、これに対応する薄膜トランジスタは、導電部材によって相互接続されており、前記画素電極および前記導電部材は、それぞれ、隣接する異なる走査配線と交差している。

【0043】

本発明による他のアクティブマトリクス基板は、基板と、前記基板上に形成された複数の走査配線と、複数の補助容量配線と、絶縁膜を介して前記走査配線、補助容量配線と交差する複数の信号配線と、前記基板上に形成され、対応する走査配線に印加される信号に応答して動作する複数の薄膜トランジスタと、薄膜トランジスタを介して、対応する信号配線と電氣的に接続され得る複数の画素電極とを備えたアクティブマトリクス基板であって、各画素電極、および、これに対応する薄膜トランジスタは、導電部材によって相互に接続されており、前記画素電極および前記導電部材は、それぞれ、隣接する異なる走査配線と交差するとともに、また、隣接する異なる補助容量配線とも交差している。

10

【0044】

本発明によるアクティブマトリクス基板は、基板と、前記基板上に形成された複数の走査配線と、複数の補助容量配線と、第1の絶縁膜を介して前記走査配線、補助容量配線と交差する複数の信号配線と、前記基板上に形成され、対応する走査配線に印加される信号に応答して動作する複数の薄膜トランジスタと、薄膜トランジスタを介して、対応する信号配線と電氣的に接続され得る複数の下層画素電極と、第2の絶縁膜を介して前記下層画素電極の上層に配置され、コンタクトホールを介して前記下層画素電極と電氣的に接続される複数の上層画素電極とを備えたアクティブマトリクス基板であって、前記信号配線、前記導電部材、および下層画素電極は、いずれも、同一の導電膜をパターンニングすることによって形成され、各画素電極、および、これに対応する薄膜トランジスタは、導電部材によって相互に接続されており、前記下層画素電極および前記導電部材は、それぞれ、隣接する異なる走査配線と交差するとともに、また、隣接する異なる補助容量配線とも交差している。

20

【0045】

本発明によるアクティブマトリクス基板は、基板と、前記基板上に形成された複数の走査配線と、第1の絶縁膜を介して前記走査配線と交差する複数の信号配線と、前記基板上に形成され、対応する走査配線に印加される信号に応答して動作する複数の薄膜トランジスタと、薄膜トランジスタを介して、対応する信号配線と電氣的に接続され得る複数の下層画素電極と、第2の絶縁膜を介して前記下層画素電極の上層に配置され、コンタクトホールを介して前記下層の画素電極と電氣的に接続される複数の上層画素電極とを備えたアクティブマトリクス基板であって、前記信号配線、前記導電部材、および下層画素電極は、いずれも、同一の導電膜をパターンニングすることによって形成され、前記下層画素電極および上層画素電極によって構成される画素電極、および、これに対応する薄膜トランジスタは、前記導電部材によって相互に接続されており、前記下層画素電極および前記導電部材は、それぞれ、隣接する異なる走査配線と交差している。

30

40

【0046】

本発明によるアクティブマトリクス基板は、基板と、前記基板上に形成された複数の走査配線と、複数の補助容量配線と、絶縁膜を介して前記走査配線、補助容量配線と交差する複数の信号配線と、前記基板上に形成され、対応する走査配線に印加される信号に応答して動作する複数の薄膜トランジスタと、薄膜トランジスタを介して、対応する信号配線と電氣的に接続され得る複数の下層画素電極と、絶縁膜を介して前記下層の画素電極の上層に配置され、コンタクトホールを介して前記下層画素電極と電氣的に接続される複数の上層画素電極とを備えたアクティブマトリクス基板であって、前記信号配線、前記導電部材、および下層画素電極は、いずれも、同一の導電膜をパターンニングすることによって形

50

成され、前記下層画素電極および上層画素電極によって構成される画素電極、および、これに対応する薄膜トランジスタは、導電部材によって相互に接続されており、隣接する前記走査配線および前記補助容量配線のうち、一方は前記下層画素電極と交差し、他方は前記導電部材と交差している。

【0047】

ある好ましい実施形態では、前記信号配線から分岐して前記走査配線と交差するソース電極を備え、前記導電部材と前記走査配線との交差部は、前記信号配線と前記走査配線との交差部および前記ソース電極と前記走査配線との交差部で挟まれている。

【0048】

ある好ましい実施形態では、前記信号配線と前記導電部材との間の距離は、前記導電部材と前記ソース電極との間の距離と略等しい。

10

【0049】

ある好ましい実施形態では、前記薄膜トランジスタのチャンネル部が隣合う信号配線のほぼ中央に位置する。

【0050】

ある好ましい実施形態では、前記薄膜トランジスタのチャンネル部が前記上層画素電極によって覆われている。

【0051】

ある好ましい実施形態において、各薄膜トランジスタの半導体層は、前記走査配線に対して自己整合的に形成されており、前記信号配線および導電部材は、前記半導体層と交差するように配置されている。

20

【0052】

ある好ましい実施形態において、前記信号配線および導電部材は、前記半導体層を乗り越えるように配置されており、前記半導体層のチャンネル領域は、前記走査配線に対して自己整合的に形成されたチャンネル保護層によって覆われている。

【0053】

ある好ましい実施形態において、前記チャンネル保護層の側面のうち、前記信号配線および導電部材が延伸する方向に平行な側面は、前記信号配線および導電部材の外側の側面に整合している。

【0054】

30

ある好ましい実施形態において、前記チャンネル保護層の側面のうち、前記走査配線が延伸する方向に対して平行な2つの側面間距離は、前記走査配線の線幅よりも狭い。

【0055】

ある好ましい実施形態において、前記導電部材は、前記導電部材に接続されている画素電極から前記信号配線に対して平行な方向に延長しており、前記導電部材の先端から、前記導電部材に接続された画素電極の反対側の端までの距離が走査配線間隔の1倍より長く、走査配線間隔の2倍未満である。

【0056】

ある好ましい実施形態において、前記信号配線、前記導電部材、および前記画素電極は、いずれも、同一の導電膜をパターンニングすることによって形成された導電層を含んでいる。

40

【0057】

ある好ましい実施形態において、前記信号配線、前記導電部材、および前記画素電極は、いずれも、同一の透明導電膜をパターンニングすることによって形成された透明導電層を含んでおり、前記信号配線に含まれる前記透明導電層の上には、遮光性を有する膜が配置されている。

【0058】

ある好ましい実施形態において、前記遮光性を有する膜の電気抵抗率は、前記透明導電層の電気抵抗率よりも低い金属から形成されている。

【0059】

50

ある好ましい実施形態において、前記走査配線および前記信号配線は、表示領域内において、前記基板の表面に平行な方位に突出する部分を有していない。

【0060】

ある好ましい実施形態において、前記走査配線は遮光性金属から形成されている。

【0061】

ある好ましい実施形態において、前記複数の走査配線の各々は、少なくとも前記薄膜トランジスタが形成される領域において、光を透過し得るスリット状開口部分を有している。

【0062】

ある好ましい実施形態において、前記複数の走査配線の各々は、少なくとも前記薄膜トランジスタが形成される領域において、複数の配線部分に分離されている。

10

【0063】

ある好ましい実施形態において、前記複数の配線部分の各々の線幅は、前記走査配線を覆うネガ型感光性樹脂層を形成した後、前記基板裏面側から前記基板に光を照射し、それによって前記ネガ型感光性樹脂層の一部を露光するとき、前記光の回折により、前記複数の配線部分上に位置する前記ネガ型感光性樹脂層の実質的に全部を感光させることができる大きさである。

【0064】

ある好ましい実施形態において、前記信号配線に平行な方向に対する前記基板の伸縮率が、前記信号配線に垂直な方向に対する前記基板の伸縮率よりも小さくなるように、前記基板と前記信号配線との間の配置関係が規定されている。

20

【0065】

ある好ましい実施形態において、前記複数の走査配線は、表示領域よりも外側に延長されており、各走査配線の延長部の長さは走査配線ピッチよりも大きい。

【0066】

ある好ましい実施形態において、前記画素電極上にカラーフィルタが形成されている。

【0067】

ある好ましい実施形態において、前記基板は、プラスチックから形成されている。

【0068】

本発明によるアクティブマトリクス基板は、プラスチック基板と、前記プラスチック基板上に形成された第1の走査配線と、前記プラスチック基板上に形成され、前記第1の走査配線に対して平行に配置された第2の走査配線と、前記プラスチック基板上に形成され、前記第2の走査配線に対して平行に配置された第3の走査配線と、絶縁膜を介して前記第1から第3の走査配線と交差する信号配線と、前記第1の走査配線を横切る第1の画素電極と、前記第2の走査配線を横切る第2の画素電極と、前記第2の走査配線に対して自己整合的に形成された第1の薄膜トランジスタと、前記第3の走査配線に対して自己整合的に形成された第2の薄膜トランジスタとを備え、前記第1の画素電極は、前記第2の走査配線を横切る第1の導電部材によって前記第1の薄膜トランジスタに接続され、前記第2の画素電極は、前記第3の走査配線を横切る第2の導電部材によって前記第2の薄膜トランジスタに接続されている。

30

【0069】

本発明の表示装置は、上記いずれかの記載のアクティブマトリクス基板と、前記アクティブマトリクス基板に対向する基板と、前記アクティブマトリクス基板と前記対向基板との間に位置する光変調層とを備えている。

40

【0070】

本発明の携帯型電子装置は、前記表示装置を備えていることを特徴とする。

【0071】

本発明によるアクティブマトリクス基板の製造方法は、基板上に複数の走査配線を形成する工程と、前記走査配線を覆う絶縁膜を形成する工程と、前記絶縁膜上に半導体層を形成する工程と、前記半導体層上にポジ型レジスト層を形成する工程と、前記基板の裏面側から前記基板に光を照射し、それによって前記ポジ型レジスト層を露光した後、現像により

50

、前記走査配線に整合した第1のレジストマスクを前記走査配線の上方に形成する工程と、前記半導体層のうち前記第1のレジストマスクによって覆われていない部分を除去し、薄膜トランジスタの半導体領域として機能する部分を含む線状半導体層を前記走査配線に対して自己整合的に形成する工程と、前記第1のレジストマスクを除去する工程と、前記線状半導体層を覆うように導電膜を堆積する工程と、第2のレジストマスクを用いて前記導電膜をパターンングすることにより、前記走査配線と交差する信号配線および画素電極を形成するとともに、前記画素電極から前記信号配線に平行に延長し、前記画素電極が交差している走査配線に隣接する走査配線と交差する導電部材を形成し、更に、前記線状半導体層をパターンングすることにより、前記信号配線および導電部材の下方に前記薄膜トランジスタの半導体領域を形成する工程とを包含する。

10

【0072】

ある好ましい実施形態において、前記薄膜トランジスタの半導体領域を形成する工程は、前記第2のレジストマスクとして、前記信号配線および導電部材を規定する相対的に厚い部分と、前記信号配線と前記導電部材との隙間の領域を規定する相対的に薄い部分とを有するレジストパターンを形成する工程と、前記導電膜および線状半導体層のうち、前記レジストパターンに覆われていない部分をエッチングする工程と、前記レジストパターンの相対的に薄い部分を除去する工程と、前記導電膜のうち、前記レジストパターンの相対的に薄い部分に覆われていた部分をエッチングし、前記信号配線および前記導電部材を形成する工程とを包含する。

【0073】

本発明による他のアクティブマトリクス基板の製造方法は、基板上に複数の走査配線を形成する工程と、前記走査配線を覆う絶縁膜を形成する工程と、前記絶縁膜上に半導体層を形成する工程と、前記半導体層上にポジ型レジスト層を形成する工程と、前記基板の裏面側から前記基板に光を照射し、それによって前記ポジ型レジスト層を露光した後、現像により、前記走査配線に整合した第1のレジストマスクを前記走査配線の上方に形成する工程と、前記半導体層のうち前記第1のレジストマスクによって覆われていない部分を除去し、薄膜トランジスタの半導体領域として機能する部分を含む線状半導体層を前記走査配線に対して自己整合的に形成する工程と、前記第1のレジストマスクを除去する工程と、前記線状半導体層を覆うように透明導電膜を堆積する工程と、前記透明導電膜上に遮光膜を堆積する工程と、第2のレジストマスクを用いて前記遮光膜および透明導電膜をパターンングすることにより、前記走査配線と交差する信号配線および画素電極を形成するとともに、前記画素電極から前記信号配線に平行に延長し、前記画素電極が交差している走査配線に隣接する走査配線と交差する導電部材を形成し、更に、前記線状半導体層をパターンングすることにより、前記信号配線および導電部材の下方に前記薄膜トランジスタの半導体領域を形成する工程と、ネガ型感光性樹脂材料を前記基板上に塗布する工程と、前記基板の裏面側から前記基板に光を照射し、それによって前記ネガ型感光性樹脂材料を露光した後、現像することにより、非感光部分を除去し、ブラックマトリクスを形成する工程とを包含する。

20

30

【0074】

ある好ましい実施形態においては、前記ネガ型感光性樹脂材料を露光する際、前記走査配線および遮光膜が形成されていない領域を透過する光を用いて、前記信号配線、導電部材、および薄膜トランジスタの半導体領域の上に位置する前記ネガ型感光性樹脂材料を感光し、それによって、前記画素電極が形成されていない領域を前記ブラックマトリクスによって覆う。

40

【0075】

ある好ましい実施形態においては、前記遮光膜のうち、前記ブラックマトリクスによって覆われていない部分をエッチングし、前記画素電極上に透光領域を形成する。

【0076】

ある好ましい実施形態において、前記薄膜トランジスタの半導体領域を形成する工程は、前記第2のレジストマスクとして、前記信号配線および導電部材を規定する相対的に厚い

50

部分と、前記信号配線と前記導電部材との隙間の領域を規定する相対的に薄い部分とを有するレジストパターンを形成する工程と、前記導電膜および線状半導体層のうち、前記レジストパターンに覆われていない部分をエッチングする工程と、前記レジストパターンの相対的に薄い部分を除去する工程と、前記導電膜のうち、前記レジストパターンの相対的に薄い部分に覆われていた部分をエッチングし、前記信号配線および前記導電部材を形成する工程とを包含する。

【0077】

本発明によるアクティブマトリクス基板の製造方法は、基板上に複数の走査配線を形成する工程と、前記走査配線を覆う絶縁膜を形成する工程と、前記絶縁膜上に半導体層を形成する工程と、前記半導体層上にチャンネル保護層を形成する工程と、前記チャンネル保護層上に第1のポジ型レジスト層を形成する工程と、前記基板の裏面側から前記基板に光を照射し、それによって前記第1のポジ型レジスト層を露光した後、現像により、前記走査配線に整合した第1のレジストマスクを前記走査配線の上方に形成する工程と、前記チャンネル保護層のうち前記第1のレジストマスクによって覆われていない部分を除去し、前記走査配線の線幅よりも狭い線幅を有するチャンネル保護層を前記走査配線に対して自己整合的に形成する工程と、前記チャンネル保護層および半導体層を覆うようにコンタクト層を堆積する工程と、前記コンタクト層上に第2のポジ型レジスト層を形成する工程と、前記基板の裏面側から前記基板に光を照射し、それによって前記第2のポジ型レジスト層を露光した後、現像により、前記走査配線に整合した第2のレジストマスクを前記走査配線の上方に形成する工程と、前記コンタクト層および半導体層のうち前記第2のレジストマスクによって覆われていない部分を除去し、線状コンタクト層、および薄膜トランジスタの半導体領域として機能する部分を含む線状半導体層を前記走査配線に対して自己整合的に形成する工程と、前記第2のレジストマスクを除去する工程と、前記線状コンタクト層を覆うように導電膜を堆積する工程と、第3のレジストマスクを用いて前記導電膜をパターンニングすることにより、前記走査配線と交差する信号配線および画素電極を形成するとともに、前記画素電極から前記信号配線に平行に延伸し、前記画素電極が交差している走査配線に隣接する走査配線と交差する導電部材を形成し、更に、前記線状コンタクト層、チャンネル保護層、および半導体層をパターンニングすることにより、前記信号配線および導電部材の下方に前記チャンネル保護膜で上面が部分的に覆われた前記薄膜トランジスタの半導体領域を形成する工程とを包含する。

【0078】

ある好ましい実施形態において、前記薄膜トランジスタの半導体領域を形成する工程は、前記第3のレジストマスクとして、前記信号配線および導電部材を規定する相対的に厚い部分と、前記信号配線と前記導電部材との隙間の領域を規定する相対的に薄い部分とを有するレジストパターンを形成する工程と、前記導電膜、線状コンタクト層、線状チャンネル保護層、および線状半導体層のうち、前記レジストパターンに覆われていない部分をエッチングする工程と、前記レジストパターンの相対的に薄い部分を除去する工程と、前記導電膜およびコンタクト層のうち、前記レジストパターンの相対的に薄い部分によって覆われていた部分をエッチングし、前記信号配線および前記導電部材を分離して形成する工程とを包含する。

【0079】

本発明によるアクティブマトリクス基板の製造方法は、基板上に複数の走査配線を形成する工程と、前記走査配線を覆う絶縁膜を形成する工程と、前記絶縁膜上に半導体層を形成する工程と、前記半導体層上にチャンネル保護層を形成する工程と、前記チャンネル保護層上にポジ型レジスト層を形成する工程と、前記基板の裏面側から前記基板に光を照射し、それによって前記ポジ型レジスト層を露光した後、現像により、前記走査配線に整合した第1のレジストマスクを前記走査配線の上方に形成する工程と、前記チャンネル保護層のうち前記第1のレジストマスクによって覆われていない部分を除去し、チャンネル保護層を前記走査配線に対して自己整合的に形成する工程と、前記チャンネル保護層および半導体層を覆うようにコンタクト層を堆積する工程と、前記コンタクト層を覆うように導電膜を堆積す

る工程と、第2のレジストマスクを用いて、前記導電膜をパターンングすることにより、前記走査配線と交差する信号配線および画素電極を形成するとともに、前記画素電極から前記信号配線に沿って延伸し、前記画素電極が交差している走査配線に隣接する走査配線と交差する導電部材を形成し、更に、前記コンタクト層、チャンネル保護層、および半導体層をパターンングすることにより、前記信号配線および導電部材の下方に前記チャンネル保護膜で上面が覆われた前記薄膜トランジスタの半導体領域を形成する工程とを包含する。

【0080】

ある好ましい実施形態において、前記薄膜トランジスタの半導体領域を形成する工程は、前記第2のレジストマスクとして、前記信号配線および導電部材を規定する相対的に厚い部分と、前記信号配線と前記導電部材との隙間の領域を規定する相対的に薄い部分とを有するレジストパターンを形成する工程と、前記導電膜、コンタクト層、チャンネル保護層、および半導体層のうち、前記レジストパターンに覆われていない部分をエッチングする工程と、前記レジストパターンの相対的に薄い部分を除去する工程と、前記導電膜およびコンタクト層のうち、前記レジストパターンの相対的に薄い部分によって覆われていた部分をエッチングし、前記信号配線および前記導電部材を分離して形成する工程とを包含する。

10

【0081】

ある好ましい実施形態においては、前記コンタクト層の形成前に、裏面露光法により、前記半導体層を前記走査配線に対して自己整合的に形成する。

【0082】

ある好ましい実施形態においては、前記レジストパターンの相対的に薄い部分を除去した後、前記導電膜およびコンタクト層のうち、前記レジストパターンの相対的に薄い部分によって覆われていた部分をエッチングする際、前記半導体層の露出部分をエッチングし、前記チャンネル保護層の下方に薄膜トランジスタの半導体領域を残す。

20

【0083】

本発明による更に他のアクティブマトリクス基板の製造方法は、基板上に半導体膜を形成する工程と、前記半導体膜上に第1導電膜を形成する工程と、前記第1導電膜および前記半導体膜をパターンングすることにより、複数の信号配線、複数の画素電極、および各画素電極から前記信号配線に沿って延びる導電部材を形成するとともに、前記信号配線と前記導電部材との間の領域に位置する前記半導体膜は除去しないで残す工程と、前記基板上に絶縁膜を形成する工程と、前記絶縁膜上に第2導電膜を形成する工程と、前記第2導電膜をパターンングすることにより、前記信号配線、画素電極および導電部材と交差する複数の走査配線を形成するとともに、前記信号配線と前記導電部材との間の領域に位置する前記半導体膜のうち、前記走査配線の下方に位置する部分以外の部分をエッチングする工程とを包含する。

30

【0084】

好ましい実施形態において、前記第1導電膜および前記半導体膜をパターンングする工程は、前記信号配線、前記画素電極、および前記導電部材を規定する相対的に厚い部分と、前記信号配線と前記導電部材との間の領域を規定する相対的に薄い部分とを有するレジストマスクを形成する工程と、前記第1導電膜および前記半導体膜のうち、前記レジストマスクに覆われていない部分をエッチングする工程と、前記レジストマスクから前記相対的に薄い部分を除去する工程と、前記第1導電膜のうち、前記レジストマスクの前記相対的に薄い部分によって覆われていた部分をエッチングする工程とを包含する。

40

【0085】

アクティブマトリクス基板の製造方法は、基板上にゲート電極を形成する工程と、前記ゲート電極を覆うゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に半導体層を形成する工程と、前記半導体層上にポジ型レジスト層を形成する工程と、前記基板の裏面側から前記基板に光を照射し、それによって前記ポジ型レジスト層を露光した後、現像により、前記ゲート電極に整合した第1のレジストマスクを前記ゲート電極の上方に形成する工程と、前記半導体層のうち前記第1のレジストマスクによって覆われていない部分を除去し

50

、薄膜トランジスタの半導体領域として機能する部分を含む半導体層を前記ゲート電極に対して自己整合的に形成する工程と、前記第1のレジストマスクを除去する工程と、前記半導体層を覆うように導電膜を堆積する工程と、第2のレジストマスクを用いて前記導電膜をパターンングすることにより、前記ゲート電極と交差するソース電極およびドレイン電極を形成し、更に、前記半導体層をパターンングすることにより、前記ソース電極およびドレイン電極の下方に前記薄膜トランジスタの半導体領域を形成する工程とを包含する。

【0086】

ある好ましい実施形態において、前記薄膜トランジスタの半導体領域を形成する工程は、前記第2のレジストマスクとして、前記ソース電極およびドレイン電極を規定する相対的に厚い部分と、前記ソース電極と前記ドレイン電極との隙間の領域を規定する相対的に薄い部分とを有するレジストパターンを形成する工程と、前記導電膜および半導体層のうち、前記レジストパターンに覆われていない部分をエッチングする工程と、前記レジストパターンの相対的に薄い部分を除去する工程と、前記導電膜のうち、前記レジストパターンの相対的に薄い部分に覆われていた部分をエッチングし、前記ソース電極およびドレイン電極を形成する工程とを包含する。

10

【0087】

ある好ましい実施形態において、前記ソース電極は、前記走査配線と交差するように直線状に延びる信号配線の一部であり、前記ドレイン電極は、画素電極から前記信号配線に沿って平行に延びている。

20

【0088】

本発明による更に他のアクティブマトリクス基板の製造方法は、基板上にゲート電極を形成する工程と、前記ゲート電極を覆うゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に半導体層を形成する工程と、前記半導体層上にチャンネル保護層を形成する工程と、前記チャンネル保護層上に第1のポジ型レジスト層を形成する工程と、前記基板の裏面側から前記基板に光を照射し、それによって前記第1のポジ型レジスト層を露光した後、現像により、前記ゲート電極に整合した第1のレジストマスクを前記ゲート電極の上方に形成する工程と、前記チャンネル保護層のうち前記第1のレジストマスクによって覆われていない部分を除去し、前記チャンネル保護層を前記ゲート電極に対して自己整合的に配置する工程と、前記チャンネル保護層および半導体層を覆うようにコンタクト層を堆積する工程と、前記コンタクト層上に第2のポジ型レジスト層を形成する工程と、前記基板の裏面側から前記基板に光を照射し、それによって前記第2のポジ型レジスト層を露光した後、現像により、前記ゲート電極に整合した第2のレジストマスクを前記ゲート電極の上方に形成する工程と、前記コンタクト層および半導体層のうち前記第2のレジストマスクによって覆われていない部分を除去し、コンタクト層、チャンネル保護層、および薄膜トランジスタの半導体領域として機能する部分を含む半導体層を前記ゲート電極に対して自己整合的に形成する工程と、前記第2のレジストマスクを除去する工程と、前記コンタクト層を覆うように導電膜を堆積する工程と、第3のレジストマスクを用いて前記導電膜をパターンングすることにより、前記ゲート電極と交差するソース電極およびドレイン電極を形成し、更に、前記コンタクト層、チャンネル保護層、および半導体層をパターンングすることにより、前記ソース電極およびドレイン電極の下方に前記チャンネル保護膜で上面が部分的に覆われた前記薄膜トランジスタの半導体領域を形成する工程とを包含する。

30

40

【0089】

ある好ましい実施形態において、前記薄膜トランジスタの半導体層を形成する工程は、前記第3のレジストマスクとして、前記ソース電極およびドレイン電極を規定する相対的に厚い部分と、前記ソース電極と前記ドレイン電極との隙間の領域を規定する相対的に薄い部分とを有するレジストパターンを形成する工程と、前記導電膜、コンタクト層、および半導体層のうち、前記レジストパターンに覆われていない部分をエッチングする工程と、前記レジストパターンの相対的に薄い部分を除去する工程と、前記導電膜およびコンタクト層のうち、前記レジストパターンの相対的に薄い部分に覆われていた部分をエッチング

50

し、前記ソース電極およびドレイン電極を分離して形成する工程とを包含する。

【0090】

ある好ましい実施形態において、前記チャンネル保護層の幅は前記半導体領域の幅よりも狭く設定される。

【0091】

本発明によるアクティブマトリクス基板の製造方法は、基板上にゲート電極を形成する工程と、前記ゲート電極を覆うゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に半導体層を形成する工程と、前記半導体層上にチャンネル保護層を形成する工程と、前記チャンネル保護層上にポジ型レジスト層を形成する工程と、前記基板の裏面側から前記基板に光を照射し、それによって前記ポジ型レジスト層を露光した後、現像により、前記ゲート電極に整合した第1のレジストマスクを前記ゲート電極の上方に形成する工程と、前記チャンネル保護層のうち前記第1のレジストマスクによって覆われていない部分を除去し、前記チャンネル保護層を前記ゲート電極に対して自己整合的に配置する工程と、前記チャンネル保護層および半導体層を覆うようにコンタクト層を堆積する工程と、前記コンタクト層を覆うように導電膜を堆積する工程と、第2のレジストマスクを用いて前記導電膜をパターンニングすることにより、前記ゲート電極と交差するソース電極およびドレイン電極を形成し、更に、前記コンタクト層、チャンネル保護層、および半導体層をパターンニングすることにより、前記ソース電極およびドレイン電極の下方に前記チャンネル保護膜で上面が部分的に覆われた前記薄膜トランジスタの半導体領域を形成する工程とを包含する。

10

【0092】

ある好ましい実施形態において、前記薄膜トランジスタの半導体領域を形成する工程は、前記第2のレジストマスクとして、前記ソース電極およびドレイン電極を規定する相対的に厚い部分と、前記ソース電極と前記ドレイン電極との隙間の領域を規定する相対的に薄い部分とを有するレジストパターンを形成する工程と、前記導電膜、コンタクト層、および半導体層のうち、前記レジストパターンに覆われていない部分をエッチングする工程と、前記レジストパターンの相対的に薄い部分を除去する工程と、前記導電膜およびコンタクト層のうち、前記レジストパターンの相対的に薄い部分によって覆われていた部分をエッチングし、前記信号配線および前記導電部材を分離して形成する工程とを包含する。

20

【0093】

ある好ましい実施形態においては、前記コンタクト層の形成前に、裏面露光法により、前記半導体層を前記ゲート電極に対して自己整合的に形成する。

30

【0094】

ある好ましい実施形態においては、前記レジストパターンの相対的に薄い部分を除去した後、前記導電膜およびコンタクト層のうち、前記レジストパターンの相対的に薄い部分によって覆われていた部分をエッチングする際、前記半導体層の露出部分をエッチングし、前記チャンネル保護層の下方に薄膜トランジスタの半導体領域を残す。

【0095】

本発明の薄膜トランジスタは、基板と、前記基板上に形成されたゲート電極と、前記ゲート電極上に形成されたゲート絶縁膜と、前記ゲート絶縁膜を介して前記ゲート電極の上方に形成された半導体層と、前記半導体層と交差するように形成されたソース電極と、前記半導体層と交差するように形成されたドレイン電極とを備え、前記半導体層の側面のうち、前記ソース電極およびドレイン電極が延びる方向に平行な側面は、前記ソース電極およびドレイン電極の外側の側面に整合している。

40

【0096】

ある好ましい実施形態において、前記半導体層の側面のうち、前記ゲート電極が延びる方向に平行な側面は、前記ゲート電極の側面に整合している。

【0097】

ある好ましい実施形態において、前記ソース電極と前記半導体層の間、および前記ドレイン電極と前記半導体層の間には、コンタクト層が設けられている。

【0098】

50

本発明による薄膜トランジスタは、基板と、前記基板上に形成されたゲート電極と、前記ゲート電極上に形成されたゲート絶縁膜と、前記ゲート絶縁膜を介して前記ゲート電極の上方に形成された半導体層と、前記半導体層上に形成されたチャネル保護層と、前記チャネル保護層と交差するように形成されたソース電極と、前記チャネル保護層と交差するように形成されたドレイン電極とを備え、前記チャネル保護層の側面のうち、前記ソース電極およびドレイン電極が延びる方向に平行な側面は、前記ソース電極およびドレイン電極の外側の側面に整合している。

【0099】

好ましい実施形態において、前記チャネル保護層の側面のうち、前記ゲート電極が延びる方向に平行な2つの側面間距離は前記ゲート電極の線幅よりも狭い。

10

【0100】

好ましい実施形態において、前記半導体層の側面のうち、前記ゲート電極が延びる方向に平行な側面は、前記ゲート電極の側面に整合している。

【0101】

好ましい実施形態において、前記半導体層の側面のうち、前記ソース電極およびドレイン電極が延びる方向に平行な側面は、前記ソース電極およびドレイン電極の外側の側面に整合している。

【0102】

好ましい実施形態において、前記ソース電極と前記半導体層の間、および前記ドレイン電極と前記半導体層の間には、コンタクト層が設けられている。

20

【0103】

【発明の実施の形態】

(第1の実施形態)

図1～図3を参照しながら、本発明によるアクティブマトリクス基板の第1の実施形態を説明する。

【0104】

まず、図1を参照する。図1は、本実施形態におけるアクティブマトリクス基板100のレイアウト構成を模式的に示した平面図である。

【0105】

このアクティブマトリクス基板100は、ポリエーテルスルホン(PES)等のプラスチック材料から形成された絶縁性基板(以下、「プラスチック基板」と称する。)1と、プラスチック基板1上に形成された薄膜トランジスタアレイ構造を備えている。

30

【0106】

プラスチック基板1の上には、複数の走査配線2および信号配線5が互いに直交するように配列されている。走査配線2および信号配線5は、異なるレイヤに属しており、中間レイヤに設けられた絶縁膜によって電氣的に絶縁分離されている。図1では、簡明化のため、7本の走査配線2と8本の信号配線5が示されているが、実際には多数の走査配線2および信号配線5が配列されている。

【0107】

走査配線2と信号配線5とが交差する領域には、図1において不図示の薄膜トランジスタが形成されている。この薄膜トランジスタを介して信号配線5と電氣的に接続される画素電極14が走査配線2を乗り越えるように配置されている。

40

【0108】

次に、図2を参照する。図2は、アクティブマトリクス基板100の表示領域の一部を拡大したレイアウト図であり、同一の画素列に属する2つの画素領域を示している。

【0109】

走査配線2を乗り越えるように配置された画素電極14からは、信号配線5に対して平行な方向(Y軸方向)に導電部材9が長く延伸している。導電部材9は薄膜トランジスタ10のドレイン電極として機能するものであり、画素電極14と薄膜トランジスタ10とを電氣的に相互接続する。

50

【0110】

本実施形態では、各薄膜トランジスタ10を構成する半導体層が走査配線2に対して自己整合的に形成されており、この半導体層を乗り越えるようにして信号配線5および導電部材(ドレイン電極)9が配置されている。或る任意の薄膜トランジスタ10に接続されるドレイン電極9と、そのドレイン電極9に接続される画素電極14とは、隣接する別々の走査配線2を横切っている。図1および図2に示されている例においては、+Y側から-Y側に向かって走査配線2が選択的に順次駆動される場合、先に選択駆動される走査配線2と交差する位置に画素電極14が配置されており、この画素電極14から延びるドレイン電極9は、その次に選択駆動される走査配線2と交差するように配されている。この場合、画素電極14と、これに重なる走査配線2との間で補助容量が形成される。走査配線の駆動方法は+Y側から-Y側に向かって進行する線順次駆動に限定されず、例えば、+Y側から-Y側に向かって進行するインタレース駆動や、-Y側から+Y側に向かって進行する線順次駆動を採用してもよい。

10

【0111】

次に、図3(a)~(c)を参照する。図3(a)は、図2のA-A'線断面図であり、図3(b)は、図2のB-B'線断面図である。図3(c)は、走査配線2と、その上に位置している薄膜トランジスタ10の半導体層6および7を模式的に示す斜視図である。

【0112】

本実施形態の薄膜トランジスタ10は、図3(a)に示されるように、下層レベルから順番に、ゲート電極として機能する走査配線2、ゲート絶縁膜4、真性半導体層6、および、不純物添加半導体層7を含む積層構造を有している。本実施形態の真性半導体層6は、ノンドープのアモルファスシリコンから形成されており、不純物添加半導体層7はリン(P)などのn型不純物が高濃度にドーパされたn⁺微結晶シリコンから形成されている。信号配線5およびドレイン電極9は、それぞれ、コンタクト層として機能する不純物添加半導体層7を介して、半導体層6のソース領域およびドレイン領域と電気的に接続されている。このことから明らかなように、本実施形態では、直線状に延びる信号配線5の一部(走査配線2と交差している部分)が薄膜トランジスタ10のソース電極8として機能している。

20

【0113】

図3(c)に示されるように、半導体層6のうち、ソース領域Sとドレイン領域Dとの間の領域31はチャンネル領域として機能し、チャンネル領域31の上面には不純物添加半導体層7が存在していない。本実施形態では、チャンネルエッチ型のボトムゲート薄膜トランジスタを採用しており、半導体層6のチャンネル部の上面は、不純物添加半導体層7を除去する際に、薄くエッチングされている。

30

【0114】

本実施形態では、半導体層6および7の側面のうち、走査配線2が延びる方向に平行な側面は、走査配線2の側面に「整合」している。このような構成は、後述するように、裏面露光法を用いて行なう自己整合プロセスによって実現することができる。また、半導体層6および7の他の側面、信号配線5およびドレイン電極9の外側の側面と「整合」している。このような構成は、後述するように、信号配線5およびドレイン電極9のパターニングと、下層に位置する半導体層6および7のパターニングとを同一マスクを用いて行うことにより実現することができる。なお、本明細書における「整合」とは、或るレイヤに属するパターンエッジの位置が他のレイヤに属するパターンエッジの位置と完全に一致している場合だけではなく、或る程度ずれている場合を広く含むものとする。この「ずれ」は、マスクの合わせずれに起因して生じるものではなく、例えば、共通のマスク(レジストマスクなど)を用いて複数のレイヤのパターンを順次形成する場合に各レイヤにおけるサイドエッチ量が変化することによって生じ得るものである。

40

【0115】

以上のことを考慮して、本明細書における「整合」とは、異なるレイヤに属するパターンがマスクの合わせずれに影響されない配置関係を有している状態を意味するものとする。

50

【 0 1 1 6 】

次に、図 2 の B - B ' 線断面図である図 3 (b) を参照すると、画素電極 1 4 が形成されている領域においても、走査配線 2 上に半導体層 6 および 7 が存在していることがわかる。ただし、画素電極が形成されている領域内における半導体層 6 および 7 は、図 3 (c) から明らかなように、薄膜トランジスタ 1 0 を構成する半導体層 6 および 7 からは分離されており、トランジスタ動作を行なうことはない。このため、同一行 (走査配線) に属する画素間でクロストークが生じることはない。

【 0 1 1 7 】

本実施形態では、信号配線 5、ドレイン電極 9、および画素電極 1 4 のすべてが 1 枚の透明電極膜をパターニングすることにより得られた透明導電層から構成され、信号配線 5、ドレイン電極 9、および画素電極 1 4 のすべてが同一レイヤに属している。信号配線 5、ドレイン電極 9、および画素電極 1 4 は、保護絶縁膜 1 1 によって覆われ、その上にはカラーフィルタ 3 3 が設けられている。

【 0 1 1 8 】

再び図 2 を参照する。

【 0 1 1 9 】

画素電極 1 4 を薄膜トランジスタ 1 0 に接続するドレイン電極 9 は、前述したように、画素電極 1 4 から信号配線 5 に対して平行に延伸し、ドレイン電極 9 に接続されるべき薄膜トランジスタ 1 0 を選択駆動 (スイッチング) する走査配線 2 と交差している。このドレイン電極 9 は、対応する走査配線 2 以外の走査配線とは交差しないようにレイアウトされている。すなわち、ドレイン電極 9 の先端 (図 2 の - Y 方向側の端部) と画素電極 1 4 の反対側エッジ (図 2 の + Y 方向側の端部) との間の距離は、走査配線間隔の 1 倍より長く、しかも、2 倍未満に設定されている。これに対し、従来のアクティブマトリクス基板では、ドレイン電極 9 の先端と画素電極 1 4 の反対側エッジとの間の距離は、走査配線間隔の 1 倍以下である。

【 0 1 2 0 】

次に、図 2 を参照しながら、ドレイン電極 9 および画素電極 1 4 の構成をより詳細に説明する。

【 0 1 2 1 】

図示されているドレイン電極 9 は、画素電極 1 4 の - X 側および - Y 側の角部から信号配線 5 に向かって短く突出した部分 (接続部 1 5) と、接続部 1 5 から信号配線 5 に対して平行な方向 (- Y 側) に長く延びる部分 (延長部 1 6) とから構成されている。ドレイン電極 9 の - Y 側端と、ドレイン電極 9 に接続されている画素電極 1 4 の - Y 側端との間の距離を「ドレイン電極 9 の長さ (L_d) 」と定義すると、ドレイン電極 9 の長さ L_d は以下の式 1 のように示される。

$$L_d = P_{pitch} - DD_{gap} - Y_{con} \quad (式 1)$$

ここで、 P_{pitch} は画素ピッチ、 DD_{gap} はドレイン電極間ギャップ、 Y_{con} は接続部 1 5 の幅である。

【 0 1 2 2 】

プラスチック基板 1 上に所定間隔で複数の走査配線 2 を形成した後、プラスチック基板 1 が大きく伸縮して実際の走査配線ピッチが予測できない変動を示したとしても、図 2 に示す構成によれば、信号配線 5、ドレイン電極 9、および画素電極 1 4 をパターニングするとき、これらを走査配線 2 と確実に交差させるように位置合わせできる。

【 0 1 2 3 】

走査配線 2 とドレイン電極 9 (画素電極 1 4) との間のアライメントに必要なマージンは、ドレイン電極 9 の長さ L_d を大きくするほど拡がる。画素ピッチ P_{pitch} を一定と仮定した場合において、ドレイン電極 9 の長さ L_d を大きくするためには、 DD_{gap} および Y_{con} を出きる限り小さくすればよい。しかし、 DD_{gap} や Y_{con} の下限値は、パターニングを行なう際のフォトリソグラフィおよびエッチング技術によって規定され、限界がある。画素電極 1 4 の各々を確実に分離し、また、接続部 1 5 の狭小化や切断を回避するには、パタ

10

20

30

40

50

ーニング工程でのエッチングマージンを十分に確保する必要がある。

【0124】

通常、画素電極間ギャップ (PP_{gap}) は、開口率向上の観点から可能な限り小さく設定されるため、ドレイン電極 9 の長さ L_d を最大化するには、ドレイン電極間ギャップ DD_{ap} を画素電極間ギャップ PP_{gap} に等しい大きさに設定すれば良い。このように設定した場合、下記の式 2 が成立する。

$$L_d = P_{pitch} - PP_{gap} - Y_{con} \quad (\text{式 2})$$

【0125】

図 2 では、式 2 がほぼ成り立つ場合のレイアウトが示されているが、ドレイン電極 9 の長さ L_d は、式 2 で定まる値を有している必要はなく、必要なアライメントマージンを確保できる値を有していれば良い。

10

【0126】

なお、画素電極 1 4 の X 軸に沿って測定したサイズ Y_{pix} は、以下の式 3 で示される。

$$Y_{pix} = P_{pitch} - PP_{gap} \quad (\text{式 3})$$

【0127】

図 2 の場合、式 2 および式 3 から以下の式 4 が成立する。

$$L_d = Y_{pix} - Y_{con} \quad (\text{式 4})$$

【0128】

走査配線 2 とドレイン電極 9 (画素電極 1 4) との間のアライメントマージン Y は、走査配線 2 の幅を G_{width} とした場合、下記の式 5 で示される。

20

$$Y = L_d - PP_{gap} - G_{width} \quad (\text{式 5})$$

【0129】

走査配線 2 を形成する工程を行なった後、ドレイン電極 9 (画素電極 1 4) を形成するためのリソグラフィ工程を行なうまでの間に、プラスチック基板 1 が伸びるか縮むかがわかっていない場合、表示領域内で最も端 (上端または下端) に位置する画素に最も大きなアライメントマージンを与えることが好ましい。

【0130】

図 4 (a) は、プラスチック基板 1 が伸びる場合の配置例を示している。図 4 (a) の配置例では、表示領域内の - Y 側端部に位置する画素の薄膜トランジスタ 1 0 および走査配線 2 がドレイン電極 9 のエッジ 9 E の近傍と重なるようにしている。図 4 (a) の場合、プラスチック基板 1 の伸びによって走査配線ピッチが画素ピッチよりも大きくなるため、走査配線 2 とドレイン電極 9 との交差部は、+ Y 方向に位置する画素ほど、対応するドレイン電極 9 のエッジ 9 E から離れるようにシフトする。しかし、本実施形態の構成によれば、上記交差部のシフトを吸収する十分なアライメントマージン Y が与えられるため、表示領域内の + Y 側端部に位置する画素 (不図示) においても、走査配線 2 とドレイン電極 9 (画素電極 1 4) との間で適切な交差が確保される。

30

【0131】

一方、図 4 (b) は、プラスチック基板が縮む場合の配置例を示している。図 4 (b) の配置例では、表示領域内の - Y 側端部に位置する画素の走査配線 2 が画素電極 1 4 のエッジ 1 4 E の近傍と重なるようにしている。図 4 (b) の場合は、基板の収縮によって走査配線ピッチが画素ピッチよりも小さくなるため、走査配線 2 と画素電極 1 4 との交差部は、+ Y 方向に位置する画素ほど、対応する画素電極 1 4 のエッジ 1 4 E から離れるようにシフトする。しかし、本実施形態の構成によれば、上記交差部のシフトを吸収する十分なアライメントマージン Y が与えられるため、表示領域内の + Y 側端部に位置する画素 (不図示) においても、走査配線 2 とドレイン電極 9 (画素電極 1 4) との間で適切な交差が確保される。

40

【0132】

プラスチック基板 1 の伸び / 縮みのいずれにも対応できるようにするには、図 5 に示すように、プラスチック基板 1 の中央部付近で、ドレイン電極 9 の中央部と走査配線の中心線とをできる限り一致させるようにする。これにより、プラスチック基板 1 の伸び / 縮みの

50

いずれにも対応できるようになる。

【0133】

このときのアライメントマージン $\pm y$ は、以下の式6で表される。

$$\pm y = \pm (Y/2 - dY) \quad (\text{式6})$$

ここで、 dY は露光装置のアライメント精度である。

【0134】

このように、本実施形態で採用するレイアウトによれば、プラスチック基板1の伸縮に伴って走査配線ピッチの増加/減少が生じて、これに対応できる大きなアライメントマージンがあるため、基板上のどこの位置においても薄膜トランジスタ10を作製し、トランジスタ特性や寄生容量の基板内バラツキを低減できる。

10

【0135】

なお、前述したように、信号配線5、ドレイン電極9、および画素電極14の全ては同一の透明導電膜をパターンニングすることによって形成されているため、信号配線5、ドレイン電極9、および画素電極14の配置関係について、アライメントズレを考慮する必要はない。

【0136】

従来のアクティブマトリクス基板では、走査配線2と信号配線5との交差部における寄生容量を低減するため、図49に示すように配線の交差部分にくびれを設けるのが一般的であった。しかし、本実施形態では、図2に示すように表示領域内の走査配線2および信号配線5の側面に凹部や凸部を設けていない構成を採用している。こうすることにより、走査配線2と信号配線5との間でアライメントズレが生じたとしても、薄膜トランジスタ10のゲート・ドレイン間容量 C_{gd} 、オン電流、走査配線・信号配線の交差部容量、補助容量などの特性変化を抑えることができる。

20

【0137】

次に、図6、および図7A～図7Cを参照しながら、アクティブマトリクス基板100の製造方法を詳細に説明する。図6は、主なプロセスステップにおける2つの画素領域を示す平面図であり、図7Aおよび図7Bは、図6のA-A'線断面およびB-B'線断面を示す工程断面図である。

【0138】

まず、図6(a)および図7Aの(a)に示すように、プラスチック基板1上に複数の走査配線2を形成する。走査配線2は、スパッタ法などを用いて、例えば厚さ200nm程度のタンタル(Ta)膜をプラスチック基板1上に堆積した後、フォトリソグラフィおよびエッチング工程でTa膜をパターンニングすることによって得られる。走査配線2のパターンは、上記フォトリソグラフィで用いるマスク(第1マスク)によって規定される。走査配線2の幅は上記の G_{width} で示され、例えば4.0～20 μ m程度に設定され得る。一方、走査配線2のピッチ(走査配線ピッチ)は、上記のフォトリソグラフィ工程の段階で例えば150～400 μ m程度に設定され得る。ただし、走査配線ピッチは、その後の製造プロセス工程を経るうちに、プラスチック基板1が熱や水分の影響を受けて伸縮するため、画素電極14などを形成するためのフォトリソグラフィ工程を行なうまでに設定値から500～1000ppm程度は変動してしまう。

30

40

【0139】

次に、図7Aの(b)に示すように、化学気相成長法(CVD法)により、シリコンナイトライド(SiN_x)からなるゲート絶縁膜(厚さ200～500nm程度)4をプラスチック基板1上に堆積して走査配線2を完全に覆った後、ノンドープのアモルファスシリコン層(真性半導体層、厚さ100～200nm程度)6およびP(リン)等のn型不純物がドープされた不純物添加半導体層(厚さ10～50nm程度)7をゲート絶縁膜4上に積層する。真性半導体層6は、アモルファスシリコンから形成される代わりに、多結晶シリコンや微結晶シリコン等から形成されても良い。また、半導体層6には微量の不純物が不可避免的に混入していてもよい。

【0140】

50

次に、図7Aの(c)に示すように、フォトリソグラフィ工程で、不純物添加半導体層7上にポジ型レジスト膜90を塗布した後、プラスチック基板1の裏面側からレジスト膜90に光を照射する(裏面露光)。このとき、遮光性を有する走査配線2が1種のオプティカルマスクとして機能するため、レジスト膜90のうち走査配線2の真上に位置する部分は露光されず、走査配線2の存在しない領域の上に位置する部分が露光される。この後、現像を行なうことにより、図7Aの(d)に示すように、走査配線2の平面レイアウトと同様の平面レイアウトを持つレジストマスク90が走査配線2上に形成される。このレジストマスク90を用いて不純物添加半導体層7および真性半導体層6を順次エッチングすることにより、半導体層6および7を走査配線2上に自己整合的に形成することができる(図7A(e))。

10

【0141】

図6(b)は、走査配線2の上に形成された不純物添加半導体層7の上面形状を示しており、不純物添加半導体層7の下層レベルには真性半導体層6および走査配線2が位置している。この段階における半導体層6および7は、画素毎に区分されておらず、走査配線2上を直線(ライン)状に延びている。なお、露光条件やエッチング条件を調整することにより、走査配線2の幅と半導体層6および7の幅との間に差異を与えることも可能である。

【0142】

本実施形態では、上記の裏面露光法を用いて半導体層のパターニングを行なうため、薄膜トランジスタ10は走査配線2上に配置されることになる(図2参照)。通常、走査配線を形成した後に薄膜トランジスタのための半導体層を形成する場合、走査配線に対する半導体層パターンのアライメントを高精度で実行する必要があるが、プラスチック基板上では伸縮による位置ズレが大きくなるため、薄膜トランジスタアレイをプラスチック基板上に作製することは実現困難である。これに対し、本実施形態のように裏面露光法を採用すれば、半導体層6のパターンと走査配線2とのアライメントが不要になるため、アライメントマージンを考慮する必要がなくなる。

20

【0143】

なお、本実施形態の走査配線材料はTaに限定されず、遮光性を有する導電材料であれば良い。遮光性は裏面露光法を採用するために必要である。Ta以外の走査配線材料として、電気抵抗が比較的 low、製造プロセスに対する適合性に優れているという理由から、Al、Mo/Al、TiN/Al/Ti、Ta₂N₅/Ta/TaN等の積層膜やAl系合金等を好適に用いることができる。

30

【0144】

次に、不純物添加半導体層7上のレジスト膜90を除去した後、図7Bの(a)に示すように、プラスチック基板1の最上面にインジウム・ティン・オキサイド(ITO)からなる透明導電膜91を堆積する。透明導電膜91の材料はITOに限定されるものではなく、可視光を十分に透過し得る導電性材料であれば良い。例えばIXOからなる透明導電膜を用いても良い。

【0145】

この後、フォトリソグラフィおよびエッチング工程で透明導電膜91をパターニングすることにより、透明導電膜91から信号配線5、ドレイン電極9、および画素電極14を形成する。信号配線5、ドレイン電極9、および画素電極14のレイアウトは、上記フォトリソグラフィ工程に用いるマスク(第2マスク)によって規定される。以下、第2マスクを用いて行なうパターニング工程を詳細に説明する。

40

【0146】

まず、フォトリソグラフィ工程で、図6(c)および図7Bの(b)に示すようなレジストマスク92を形成する。図示されているレジストマスク92は、信号配線5、ドレイン電極9、画素電極14の形状を規定する相対的に厚いレジスト部分(厚さ:1.5~3.0μm程度)92aと、信号配線5とドレイン電極9との間の領域を規定する相対的に薄いレジスト部分(厚さ:0.3~1.0μm程度)92bとを有している。

50

【 0 1 4 7 】

図 8 および図 9 を参照しながら、このレジストマスク 9 2 の構成を更に詳細に説明する。図 8 (a) は、レジストマスク 9 2 の一部を示す部分拡大図であり、信号配線 5、ドレイン電極 9 の端部、および画素電極 1 4 の角部を含む領域を拡大して示している。図 8 (b)、(c) および (d) は、それぞれ、図 8 (a) の C - C ' 線断面図、D - D ' 線断面図、および E - E ' 線断面図である。図 9 は、図 8 に示されるレジストマスクの模式的斜視図である。

【 0 1 4 8 】

このレジストマスク 9 2 は、基板 1 に塗布したレジスト膜に対する露光を行なう際、レジスト膜のうち、信号配線 5 とドレイン電極 9 との間の領域に位置する部分に適量の光を照射することで得られる（ハーフ露光法）。このような露光は、オプティカルマスクの適切な位置にスリットパターンを形成しておけば、光の干渉効果を利用して実現できる。

【 0 1 4 9 】

本実施形態では、まず、このような特殊形状を持ったレジストマスク 9 2 を用いて、透明導電膜 9 1、不純物添加半導体層 7、および真性半導体層 6 を順次エッチングする。図 7 B の (c) は、このエッチングが完了した段階の断面を示している。この段階において、薄膜トランジスタ 1 0 のチャンネル領域 3 1 はレジストマスク 9 2 の相対的に薄い部分 9 2 b によって覆われているため、チャンネル領域 3 1 上の透明導電膜 9 1 および不純物添加半導体層 7 は全くエッチングされない。したがって、上記エッチングにより、それまでライン形状だった半導体層 6 は分離されてアイランド化されるが、透明導電膜 9 1 において信号配線 5 となるべき部分とドレイン電極 9 となるべき部分とは未分離のままである。

【 0 1 5 0 】

次に、例えば酸素プラズマを用いてレジストマスク 9 2 の表面部分をアッシング（灰化）するなどしてレジストマスク 9 2 を薄膜化し、図 7 B の (d) に示すように薄膜トランジスタ 1 0 のチャンネル部 3 1 を覆っていたレジスト部分 9 2 b を除去する。レジストマスク 9 2 の薄膜化のために酸素プラズマアッシングを行なうと、レジストマスク 9 2 の側面も、薄いレジスト部分 9 2 b の厚さ程度はアッシングされる。しかし、薄いレジスト部分 9 2 b の厚さは 0 . 3 ~ 1 . 0 μ m 程度であるため、アッシングによる寸法シフト量も 0 . 3 ~ 1 . 0 μ m 程度となる。この寸法シフト量の基板面内におけるバラツキは ± 2 0 % 程度以下であるため、仕上り寸法のバラツキも最大で ± 0 . 2 μ m 程度となるが、トランジスタのチャンネル幅は 5 ~ 1 0 μ m 程度もあるため、トランジスタ特性にはほとんど影響しない。アッシング後のレジストマスク 9 2 の部分斜視図を図 1 0 に示す。

【 0 1 5 1 】

このようにして薄膜トランジスタ 1 0 のチャンネル領域 3 1 を覆っていた薄いレジスト部分 9 2 b を除去した後、再び、透明導電膜 9 1 および不純物添加半導体層 7 のエッチングを行なう。これより、図 6 (d) および図 7 B の (e) に示される構造を得ることができる。このエッチングにより、透明導電膜 9 1 において信号配線 5 となるべき部分とドレイン電極 9 となるべき部分との間に位置する中間部分が除去され、分離された状態の信号配線 5 およびドレイン電極 9 が透明導電膜 9 1 から形成される。このエッチングに際し、チャンネル領域 3 1 上に位置していた不純物添加半導体層 7 も除去され、真性半導体層 6 の露出表面も一部エッチングされる。この後、レジストマスク 9 2 (9 2 a) を除去すると、図 7 C の (a) に示される構成が得られる（図 3 (c) 参照）。

【 0 1 5 2 】

本実施形態では、上述のように、まず透明導電膜 9 1 のパターンニングに際して透明導電膜 9 1 と走査配線 2 との間の中間レイヤに位置する線状（ライン状）半導体層 6 および 7 を画素毎に分離し、アイランド状にパターンニングする（図 6 (c)）。そして、その後自己整合的なプロセスによって信号配線 5 とドレイン電極 9 とを完全に分離し、薄膜トランジスタ 1 0 を完成するに至る。このような方法を採用することにより、半導体層 6 および 7 を信号配線 5 およびドレイン電極 9 に対して自己整合させることが可能になり、信号配線 5 やドレイン電極 9 を規定するマスクレイヤと半導体層 6 を規定するマスクレイヤとの

10

20

30

40

50

間でアライメントが不要になる。

【0153】

次に、図7Cの(b)に示すように、保護膜11で薄膜トランジスタ10を覆った後、電着法によって画素電極14上にカラーフィルタ33を形成する。従来のように対向基板側にカラーフィルタを形成すると、プラスチック基板の伸縮により、画素電極14に対するカラーフィルタの位置が大きくズれるため、正常な画像を表示することができなくなる。本実施形態では、このような問題を解決するため、カラーフィルタ33を画素電極14上に自己整合的に形成する。以下、図11を参照しながら、本実施形態で行なうカラーフィルタの電着形成を説明する。

【0154】

電着法によって、赤(R)、緑(G)、および青(B)の3色のカラーフィルタを形成するためには、異なる色毎に3回の電着工程を行なう必要がある。本実施形態では、図11に示すスイッチング回路57をアクティブマトリクス基板の表示領域の周辺部に配置し、スイッチング回路57を用いて色毎に選択的に電着を行う。スイッチング回路57は薄膜トランジスタおよび配線によって構成されているが、これらは表示領域内の配線および薄膜トランジスタを作製するプロセスを利用して作製される。

【0155】

まず、赤のカラーフィルタを電着する場合を説明する。この場合、スイッチング回路57の制御信号線Rsに対して薄膜トランジスタのオン信号(例えば「論理High」)を入力する一方、他の制御信号線BsおよびGsにオフ信号(例えば「論理Low」)を入力する。そして、電着反応を起こすための電圧Vをスイッチング回路57に与える。このとき、表示領域内の薄膜トランジスタをオン状態にする信号を各走査配線2に入力しておく。これにより、赤を表示すべき画素電極の配列58に対して電圧Vが印加され、配列58における画素電極上に赤色塗料が電着形成される。このとき、電圧Vが印加された信号配線5やドレイン電極9の上にもカラーフィルタ33が形成されることになる(図7C(b))。

【0156】

他の色のカラーフィルタについても、上記電着工程と同様の工程を繰り返すことにより、緑を表示すべき配列59の画素電極上に緑色塗料が電着形成され、青を表示すべき配列60の画素電極上に青色塗料が電着形成される。こうして、3色のカラーフィルタを画素電極14に対して自己整合的かつ選択的に形成することができる。この方法によれば、3色のカラーフィルタ33がストライプ状に配列される。

【0157】

カラーフィルタ33を絶縁材料から形成すると、液晶表示装置の動作時に液晶層へ印加し得る実効電圧が低下してしまう。このような実効電圧の低下を防ぐため、本実施形態では導電性材料からカラーフィルタを形成している。

【0158】

以上説明してきたように、本実施形態では、自己整合プロセスを多く採用することにより、マスクアライメントの必要なフォトリソグラフィ工程の数を2回に抑えている。このため、基板伸縮の影響は、上記2回のフォトリソグラフィ工程のうち、先のフォトリソグラフィ工程で形成したパターンに対する後のフォトリソグラフィ工程におけるマスクアライメントのみに及ぶ。そして、ドレイン電極9および画素電極14の構造を図2に示す新規なものとする事により、プラスチック基板1が大きく伸縮した場合でも、薄膜トランジスタ10の半導体層6とドレイン電極9との接続を確保することが可能になる。

【0159】

なお、プラスチック基板はガラス基板の場合と異なり大きく伸縮するため、従来のアライメントマークと同様のマークを用いてマスクアライメントを実行しようとする、異なるレイヤ間のアライメントマークを相互に重ね合わせることができなくなる。そこで、本実施形態では、図12に示すようなパターンを有するアライメントマーカー120a、120bを採用する。図12に示す例では、第1マスクによって形成されるマーカー120a

10

20

30

40

50

が、式 6 に示されるアライメントマージン y の 2 倍程度（またはそれ以上）のサイズを有する 2 次元的な目盛りパターンから構成されている。そして、第 2 マスクによって形成されるマーカー 120 b は、第 1 マスクによって形成されたマーカーに対して、どのような位置にあるかが明瞭にわかるパターン（例えば十字型パターン）から構成される。

【0160】

このようなアライメントマーカー 120 a および 120 b により、第 2 マスクによって形成されるパターンと、第 1 マスクによって形成されたパターンと間の位置ズレ量を読み取り、このズレ量をもとに第 2 マスクの位置を調整する。例えば、図 12 に示す 2 つのアライメントマーカー 120 a および 120 b のズレ量がほぼ均等になるようにマスクアライメントを実効すれば良い。

10

【0161】

（実施例）

PES からなる対角 5 インチのプラスチック基板（厚さ：約 0.2 mm）を用いて上記アクティブマトリクス基板の実施例を試作した。本実施例では、1 画素領域のサイズを $300 \mu\text{m} \times 100 \mu\text{m}$ 、走査配線の幅 G_{width} を $10 \mu\text{m}$ 、画素電極間ギャップ PP_{gap} を $5 \mu\text{m}$ 、接続部の幅 Y_{con} を $5 \mu\text{m}$ 、ドレイン電極の長さ L_d を $290 \mu\text{m}$ とした。使用した露光装置のアライメント精度は、 $\pm 5 \mu\text{m}$ であった。式 5 から、 $Y = 290 - 5 - 10 = 275 [\mu\text{m}]$ が得られる。

【0162】

本実施例では、プラスチック基板の伸び縮みのどちらにも対応できるように、基板中央部においてドレイン電極の中心と走査配線の中心とをほぼ一致させた。その結果、本実施例のアライメントマージンは $\pm 132.5 \mu\text{m}$ となった（ $y = Y / 2 - d Y = 137.5 - 5 = 132.5 [\mu\text{m}]$ ）。

20

【0163】

第 1 マスクによってプラスチック基板上に形成したパターン（マーカー）は、第 2 マスクを用いたリソグラフィ工程を行なう際に、第 2 マスクによるマーカーに対して片側で $42 \mu\text{m}$ ずつシフトした。このパターンシフトは、 661 ppm の基板収縮に相当する。しかし、本実施例では、 $\pm 132.5 \mu\text{m}$ のアライメントマージンがあるため、正常に動作する薄膜トランジスタが基板のいずれの位置においても作製され、アクティブマトリクス基板として問題なく機能した。

30

【0164】

一方、図 48 に示す従来構造による場合、基板伸縮の許容限界は $\pm 14 \mu\text{m}$ に過ぎず、プラスチック基板を用いてアクティブマトリクス基板を製造することができない。

【0165】

本発明による構造および従来構造において、各画素ピッチに対するアライメントマージン y を下記の表 2 に記載し、表 2 に基づいて作製したグラフを図 13 に示す。

【0166】

【表 2】

画素ピッチ (μm)	従来		本発明	
	アライメント マージン(μm)	基板伸縮 (ppm)	アライメント マージン(μm)	基板伸縮 (ppm)
350	19	299	157.5	2480
300	14	220	132.5	2087
250	9	142	107.5	1693
200	4	63	82.5	1299

40

※露光装置の位置合わせ精度を $\pm 5 \mu\text{m}$ としている。

50

【0167】

図13のグラフは、アライメントマージン（基板伸縮マージン） y と画素ピッチとの関係を示している。グラフからわかるように、本実施例によれば、従来例では得られなかったような大きなマージンが得られ、画素ピッチを相当に短くしても、プラスチック基板の使用が可能である。

【0168】

以上説明してきたように、本実施形態によれば、アライメントが必要なフォトリソグラフィ工程の間に500ppmを超えるような伸縮が生じ得るような基板を用いても、カラーフィルタのレイヤを含む全レイヤーのエレメントを適切な配置関係で形成できるため、プラスチック基板を用いたアクティブマトリクス型液晶表示装置を実現することができる。

10

【0169】

なお、本実施形態のアクティブマトリクス基板を用いて液晶表示装置を作製する場合、ノーマリーホワイトタイプの液晶を使用すると、バックライト光が透明な信号配線やその近傍を漏れ出てくる。より詳細には、信号配線5の領域、信号配線5とドレイン電極9との間の領域、隣接する画素電極14の間の領域、隣接するドレイン電極9の間の領域からバックライト光が漏れ、表示画像のコントラストが低下する。これに対して、ノーマリーブラックモードで表示動作を行なえば、電圧が印加されていない画素電極14、隣接するドレイン電極9の間の領域、および、隣接する画素電極14の間の領域は黒く表示され、また、平均的な電圧が印加されている信号配線5は中間調になるため、表示コントラストの低下を抑制することができる。

20

【0170】

（第2の実施形態）

第1の実施形態ではITOなどの透明導電膜をパターンングすることにより、信号配線5、ドレイン電極9、および画素電極14を形成しているため、透明である必要のない信号配線5も画素電極14と同様に透明導電膜から形成されている。一般に、透明導電膜の抵抗率は金属膜の抵抗率よりも大きく、ITOの抵抗率は $200 \sim 400 \mu\text{cm}$ である。このため、ITOから信号配線を形成した場合、信号配線5を長くしすぎると信号伝達に遅延が生じやすくなる。したがって、第1の実施形態におけるアクティブマトリクス基板100のサイズは、対角5インチ程度が限度であると考えられる。

【0171】

また、アクティブマトリクス基板100の対向基板上にブラックマトリクスを設けると、プラスチック基板の伸縮のせいで、ブラックマトリクスの開口部分と画素電極14との間に位置ずれが生じやすい。このために、ブラックマトリクスを全く設けないとすると、外光が薄膜トランジスタ10を照射し、オフリーク電流を増大させるおそれがある。薄膜トランジスタ10のオフリーク電流が増大すると、画素電極14および対向電極によって液晶層に印加すべき保持電圧が減少するため、表示画像のコントラストが低下する。また、ブラックマトリクスが設けられていない場合、前述のようにバックライトが透明な信号配線やその近傍を漏れ出てくるため、ノーマリーホワイトモードでの表示動作を行なうことができない。ノーマリーブラックモードでの動作を行なうとしても、信号配線5の上ではコントラストが僅かに低下してしまう。

30

40

【0172】

そこで、本実施形態では、これらの問題を解決するため、アクティブマトリクス基板の上に自己整合的な方法でブラックマトリクスを配置する。

【0173】

以下、図14および図15を参照しながら、本発明によるアクティブマトリクス基板の第2の実施形態を説明する。図14は、本実施形態におけるアクティブマトリクス基板200のレイアウトを示した平面図であり、図15(a)は、図14のA-A'線断面図であり、図15(b)は、図14のB-B'線断面図である。

【0174】

図から明らかなように、本実施形態におけるアクティブマトリクス基板200の基本構成

50

は、以下に述べる点を除いて、第1の実施形態におけるアクティブマトリクス基板100の基本構成と同様である。すなわち、本実施形態で特徴的な点は、以下のとおりである。

【0175】

(1) 画素電極14が形成されていない領域および画素電極14の周縁部を覆うようにブラックマトリクス35が配置されている(図14)。すなわち、信号配線5、走査配線2、薄膜トランジスタ10、信号配線5とドレイン電極9との隙間領域、ドレイン電極9と画素電極14との隙間領域、隣接する画素電極14の隙間領域、および、隣接するドレイン電極9の隙間領域の全てが、ブラックマトリクス35によって遮光される。

【0176】

(2) ブラックマトリクス35はネガ型の感光性を有する材料から形成されており、裏面露光によってパターニングされている。

10

【0177】

(3) カラーフィルタ33は、ブラックマトリクス35が形成されていない領域(画素電極14の上)に設けられている(図15(a)および(b))。

【0178】

(4) ITOからなる信号配線5およびドレイン電極9の上にTaからなる金属膜93が形成されている(図15(a))。

【0179】

ITOの抵抗率と比べてTaの抵抗率は $25 \sim 40 \mu\text{cm}$ と低いため、Taからなる金属膜93が信号配線5と一体化して「低抵抗配線」として機能する。このため、ITOなどの透明導電膜のみから配線を形成した場合には比べて信号の伝達速度を向上させることができ、本実施形態によれば、アクティブマトリクス基板の対角サイズを10インチ以上に拡大することが可能になる。

20

【0180】

なお、ブラックマトリクス35による遮光効果を主目的とし、配線の低抵抗化を目的にしない場合は、Taなどの金属膜を透明導電層上に設ける代わりに、黒色樹脂材料などからなる遮光性絶縁層を透明導電層上に配置しても良い。遮光性を有する金属膜/絶縁層は、いずれも、以下に説明する製造方法において、ブラックマトリクス35のパターニングにとって必要なオプティカルマスクとして機能する。

【0181】

30

以下、図16および図17を参照しながら、アクティブマトリクス基板200の製造方法を詳細に説明する。図16は、主なプロセスステップにおける2つの画素領域を示す平面図であり、図17は、図16のA-A'線断面およびB-B'線断面を示す工程断面図である。

【0182】

まず、図16(a)および図17(a)に示すように、プラスチック基板1上に複数の走査配線2を形成する。走査配線2は、スパッタ法などを用いてプラスチック基板1上にアルミニウム(A1)やTaなどの金属膜を堆積した後、フォトリソグラフィおよびエッチング工程で金属膜をパターニングすることによって得られる。走査配線2のパターンは、上記フォトリソグラフィで用いるマスク(第1マスク)によって規定される。

40

【0183】

次に、図16(b)および図17(b)に示すように、走査配線2に自己整合した真性半導体層6および不純物添加半導体層7をゲート絶縁膜4を介して走査配線2上に形成する。このとき、第1の実施形態と同様に裏面露光法を用いる。なお、図16(b)には不純物添加半導体層7だけが示されているが、不純物添加半導体層7の真下に真性半導体層6と走査配線2が位置している。

【0184】

次に、プラスチック基板1の上面にITOなどからなる透明導電膜91とTaなどからなる遮光性金属膜93を順次堆積した後、図17(c)に示すように、レジストマスク92を形成する。レジストマスク92は、第1の実施形態の場合と同様に、信号配線5、ドレ

50

イン電極 9、画素電極 14 を規定する相対的に厚い部分 92a と、信号配線 5 とドレイン電極 9 との間の領域を規定する相対的に薄い部分 92b とを有している。

【0185】

次に、レジストマスク 92 を用いて、遮光性金属膜 93、透明導電膜 91、不純物添加半導体層 7 および真性半導体層 6 を順次エッチングする。図 16(c) および図 17(c) は、このエッチングが完了した段階の構成を示している。この段階において、薄膜トランジスタ 10 のチャンネル領域 31 はレジストマスク 92 の相対的に薄い部分 92b によって覆われているため、チャンネル領域の金属膜 93、透明導電膜 91、および不純物添加半導体層 7 は全くエッチングされていない。すなわち、透明導電膜 91 において信号配線 5 となるべき部分とドレイン電極 9 となるべき部分とは未分離のままである。

10

【0186】

次に、例えば酸素プラズマアッシングなどにより、薄膜トランジスタ 10 のチャンネル領域 31 を覆っていたレジスト部分 92b を除去した後、再び、金属膜 93、透明導電膜 91 および不純物添加半導体層 7 のエッチングを行なう。これより、図 16(d) および図 17(d) に示される構造を作製することができる。この段階では、金属膜 93 が信号配線 5 やドレイン電極 9 の上だけではなく、画素電極 14 の上にも存在している。透過型表示装置を作製するには、遮光性金属膜 93 のうち、画素電極 14 上の位置する部分を選択的に除去する必要がある。画素電極 14 上の遮光性金属膜は、以下に述べる方法でブラックマトリクスを形成した後、除去することになる。

【0187】

20

図 17(e) に示すように、プラスチック基板 1 の最上面に透明の保護膜 11 を堆積した後、保護膜 11 上にネガ型感光性ブラックマトリクス膜を塗布する。この感光性ブラックマトリクス膜に対して基板 1 の裏面側から光を照射する(裏面露光)。このとき、遮光性金属膜 93 のパターンが 1 種のオプティカルマスクとして機能するため、感光性ブラックマトリクス膜のうち、画素電極 14 の上方に位置する面積の比較的広い部分はほとんど露光されない。これに対し、信号配線 5 およびドレイン電極 9 を覆っている遮光性金属膜 93 は線幅が狭いため、基板裏面から照射される光の回折現象によって露光される。

【0188】

上記裏面露光の後、現像を行なうことによって感光性ブラックマトリクス膜の非露光部分を除去すると、図 16(e) および図 17(e) に示されるように、画素電極 14 の形状と略同一形状の開口部を画素電極 14 の上方に有するブラックマトリクス 35 が形成される。

30

【0189】

この後、ブラックマトリクス 35 をエッチングマスクとして用い、ブラックマトリクス 35 の開口部を介して露出する領域の保護膜 11 および遮光性金属膜 93 をエッチングする。このエッチングにより、画素電極 14 上に存在していた遮光性金属膜 93 が除去される。この後、電着法によりカラーフィルタ 33 を形成し、図 17(f) の構成を得る。

【0190】

本実施形態によれば、透明導電層からなる信号配線 5 の上面を透明導電層よりも抵抗率の低い金属膜で裏打ち(バックリング)しているため、金属膜を含めた信号配線全体としての電気抵抗(配線抵抗)が低減され、対角 5 インチ以上の大型の液晶表示装置を実現することが可能になる。

40

【0191】

また、本実施形態では、アクティブマトリクス基板側にブラックマトリクスを設けたことにより、表示特性を大幅に向上させることができる。具体的には、表示領域内の薄膜トランジスタをブラックマトリクスで覆っているため、外光照射によるトランジスタのオフ電流リークが抑制され、このような電流リークに起因するコントラストの低下が防止される。また、ブラックマトリクスを設けたことにより、バックライト光の不要な漏れも抑制され、光漏れによるコントラストの低下も防止される。

【0192】

50

(第3の実施形態)

以下、図18および図19を参照しながら、本発明によるアクティブマトリクス基板の第3の実施形態を説明する。図18は、本実施形態におけるアクティブマトリクス基板300のレイアウトの概略を示した平面図であり、図19(a)~(d)は、裏面露光によるブラックマトリクスのパターンニングを説明するための図である。

【0193】

図18からわかるように、本実施形態におけるアクティブマトリクス基板300の基本構成は、走査配線2を除いて第2の実施形態におけるアクティブマトリクス基板200の基本構成と同様である。

【0194】

本実施形態の特徴部分は、走査配線2が複数の配線部分2a~2cに分岐されており、各配線部分2a~2cの幅は6~7 μ mに設定されている。薄膜トランジスタ10の半導体層6は走査配線2に対して自己整合しているため、半導体層6も配線部分2a~2cに応じて3つに分離されている。このため、本実施形態では、画素毎に3つの薄膜トランジスタが配置され、それらが信号配線5とドレイン電極9との間で並列に接続された状態にある。走査配線2を構成する複数の配線部分2a~2cには同一の走査信号が入力される、これに応答する3つの薄膜トランジスタは同様のスイッチング動作を行なう。

【0195】

以下、各走査配線を複数の分岐する理由を説明する。

【0196】

第1~第2の実施形態で採用している裏面露光法によれば、走査配線2の幅が薄膜トランジスタ10のチャネル幅を規定する。トランジスタのオン電流はチャネル幅に比例するため、必要なオン電流を得るためには走査配線2の幅を大きくしたい場合がある。必要なオン電流の大きさは、画素電極14のサイズや駆動方法によって異なるが、画素電極14のサイズが300 μ m \times 100 μ m程度の場合、チャネル幅を10~20 μ mに設計する必要がある。

【0197】

しかし、走査配線2の幅が10 μ mを超えて大きくなると、裏面露光法を用いてブラックマトリクス35のパターンニングを行なう際、回折光が走査配線2の中央上方まで十分に回り込めなくなる。図19(a)および(c)を参照しながら、この点を説明する。図19(a)および(b)は、薄膜トランジスタ形成領域におけるブラックマトリクス35の形状を示す平面図であり、図19(c)および(d)は、それぞれ、図19(a)および(b)のF-F'線断面図である。

【0198】

走査配線2の幅が広すぎると、基板裏面側から照射される光の回折光が走査配線2の中央部に位置するネガ型感光性ブラックマトリクス膜までは到達しないため、走査配線2上においてブラックマトリクス膜の非感光部分が発生する。その結果、現像後には図19(a)および(c)にされるように走査配線2のエッジから数 μ m以内の領域だけがブラックマトリクス35によって覆われ、走査配線2の中央部をブラックマトリクス35で覆うことができない。このようなブラックマトリクス35では、薄膜トランジスタ10への外光照射を防止できず、薄膜トランジスタ10のオフ電流が増大してしまうことになる。

【0199】

これに対し、図19(b)の例では、走査配線2を2本の配線部分2a~2bに分割しており、裏面露光の際、配線部分2aと配線部分2bの間をスリット状の開口部として機能させ、この開口部を通過する光およびその回折光による露光領域を拡大している。このため、図19(d)に示されるように、走査配線2の上方はブラックマトリクス35によって完全に覆われる。

【0200】

遮光性を有するパターン上に位置する感光性樹脂膜は、遮光性パターンのエッジから4 μ m程度内側に位置する部分も回折光によって感光されるため、走査配線2の幅が8 μ m程

10

20

30

40

50

度以下であれば、特に、走査配線 2 を複数の部分に分割する必要はない。ただし、製造プロセスパラメータの変動により、配線幅が変化することも考慮すれば、配線幅はせいぜい 6 ~ 7 μm 程度にすることが好ましいと考えられる。

【0201】

再び、図 18 を参照する。図 18 に示される構成では、各走査配線 2 は 3 つの配線部分 2 a ~ 2 c に分割されている。各配線部分 2 a ~ 2 c の幅を 6 ~ 7 μm に設定すると、走査配線 2 の実効的な幅 (= チャネル幅) は 18 ~ 21 μm となる。

【0202】

本実施形態でも半導体層 6 および 7 は、走査配線 2 に対して自己整合しているため、半導体層 7 も配線部分 2 a ~ 2 c に応じて 3 つに分離されている。このため、画素毎に 3 つの薄膜トランジスタが配置され、それらが信号配線 5 とドレイン電極 9 との間で並列に接続された状態にある。走査配線 2 を構成する複数の配線部分 2 a ~ 2 c には同一の走査信号が入力され、これに回答する 3 つの薄膜トランジスタは同様のスイッチング動作を行なうため、オン電流の増加を達成できる。

【0203】

図 18 に示す例では、走査配線 2 を 3 本の配線部分に分割しているが、本発明はこれに限定されない。同一信号が入力されるひとつの走査配線を 2 本または 4 本以上に分割してもよい。なお、走査配線 2 は、表示領域以外の領域では 1 本の配線形状を有していても良い。例えば、走査配線がドライバ回路に接続される領域では、同一信号を受け取る複数の配線部分が 1 本の配線に接続されていることが好ましい。

【0204】

なお、走査配線 2 は、少なくとも薄膜トランジスタ 10 の半導体層 6 が形成される領域において複数の配線部分に分離されていれば良く、例えば画素電極 14 が配置される領域内において複数部分に分離されている必要はない。しかし、プラスチック基板 1 の伸縮により、X 軸方向のアレイメントズレが生じるため、走査配線の平面形状は、表示領域内の位置によらず一様であることが好ましい。

【0205】

このように、本実施形態によれば、走査配線 2 の実効的な線幅を大きくした場合でも、薄膜トランジスタ 10 を完全に覆うブラックマトリクス 35 を形成できる。

【0206】

本実施形態では、ブラックマトリクス 35 の材料として光増幅型の感光性材料を用いているが、これに代えて、化学増幅型の感光性材料を用いてもよい。化学増幅型感光性材料の場合、光が直接当たらなくとも、光照射を受けた部分から反応が進行するため、遮光パターン上でのブラックマトリクス 35 の入り込み量を大きくしやすいという利点がある。

【0207】

(第 4 の実施形態)

以下、図 20 および図 21 を参照しながら、本発明によるアクティブマトリクス基板の第 4 の実施形態を説明する。図 20 は、本実施形態のアクティブマトリクス基板 400 を製造するための主なプロセスステップにおける 2 つの画素領域を示す平面図であり、図 21 は、図 20 の A - A' 線断面および B - B' 線断面を示す工程断面図である。

【0208】

前述した第 1 ~ 3 の実施形態では、いずれも不純物添加半導体層 7 を真性半導体層 6 の上に直接堆積し、ソース電極として機能する信号配線 5 とドレイン電極 9 とを分離する際、不純物添加半導体層 7 のみならず真性半導体層 6 の表面もエッチングしていた。本実施形態では、真性半導体層 6 と不純物添加半導体層 7 との間にチャネル保護層を配置し、真性半導体層 6 のチャネル領域をエッチングしないようにする。

【0209】

本実施形態におけるアクティブマトリクス基板 400 の基本構成は、図 20 (e) および図 21 (f) からわかるように、真性半導体層 6 と不純物添加半導体層 7 との間にチャネル保護層 95 を設けた点を除き、第 1 の実施形態におけるアクティブマトリクス基板 10

10

20

30

40

50

0の基本構成と同様である。チャンネル保護層95の機能は製造工程中に発揮されるため、以下、本実施形態にかかるアクティブマトリクス基板400の製造方法を詳細に説明する。

【0210】

まず、図20(a)および図21(a)に示すように、プラスチック基板1上に複数の走査配線2を形成する。走査配線2は、スパッタ法などを用いてプラスチック基板1上にAlNdやTaなどの金属膜を堆積した後、フォトリソグラフィおよびエッチング工程で金属膜をパターニングすることによって得られる。走査配線2のパターンは、上記フォトリソグラフィで用いるマスク(第1マスク)によって規定される。

【0211】

次に、図20(b)および図21(b)に示すように、ゲート絶縁膜4を介して基板1上に真性半導体層6およびチャンネル保護層95を堆積した後、裏面露光法を用い、走査配線2に対して自己整合したチャンネル保護層95を走査配線2上に形成する。このとき、真性半導体層6のパターニングは行なわず、チャンネル保護層95だけをパターニングする。チャンネル保護層95は、好適には、厚さ200nm程度のSiNx膜から形成され得る。本実施形態では、チャンネル保護層95の線幅が走査配線2の線幅よりも1~4μm程度狭くなるように、露光条件やエッチング条件を調節する。その結果、チャンネル保護層95の各エッジの位置は、走査配線2の対応するエッジよりも内側に0.5~2μm程度入り込むことになる。チャンネル保護層95のサイドエッチ量を増加させて、走査配線2の線幅とチャンネル保護層95の線幅との差を大きくするには、ウェットエッチングなどの等方性エッチングを用いることが好ましい。

【0212】

次に、CVD法により、チャンネル保護層95や真性半導体層6を覆うようにして不純物添加半導体層7を堆積した後、再び裏面露光法を用いて、走査配線2に自己整合した真性半導体層6および不純物添加半導体層7を走査配線2上に形成する。なお、図20(c)には不純物添加半導体層7だけが示されているが、不純物添加半導体層7の真下には、チャンネル保護層95、真性半導体層6、および走査配線2が位置している。ただし、チャンネル保護層95の幅は、真性半導体層6や走査配線2の線幅よりも狭く形成されている。ここで、チャンネル保護層95の「幅」とは、チャンネル保護層95の4つの側面のうち、走査配線2が延びる方向に平行な2つの側面間の距離を示している。

【0213】

次に、プラスチック基板1の上面にITOなどからなる透明導電膜91を堆積した後、図17(c)に示すように、レジストマスク92を形成する。レジストマスク92は、第1の実施形態の場合と同様に、信号配線5、ドレイン電極9、画素電極14を規定する相対的に厚い部分92aと、信号配線5とドレイン電極9との間の領域を規定する相対的に薄い部分92bとを有している。

【0214】

次に、レジストマスク92を用いて、透明導電膜91、不純物添加半導体層7、チャンネル保護層95、および真性半導体層6を順次エッチングする。図20(d)および図21(d)は、このエッチングが完了した段階の構成を示している。この段階において、薄膜トランジスタ10のチャンネル領域はレジストマスク92の相対的に薄い部分92bによって覆われているため、チャンネル領域の透明導電膜91などは全くエッチングされていない。

【0215】

次に、例えば酸素プラズマアッシングなどにより、薄膜トランジスタ10のチャンネル領域を覆っていたレジスト部分92bを除去した後、再び、透明導電膜91および不純物添加半導体層7のエッチングを行なう。このエッチングに際して、不純物添加半導体層7の下層レベルに位置しているチャンネル保護層95はエッチストップ層として機能し、真性半導体層6のチャンネル領域をエッチングから保護する。これより、図20(e)および図21(e)に示される構造を作製することができる。次に、プラスチック基板1の最上面に保

10

20

30

40

50

護膜 11 を堆積した後、電着法によりカラーフィルタ 33 を形成し、図 21 (f) の構成を得る。

【 0 2 1 6 】

本実施形態によれば、信号配線 5 およびドレイン電極 9 をパターンニングするためのマスクを用い、走査配線 2 上に位置する配線形状のチャンネル保護層 95 を画素毎に分離している。このため、チャンネル保護層 95 は、走査配線 2 に対して自己整合しているだけでなく、信号配線 5 やドレイン電極 9 に対しても自己整合している。より詳細には、チャンネル保護層 95 の 4 つの側面のうち、信号配線 5 およびドレイン電極 9 が延びる方向に平行な 2 つの側面は、信号配線 5 およびドレイン電極 9 の外側の側面と整合している。

【 0 2 1 7 】

以上の結果、チャンネル保護層 95 と信号配線 5 やドレイン電極 9 との間でアライメントズレが生じず、伸縮しやすい基板上にチャンネル保護型の薄膜トランジスタアレイを作製することができる。

【 0 2 1 8 】

このように、本実施形態では、チャンネル保護層 95 に大きなアライメントマージンを与える必要が無い。また、チャンネル保護層 95 の側面のうち、走査配線 5 が延伸する方向に対して平行な 2 つの側面間距離が走査配線 5 の線幅よりも狭いため、半導体層 6 の上面においてチャンネル保護層 95 が存在しないコンタクト領域を形成できる。

【 0 2 1 9 】

(第 5 の実施形態)

図 22 ~ 図 25 を参照しながら、本発明によるアクティブマトリクス基板の第 5 の実施形態を説明する。図中、前述した実施形態に対応する部材には同一の参照符号を付している。

【 0 2 2 0 】

まず、図 22 を参照する。

【 0 2 2 1 】

図 22 は、本実施形態におけるアクティブマトリクス基板 500 のレイアウト構成を模式的に示した平面図である。本実施形態では、第 1 ~ 第 4 の実施形態と異なり、隣り合う走査配線 2 の間 (例えば、配線 G1 と配線 G2 との間) に、走査配線 2 と平行に補助容量配線 (Com) 20 が配置されている。補助容量配線 20 は、走査配線 2 と同レイヤに属し、走査配線の材料と同一の材料から形成されている。また、アクティブマトリクス基板 500 の画素領域内においては、補助容量配線 20 も走査配線 2 と同様に突起部のない真っ直ぐな配線形状を有している。図 22 では、簡略化のため、7本の走査配線 2 と、7本の補助容量配線 20、8本の信号配線 5 が示されているが、実際には多数の配線が配列されている。

【 0 2 2 2 】

次に、図 23 を参照する。図 23 は、アクティブマトリクス基板 500 の表示領域の一部を拡大したレイアウト図である。

【 0 2 2 3 】

走査配線 2 および補助容量配線 20 を乗り越えるように配置された画素電極 14 からは、信号配線 5 に対して平行な方向 (Y 軸方向) に導電部材 9 が長く延伸している。導電部材 9 は薄膜トランジスタ 10 のドレイン電極として機能するものであり、画素電極 14 と薄膜トランジスタ 10 とを電氣的に相互接続する。

【 0 2 2 4 】

本実施形態では、各薄膜トランジスタ 10 を構成する半導体層が走査配線 2 に対して自己整合的に形成されており、この半導体層を乗り越えるようにして信号配線および導電部材 (ドレイン電極) 9 が配置される。半導体層は補助容量配線 20 上にも自己整合的に形成されており、物理的には薄膜トランジスタを形成している。しかし、補助容量配線 20 には、常時、その寄生的な薄膜トランジスタがオフとなるような信号が入力されている。その結果、上記の寄生薄膜トランジスタはスイッチング素子として機能しない。

10

20

30

40

50

【 0 2 2 5 】

ある任意の薄膜トランジスタ 10 に接続されるドレイン電極 9 と、そのドレイン電極 9 に接続される画素電極 14 とは、隣接する別々の走査配線 2 および補助容量配線 20 を横切っている。

【 0 2 2 6 】

アクティブマトリクス基板を液晶表示装置等に応用する場合、表示特性の向上と消費電力の低下を実現するため、薄膜トランジスタのゲート・ドレイン間容量 C_{gd} による画素電位の変動を抑制することが望ましい。 C_{gd} による画素電位の変化量 V は、 $V = C_{gd} / (C_{gd} + C_{cs} + C_{lc}) \cdot V_{gpp}$ で表される。

【 0 2 2 7 】

ここで、 C_{cs} は補助電極容量（走査配線 2 および補助容量配線 20 と画素電極 14 との間の容量）、 C_{lc} は液晶容量、 V_{gpp} は走査配線 2 における信号のオンとオフのときの電位差である。 V_{gpp} 、 C_{lc} などは、使用する材料やデバイスの基本的な特性によって決定されるため、補助容量 C_{cs} を大きくすることによって V を低下させることが考えられる。しかしながら、アライメントフリー構造を採用した場合には、走査配線 2 の幅を大きくすることによって補助容量 C_{cs} を大きくすることは、同時に C_{gd} を大きくすることにつながる。このため、走査配線 2 の幅を調節して V を制御することは好ましくない。例えば、補助容量 C_{cs} を大きくするため、走査配線の幅 G_{width} を K 倍にしたとする。補助容量 C_{cs} は、走査配線の幅 G_{width} に比例するため、 $C_{cs}' = K \cdot C_{cs}$ となる。一方、ゲート・ドレイン間容量 C_{gd} も走査配線の幅 G_{width} に比例するため、 $C_{gd}' = K \cdot C_{gd}$ となる。したがって、引き込み電圧 V' は、以下の式 7 で示される。

【 0 2 2 8 】

$$\begin{aligned} V' &= K \cdot C_{gd} / (K \cdot C_{gd} + K \cdot C_{cs} + C_{lc}) \\ &= C_{gd} / (C_{gd} + C_{cs} + C_{lc} / K) \end{aligned} \quad (\text{式 7})$$

【 0 2 2 9 】

この式 7 から明らかなように、 K が大きくなるほど、引き込み電圧 V' が大きくなってしまふ。式 7 において、 K を小さくすると、引き込み電圧 V' も小さくなる。しかし、製造プロセス上の制約などによって走査配線 2 の最小線幅は決まっており、 K を小さくすることによって引き込み電圧 V' を十分に小さくすることは困難である。

【 0 2 3 0 】

そこで、本実施形態では、走査配線 2 と画素電極 14 との間の容量に加えて、補助容量配線 20 と画素電極 14 との間で補助容量を形成している。この補助容量配線 20 の幅を調整することにより、引き込み電圧 V を低下させることができる。

【 0 2 3 1 】

本実施形態において、基板伸縮に対するマージンを大きくとるためには、同一の画素電極 14 と交差する走査配線 2 と補助容量配線 20 との間隔をできるだけ狭くすることが好ましい。

【 0 2 3 2 】

次に、図 24 および図 25 を参照する。図 24 は、図 23 の A - A' 線断面図であり、図 25 は、図 23 の B - B' 線断面図である。

【 0 2 3 3 】

本実施形態の薄膜トランジスタ 10 は、図 24 に示されるように、下層レベルから順番に、ゲート電極として機能する走査配線 2、ゲート絶縁膜 4、真性半導体 6、および不純物添加半導体層 7 を含む積層構造を有している。本実施形態の真性半導体 6 は、ノンドープのアモルファスシリコンから形成されており、不純物添加半導体層 7 はリン (P) などの n 型不純物が高濃度にドーピングされた n⁺ 微結晶シリコンから形成されている。信号配線 5 およびドレイン電極 9 は、それぞれ、コンタクト層として機能する不純物添加半導体層 7 を介して、半導体層 6 のソース領域およびドレイン領域と電気的に接続されている。このことから明らかなように、本実施形態では、直線状に延びる信号配線 5 の一部（走査配線 2 と交差している部分）が薄膜トランジスタ 10 のソース電極 S として機能している。

10

20

30

40

50

【 0 2 3 4 】

図 2 4 に示されるように、半導体層 6 のうち、ソース領域 S とドレイン領域 D との間の領域 3 1 はチャンネル領域として機能し、チャンネル領域 3 1 の上面には不純物添加半導体層 7 が存在していない。本実施形態では、チャンネルエッチ型のボトムゲート薄膜トランジスタを採用しており、半導体層 6 のチャンネル部の上面は、不純物添加半導体層 7 を除去する際に薄くエッチングされている。

【 0 2 3 5 】

画素電極 1 4 が形成されている領域においても、走査配線 2 上に半導体層 6 および 7 が存在していることが分かる。ただし、画素電極が形成されている領域内における半導体層 6 および 7 は、図 2 4 から明らかなように、薄膜トランジスタ 1 0 を構成する半導体層 6 および 7 からは分離されており、トランジスタ動作を行なうことはない。このため、同一行（走査配線）に属する画素間でクロストークを生じることはない。

【 0 2 3 6 】

補助容量配線 2 0 上の断面構成も、走査配線 2 0 上の断面構成と同様なものとなる。ここでも、信号配線 5 とドレイン電極 9 の間には半導体層 6 が存在するため、薄膜トランジスタが寄生的に形成されるが、補助容量配線には常時 - 8 ~ - 1 5 V 程度の電圧が印加されているため、この寄生トランジスタが導通状態（オン状態）になることはない。故に、信号配線 5 とドレイン電極 9 は電氣的に分離されている。

【 0 2 3 7 】

本実施形態では、信号配線 5、ドレイン電極 9、画素電極 1 4 のすべてが 1 枚の反射電極膜をパターンニングすることより得られた導電層から構成され、信号配線 5、ドレイン電極 9、および画素電極 1 4 の全てが同一レイヤに属している。信号配線 5、ドレイン電極 9、および画素電極 1 4 は保護絶縁膜 1 1 によって覆われている。

【 0 2 3 8 】

走査配線 2 および補助容量配線 2 0 とドレイン電極 9（画素電極 1 4）との間のアライメントマージン Y は、以下の式 8 で表される。

【 0 2 3 9 】

$$\begin{aligned} Y &= L_d - P P_{gap} - G_{width} - W_{cs} - C G_{gap} \\ &= P_{pitch} - G_{width} - P P_{gap} - W_{cs} - G C_{gap} \\ &\quad - D D_{gap} - Y_{con} \end{aligned} \quad (式 8)$$

ここで、 G_{width} は走査配線 2 の幅、 W_{cs} は補助容量配線 2 0 の幅、 $G C_{gap}$ は走査配線と補助容量配線 2 0 の間隔である。

【 0 2 4 0 】

このように本実施形態で採用するレイアウトによれば、プラスチック基板の伸縮に伴って走査配線ピッチの増加・減少が生じてても、これに対応できる大きなアライメントマージンがあるため、基板上のどこの位置においても正常に動作する薄膜トランジスタを作製し、トランジスタ特性や寄生容量の基板内バラツキを低減できる。なお、前述したように、信号配線 5、ドレイン電極 9、および画素電極 1 4 の全ては同一の透明導電膜または反射電極材料膜をパターンニングすることによって形成されているため、信号配線 5、ドレイン電極 9、および画素電極 1 4 の配置関係について、アライメントずれを考慮する必要はない。

【 0 2 4 1 】

（実施例）

P E S からなる 5 インチ角のプラスチック基板（厚さ 0 . 2 m m）を用いて上記アクティブマトリクス基板の実施例を試作した。パネルサイズは対角 3 . 9 インチで解像度は 1 / 4 V G A（3 2 0 × R G B × 2 4 0）である。1 画素領域のサイズは 8 2 μ m × 2 4 6 μ m、走査配線 2 の幅 G_{width} を 8 μ m、画素電極間ギャップ $P P_{gap}$ を 5 μ m、接続部の幅 Y_{con} を 5 μ m、補助容量配線の幅 W_{cs} を 2 5 μ m、補助容量配線 2 0 と走査配線 2 との間ギャップ $G C_{gap}$ を 1 0 μ m、ドレイン間のギャップ $D D_{gap}$ を 5 μ m とすると、 $Y = 2 4 6 - 8 - 5 - 2 5 - 1 0 - 5 - 5 = 1 8 8 \mu m$ となる。

10

20

30

40

50

【0242】

本実施例では、プラスチック基板の伸び縮みのどちらにも対応できるように、基板中央部において $Y_1 = Y_2$ となるように配置させた。その結果、走査配線層と、ソース配線・下層画素電極層と間のアライメントマージン Y は $\pm 91 \mu\text{m}$ となった ($Y = Y/2 - dY$ 、ここで dY はアライメント装置の精度で $3 \mu\text{m}$ である)。

【0243】

Y 方向の表示領域の長さは、 240 (ライン) $\times 246$ (μm) = 59040 (μm) であるため、2つのレイヤ間で許容される基板伸縮マージンは 1541 ppm である。本試作においては、 $500 \sim 700 \text{ ppm}$ 程度基板伸縮が生じたが、十分なアライメントマージンがあるため、全て画素領域において薄膜トランジスタが正常に動作し、アクティブマトリクス基板として問題なく機能した。

【0244】

本発明による構造および従来構造において、各画素ピッチに対する基板伸縮マージンを下記の表2に示す。表示領域のサイズが対角4インチ ($81.2 \text{ mm} \times 61 \text{ mm}$) で、短辺に走査配線端子を配置すると仮定している。

【0245】

【表3】

画素ピッチ (μm)	従来		本発明	
	アライメント マージン (μm)	基板伸縮 (ppm)	アライメント マージン (μm)	基板伸縮 (ppm)
350	19	234	143	2344
300	14	172	118	1934
250	9	110	93	1524
200	4	49	68	1114

【0246】

なお、露光装置の位置合わせ精度は $\pm 3 \mu\text{m}$ であった。

【0247】

(第6の実施形態)

第1～5の実施形態では、画素電極14と信号配線5が同一レイヤにあることにより、アライメントマージンを拡大することができる。しかしながら、信号配線があるため画素電極14の大きさには限界があり、開口率(反射型液晶表示装置においては画素領域に対する画素電極の割合)を大きくすることができない。

【0248】

プラスチック基板を用いた液晶表示装置は、基板の軽さ、薄さを生かすため、反射型液晶への応用が期待されている。反射型の液晶表示装置では、70%以上の開口率がなければ十分な視認性は得られないと言われている。そこで、従来のガラス基板上の反射型の液晶表示装置では、画素電極14と信号配線5と別レイヤに配置し、画素電極14と信号配線5間の隙間をなくすことで80～90%の開口率を確保している。

【0249】

第1～5の実施形態の構造では、30～50%程度の開口率しか得られないため、図26に示す第2の実施形態では、画素電極14を2層構成にしている。すなわち、反射電極として機能する上層の画素電極14Aと、補助容量を形成する下層の画素電極14Bとによって、画素電極14を構成している。上層画素電極14Aは、絶縁膜を介して信号配線5と別レイヤに配置されており、下層画素電極14Bは、信号配線5と同一レイヤに配置されている。このようにすることで、開口率を低下させることなく、アライメントマージンを大きくできる。

【0250】

10

20

30

40

50

以下、図 26 ~ 28 を参照しながら、本実施形態について説明する。図 26 は、本実施形態におけるアクティブマトリクス基板 600 のレイアウトを示した平面図であり、図 27 は、図 26 の A - A' 線断面図であり、図 28 は図 26 の B - B' 断面図である。

【0251】

図から明らかなように、本実施形態におけるアクティブマトリクス基板の構成は、下層の画素電極 14B よりも下層は、第 5 の実施形態におけるアクティブマトリクス基板の構成と同じである。

【0252】

下層の画素電極 14B、ドレイン電極 9 および信号配線 5 上には、層間絶縁膜が配置されている。14A は上層の画素電極で、 A_1 などの反射電極材料から形成されている。下層の画素電極 14B 上の一部にコンタクトホールが形成されており、上層の画素電極 14A と下層の画素電極 14B が電氣的に接続されている。上層の画素電極 14A は、下層の画素電極 14B よりも面積が大きいため、開口率を高くできる。また、補助容量は、下層の画素電極 14B と、補助容量配線 20、走査配線 2 間で形成されるため、上層の画素電極 14A と走査配線層の間でアライメントを制御する必要はない。

【0253】

したがって、走査配線を規定する第 1 のマスクと、ソース配線 5 および下層の画素電極 14B を規定する第 2 のマスクとの間のアライメントマージン Y は、第 5 の実施形態におけるアライメントマージンの大きさと変わらない。したがって、 Y は以下の式で表される。

【0254】

$$Y = P_{pitch} - G_{width} - P P_{gap} - W_{cs} - G C_{gap} - D D_{gap} - Y_{con}$$

【0255】

下層画素電極 14B の上層には、コンタクトホール 21 および上層画素電極 14B が形成されるため、これらのレイヤについてもアライメントマージンを考慮する必要がある。

【0256】

コンタクトホール 21 は、必ず下層画素電極 14B 上に配置される必要がある。コンタクトホールの幅を W_{ch} とすると、コンタクトホール 21 を規定する第 3 のマスクと、下層画素電極 14B を規定する第 2 のマスクとの間のアライメントマージンは、以下の式で表される。

【0257】

$$C = P_{ss} - W_s - W_d - 3 \cdot S D_{gap} - W_{ch}$$

ここで、 P_{ss} はソース配線ピッチ、 W_s はソース配線の幅、 W_d はドレイン電極の幅、 $S D_{gap}$ はソース・ドレイン間のギャップである。

【0258】

なお、第 2 のマスクと第 3 のマスクの間には、 Y 方向にも基板伸縮の制限があるが、 C に対して十分に大きいため無視した。プラスチック基板の伸縮は縦方向と横方向でほぼ同程度であるため、 C のマージンを満たしていれば、 Y 方向のマージンも満たしているはずである。

【0259】

上層画素電極 14A は、コンタクトホール 21 上に形成される必要があるため、上層画素電極 14A を規定する第 4 マスクと、コンタクトホール 21 を規定する第 3 マスクとの間のアライメントマージンは、 $P = P_{ss} - P P_{tgap}$ となる。ここで、 $P P_{tgap}$ は上層の画素電極 14A 間のギャップである。

【0260】

次に、本実施形態の製造プロセスについて説明する。

【0261】

図から明らかなように、信号配線 5、ドレイン電極 9 および下層の画素電極 14B までは、第 1 ~ 5 の実施形態について説明した製造プロセスと同じ製造プロセスを採用することができる。薄膜トランジスタ 10 の構造は、チャンネル保護膜型でもチャンネルエッチ型でも

10

20

30

40

50

どちらでも構わない。本実施形態では、チャンネルエッチ型を採用している。

【0262】

薄膜トランジスタの上層に、無機絶縁膜または有機絶縁膜からなる層間絶縁膜21を堆積した後、フォトリソグラフィ工程でコンタクトホール22を形成する。層間絶縁膜21の厚さは例えば0.5~3μmである。

【0263】

上記絶縁膜堆積工程では、基板の伸縮が少ない材料もしくは成膜方法を選択する必要がある。一般的に、有機絶縁膜の方が、無機絶縁膜よりも基板の伸縮が少ないので、ここでは、有機絶縁材料を選択した。

【0264】

層間絶縁膜21の上に、Al、Al合金、銀合金などからなる反射電極材料の膜を堆積する。反射電極材料膜の厚さは例えば50~100nm程度である。フォトリソグラフィ工程を経て、上記反射電極材料膜から上層画素電極14A(反射電極)を形成する。本実施形態では、下層画素電極は、厳密には画素電極として機能しないが、上層画素電極のための下層電極として機能するため、「下層画像電極」と称することとする。

【0265】

なお、信号配線層の材料は、透過型のアクティブマトリクス基板を製造する場合には、透明導電材料でなければならないが、反射型のアクティブマトリクス基板であれば、導電膜は遮光膜でも透明膜でも構わない。ただし、上層画素電極14Aと低抵抗のコンタクトを形成し得る材料を選択する必要がある。ここでは、上層画素電極の材料としてAlを使用するので、下層画素電極14B、信号配線5、およびドレイン電極9の材料としてTiを選択した。

【0266】

(実施例)

PEEからなる5インチ角のプラスチック基板(厚さ0.2mm)を用いて上記アクティブマトリクス基板の実施例を試作した。パネルサイズは対角3.9"で解像度は1/4VGA(320×RGB×240)で、反射型用である。1画素領域のサイズは82μm×246μm、走査配線の幅 G_{width} を8μm、下層の画素電極間ギャップ PP_{gap} を5μm、接続部の幅 Y_{con} を5μm、補助容量配線の幅 W_{cs} を25μm、補助容量配線と走査配線間のギャップ GC_{gap} を10μm、ドレイン間のギャップ DD_{gap} を5μmとすると、 $Y = 246 - 8 - 5 - 25 - 10 - 5 - 5 = 188 \mu m$ となる。

【0267】

本実施例では、プラスチック基板の伸び縮みのどちらにも対応できるように、基板中央部において $Y1 = Y2$ となるように配置させた。その結果、走査配線層(第1のマスキレイヤ)と、ソース配線・下層画素電極層(第2のマスキレイヤ)と間のアライメントマージン Y は±91μmとなった($Y = Y/2 - dY$)。ここで、 dY はアライメント装置の精度であり、 $dY = 3 \mu m$ であった。

【0268】

Y方向の表示領域の長さは、240(ライン)×246(μm)=59040(μm)であるため、第1マスクと第2マスクとの間で許容される基板伸縮マージンは1541ppmある。実際に試作したところ、500~700ppm程度基板伸縮が生じたが、アライメントマージンがあるため、全て画素領域において設計どおりの薄膜トランジスタと補助容量の形状を得た。

【0269】

一方、コンタクトホールを規定する第3のマスクは、第2のマスクに対してのみアライメントさせればよい。ソース配線の幅 Ws を8μm、ドレイン電極の幅 Wd を8μm、ソース・ドレイン間ギャップ SD_{gap} を5μm、コンタクトホールの幅を5μmとすると、 $C = 82 - 8 - 8 - 3 \times 5 - 5 = 46 \mu m$ となる。

【0270】

ここでも、基板の伸縮どちらにも対応できるように、基板中央において $c1 = c2$ と

10

20

30

40

50

なるように配置させた。その結果、第2のマスクと第3のマスクとの間のアライメントマージン c は、 $\pm 20 \mu\text{m}$ であった ($c = C/2 - dY$)。

【0271】

なお、Y軸方向についても、基板中央部において、コンタクトホール21が下層画素電極14Bのほぼ中央にくるようにマスクアライメントを行った。

【0272】

Cに平行な方向の表示領域の長さは、 $320 \times 82 \times 3 = 78720 \mu\text{m}$ であるため、許容される基板伸縮マージンは 254 ppm しかない。しかしながら、第2のマスクレイヤと第3のマスクレイヤとのフォトリソ工程の間には、第1のマスクレイヤと第2のマスクレイヤとの工程間とは異なり、大きな基板伸縮を生じさせるCVD成膜工程がない。このため、実際に試作したところ、基板伸縮は最大でも 1500 ppm 程度しかなく、本構造により十分アライメントすることができた。

10

【0273】

また、上層画素電極14Aを規定する第4のマスクは、第3のマスクに対するアライメントのみを行えばよい。上層画素電極間のギャップ P_{tgap} を $5 \mu\text{m}$ とすると、 $P = 82 - 5 = 77 \mu\text{m}$ となる。

【0274】

ここでも、基板の伸縮どちらにも対応できるように、基板中央において $p1 = p2$ となるように配置させた。その結果、第4のマスクと第3のマスクとの間のアライメントマージン p は、 $\pm 35.5 \mu\text{m}$ であった ($p = P/2 - dY$)。

20

【0275】

Pに平行な方向の表示領域の長さは、 $320 \times 82 \times 3 = 78720 \mu\text{m}$ であるため、許容される基板伸縮マージンは 451 ppm しかない。しかし、第3のマスクのためフォトリソグラフィ工程と第4のマスクのためフォトリソグラフィ工程の間には、大きな基板伸縮を生じさせるCVD成膜工程が存在しない。このため、十分第3のマスクと第4のマスクとの間のアライメントは比較的容易である。

【0276】

なお、本実施形態では、反射電極(上層画素電極)14Aを信号配線5と別のレイヤに配置したことにより、開口率(反射電極の画素領域に占める割合)が92%になる。

【0277】

また、従来構造では、全てのレイヤ間で数 μm 以下のアライメント精度が必要であるため、アライメントマージンが $9 \mu\text{m}$ のとき、許容できる基板伸縮は 150 ppm となる。そのため、従来構造では、プラスチック基板を用いてアクティブマトリクス基板を製造することができない。

30

【0278】

現在の製造技術では、アクティブマトリクス基板として求められるTFT特性を得るためには、ゲート絶縁膜および半導体層を基板温度 $100 \sim 200$ のCVD法で形成することが必要である。したがって、プラスチック基板上にアクティブマトリクス基板を実現するためには、本実施形態のように第1マスクと第2マスクとの間に大きなアライメントマージンを持つ画素構造が望ましい。

40

【0279】

本実施形態では、補助容量配線を備えた $Cs \text{ on Common}$ 構造を示したが、補助容量配線がない場合でも、同様な効果が得られる。図29～図31は、本実施形態の構成から、補助用利用配線を取り除いた構造($Cs \text{ on Gate}$ 構造)を持つ改良例に係るアクティブマトリクス基板700を示す。アクティブマトリクス基板700によれば、Yをより大きくすることができる。

【0280】

(第7の実施形態)

上記の第6の実施形態における構造を採用することにより、プラスチック基板を用いて3.9インチ1/4VGAの反射型液晶表示素子を製造することができる。しかしながら、

50

より画素サイズの小さな場合や、パネルサイズが大きくなった場合、コンタクトホールのアライメントマージン C が不十分になるおそれがある。また、3.9インチ1/4VGA程度のパネルの場合でも、大量生産を考えると、アライメントマージンを更に大きくすることが好ましい。本実施形態では、コンタクトホールのアライメントマージン C を更に増大させることが可能な構成を採用している。

【0281】

以下、図32～34を参照しながら、本実施形態について説明する。図32は、本実施形態におけるアクティブマトリクス基板800のレイアウトを示した平面図であり、図33は、図32のA-A'線断面図であり、図34は図32のB-B'断面図である。

【0282】

図からわかるように、本実施形態における下層画素電極14Bは、補助容量配線20を横切り、対応する走査配線は当該下層画素電極14Bから延びたドレイン電極9が横切っている。その結果、下層画素電極14BからX軸方向に沿って離れた領域にはドレイン電極9が存在せず、ソース配線5しか配置されていない。このため、下層画素電極14Bの幅(X軸方向サイズ)を相対的に広くすることが可能になり、その結果、コンタクトホールのアライメントマージン C を大きくすることができる。アライメントマージン C は、以下の式で表される。

【0283】

$$C = P_{ss} - W_s - 2 \cdot S D_{gap} - W_{ch}$$

ここで、 P_{ss} はソースピッチ、 W_s はソース配線の幅、 $S D_{gap}$ は画素電極とソース配線のギャップ、 W_{ch} はコンタクトホールのX軸方向の幅である。

【0284】

一方、ドレイン電極9は走査配線2のみを乗り越え、補助容量配線とは重なっておらず、また、下層の画素電極14Bは補助容量配線20のみを乗り越え走査配線2には重なっていない。このため、第1のマスキレイヤと、第2のマスキレイヤとの間の基板伸縮マージン Y は、下式ようになる。

【0285】

$$Y = (P_{pitch} - G_{width} - W_{cs} - D D_{gap} - D G_{gap}) / 2$$

【0286】

本実施形態では、第6の実施形態に比べ、約1/2になるが、第2のマスキレイヤと第3のマスキレイヤ間のアライメントマージンを大きくする必要がある場合に有効である。

【0287】

ドレイン電極9のY軸方向長さは、

なお、本実施形態に係るアクティブマトリクス基板800は、第6の実施形態に係るアクティブマトリクス基板を製造する方法と同様の方法で製造される。

【0288】

(実施例)

PE Sからなる5インチ角のプラスチック基板(厚さ0.2mm)を用いて上記アクティブマトリクス基板の実施例を試作した。パネルサイズは対角2.5インチで解像度は1/4VGA(320×RGB×240)で、反射型用である。1画素領域のサイズは53×159 μ m、走査配線の幅 G_{width} を8 μ m、補助容量配線の幅 W_{cs} を10 μ m、ドレイン電極と下層の画素電極間のギャップ $D D_{gap}$ を5 μ m、下層画素電極と走査配線の最小ギャップを3 μ mとすると、 $Y = (159 - 8 - 10 - 5 - 3) / 2 = 133 \mu\text{m}$ となる。

【0289】

本実施例では、プラスチック基板の伸び縮みのどちらにも対応できるように、基板中央部において $Y1 = Y2$ となるように配置させた。その結果、走査配線層(第1のマスキレイヤ)と、ソース配線・下層画素電極層(第2のマスキレイヤ)と間のアライメントマージン Y は $\pm 63.5 \mu\text{m}$ となった($Y = Y / 2 - dY$ 、 dY はアライメント装置の精度で3 μ mであった)。

10

20

30

40

50

【0290】

Y方向の表示領域の長さは、 $240 \text{ (ライン)} \times 159 \text{ (}\mu\text{m)} = 38160 \text{ (}\mu\text{m)}$ であるため、第1のマスキレイヤと第2のマスキレイヤとの間で許容される基板伸縮マージンは 1664 ppm になる。

【0291】

コンタクトホール層（第3のマスキレイヤ）と、下層画素電極層（第2のマスキレイヤ）のアライメントマージンは、 $C = 53 - 8 - 2 \times 5 - 5 = 30 \mu\text{m}$ となる。基板の伸縮どちらにも対応できるように、基板中央において $c1 = c2$ となるように配置させた。その結果、第2のマスキレイヤと、第3のマスキレイヤ間のアライメントマージン c は $\pm 12 \mu\text{m}$ であった（ $c = C / 2 - dY$ ）。 C に平行な方向の表示領域の長さは、 $320 \times 53 \times 3 = 50880 \mu\text{m}$ であるため、許容される基板伸縮マージンは 590 ppm となる。この値は、CVD工程のない第2のマスキレイヤと第3のマスキレイヤとのフォトリソ工程の間では十分なアライメントマージンである。

10

【0292】

一方、第6の実施形態の構造を採用すると、ソース配線の幅 W_s を $6 \mu\text{m}$ 、ドレイン電極の幅 W_d を $6 \mu\text{m}$ 、ソース・ドレイン間ギャップ $SDgap$ を $5 \mu\text{m}$ 、コンタクトホールの幅を $5 \mu\text{m}$ とした場合 $C = 53 - 8 - 8 - 3 \times 5 - 5 = 17 \mu\text{m}$ となり、 $c = C / 2 - dY$ は、 $\pm 5.5 \mu\text{m}$ しかない。基板伸縮マージンは 108 ppm しかなく、十分な製造マージンが得られない。

【0293】

したがって、本実施形態を採用することにより、上層画素電極14Aと下層画素電極14Bを接続するコンタクトホール22を形成する際のフォトアライメントマージンを拡大することができる。このため、例えば、本実施例に示したような2.5インチ1/4VGA相当の150PPIを超える高精細なアクティブマトリクス基板をプラスチック基板上に実現することができる。

20

【0294】

なお、上層の画素電極14Aの構造は第6の実施形態と同じ構造であるため、高い開口率が得られる。本実施例では開口率88%になる。

【0295】

（第8の実施形態）

以下、図35～38を参照しながら、本実施形態について説明する。図35は、本実施形態におけるアクティブマトリクス基板900のレイアウトを示した平面図であり、図36は、図35のA-A'線断面図であり、図37は図35のB-B'断面図であり、図38は図35のC-C'断面図である。

30

【0296】

本実施形態に係るアクティブマトリクス基板900と、第1～7の実施形態にかかるアクティブマトリクス基板の相違点は、薄膜トランジスタの形状にある。

【0297】

本実施形態では、信号配線5から枝分かれしたソース電極8Bが、ドレイン電極9の端部近傍を通過して、信号配線5と平行な方向に曲がっている。ソース電極8Bは、信号配線5とともに、ドレイン電極9を挟み込んでいる。そして、信号配線5（ソース電極8A）、ソース電極8B、ドレイン電極9は、全て走査配線2および走査配線上の半導体層6を乗り越えるように配置されている。

40

【0298】

図36に示されるように、走査配線2の上面の全体には半導体層6が残っているため、走査配線2上における信号配線5（ソース電極8A）とドレイン電極9との間の領域、および、ソース電極8Bとドレイン電極9との間の領域、どちらも、薄膜トランジスタとして機能する。

【0299】

一方、ソース電極8Bと、隣の信号配線5（ソース電極8A）との間にも半導体層が存在

50

するため、この領域は寄生薄膜トランジスタとして機能し得る。しかし、隣の信号配線 5 上の信号は、ソース電極 8 B によってシールドされるため、ドレイン電極 9 を介して画素電極 1 4 B の電位に影響を与えることはない。

【0300】

本実施形態では、図 3 8 から明らかなように、以下の式が成立する。

$$Y = (P_{pitch} - G_{width} - W_{cs} - W_s - 3 \cdot S D_{gap}) / 2$$

【0301】

本実施形態によれば、薄膜トランジスタのチャネル部以外の半導体層をハーフ露光技術によって除去する工程が不要である。これにより、製造工程時間の短縮と、アクティブマトリクス基板の製造歩留向上を達成することが可能になる。

10

【0302】

(第 9 の実施形態)

以下、図 3 9 ~ 4 0 を参照しながら、本実施形態について説明する。図 3 9 は、本実施形態におけるアクティブマトリクス基板 1 0 0 0 のレイアウトを示した平面図であり、図 4 0 は、図 3 9 の A - A ' 線断面図である。

【0303】

本実施形態に係るアクティブマトリクス基板 1 0 0 0 は、第 8 の実施形態に係るアクティブマトリクス基板 9 0 0 と類似した構成を有している。アクティブマトリクス基板 1 0 0 0 の特徴点のひとつは、ドレイン電極 9 が、隣り合う 2 本の信号配線 5 のほぼ中央に配置されていることにある。また、上層画素電極 1 4 A が薄膜トランジスタのチャネル部を完全に覆っている。言いかえると、上層画素電極 1 4 A が薄膜トランジスタのチャネル部を完全に覆うように、ドレイン電極 9 の位置が設定されている。他の点において、アクティブマトリクス基板 1 0 0 0 の構成は、アクティブマトリクス基板 9 0 0 の構成と同様である。

20

【0304】

このような構成により、薄膜トランジスタ 1 0 の光リーク電流が抑制されるため、液晶表示装置に応用した際のコントラストを改善することができる。

【0305】

本実施形態では、図 4 0 から明らかなように、以下の式が成立する。

【0306】

$$Y = (P_{pitch} - G_{width} - W_{cs} - 2 \cdot W_s - 3 \cdot S D_{gap}) / 2$$

【0307】

本実施形態では、信号配線 5、ドレイン電極 9 およびソース電極 8 B が、互いに平行に延びる部分を有しており、これらの部分が走査配線 2 と直交している。本発明の効果を得るには、上記平行部分と走査配線 2 とが直交している必要は無く、90度以外の角度で交差していても良い。

【0308】

ドレイン電極 9 は、アライメントずれによって、隣接する信号配線 5 の中央から多少外れた位置に設けられていてもよい。ただし、ドレイン電極 9 は、対応する下層画素電極 1 4 B の中心部を Y 軸に沿って通る直線から、画素ピッチ (X 軸方向に沿って計測した画素ピッチ) の $\pm 25\%$ の範囲内にあることが好ましい。

40

【0309】

本実施形態によれば、第 8 の実施形態と同様、薄膜トランジスタのチャネル部以外の半導体層をハーフ露光技術によって除去する工程が不要である。これにより、製造工程時間の短縮と、アクティブマトリクス基板の製造歩留向上を達成することが可能になる。

【0310】

(第 1 0 の実施形態)

以上の実施形態では、いずれも走査配線を下層レベルに形成し、薄膜トランジスタの半導体層を上層レベルに形成する構成を採用している。この構成のトランジスタは、ゲート電極として機能する走査配線がトランジスタの最下層レベルに位置するため、「ボトムゲー

50

ト型トランジスタ（逆スタガー型トランジスタ）」と称されている。本実施形態では、ゲート電極として機能する走査配線がトランジスタの最上層の設けられている「トップゲート型トランジスタ（正スタガー型トランジスタ）」を用いてアクティブマトリクス基板を構成する。

【0311】

本実施形態のアクティブマトリクス基板 1100 では、図 41 (c) および図 42 (d) に示されるように、走査配線 2 が、信号配線 5、ドレイン電極 9、および画素電極 14 の上層レベルに形成され、これら信号配線 5、ドレイン電極 9、および画素電極 14 と交差している。

【0312】

また、半導体層 6 は、信号配線 5、ドレイン電極 9、および画素電極 14 の下層レベルに配置されており、信号配線 5、ドレイン電極 9、および画素電極 14 によって覆われている。走査配線 2 の真下には必ずゲート絶縁膜 4 が存在し、走査配線 2 と画素電極 14 との間に補助容量が形成される。

【0313】

以下、図 41 および図 42 を参照しながら、本実施形態にかかるアクティブマトリクス基板 500 の製造方法を説明する。

【0314】

まず、図 42 (a) に示すように、プラスチック基板 1 上に、ノンドープのアモルファスシリコンからなる真性半導体層 6、P (リン) 等がドープされた不純物添加半導体層 7、および APC (Ag - Pd - Cu : 銀合金) からなる反射金属膜 96 を積層した後、レジストマスク 92 を形成する。真性半導体層 6、不純物添加半導体層 7、および反射金属膜 96 の厚さは、それぞれ、例えば 150 nm、50 nm、150 nm である。レジストマスク 92 は、第 1 の実施形態の場合と同様に、信号配線 5、ドレイン電極 9、画素電極 14 を規定する相対的に厚い部分 92a と、信号配線 5 とドレイン電極 9 との間の領域を規定する相対的に薄い部分 92b とを有している。

【0315】

次に、レジストマスク 92 を用いて、反射金属膜 96、不純物添加半導体層 7 および真性半導体層 6 を順次エッチングする。図 41 (a) および図 42 (b) は、このエッチングが完了した段階の構成を示している。この段階において、薄膜トランジスタ 10 のチャンネル領域はレジストマスク 92 の相対的に薄い部分 92b によって覆われているため、チャンネル領域の金属膜 96、および不純物添加半導体層 7 は全くエッチングされていない。すなわち、反射金属膜 96 において信号配線 5 となるべき部分とドレイン電極 9 となるべき部分とは未分離のままである。

【0316】

次に、例えば酸素プラズマアッシングなどにより、薄膜トランジスタのチャンネル領域を覆っていたレジスト部分 92b を除去した後、再び、反射金属膜 96、および不純物添加半導体層 7 のエッチングを行なう。レジストマスク 92 を除去することより、図 41 (b) および図 42 (c) に示される構造を作製することができる。この段階では、図 41 (b) に示されるように、信号配線 5 とドレイン電極 9 との隙間領域において、それらの下層レベルに位置する真性半導体層 6 が部分的に露出している。

【0317】

次に、CVD法を用いて、厚さ 400 nm の SiN_x からなるゲート絶縁膜 4、厚さ 200 nm の AlNd 膜を積層した後、第 2 マスクを用いて、AlNd をパターンニングし、図 41 (b) および図 42 (d) に示されるように、走査配線 2 を形成する。

【0318】

この後、走査配線 2 をマスクとするエッチング工程を行ない、走査配線 2 によって覆われていない領域に位置するゲート絶縁膜 4 および真性半導体層 6 を除去する。その結果、図 41 (c) および図 42 (e) に示される構造が得られる。このエッチングにより、真性半導体層 6 のうち、薄膜トランジスタとして機能する部分を除き、信号配線 5 とドレイン

10

20

30

40

50

電極 9 との間の領域に位置していた部分は除去される。なお、画素電極 14 およびドレイン電極 9 の下層レベルには、最終的に、画素電極 14 およびドレイン電極 9 と同様の形状を有する半導体層 6 および 7 が存在し、また、信号配線 5 の下層レベルにも、信号配線 5 と同様の形状を有する導体層 6 および 7 が存在する。

【0319】

本実施形態のアクティブマトリクス基板 500 は、反射型の画素電極 14 を有しており、反射型液晶表示装置を構成するために用いられる。本実施形態の製造方法によれば、画素電極 14 の下に半導体層 6 および 7 が残置されるため、画素電極 14 を透明導電膜から形成したとしても、透過型表示装置に適用することはできない。

【0320】

なお、走査配線 2 の材料は AlNd に限定されず、ゲート絶縁膜 4 や半導体層 6 および 7 をエッチングする際にエッチングマスクとして機能し得る導電性材料であればよい。例えば、Ta、Mo、W、Ti、Al、もしくは、これらの合金、APC、またはITO であってもよい。また、これらの材料からなる層を複数積層した膜を用いても良い。

【0321】

反射金属膜の材料も APC に限定されず、Ag、Al、Au、または、これらの合金材料であってもよい。

【0322】

ゲート絶縁膜 4 の材料も SiN_x に限定されず、SiO₂ 等の無機絶縁材料、BZT 等の有機絶縁材料、または、これらの材料からなる層を積層した膜であってもよい。

【0323】

以上説明してきたように、本実施形態のアクティブマトリクス基板は、画素電極 14 が反射性金属膜から形成されており、最終的に組み立てられる表示装置は反射型である。これに対し、第 1 から第 4 の実施形態のアクティブマトリクス基板は、透過型表示装置に用いられるものであった。第 1 から第 4 の実施形態を反射型用に転用するには、透明導電膜に代えて反射金属膜を形成し、この反射金属膜をパターニングすることにより、信号配線 5、ドレイン電極 9、および画素電極 14 を形成すれば良い。この場合、画素電極 14 の下層レベルに半導体層 6 および 7 が残っていても問題無い。このため、反射型の場合は、画素電極 14 を形成する前において、半導体層 6 および 7 を走査配線 2 に整合した形状にパターニングしておく必要は無い。第 4 の実施形態の場合のように、線状のチャネル保護層を走査配線上に形成しておけば、その上に堆積したコンタクト層および反射金属膜をパターニングして信号配線 5、ドレイン電極 9、および画素電極 14 を形成する際、レジストマスク 92 の相対的に薄い部分 92b を除去した後、チャネル保護層をエッチングマスクの一部として機能させることができる。このため、信号配線 5 とドレイン電極 9 との間の領域に位置する不要な半導体層をエッチングにより除去する際、チャネル保護層の真下には半導体層が残され、薄膜トランジスタの半導体領域として機能する部分が走査配線上に適切に配置されることになる。

【0324】

なお、第 6 ~ 9 の実施形態で採用した構成、すなわち、補助容量配線を用い構成や上層画素電極を絶縁膜上に配置する構成を本実施形態に係るトップゲート型トランジスタと組み合わせてもよい。

【0325】

(第 11 の実施形態)

上記第 1 ~ 4 の実施形態における走査配線 2 および信号配線 5 は、いずれも、直線的に延びる配線から構成されており、基板 1 の主面に平行な方向に突出する部分や窪んだ部分を有していない。このため、走査配線 2 と平行な方向にアライメントズレに生じても、各画素内のレイアウトに変化は生じない。これに対し、走査配線 2 に対して垂直な方向に関するアライメントズレは、アライメントマージン (Y) を超えない範囲に抑えられる必要があり、アライメントマージン (Y) の大きさは、画素ピッチよりも小さい。

【0326】

10

20

30

40

50

このため、基板伸縮率が方位によって一様でない場合は、基板伸縮率が小さい方位に対して平行に信号配線 5 を配置することが好ましい。そこで、本実施形態では、信号配線 5 に平行な方向に対する基板 1 の伸縮率が信号配線 5 に対して垂直な方向に対する基板 1 の伸縮率よりも小さくなるように、基板 1 に対する信号配線 5 の方向を設定している。これにより、信号配線 5 に平行な方向のアライメントズレを低減し、アライメントマージン (Y) 内に確実に収まるようにしている。

【 0 3 2 7 】

一方、走査配線 2 に平行な方向に関して十分なアライメントマージンを確保するには、図 1 に示すように走査配線 2 を十分に長くし、表示領域 (画素領域) の外側へまっすぐ延長しておく必要がある。このような延長部を走査配線 2 に設けておくことにより、走査配線 2 と平行な方向に関して信号配線 5 や画素電極 1 4 の位置ズレが生じても、信号配線 5 や画素電極 1 4 を走査配線 2 と確実に交差されることが可能になる。走査配線 2 と平行な方向に関するアライメントマージン (X) は、走査配線 2 の延長部の長さによって規定される。

10

【 0 3 2 8 】

本実施形態では、前述のように走査配線 2 と平行な方向に関する基板伸縮率が相対的に大きくなるような配置が選択されているため、走査配線 2 と平行な方向に関するアライメントマージン (X) は、走査配線 2 と垂直な方向に関するアライメントマージン (Y) よりも大きく設定することが好ましい。このため、本実施形態では、走査配線 2 の延長部の長さを走査配線ピッチよりも長くしている。

20

【 0 3 2 9 】

以上、プラスチック基板を用いてアクティブマトリクス基板を実現する例を説明してきたが、本発明の適用範囲はこれに限定されない。本発明は、プラスチック基板のように製造プロセス中に伸縮する基板を用いる場合に顕著な効果を発揮するが、本発明によって得られる種々の効果のうち、アライメントズレに影響されにくいという効果は、プラスチック基板以外の基板 (例えばガラス基板) を用いても十分に享受される。特に、大型の表示パネルをアライメント精度の低い露光装置などを用いて製造する場合に好ましい効果が得られる。

【 0 3 3 0 】

なお、本発明によるアクティブマトリクス基板は、液晶表示装置以外の表示装置 (例えば有機 EL を用いた表示装置) に適用しても優れた効果を奏する。

30

【 0 3 3 1 】

なお、本願明細書における「交差」とは、例えば、図 4 (a) に示すように、ドレイン電極 9 が下層に位置する走査配線 2 を完全に乗り越えている状態のみを意味するのではなく、ドレイン電極 9 の先端 (エッジ 9 E) の位置が走査配線 2 のエッジ (側面) の位置と一致している場合を含むものとする。

【 0 3 3 2 】**【 発明の効果 】**

本発明のアクティブマトリクス基板によれば、画素電極を薄膜トランジスタに接続するための導電部材が、当該画素電極から離れた位置にある走査配線の位置まで延伸し、走査配線と交差している。このため、走査配線と導電部材との間のアライメントマージンが十分に大きくなり、プラスチック基板のように伸縮率の大きな基板を用いることが可能となる。

40

【 0 3 3 3 】

薄膜トランジスタの半導体層が走査配線 (ゲート電極) 上に自己整合的に形成されている場合は、製造に際して、半導体層と走査配線 (ゲート電極) との間のマスクアライメントが不要となるため、基板が大きく伸縮しても、薄膜トランジスタの半導体層と走査配線 (ゲート電極) との間に位置ずれが生じない。

【 0 3 3 4 】

薄膜トランジスタの半導体層上にチャネル保護層が設けられている場合、半導体層のチャ

50

ネル領域が製造プロセス中にエッチングされず、トランジスタ特性のバラツキが防止される。また、チャンネル保護層が走査配線（ゲート電極）に対して自己整合的に形成される場合、チャンネル保護層と走査配線（ゲート電極）との間のマスクアライメントが不要となるため、基板が大きく伸縮しても、チャンネル保護層と走査配線（ゲート電極）との間において位置ずれが生じないという利点がある。

【0335】

走査配線（ゲート電極）が遮光性金属から形成されていると、裏面露光法を用いて上記の半導体層やチャンネル保護層を形成することができる。

【0336】

薄膜トランジスタがブラックマトリクスで覆われていると、外光による薄膜トランジスタのオフ電流リーク増加が抑制される。

【0337】

本発明のアクティブマトリクス基板の製造方法によれば、裏面露光法により、薄膜トランジスタを走査配線上に自己整合的に形成することができるため、基板の伸縮が生じても、薄膜トランジスタと走査配線との間のアライメントズレを問題にする必要が無くなる。また、ソース電極として機能する信号配線、およびドレイン電極として機能する導電部材を走査配線と交差させることが容易なレイアウトを採用しているため、基板の伸縮が大きくても、正常に機能する薄膜トランジスタを形成できる。このため、従来は実現が困難であるとされていたプラスチック基板を用いてアクティブマトリクス基板を製造することが可能になる。

【0338】

本発明の表示装置によれば、上記のアクティブマトリクス基板を備えているため、軽量かつ耐衝撃性に優れたプラスチック基板を用いて表示を行なうことができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るアクティブマトリクス基板100のレイアウトを模式的に示す上面図である。

【図2】アクティブマトリクス基板100の表示領域の一部を拡大した上面図である。

【図3】(a)は、図2のA-A'線断面図であり、(b)は、図2のB-B'線断面図である。

【図4】(a)は、走査配線を形成した後、ドレイン電極や画素電極のパターニングを行なうまでの期間にプラスチック基板が延びる場合に好適な配置例を示し、(b)は、同様の期間にプラスチック基板が縮む場合に好適な配置例を示している。

【図5】走査配線を形成した後、ドレイン電極や画素電極のパターニングを行なうまでの間に、プラスチック基板が延びるか縮むかが不特定の場合における配置例を示している。

【図6】(a)~(d)は、主なプロセスステップにおける2つの画素領域を示す上面図である。

【図7A】(a)~(e)は、主なプロセスステップにおける図6のA-A'線断面およびB-B'線断面を示す工程断面図である。

【図7B】(a)~(e)は、主なプロセスステップにおける図6のA-A'線断面およびB-B'線断面を示す工程断面図である。

【図7C】(a)~(b)は、主なプロセスステップにおける図6のA-A'線断面およびB-B'線断面を示す工程断面図である。

【図8】(a)は、画素電極などを規定するレジストマスクの一部を示す部分拡大図であり、(b)、(c)および(d)は、それぞれ、(a)のC-C'線断面図、D-D'線断面図、およびE-E'線断面図である。

【図9】図8に示されるレジストマスクの模式的斜視図である。

【図10】図8のレジストマスクのアッシング後における模式的斜視図である。

【図11】本発明の実施形態で採用しているカラーフィルターの電着法を説明するための図である。

【図12】本発明の実施形態で採用しているアライメントマーカの一例を示す平面図で

10

20

30

40

50

ある。

【図13】アライメントマージン（基板伸縮マージン） y と画素ピッチとの関係を示すグラフである。

【図14】本発明の第2の実施形態におけるアクティブマトリクス基板200のレイアウトの概略を示した平面図である。

【図15】(a)は、図14のA-A'線断面図であり、(b)は、図14のB-B'線断面図である。

【図16】本発明の第2の実施形態におけるアクティブマトリクス基板200の製造方法を示す図面であり、主なプロセスステップにおける2つの画素領域を示す平面図である。

【図17】図16のA-A'線断面およびB-B'線断面を示す工程断面図である。

10

【図18】本発明の第3の実施形態におけるアクティブマトリクス基板300のレイアウトの概略を示した平面図である。

【図19】(a)および(b)は、薄膜トランジスタ形成領域におけるブラックマトリクス35の形状を示す平面図であり、(c)および(d)は、それぞれ、(a)および(b)のF-F'線断面図である。

【図20】本発明の第4の実施形態におけるアクティブマトリクス基板400の製造方法を示す図面であり、主なプロセスステップにおける2つの画素領域を示す平面図である。

【図21】図20のA-A'線断面およびB-B'線断面を示す工程断面図である。

【図22】本発明の第5の実施形態に係るアクティブマトリクス基板500のレイアウトを模式的に示す上面図である。

20

【図23】アクティブマトリクス基板500の表示領域の一部を拡大した上面図である。

【図24】図23のA-A'線断面図である。

【図25】図23のB-B'線断面図である。

【図26】本発明による第6の実施形態に係るアクティブマトリクス基板600の表示領域の一部を拡大した上面図である。

【図27】図26のA-A'線断面図である。

【図28】図26のB-B'線断面図である。

【図29】本発明による第6の実施形態の改良例に係るアクティブマトリクス基板700の表示領域の一部を拡大した上面図である。

【図30】図29のA-A'線断面図である。

30

【図31】図29のB-B'線断面図である。

【図32】本発明による第7の実施形態に係るアクティブマトリクス基板800の表示領域の一部を拡大した上面図である。

【図33】図32のA-A'線断面図である。

【図34】図32のB-B'線断面図である。

【図35】本発明による第8の実施形態に係るアクティブマトリクス基板900の表示領域の一部を拡大した上面図である。

【図36】図35のA-A'線断面図である。

【図37】図35のB-B'線断面図である。

【図38】図35のC-C'線断面図である。

40

【図39】本発明による第9の実施形態に係るアクティブマトリクス基板1000の表示領域の一部を拡大した上面図である。

【図40】図39のA-A'線断面図である。

【図41】本発明の第10の実施形態におけるアクティブマトリクス基板1100の製造方法を示す図面であり、主なプロセスステップにおける2つの画素領域を示す平面図である。

【図42】図41のA-A'線断面およびB-B'線断面を示す工程断面図である。

【図43】従来のアクティブマトリクス型表示装置の平面図である。

【図44】従来の液晶表示パネルの断面図である。

【図45】(a)は、従来のアクティブマトリクス基板上に形成された1つの画素領域に

50

おける平面レイアウト図であり、(b)は、そのA - A'線断面である。

【図46】(a)は、従来のアクティブマトリクス基板上に形成された1つの画素領域における平面レイアウト図であり、(b)は、そのA - A'線断面である。

【図47】従来のアクティブマトリクス基板上に形成された1つの画素領域におけるレイアウト図である。

【図48】従来のアクティブマトリクス基板について、画素ピッチとアライメントマージンとの関係を求めるために用いたレイアウト図である。

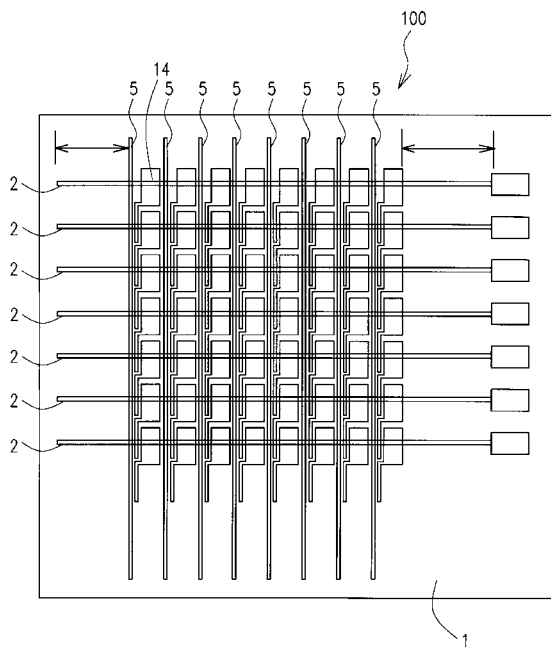
【図49】従来のアクティブマトリクス基板における走査配線102と信号配線105との交差部80を示す平面図である。

【符号の説明】

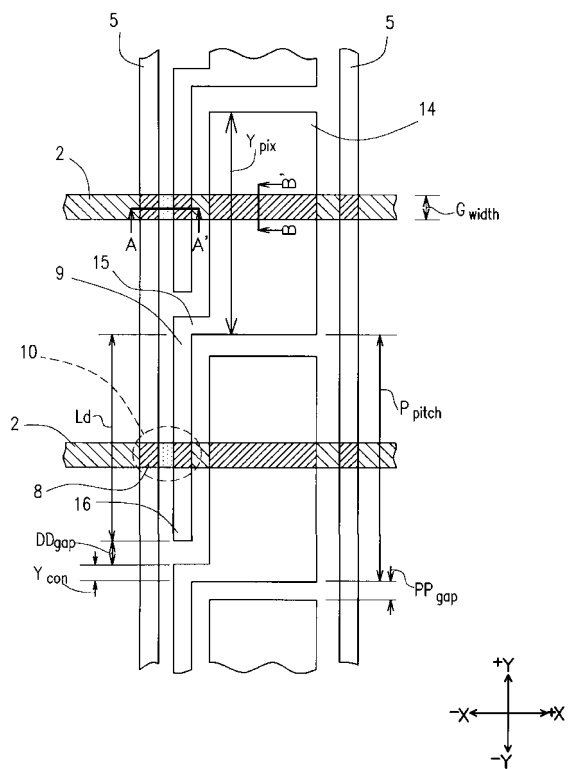
1	プラスチック基板	
2	走査配線	
3	ゲート電極	
4	ゲート絶縁膜	
5	信号配線	
6	真性半導体層	
7	不純物添加半導体層	
8	ソース電極	
9	ドレイン電極	
10	薄膜トランジスタ(TFT)	20
11	保護絶縁膜	
14	画素電極	
15	ドレイン電極の接続部(画素電極に接続される部分)	
20	補助容量配線	
21	層間絶縁膜	
22	コンタクトホール	
23	チャネル保護膜	
31	薄膜トランジスタのチャネル領域	
33	カラーフィルタ	
35	ブラックマトリクス	30
36	対向電極	
37	配向膜	
38	液晶層	
39	シール	
40	スペーサ	
50	液晶パネル	
51	ゲートドライブ回路51	
52	ソースドライブ回路52	
53	ゲートドライバ/ソースドライバ	
54	透明絶縁基板	40
55	対向基板	
56	偏光子	
91	透明導電膜	
92	レジストマスク	
93	遮光性金属膜	
95	チャネル保護層	
96	反射金属膜	
101	プラスチック基板	
102	走査配線	
103	ゲート電極	50

- 1 0 4 ゲート絶縁膜
- 1 0 5 信号配線
- 1 0 6 真性半導体層
- 1 0 7 不純物添加半導体層 (コンタクト層)
- 1 0 8 ソース電極
- 1 0 9 ドレイン電極
- 1 1 0 薄膜トランジスタ (T F T)
- 1 1 3 補助容量線
- 1 1 4 画素電極

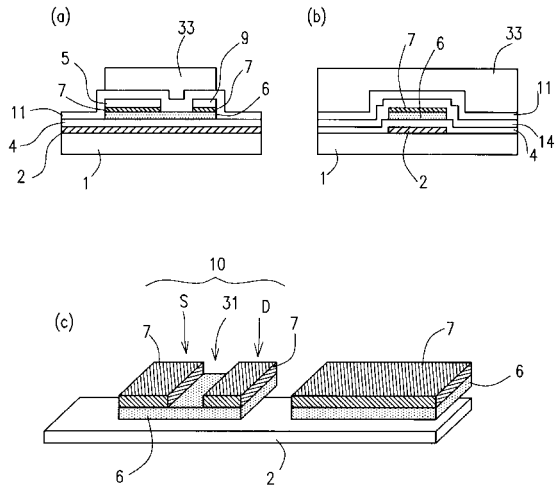
【 図 1 】



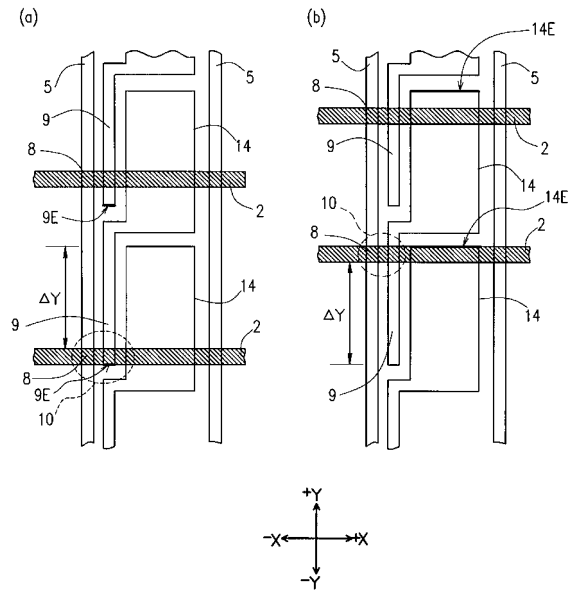
【 図 2 】



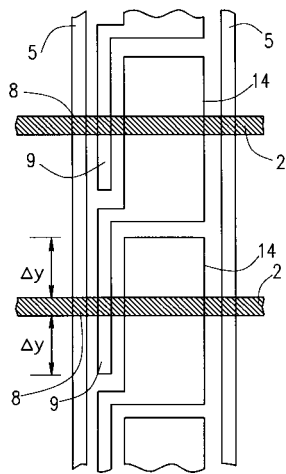
【図3】



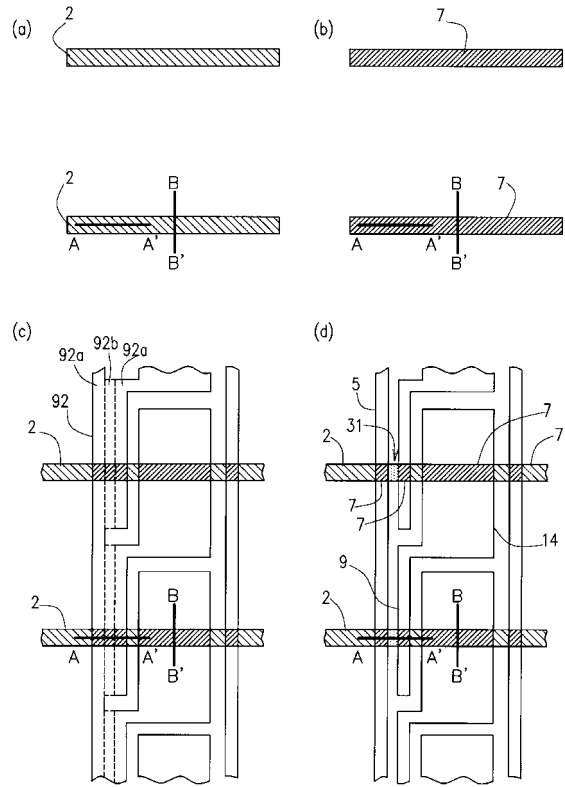
【図4】



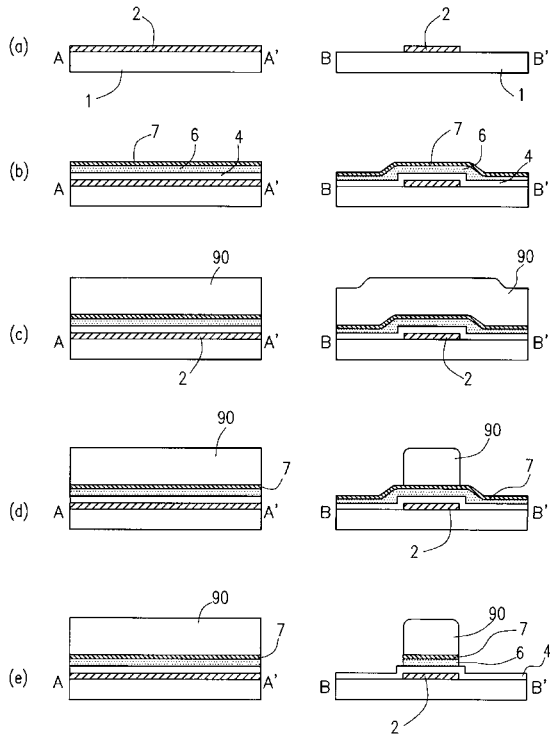
【図5】



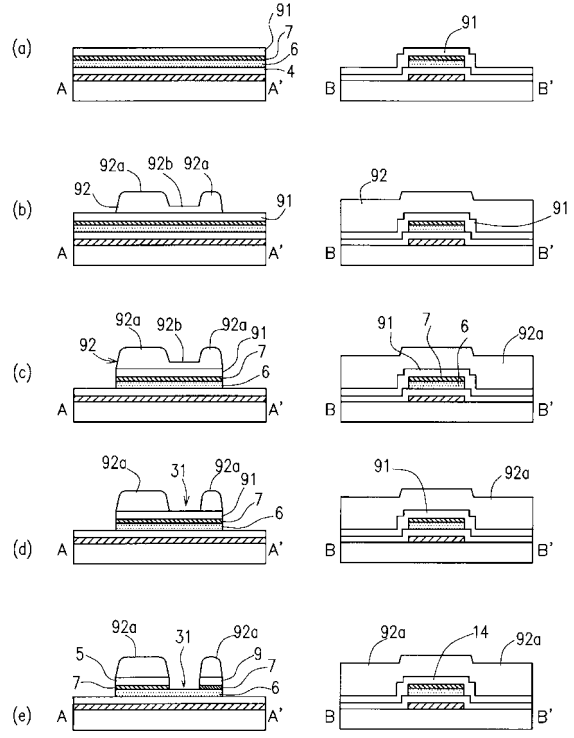
【図6】



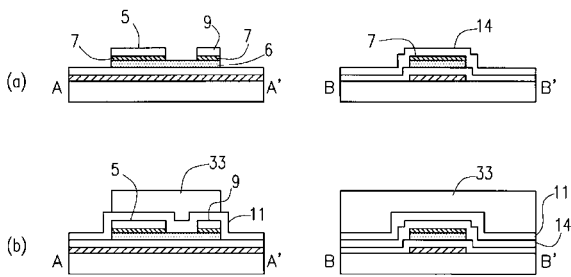
【図7A】



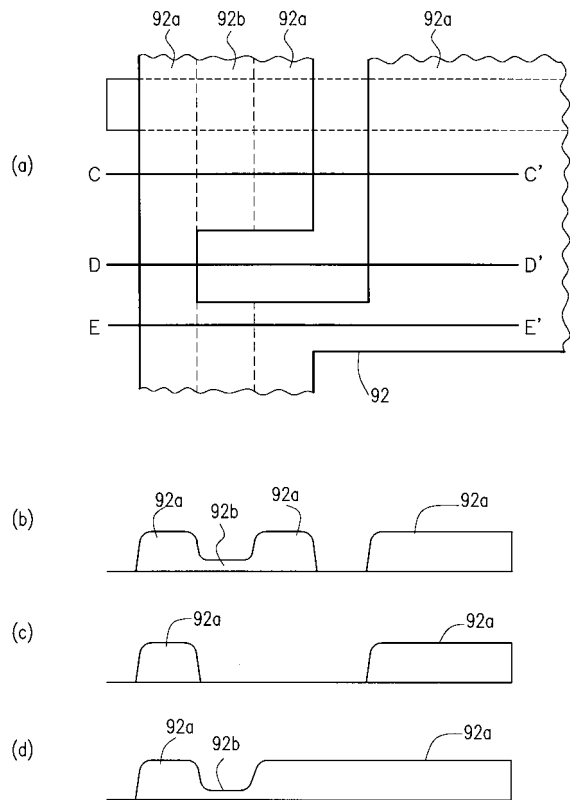
【図7B】



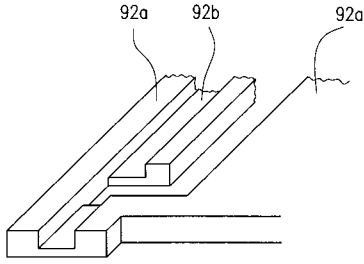
【図7C】



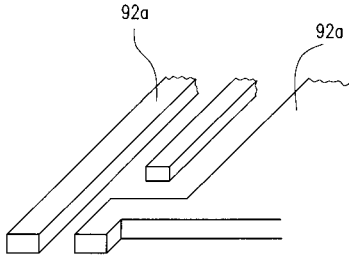
【図8】



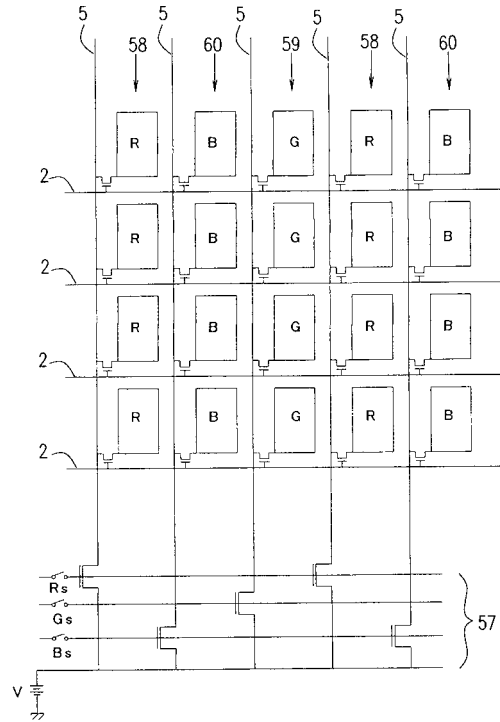
【図9】



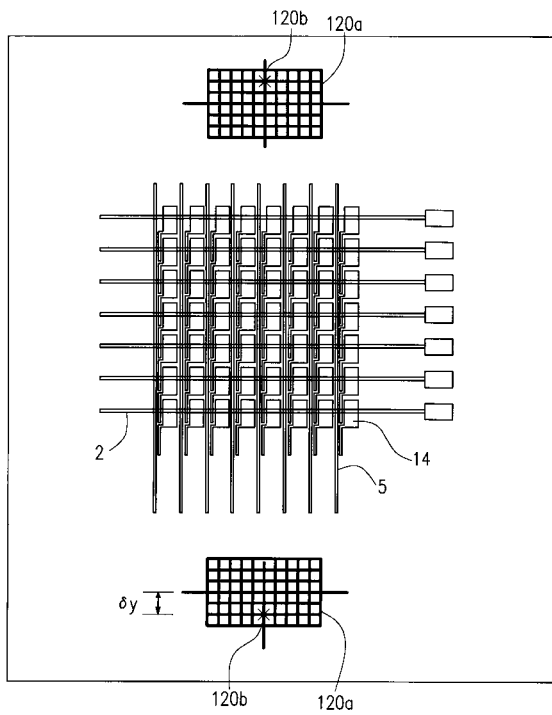
【図10】



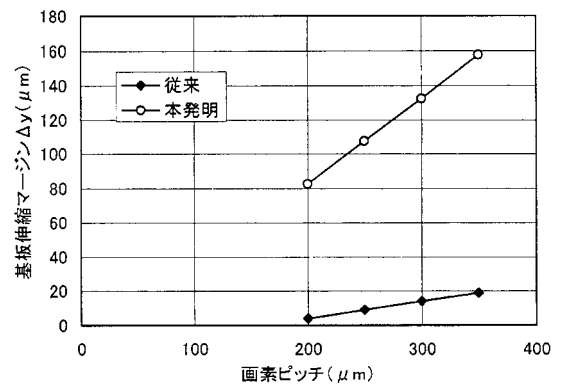
【図11】



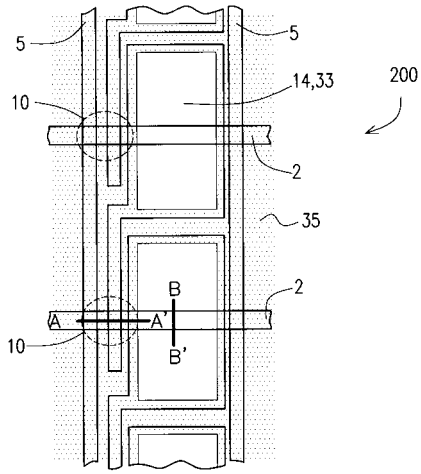
【図12】



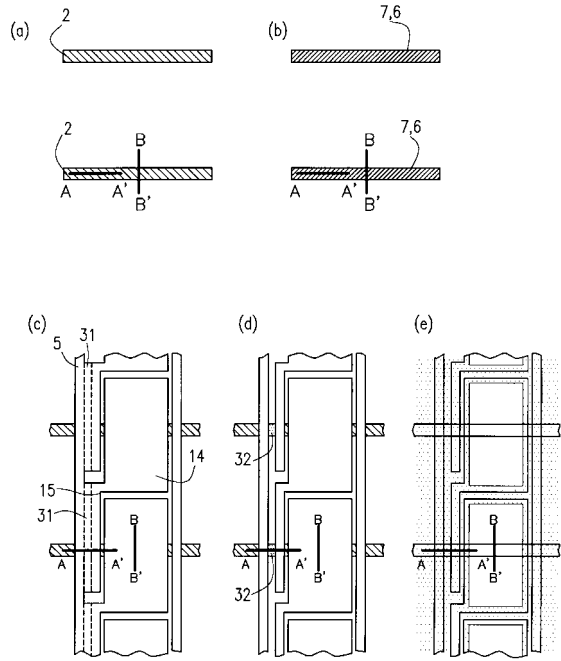
【図13】



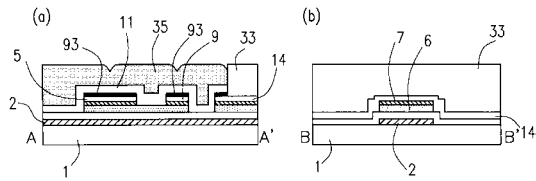
【 図 1 4 】



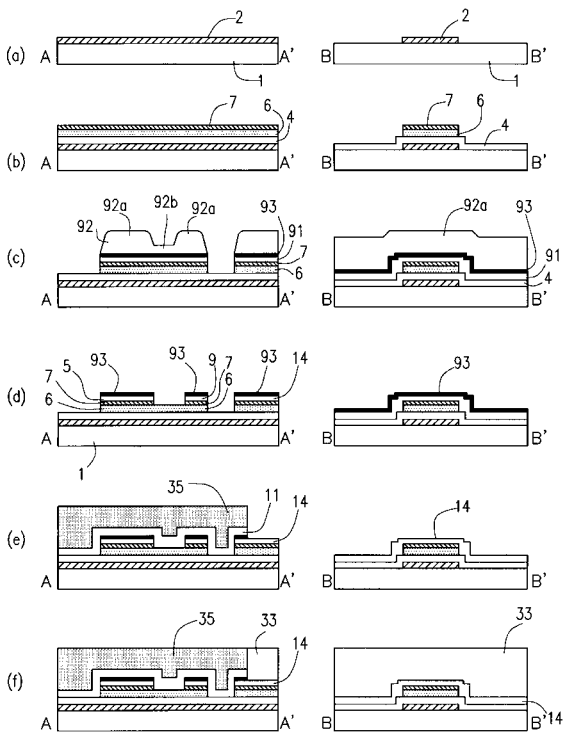
【 図 1 6 】



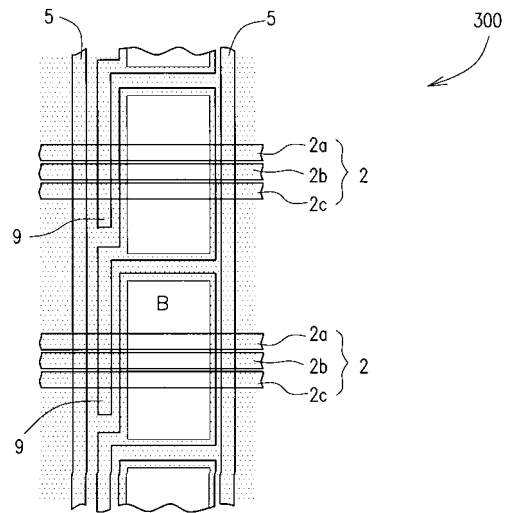
【 図 1 5 】



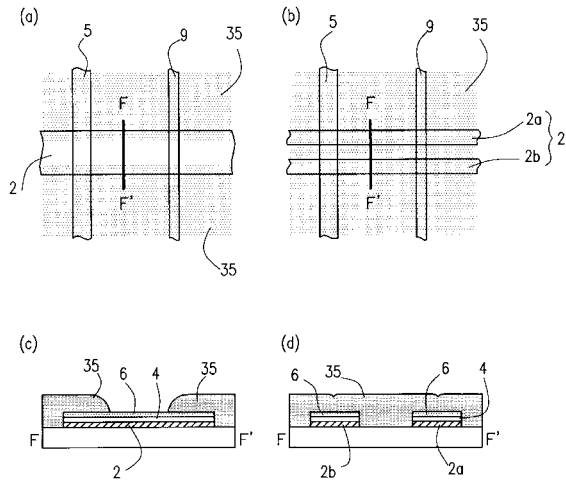
【 図 1 7 】



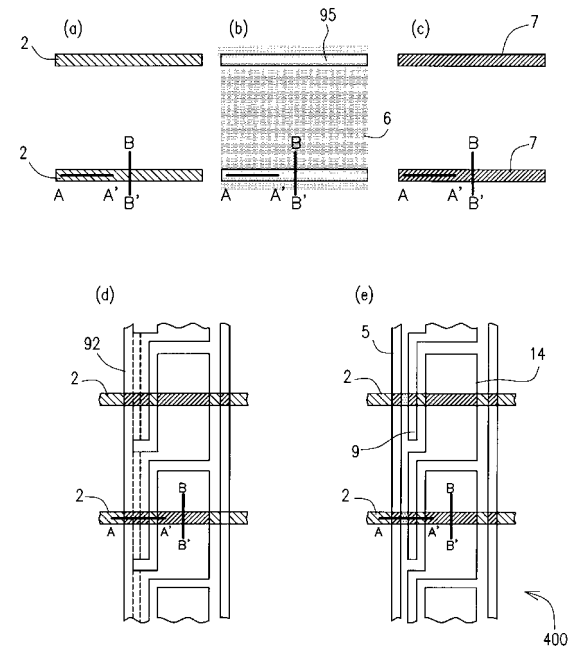
【 図 1 8 】



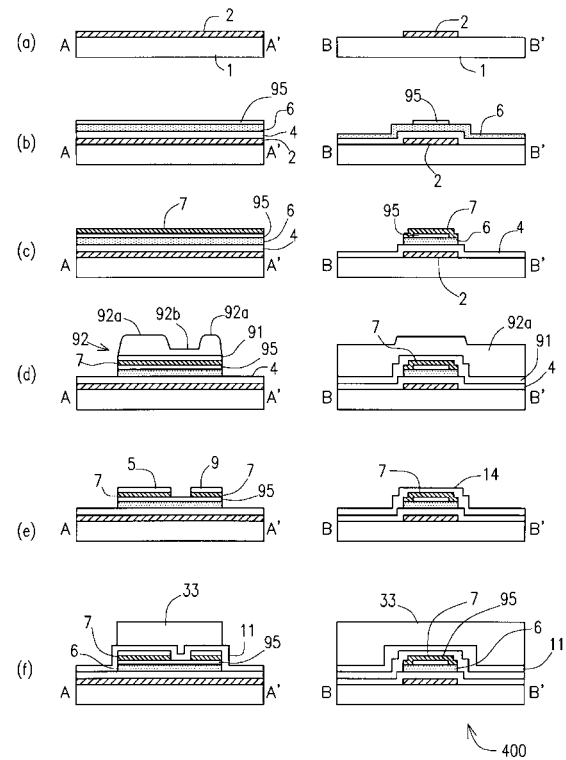
【図 19】



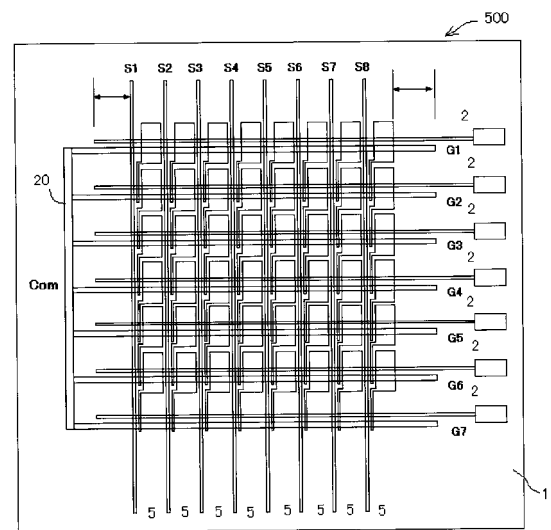
【図 20】



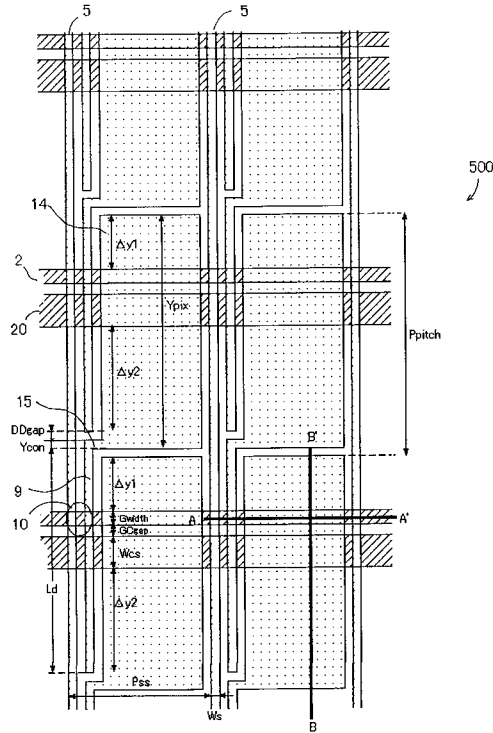
【図 21】



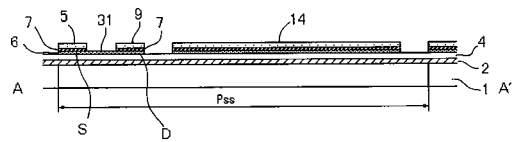
【図 22】



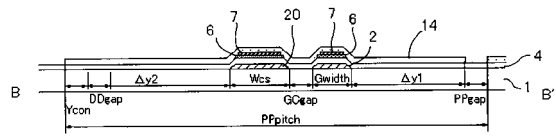
【図23】



【図24】

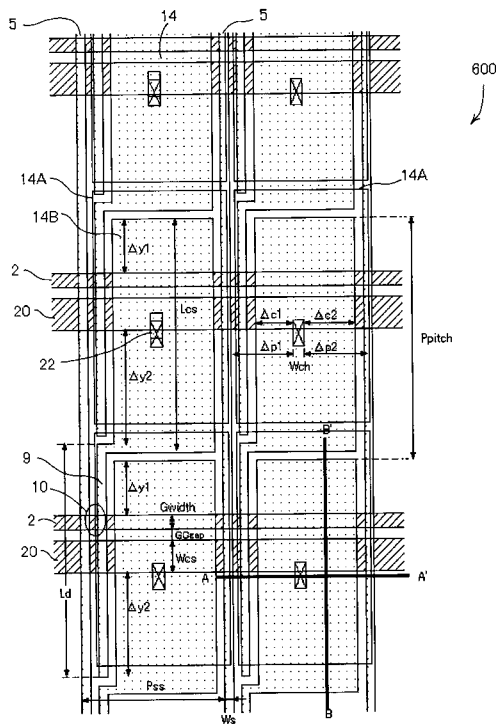


【図25】

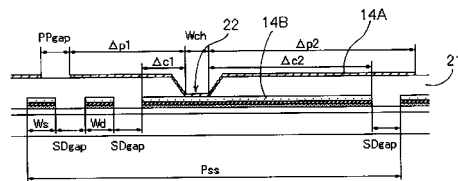


$$\Delta Y = \Delta y1 + \Delta y2 = Ppitch - Gwidth - PPgap - Wcs - GCgap - DDgap - Ycon$$

【図26】



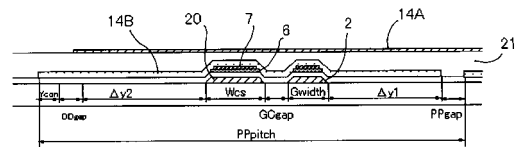
【図27】



$$\Delta C = \Delta c1 + \Delta c2 = Pss - Ws - Wd - 3 \cdot SDgap - Wch$$

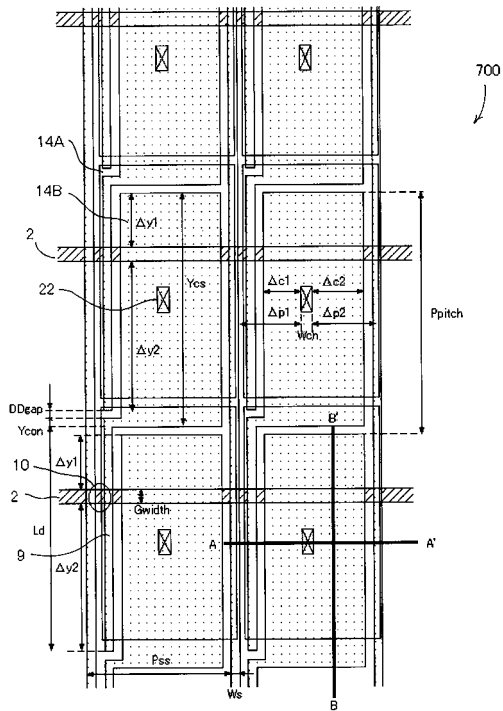
$$\Delta P = \Delta p1 + \Delta p2 = Pss - PPgap$$

【図28】

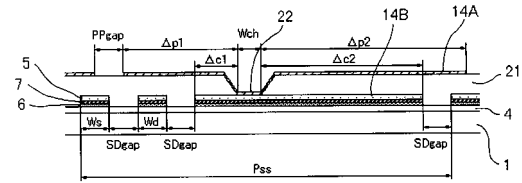


$$\Delta Y = \Delta y1 + \Delta y2 = Ppitch - Gwidth - PPgap - Wcs - GCgap - DDgap - Ycon$$

【 図 29 】



【 図 30 】



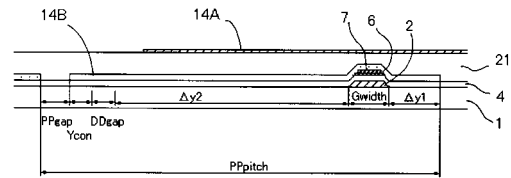
$$\Delta C = \Delta c1 + \Delta c2$$

$$= Pss - Ws - Wd - 3 \cdot SDgap - Wch$$

$$\Delta P = \Delta p1 + \Delta p2$$

$$= Pss - PPgap$$

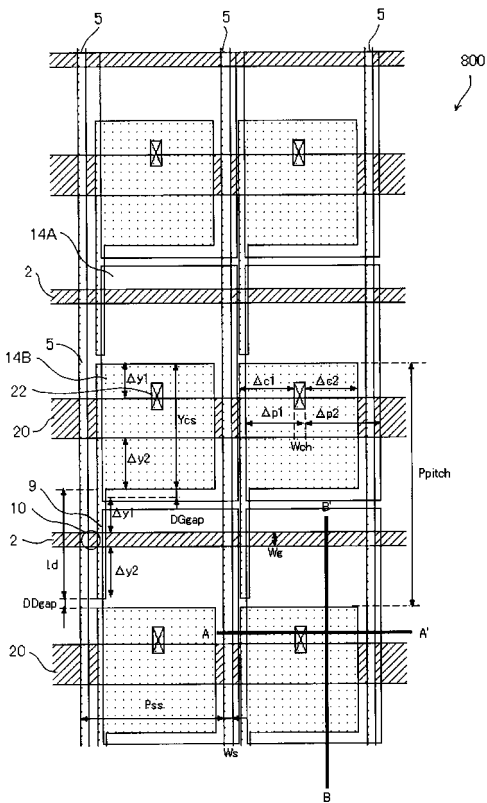
【 図 31 】



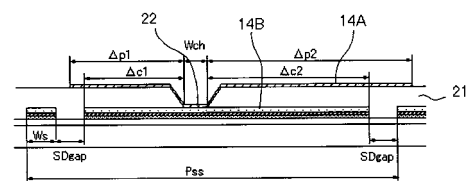
$$\Delta Y = \Delta y1 + \Delta y2$$

$$= Ppitch - Gwidth - PPgap - DGgap - Ycon$$

【 図 32 】



【 図 33 】



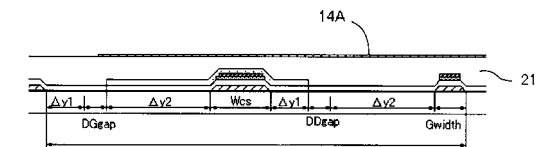
$$\Delta C = \Delta c1 + \Delta c2$$

$$= Pss - Ws - 2 \cdot SDgap - Wch$$

$$\Delta P = \Delta p1 + \Delta p2$$

$$= Pss - PPgap$$

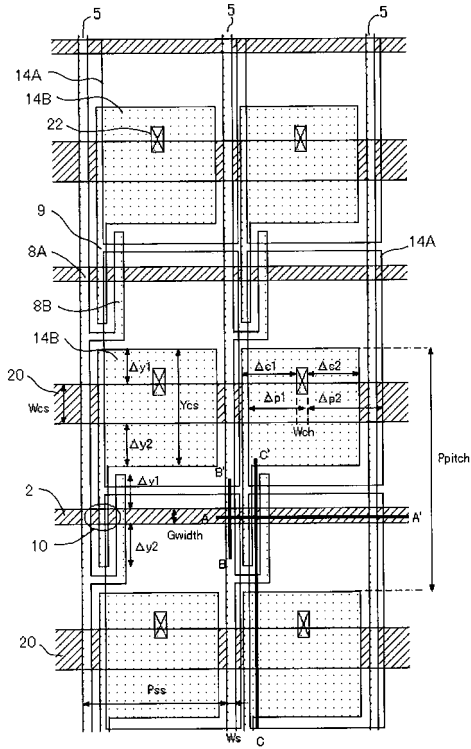
【 図 34 】



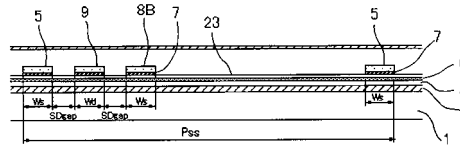
$$\Delta Y = \Delta y1 + \Delta y2$$

$$= (Ppitch - Gwidth - Wcs - DDgap - DGgap) / 2$$

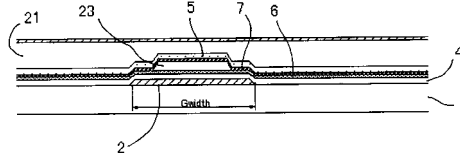
【 3 5 】



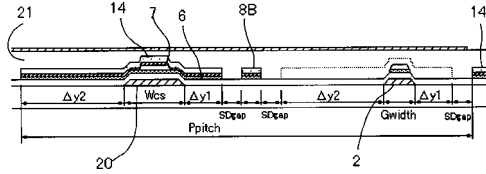
【 3 6 】



【 3 7 】

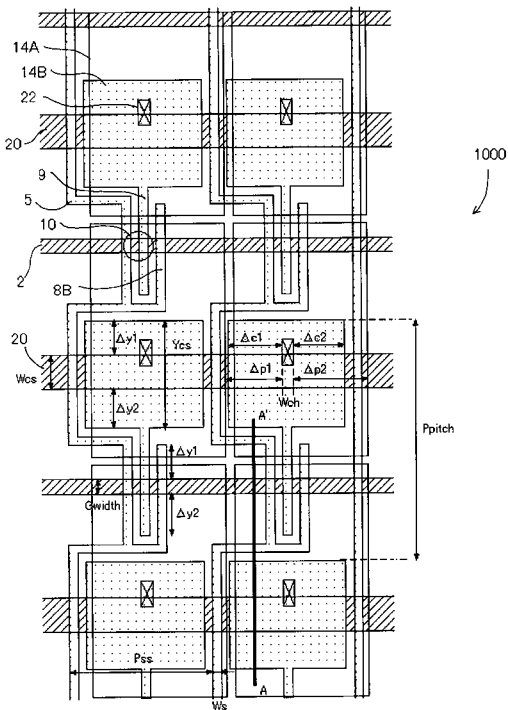


【 3 8 】

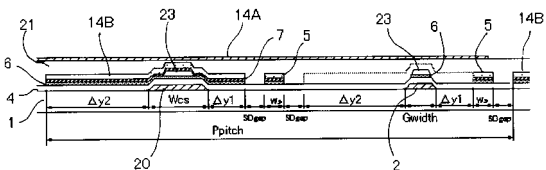


$$\Delta Y = \Delta y1 + \Delta y2 = (Ppitch - Gwidth - Wcs - Ws - 3 \cdot SDgap) / 2$$

【 3 9 】

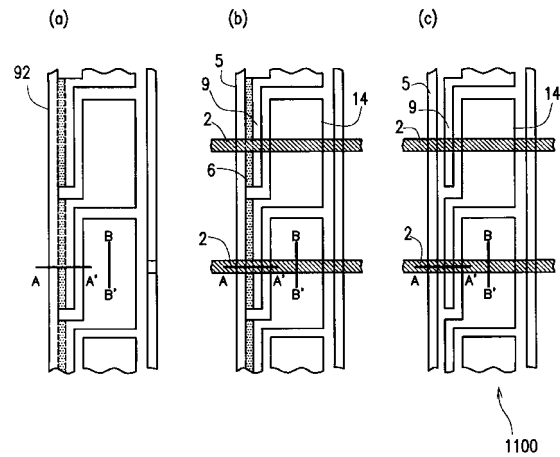


【 4 0 】

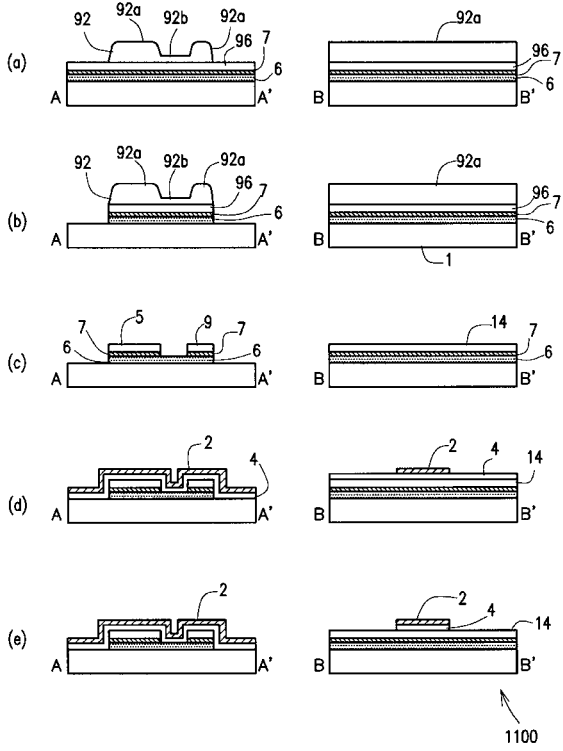


$$\Delta Y = \Delta y1 + \Delta y2 = (Ppitch - Gwidth - Wcs - 2 \cdot Ws - 3 \cdot SDgap) / 2$$

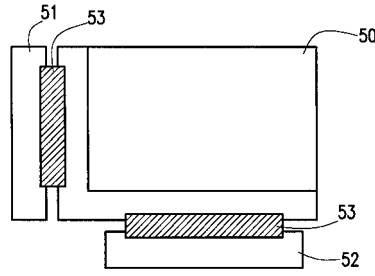
【 4 1 】



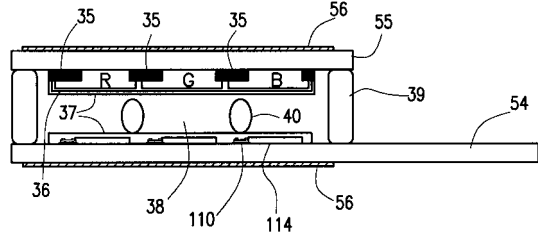
【 図 4 2 】



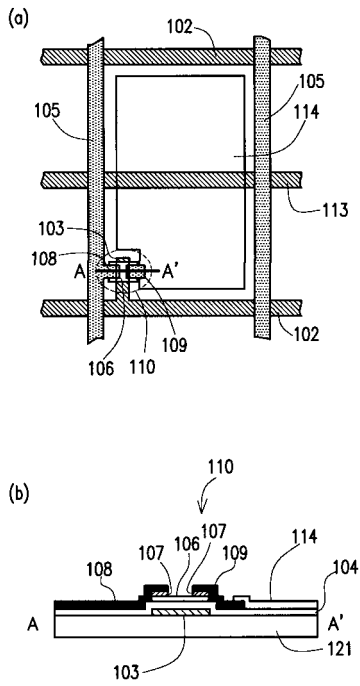
【 図 4 3 】



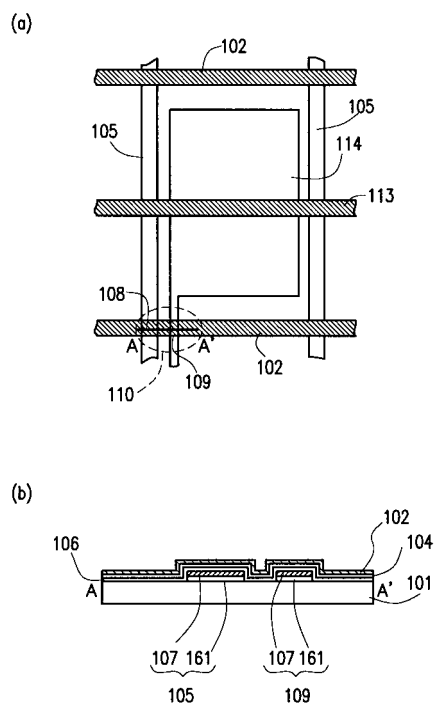
【 図 4 4 】



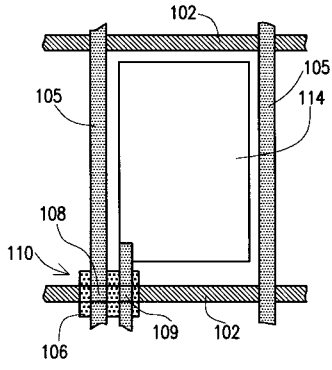
【 図 4 5 】



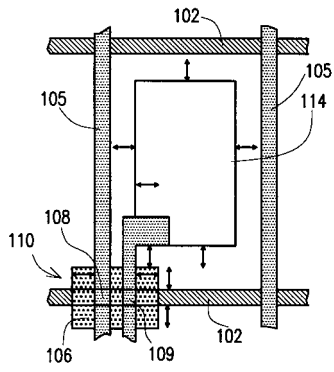
【 図 4 6 】



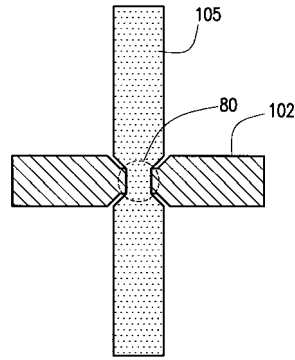
【 図 4 7 】



【 図 4 8 】



【 図 4 9 】



フロントページの続き

(51)Int.Cl.		F I			
G 0 9 F	9/30	(2006.01)	G 0 9 F	9/00	3 4 2 Z
G 0 9 F	9/35	(2006.01)	G 0 9 F	9/30	3 3 0 Z
H 0 1 L	21/336	(2006.01)	G 0 9 F	9/30	3 3 8
H 0 1 L	29/786	(2006.01)	G 0 9 F	9/30	3 4 9 C
			G 0 9 F	9/35	
			H 0 1 L	29/78	6 1 2 D
			H 0 1 L	29/78	6 1 6 N
			H 0 1 L	29/78	6 1 6 T
			H 0 1 L	29/78	6 2 6 C
			H 0 1 L	29/78	6 2 7 C

- (72)発明者 伴 厚志
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
- (72)発明者 岡本 昌也
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
- (72)発明者 大上 裕之
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

合議体

審判長 北島 健次
審判官 市川 篤
審判官 西脇 博志

- (56)参考文献 特開昭 6 2 - 1 0 6 6 6 6 (J P , A)
特開平 0 3 - 2 8 3 5 3 9 (J P , A)
特開 2 0 0 0 - 1 6 4 8 8 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 21/336
H01L 29/786