



[12] 发明专利说明书

[21] ZL 专利号 00814265.3

[45] 授权公告日 2005 年 4 月 13 日

[11] 授权公告号 CN 1197387C

[22] 申请日 2000.10.11 [21] 申请号 00814265.3
 [30] 优先权
 [32] 1999.10.13 [33] US [31] 60/159149
 [86] 国际申请 PCT/US2000/028059 2000.10.11
 [87] 国际公布 WO2001/028255 英 2001.4.19
 [85] 进入国家阶段日期 2002.4.12
 [71] 专利权人 汤姆森许可公司
 地址 法国布洛涅
 [72] 发明人 E·S·卡尔斯加尔德
 M·F·鲁姆雷希
 J·S·斯图尔特
 审查员 李意平

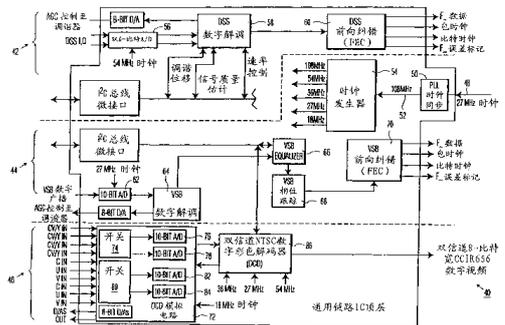
[74] 专利代理机构 中国专利代理(香港)有限公司
 代理人 王岳 陈霁

权利要求书 2 页 说明书 10 页 附图 5 页

[54] 发明名称 数字和模拟电视信号的数字化及处理设备

[57] 摘要

一种数字和模拟电视信号的数字化及处理设备，该设备使用被用于产生多个子时钟信号的公用基准频率源来执行数字化及处理功能，其中该基准频率源独立于输入信号的任何同步特性。对双信道模拟信号处理而言，公用频率源并不锁定于任一信道/输入信号。数字信号处理基于同一公用基准频率源来完成。优选地，本发明允许用于同步数字化及处理几个模拟和数字电视信号所需的所有模-数转换器和解码电路/逻辑集成到同一个集成电路上，从而消除重复的频率发生电路。



1. 一种信号处理设备, 包括:

第一和第二信号输入端, 用于接收各自具有各自的同步特性的第一和第二模拟信号;

5 第一时钟发生器, 用于产生基准时钟信号, 该基准时钟信号与该模拟信号的同步特性无关;

与第一时钟发生器耦合的第二时钟发生器, 用于响应该基准时钟信号产生多个另外的时钟信号; 以及

10 与第一和第二信号输入端以及第二时钟发生器耦合的信号处理部分, 用于根据采样率和合适的信号标准采样和处理第一和第二模拟信号, 该信号处理部分具有由多个另外的时钟信号中的相应时钟信号定时的多个模-数 (A/D) 转换器, 这些时钟信号独立于输入模拟信号的同步特性并且具有大致等于该采样率的频率,

15 其特征在于, 该信号处理部分使用单个处理信道来处理第二和第二模拟信号, 该单个处理信道由另一个时钟信号定时, 该时钟信号具有至少两倍于处理第一或第二模拟信号中的单个信号所需的时钟速率的信号频率。

2. 如权利要求 1 的信号处理设备, 其特征在于, 所述模拟信号是电视信号。

20 3. 一种用于处理具有各自的同步分量的第一和第二信号的方法, 该方法包括以下步骤:

接收具有各自的同步分量的第一和第二信号;

产生基准时钟信号, 该基准时钟信号与第一或第二信号的同步特性无关;

25 根据该基准时钟信号产生多个另外的时钟信号;

使用采用多个另外的时钟信号之一来定时的模-数 (A/D) 转换器将第一和第二信号转换为相应的第一和第二数字信号;

30 通过使用解码电路/逻辑, 根据适合的电视信号标准对转换的数字信号进行解码, 以提供适于显示的输出信号, 该解码电路/逻辑由该多个另外的时钟信号中的至少一个信号来定时, 该 A/D 转换器和解码电路/逻辑由多个另外的时钟信号中的相应时钟信号来定时, 这些时钟信号与输入信号的同步特性无关并且具有大致等于该采样率的频率,

其特征在于，该解码步骤包括使用单个处理信道来解码第一和第二数字信号以便提供两个输出信号，该单个处理信道由具有至少两倍于处理第一和第二输入信号中的单个信号所需的时钟速率的频率的内部时钟信号来定时。

- 5 4. 如权利要求 3 的方法，其特征在于，
该接收步骤包括接收第一和第二电视信号。

数字和模拟电视信号的数字化及处理设备

本发明涉及处理模拟和/或数字信号的设备，尤其涉及集成电路，
5 此集成电路利用多个时钟频率数字化及处理不同的模拟和/或数字信号。

集成电路即 IC，广泛地应用于所有类型的电子设备。随着这些电子设备变得越来越复杂，实现所有所需功能所必需的 IC 数量也要增加，并且/或者需要将几个 IC 的功能结合到单独的 IC 中。在把多种功能整合进单独的 IC 时，希望降低 IC 的内部复杂性。
10

当前的电视使用许多不同的 IC 处理来自各种各样地面的和非地面信号源的模拟和数字电视信号。然而，下一代的数字/模拟电视将被期望具有比当前电视更高的集成度。更高的集成度意味着需要更少的 IC，其中，通过几个独立 IC 实现的处理功能被整合进一个 IC 中。然而，
15 把模拟电视信号接收机的处理与数字电视信号所需的处理结合在一起会有各种各样的障碍。

一个涉及模拟和数字电视信号处理 IC 集成的问题是：不同的视频信号源（包括模拟和数字）可能需要模-数（A/D）转换器以便在不同的取样率下运行。模拟电视信号基于行锁定频率或色度副载波锁定频率，
20 而数字调制的（数字）电视信号基于它们自身的符号速率。另外，当异步时钟存在时，当前的 A/D 技术产生不利于 A/D 性能的数字串扰。

我们已知使用采用空闲频率操作的数字插值法的单独的数字解调器。另外，模拟信号的第二信道处理利用异步取样频率来实现。然而，在后面的情况中，主信道被锁定在输入的模拟电视信号的一个参数，
25 如水平同步脉冲或色同步信号。

WO 98/46027 公开了一种多标准彩色解码器系统，该系统包括一个外部异步晶体时钟，以解调 PAL/NTSC 彩色制式中的所有变量，而并不对模拟色度信号进行数字化。在一种解调模拟色度信号的公开方法中，数字正交信号产生，以用于解调模拟色度信号，从而获得模拟解
30 调色差信号。数字相差信号至少通过模拟解调色差信号提供。该数字相差信号被数字滤波，从而获得用于产生数字正交信号的相控信号。

US Pat. No. 5, 367, 337 公开了一种设备和方法，用于异步接收和

取样输入视频图像信号，并在随后处理该信号以恢复视频图像，包括视频格式，以转换为预先选择的视频格式。该专利公开了在检查视频格式的处理中的过取样。

5 US Pat. No. 5, 808, 691 公开一种合成具有某一频率的周期数字信号的设备，该频率由与该周期数字信号的取样时钟异步的周期基准信号的频率来规定。在一优选实施例中，一个数字视频系统合成数字彩色副载波并且与异步于数字视频系统的数字系统时钟的晶体振荡器的基准频率同步。

10 本发明是一种单独的系统 IC，通过使用未锁定在输入信号的一个参数的公用频率源，该系统 IC 执行多个模拟和/或数字信号的同步数字化及处理。所有输入信号的高性能取样和处理因而得以实现。

15 本发明为使用未锁定于任一系统的单个基准频率（基准时钟）的两个信道规定了标准模拟视频解码。也就是说，该基准时钟不是基于或锁定于任一输入信号的可锁定特性。针对卫星和地面电视信号的两
种数字信号处理器被改进，以用于执行基于同一基准频率的处理。本

发明提供多个信道的所有 A/D 和数字信号处理器的同步频率操作，以防止对输入信号的错误取样和处理。

在本发明的一种形式中，一特定频率的单个基准时钟被输入至一个时钟发生器中，该时钟发生器产生在 IC 上的 A/D 转换器和解码电路 / 逻辑所需的所有工作频率（时钟信号）。该基准时钟是独立的，例如未被锁定至输入信号的任何同步特性。

因为只有一个通过其生成其他所有取样和处理频率的基准时钟，因此，A/D 将能够以高达 10-比特的精度高性能地运行，几乎没有数字噪声。这利用异步取样频率通常是不可能的，这是因为取样模拟输入所需的“静带”已不再存在。然而，利用基于本发明的单个基准时钟（频率）的多个取样频率，这些在数字转换间的静带得以保留。

本 IC 的一个处理卫星（数字）广播电视信号的电路/逻辑部分使用一差补器以合适的符号速率相关频率（例如 40MHz）处理输入信号，不过实际取样可以在不同频率（例如 54MHz）进行。类似的处理过程被用于地面数字或残留边带（VSB）电视信号，其中两倍于该符号速率是一个合适的频率（例如 21.54MHz），同时，取样频率（时钟信号）高于该特定频率（例如 27MHz）。模拟电视信号处理也在每一信道的特定频率（例如 18MHz）上完成。尽管模拟电视信号取样未锁定于输入行速率，但水平频率可利用每一信道的子取样精度决定。最后的取样速率转换器具有把亮度频率（例如 13.5MHz）与每个色差信号（例如 6.75MHz）相加的频率（例如 27MHz）。这就提供了数据输出的非抖动行。此外，本 IC 的色度解调器使用了锁定于每一输入信号的输入色同步信号的数字离散时间振荡器（DTO）。因此，尽管在电路/逻辑的不同处理部分中异步时钟是固有的，但使用同步时钟可完成所有的数字处理，例如利用四种电视信号系统。

本发明也实现在双重 NTSC 信号处理部分的大部分数字电路中的双重使用。数字彩色解码器（DCD）执行用于解码 NTSC 视频的所有必要信号处理功能，包括：分离亮度和色度的梳状滤波；用于产生色差信号的色度解调；使信号分离、取样速率转换（SRC）同步于（sync）标准接口频率；以及垂直消隐时间（VBI）数据限幅。VBI 通常包括闭合字幕、“V-芯片”父母控制/受欢迎程度信息、节目指南、图文电视数据等。主信道视频和次信道视频都包括所有这些功能，其中该次信道

视频通常用于画中画 (PIP)。

依照本发明的另一个方面, DCD 把仅复制两个信道所需的实际数据存储分量的两个信道组合在一起, 并且通过以两倍于所需取样/时钟频率运行并在每个时钟周期切换信道而对大部分处理使用同样的电路。

- 5 因此, 举例来说, 在 36MHz, 在每隔一个时钟周期处理每个 18MHz 的信道。

在另一个形式中, 本发明包括模拟信号处理部分和时钟发生器。模拟信号处理部分可被用于处理具有同步分量的模拟信号, 如水平同步脉冲等。时钟发生器可被用于根据模拟信号处理部分使用的外部基准信号产生内部时钟信号, 其中该外部基准信号独立于模拟信号的同步分量。

在另一形式中, 本发明包括模拟信号处理部分、数字信号处理部分、与模拟信号处理部分相关的第一 A/D 转换器、与数字信号处理部分相关的第二 A/D 转换器。该集成电路还包括一时钟发生器, 它可被操作用于从该单个基准时钟信号分别向第一和第二模-数转换器提供第一和第二时钟信号, 其中, 第一和第二时钟信号提供第一和第二模-数转换器的同步操作。

在又一个形式中, 本发明包括模拟信号处理部分、数字信号处理部分、和时钟发生器。该时钟发生器可被操作用于产生由模数处理部分使用的不同频率的多个时钟信号, 其中, 该时钟发生器使用给定频率的单个基准时钟信号, 该频率独立于输入模拟和/或数字信号的任何同步特性。该模拟和数字信号处理部分同步处理它们各自的模拟和数字信号。

本发明参照附图进行描述, 其中:

25 图 1 是一典型系统的方框图, 在此系统中可以使用本 IC;

图 2 是在图 1 所示典型系统中使用的 IC 的方框图, 它结合了本发明的一个实施例;

图 3 是显示了在图 2 的 IC 中使用的各种数字频率的图;

图 4 是图 2 中 IC 的数字彩色解码器的方框图;

30 图 5 是图 2 中 IC 的梳状滤波器实施方案的方框图。

在这几张图中, 相应的标号表示相应的部分。

参照图 1, 其中描述了适于使用根据本发明的 IC 的系统 10 的方

框图。系统 10 包括用于信号和/或数据及信息处理的多个集成电路，其中，至少一个 IC 需要多个时钟、时钟频率、或时钟/定时信号以便于起到适当的作用。此类 IC 可以被称为多时钟 IC。应该认识到，系统 10 是利用本发明的多时钟 IC 的一个典型环境/应用。依照在此公布的原理，系统 10 的多时钟 IC 可以采用本专业技术人员所知的许多种形式并且/或者执行很多功能。

在系统 10 中，多时钟 IC 对来自不同信号源的各种电视信号格式执行电视信号处理。简而言之，结合本发明的多时钟电视信号处理器 IC 可适用于/被操作用于处理数字卫星电视信号、地面（包括电缆分发）数字电视信号、和地面（包括电缆分发）模拟电视信号。在各种编码方案和/或调制方案中可以提供这些模拟和数字信号。

系统 10 包括电视信号处理设备 12，此设备可以是电视设备、机顶盒等（统称“电视设备”）。电视信号处理设备 12 包括解码所接收的电视信号的处理电路/逻辑 16。处理电路/逻辑 16 可被操作用于解码和处理来自直播卫星（DBS）系统 20 的使用例如 QPSK（正交相移键控）调制/解码格式调制的数字调制的模拟音频和视频电视信号或传输（“数字电视信号”）。处理电路/逻辑 16 也可被操作用于解码和处理来自地面数字电视（DTV）天线 26 的数字电视信号。此类电视信号可使用 VSB（残留边带）调制/解码格式进行数字调制。

处理电路/逻辑 16 还可被用于处理经过信号路径或线路 32 由地面模拟天线 30 接收的模拟音频和视频电视信号（“模拟电视信号”），以及来自 CATV（有线电视）系统 34 的模拟电视信号。模拟电视信号的调制/编码格式通常是 NTSC，但也可以使用其它格式。模拟电视信号的处理通常包括通过适当的电路、软件、和/或其他元件数字化输入信号。也可以解码和处理来自 CATV 系统 34 的数字电视信号。应当理解，电视设备 12 适于接收和处理来自不同于所示信号源的模拟和/或数字电视信号。

电视信号处理设备 12 通常还包括存储器 18，存储器 18 包括用于控制电视信号处理设备 12 的操作的存储的程序指令（例如软件）。提供电路/逻辑 24 是为了电视信号处理设备 12 的其他功能，该功能不是理解或实施本发明所必需的，并且不会对其进行详细描述。

系统 10 也包括耦合至处理电路/逻辑 16 的显示器 14，并且适于显

示电视信号的视频部分（及其任何 OSD）。在机顶盒等情况下，显示器 14 与所附的电视机的显示器相关。输出 38 也可以从处理设备 12 把音频和/或视频提供给另一设备（包括录像机等）。

5 电视信号处理设备 12 可以是模拟/数字电视，该设备包括但不限于由 Indianapolis, Indiana 的 Thomson Consumer Electronics, Inc. 制造的 DTV-320 HDTV（高清晰度电视）、诸如高清晰度数字电视（HDTV）的数字电视、可以利用模拟/数字电视信号的机顶盒、电视信号存储设备，或能够处理各种形式的电视信号的其它任意设备。

10 依照本发明的一个方面，系统 10 中的多个 IC 的至少一个 IC 是多时钟 IC。在处理电视设备 12 的电路/逻辑 16 中利用的多时钟 IC 被称为通用链路 IC，并在图 2 中示出。通用链路 IC40 是混合信号设计的集成电路，即，它具有模拟和数字电视信号处理电路，并且把几个电视信号处理功能合并或集成至一个 IC 中。

15 参照图 2，其中显示了在电视设备 12 中使用的通用链路 IC40 的方框图。通过使用一给定频率的外部产生的单个基准时钟信号，不同频率的多时钟信号可由通用链路 IC40 产生。通用链路 IC40 包括接收外部产生的基准时钟信号的 I/O 针 48。在本实施例中，通用链路 IC40 使用外部提供的 27MHz 基准时钟信号。其他外部基准时钟信号频率可以按照在此提出的原理使用。

20 显然，外部基准时钟信号不基于或锁定于任何可锁定的特性，如输入电视信号（模拟或数字）的同步脉冲或色同步信号。相反，外部基准时钟信号被选择用于提供容易的乘法和除法运算，以用于产生适当频率的时钟信号，从而适应通用链路 IC40 的电路/逻辑的不同部分或块的时钟信号频率要求。

25 在通用链路 IC 40 中，外部基准时钟信号被提供给锁相环（PLL）合成器 50，该合成器在输出/线路 52 上产生给定频率的输出时钟信号。在此，PLL 输出时钟信号被选择为 108MHz，并且可以被认为是内部基准时钟信号。所有剩余的所需时钟信号通过该内部基准时钟信号产生。

30 108MHz 的内部基准时钟信号被提供至时钟发生器 54，时钟发生器 54 包括合适的电路/逻辑以产生多时钟频率。由时钟发生器 54 产生的实际时钟信号数根据特定 IC 的时钟信号要求而定。在通用链路 IC40

中，时钟发生器 54 产生四个 (4) 不同频率的时钟信号和一个 (1) 与内部基准时钟信号的频率相同的时钟信号。之后，每一个生成的时钟信号被路由至该电路/逻辑的适当部分或块。

5 根据本发明，由 PLL 时钟合成器 50 产生的内部 IC 基准时钟频率是外部基准时钟频率的倍数。具体来说，内部 IC 基准时钟频率最好为外部基准时钟频率优选的整数倍。同样选择内部 IC 基准时钟频率，以使其可被分为多个 IC 时钟信号或频率，它们可由该电路/逻辑的不同部分或块使用。

在当前情况中，内部基准时钟信号频率是 108MHz，它四倍于 (4)
10 27MHz 的外部基准时钟频率。之后，时钟发生器 54 产生 54MHz 时钟信号，它是 108MHz 内部 IC 时钟信号的一半 (1/2)，36 MHz 的时钟信号是 108MHz 内部 IC 时钟信号的三分之一 (1/3)，27 MHz 的时钟信号是 108MHz 内部 IC 时钟信号的四分之一 (1/4)，18 MHz 的时钟信号是 108MHz 内部 IC 时钟信号的六分之一 (1/6)。因此，时钟发生器
15 54 产生 4 个子时钟，这些子时钟是没有相移的主内部时钟的分谐波。

决定内部时钟信号频率的另一个因素是通用链路 IC40 的电路/逻辑的各部分或块的取样率或定速率。如上所述，通用链路 IC40 包括 3 个主要部分。这 3 个主要部分是：“卫星链路”部分 42，可操作此部分接收和解调/解码卫星传输的电视信号；“VSB(残留边带)链路”
20 部分 44，可被操作以接收和解调/解码地面传输的通用数字和/或数字高分辨率 (HDTV) 信号；和“DCD”(数字彩色解码) 部分 46，它是电路/逻辑的一个块，可被操作用于提供交换、色度解调和 NTSC(模拟)信号的其他信号处理。通用链路 IC 40 提供几个独立的解码/解调系统，包括用于主模拟电视信号的第一系统、用于辅助模拟电视信号的第二系统 (如 PIP 或画中画 和/或 POP 或画上画)、用于数字卫星电视信号的第三系统，以及用于数字地面电视信号的第四系统。部分 42、
25 44 和 46 独立且并行操作。由于各种信号的性质不同，因此，电路/逻辑的部分或块的各部分电路/逻辑需要不同的定时或取样频率。

卫星链路部分 42 接受 I, Q 输入至合适的 “x-比特”A/D 转换器。
30 尤其是，提供 I 和 Q 输入至使用 54MHz 时钟信号定时或取样的双 6-比特 A/D 转换器 56。解调块 58 和前向纠错(FEC)块 60 还处理卫星广播数字电视信号。尤其是，解调块 58 和 FEC 块 60 使用一插补器以在卫

星广播数字电视信号的一个适当符号速率相关频率上处理卫星广播
(数字)信号。在当前情况中,适当的符号率是40MHz。然而,尽管仅
需40MHz的时钟或取样信号,但双6-比特A/D转换器56利用54MHz IC
时钟信号定时或取样(过取样)输入电视信号。54MHz时钟提供的时钟
5 或取样频率比所需的时钟或取样频率提高35%。

与卫星链路部分42类似,VSB部分44通过适当的“x-比特”A/D
转换器接收VSB数字广播电视信号。VSB部分44通过以27MHz时钟信
号定时的10-比特A/D转换器62接收VSB信号。解调块64、均衡器块
66、相位追踪块68、和前向纠错(FEC)块70还处理地面广播数字电视
10 信号。尤其是,解调块64,均衡器块66、相位追踪块68、和FEC块
70以两倍于VSB(即,地面)广播数字电视信号的符号速率相关频率
处理VSB信号。在当前情况下,合适的符号速率频率是10.77MHz,所
以,两倍于该适当符号速率频率是21.54MHz。然而,即使仅需要
21.54MHz时钟或取样信号,10-比特A/D转换器62还是利用了27MHz
15 的IC时钟信号来定时或取样(过取样)输入电视信号。27MHz的时钟
提供的时钟或取样频率比所需的取样频率提高大约25%。

在DCD部分46中,使用模拟电视信号的每一信道的18MHz时钟信
号完成模拟取样。尽管这些取样未锁定于输入电视信号的特性,但该
水平频率是利用每个信道的子取样频率来确定的。DCD部分46可被操
20 作用于在DCD模拟电路部分72接收两个模拟电视信号(例如一个用于
主信道,另一个用于PIP或POP)。其四个(4)CV/Y信号被输入至适
于把信号传送至两个10-比特A/D转换器76和78的开关74。其两组
独立的C、U,和V INS被输入至适于把信号传送至两个10-比特A/D
转换器82和84的开关80。这四个10-比特A/D转换器76、78、82
25 和84的输出被输入至双信道NTSC数字彩色解码器86。在27MHz(依
次为亮度的13.5MHz和每一色差信号的6.75MHz)实现最终取样率转
换。这提供了数据输出的非抖动线路。此外,色度解调器使用锁定于
每一输入信号的输入色同步信号的数字离散时间振荡器(DTO)。

尽管异步特征在这四个信号系统中是固有的,但所有的A/D处理
30 和数字信号处理均可使用同步时钟完成。另外,时钟发生器54产生
的每一IC时钟信号频率等于或高于电路/逻辑的适当部分的合适操作所
需的时钟/取样信号频率。这种过取样可在随后的特定信号的处理中实

现。色度解调部分 102 和 104、以及 SRC 和同步处理器 110 和 112 可以补偿 A/D 和信号处理器部分的同步操作产生的不良效果。消除这种效果的技术是本技术领域的专业技术人员所熟知的，所以不在此进行详细讨论。

5 因为只有一个通过其产生其他所有取样和处理频率的基准时钟信号，因此 A/D 将能够以高性能（例如高达 10-比特的精度）运行并且几乎没有数字噪声。因为取样模拟信号所需的“静带”不再存在，所以不可能利用异步取样频率。然而，利用基于同一时钟的多个取样频率，数字转换之间的静带得以保存。（见图 3）。

10 本发明的另一个方面是处理 NTSC 电视信号的数字电路部分的双重用途。在这点上，参照图 4，其中描述了 DCD 块 86 的方框图。DCD 块 86 执行两个 NTSC（模拟）电视信号所有必需的信号处理功能。DCD 块 86 包括两个梳状滤波器 90 和 92，用以分离来自两个分别输入模拟电视信号亮度和色度开关 94 和 96 的两个输入模拟电视信号的亮度和色度。相应的亮度和色度开关 94 和 96 均定时于 36MHz（两倍于单信道的 18MHz 的所需频率），这样，每一信道的色度和亮度分量在每一时钟上交换。因此，在 36MHz，在每隔一个时钟周期处理每个 18MHz 的信道。

20 色度分量被输入相应的 ACC 和色度解调块 102 和 109。UV 分量同时被转发至分用器 98 和 100 以获得相应的独立的 U 和 V 分量。在相应的 UV 开关 106 和 108，相应的分用器 98 和 100 的 U 和 V 输出与色度解调模块 102 和 104（色差信号）U 和 V 的输出结合在一起，它再次被定时在 36MHz（两倍于单独信道的 18MHz 的所需频率），这样，每一信道的色度和亮度分量在每一时钟周期被转换。因此，在 36MHz，在每隔一个时钟周期处理每个 18MHz 的信道。

25 亮度和 UV 分量被转发至相应的取样率转换器和同步（sync）信号分离块 110 及 112 以产生具有标准接口频率的信号。此外，垂直消隐时间（VBI）数据限幅由数据限幅器 114 和 116 实现，在其中可获得闭合字幕、“v-芯片”父母控制信息、图文电视数据、节目指南信息等。

30 相应的取样率转换器和同步处理器 110 和 112 以及相应数据限幅器 114 和 116 的输出被输入至视频处理器 118，以提供主信道视频和第二（辅助）信道视频。第二信道视频通常用于 PIP 或 POP。正如之前提到的，

在色度解调部分 102 和 104，以及 SRC 和同步处理器 110 和 112 中补偿因为使用单个基准时钟产生的不良结果。

参照图 5，在其中显示了具有根据本发明一个方面的 DCD 块 86 的大部分逻辑电路的双重用途的梳状滤波器实施方案的统称为 130 的方框图。18MHz 的定时或取样频率的第一合成视频被输入至保存一行视频的数据存储设备 134 和梳状滤波器 132。与此同时，18MHz 的定时或取样频率的第二合成视频被输入至保存一行视频的数据存储设备 136 和梳状滤波器 132。数据存储设备 134 和 136 均以 18MHz 的取样率定时。梳状滤波器 132 以两倍于 18MHz 或以 36MHz 定时。以此方式，梳状滤波器 132 可以交替处理数据存储设备 134 和 136 的输出。

因此，DCD 块 86 通过仅复制实际数据存储分量来将两个信道结合在一起，从而取代两个完全不同的电路。通过以两倍于所需频率运行并在每个时钟转换信道，DCD 块 86 还对大部分处理使用同一电路。

尽管本发明已被描述为具有优选的设计和/或结构，但本发明在本公开的精神和范围内可以进一步改进。因此，本申请并不背离在本发明涉及和所附权利要求范围内的相关技术的已知或通常实施的本发明的公开。尤其是，本发明可适用于其他电路，在其中具有操作不同频率需求的系统的先决条件，并希望在同一硅空间内操作系统/电路，除数字电路/逻辑外，尤其是那些具有 A/D 和其他模拟电路的电路。

20

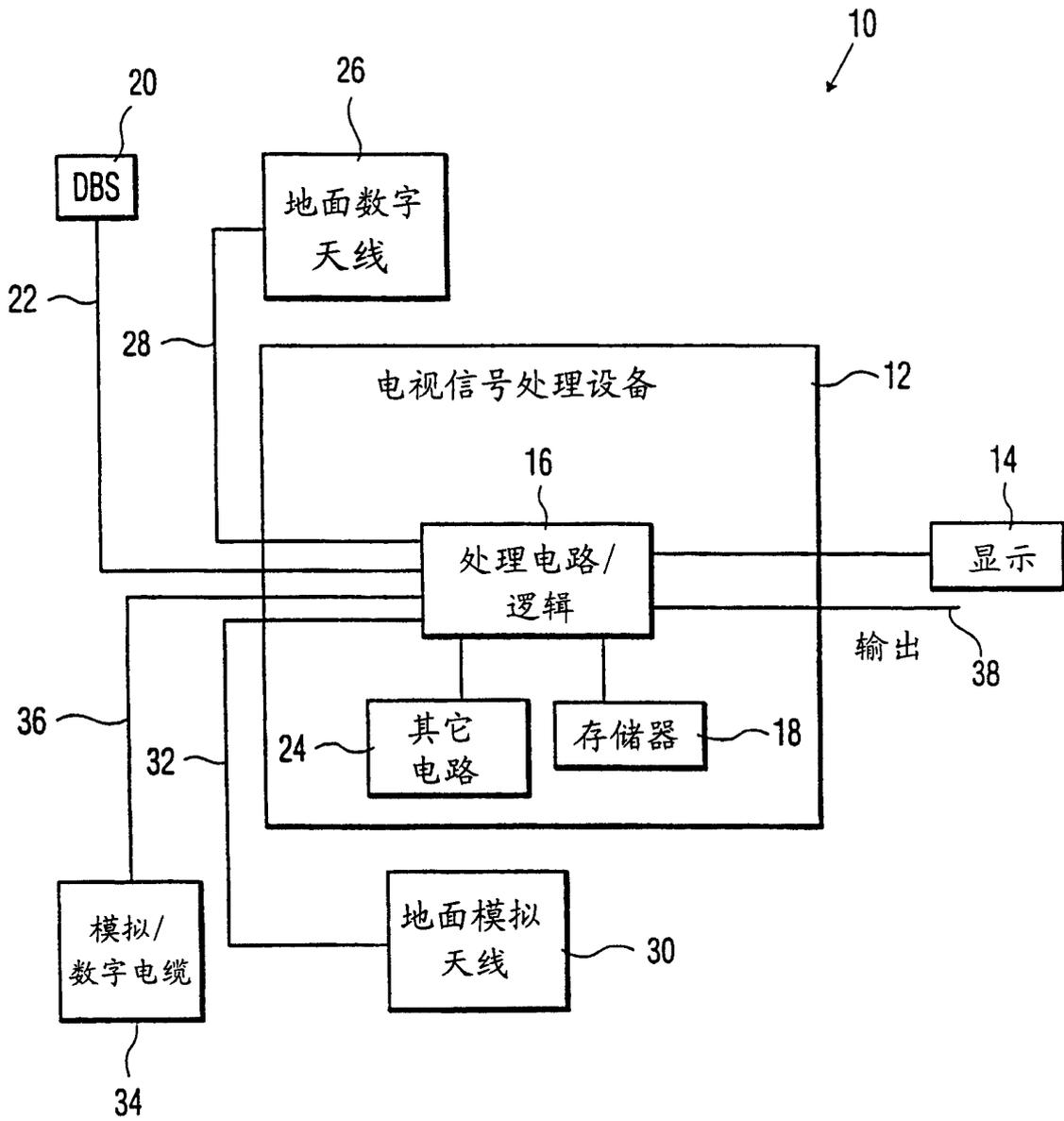


图 1

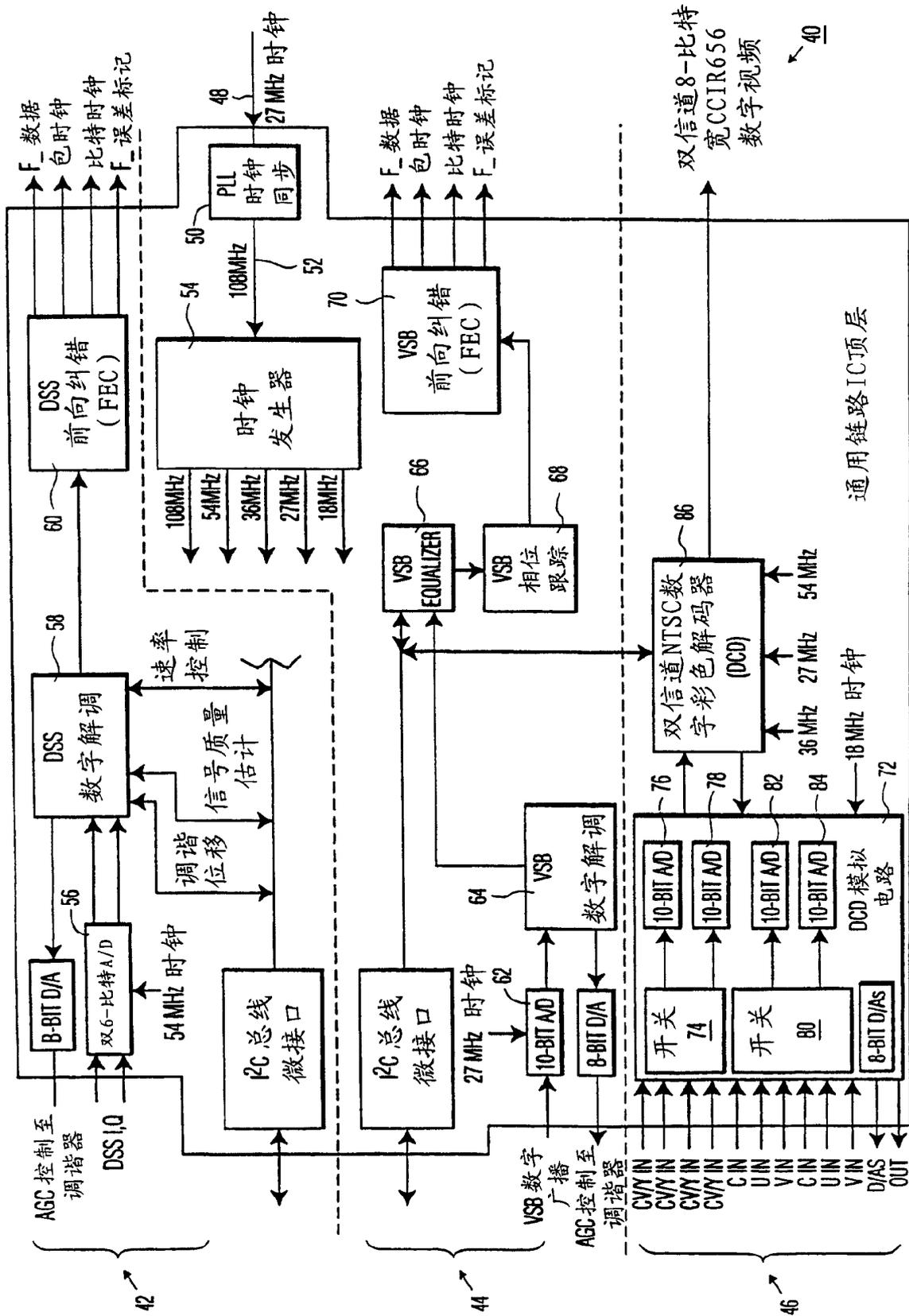


图 2

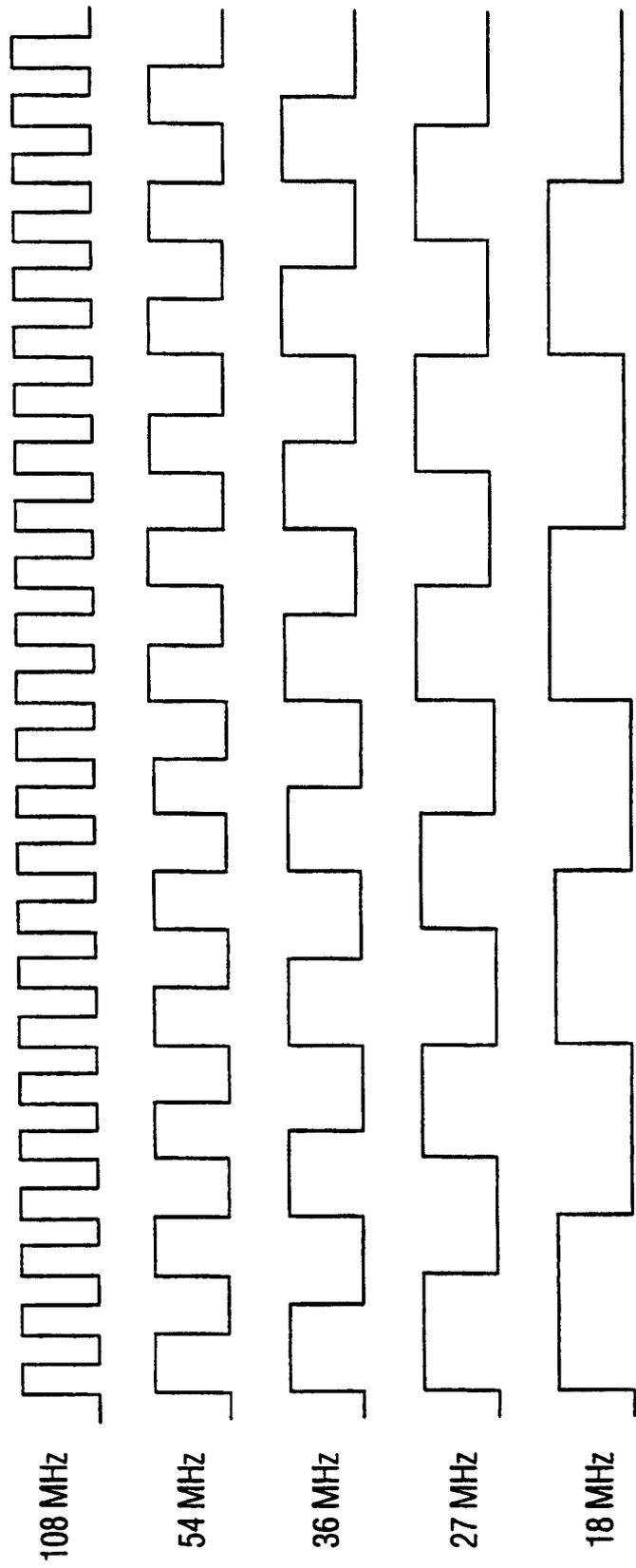


图 3

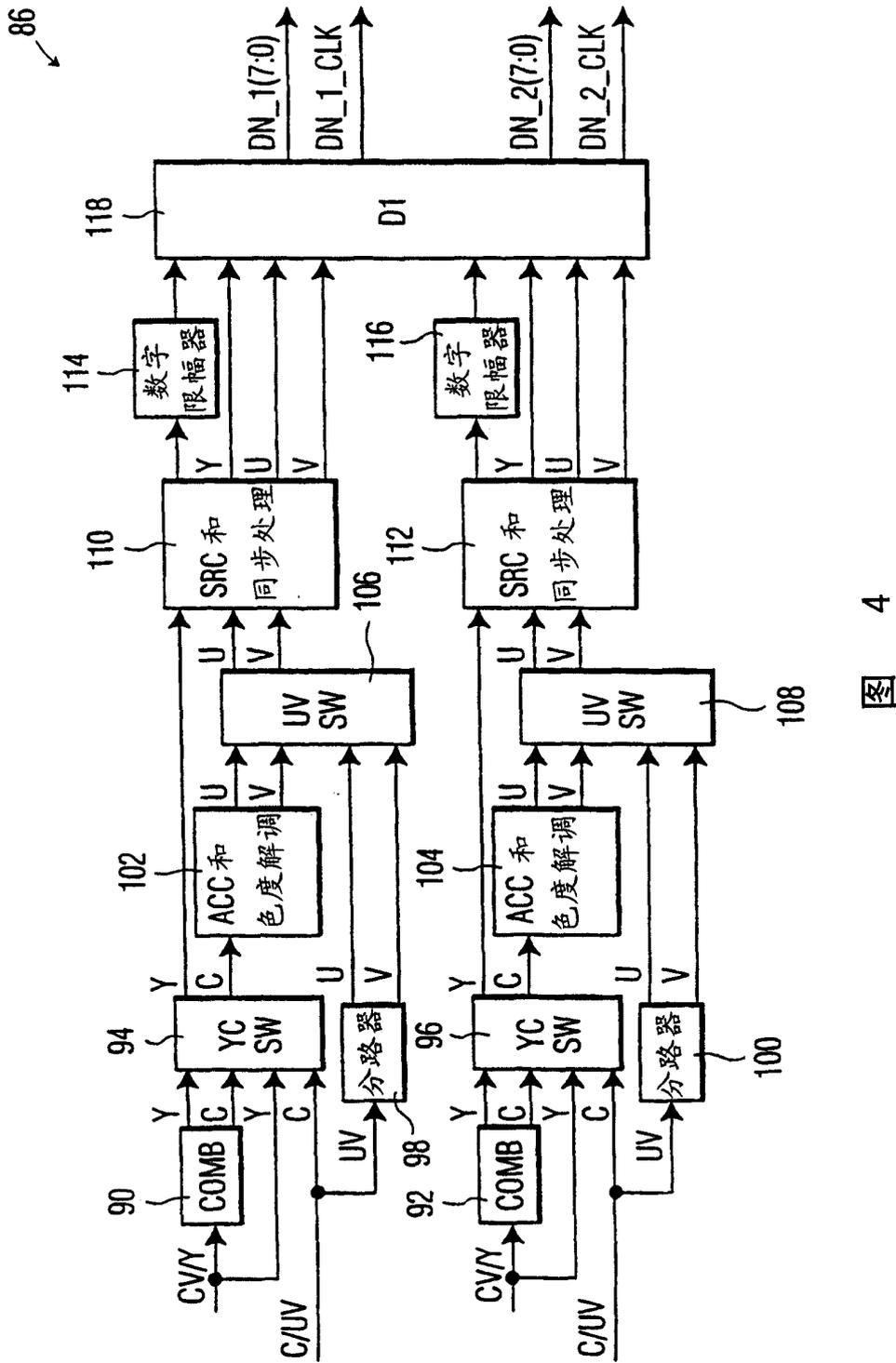


图 4

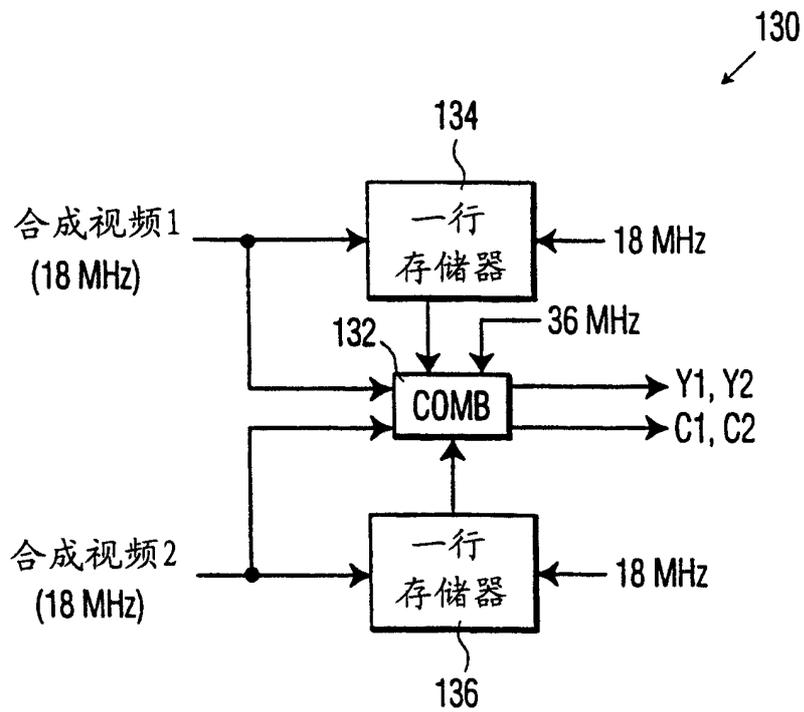


图 5