



(12) 发明专利

(10) 授权公告号 CN 101814526 B

(45) 授权公告日 2016. 02. 03

(21) 申请号 201010124800. 6

29-56 段、附图 1-4.

(22) 申请日 2010. 02. 05

US 6054352 A, 2000. 04. 25, 全文.

JP 特开 2000-349282 A, 2000. 12. 15, 全文.

(30) 优先权数据

2009-037717 2009. 02. 20 JP

审查员 李元

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72) 发明人 山崎舜平 荒井康行

(74) 专利代理机构 中国专利代理(香港)有限公司
72001

代理人 朱海煜 徐予红

(51) Int. Cl.

H01L 29/78(2006. 01)

H01L 29/24(2006. 01)

H01L 21/336(2006. 01)

H01L 21/268(2006. 01)

(56) 对比文件

US 2008/0090383 A1, 2008. 04. 17, 说明书第

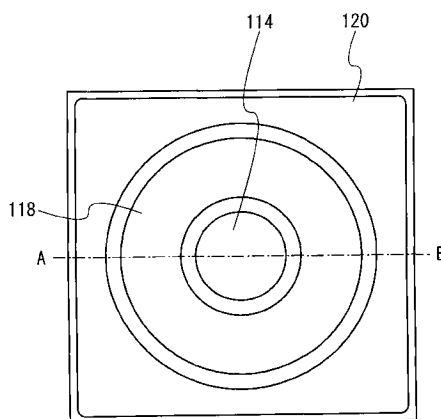
权利要求书3页 说明书10页 附图11页

(54) 发明名称

半导体装置及其制造方法

(57) 摘要

本发明名称为半导体装置及其制造方法。本发明的目的在于提供一种包括碳化硅半导体的半导体装置,并且,本发明的目的还在于提高包括碳化硅半导体的半导体装置的生产性。使用能隙大的半导体区域构成半导体层或半导体衬底的至少一部分。该能隙大的半导体区域优选由碳化硅形成,并设置为至少重叠于隔着绝缘层设置的栅电极。通过使半导体装置的结构为该半导体区域包含在沟道形成区域中,来提高半导体装置的耐绝缘击穿力。



1. 一种半导体装置,包括:

设置在绝缘表面上的具有一导电型的半导体层,所述半导体层包括单晶半导体;

在所述半导体层上方的碳化物半导体区域,所述碳化物半导体区域包括其导电型与所述一导电型相反的第一杂质区域和具有所述一导电型的第二杂质区域;

设置在所述碳化物半导体区域上方的栅绝缘层;

设置在所述栅绝缘层上方的栅电极;

在所述碳化物半导体区域上方并且与所述第一杂质区域以及所述第二杂质区域接触的源极;以及

在所述碳化物半导体区域上方的漏极,

其中,所述第一杂质区域与所述栅电极的一部分重叠,

其中,所述碳化物半导体区域的能隙比所述半导体层的能隙宽,并且

其中,所述栅电极在从上面看时被所述源极包围。

2. 根据权利要求1的半导体装置,其中所述半导体层包括单晶硅,并且所述碳化物半导体区域包括碳化硅。

3. 根据权利要求1的半导体装置,其中所述漏极与所述碳化物半导体区域接触。

4. 根据权利要求1的半导体装置,其中所述第二杂质区域位于所述栅电极下的区域的略外侧。

5. 一种半导体装置,包括:

设置在绝缘表面上的具有一导电型的半导体层,所述半导体层包括单晶半导体;

在所述半导体层上方的碳化物半导体区域,所述碳化物半导体区域包括其导电型与所述一导电型相反的第一杂质区域、具有所述一导电型的第二杂质区域和其导电型与所述一导电型相反的第三杂质区域;

设置在所述碳化物半导体区域上方的栅绝缘层;

设置在所述栅绝缘层上方的栅电极;

与所述第一杂质区域以及所述第二杂质区域接触的发射极;以及

在所述第三杂质区域上方的集电极,

其中,所述碳化物半导体区域的能隙比所述半导体层的能隙宽,并且

其中,所述栅电极在从上面看时被所述发射极包围。

6. 根据权利要求5的半导体装置,其中所述半导体层包括单晶硅,并且所述碳化物半导体区域包括碳化硅。

7. 根据权利要求5的半导体装置,其中所述第二杂质区域位于所述栅电极下的区域的略外侧。

8. 一种半导体装置,包括:

半导体衬底,包括:

具有一导电型的半导体区域,所述半导体区域包括单晶半导体;和

在所述半导体区域上方的碳化物半导体区域,所述碳化物半导体区域包括其导电型与所述一导电型相反的第一杂质区域和具有所述一导电型的第二杂质区域,所述碳化物半导体区域在所述半导体衬底的一个表面部分的一部分中;

设置在所述碳化物半导体区域上方的栅绝缘层;

设置在所述栅绝缘层上方的栅电极；
在所述栅电极上方的绝缘层；
与所述第一杂质区域以及所述第二杂质区域接触的源极；以及
位于所述半导体衬底的所述表面部分的相反表面上的漏极，
其中，所述第一杂质区域与所述栅电极的一部分重叠，
其中，所述第二杂质区域被所述第一杂质区域包围，
其中，所述碳化物半导体区域的能隙比所述半导体区域的能隙宽，并且
其中，所述栅电极在从上面看时被所述源极包围。

9. 根据权利要求 8 的半导体装置，其中所述碳化物半导体区域包括碳化硅。

10. 根据权利要求 8 的半导体装置，其中所述第二杂质区域位于所述栅电极下的区域的略外侧。

11. 一种半导体装置，包括：

半导体衬底，包括：

具有一导电型的半导体区域，所述半导体区域包括单晶半导体；和

在所述半导体区域上方的碳化物半导体区域，所述碳化物半导体区域包括其导电型与所述一导电型相反的第一杂质区域、具有所述一导电型的第二杂质区域和其导电型与所述一导电型相反的第三杂质区域，所述碳化物半导体区域在所述半导体衬底的一个表面部分的一部分中；

设置在所述碳化物半导体区域上方的栅绝缘层；

设置在所述栅绝缘层上方的栅电极；

与所述第一杂质区域以及所述第二杂质区域接触的发射极；以及

与所述第三杂质区域接触的集电极，

其中，所述第一杂质区域与所述栅电极的一部分重叠，

其中，所述第二杂质区域被所述第一杂质区域包围，

其中，所述第三杂质区域在所述半导体衬底的所述表面部分的相反表面上，

其中，所述碳化物半导体区域的能隙比所述半导体区域的能隙宽，并且

其中，所述栅电极在从上面看时被所述发射极包围。

12. 根据权利要求 11 的半导体装置，其中所述碳化物半导体区域包括碳化硅。

13. 根据权利要求 11 的半导体装置，其中所述第二杂质区域位于所述栅电极下的区域的略外侧。

14. 一种半导体装置的制造方法，包括以下步骤：

准备包括单晶半导体的半导体层，所述半导体层具有一导电型；

在包含碳化物气体的气氛中在所述半导体层的表面内通过对所述半导体层进行加热来使所述半导体层的所述表面碳化而形成碳化物半导体区域，其中所述碳化物半导体区域的能隙比所述半导体层的能隙宽；

在所述碳化物半导体区域中形成其导电型与所述一导电型相反的第一杂质区域；

在所述第一杂质区域中形成具有所述一导电型的第二杂质区域；

在所述碳化物半导体区域上方隔着栅绝缘层形成栅电极，所述栅绝缘层夹在所述栅电极和所述碳化物半导体区域之间，所述栅电极至少重叠于所述第一杂质区域的一部分；以

及

形成源极以及漏极,所述源极与所述第二杂质区域以及所述第一杂质区域的一部分接触,并且所述漏极在所述碳化物半导体区域上方,

其中,所述栅电极在从上面看时被所述源极包围。

15. 根据权利要求 14 的半导体装置的制造方法,其中所述半导体层包括单晶硅,并且所述碳化物半导体区域包括碳化硅。

16. 根据权利要求 14 的半导体装置的制造方法,其中所述漏极与所述碳化物半导体区域接触。

17. 根据权利要求 14 的半导体装置的制造方法,其中所述第二杂质区域位于所述栅电极下的区域的略外侧。

18. 一种半导体装置的制造方法,包括以下步骤:

准备包括单晶半导体的半导体层,所述半导体层具有一导电型;

在包含碳化物气体的气氛中在所述半导体层的表面内通过对所述半导体层进行加热并且用激光对所述半导体层进行照射来使所述半导体层的所述表面碳化而形成碳化物半导体区域,其中所述碳化物半导体区域的能隙比所述半导体层的能隙宽;

在所述碳化物半导体区域中形成其导电型与所述一导电型相反的第一杂质区域;

在所述第一杂质区域中形成具有所述一导电型的第二杂质区域;

在所述碳化物半导体区域中的所述第一杂质区域外侧形成其导电型与所述一导电型相反的第三杂质区域;

在所述碳化物半导体区域上方隔着栅绝缘层形成栅电极,所述栅绝缘层夹在所述栅电极和所述碳化物半导体区域之间,所述栅电极至少重叠于所述第一杂质区域的一部分;以及

形成源极以及漏极,所述源极与所述第二杂质区域以及所述第一杂质区域的一部分接触,并且所述漏极在所述第三杂质区域上方,

其中,所述栅电极在从上面看时被所述源极包围。

19. 根据权利要求 18 的半导体装置的制造方法,其中所述半导体层包括单晶硅,并且所述碳化物半导体区域包括碳化硅。

20. 根据权利要求 18 的半导体装置的制造方法,其中所述第二杂质区域位于所述栅电极下的区域的略外侧。

半导体装置以及其制造方法

技术领域

[0001] 在此公开的本发明之一涉及一种半导体装置以及其制造方法,并且,其中的一个方式涉及控制较大功率的半导体装置。

背景技术

[0002] 碳化硅半导体的能隙为 3.02eV (4H-SiC), 比硅半导体的 1.2eV 大大约 3 倍。并且硅半导体的绝缘击穿场强为 0.3MV/cm, 而碳化硅半导体的绝缘击穿场强为 3.5MV/cm, 具有远远超过硅半导体的 10 倍以上的值。因此, 碳化硅半导体被期待用于以反相器和转换器为代表的电子器具中。

[0003] 然而, 虽然碳化硅半导体具有上述优势, 但是使用了碳化硅半导体的晶体管却不能实现实用化的原因在于碳化硅半导体衬底的品质低劣以及实现衬底的大口径化难度大。

[0004] 具体来说, 已知需要减少碳化硅半导体衬底的缺陷。碳化硅半导体衬底有被称为晶间缩孔 (micro pipe) 的空洞穿通的缺陷, 如果在晶体管中有一个这样的缺陷, 就会有会使晶体管失去功能的问题。而且, 碳化硅半导体衬底除了有上述的空洞穿通的缺陷以外, 还有移位等其他很多缺陷。因此, 为了制造高品质的碳化硅半导体衬底, 例如, 正在尝试通过同质外延生长以及异质外延生长使碳化硅半导体层在半导体衬底上生长。

[0005] 但是, 即使尝试了碳化硅半导体衬底的品质改善, 衬底尺寸小的问题仍然不能得到解决。单晶硅衬底的尺寸为 12 英寸, 而碳化硅半导体衬底的尺寸还是以 3 英寸为主流。这是因为碳化硅半导体衬底很难控制结晶成长的缘故。结果是, 使用了碳化硅半导体衬底的装置虽然在理想上被期待有高性能, 然而实际情况是, 由于结晶品质的低劣和生产性的低下, 其实用化迟迟不能得到实现。

[0006] [专利文献]

[0007] [专利文献 1] 日本专利申请公开 2006-032655 号公报

[0008] [专利文献 2] 日本专利申请公开 2006-036613 号公报

发明内容

[0009] 鉴于上述问题, 本发明的目的之一在于提供一种包括碳化硅半导体的半导体装置, 并且, 本发明的目的之一在于提高包括碳化硅半导体的半导体装置的生产性。

[0010] 本发明的一个方式是通过不将碳化硅半导体衬底作为半导体衬底的全部, 而在半导体衬底的至少一部分中包括碳化硅半导体层, 来解决上述问题。如果使用硅半导体衬底作为半导体衬底, 可以实现衬底的大口径化, 并通过使其一个表面碳化硅化, 来可以获得大面积的具有碳化硅半导体层的半导体衬底。通过使用这样的半导体衬底可以获得使用碳化硅半导体形成晶体管等的元件的激活区域的一部分或全部的半导体装置。

[0011] 本发明的一个方式的半导体装置是包括设置在绝缘表面的半导体层, 并且半导体层的至少一部分由比半导体层的能隙大的半导体区域构成的半导体装置。该能隙大的半导体区域至少设置在与隔着绝缘层而设置的栅电极重叠的位置。通过使该半导体装置为将

比半导体层的能隙大的半导体区域包括在其沟道形成区域中的结构,可以提高耐绝缘击穿力。半导体层优选为单晶或多晶,并且优选比半导体层的能隙大的半导体区域也具有结晶结构。构成半导体层的材料之一为硅半导体,相应地,作为能隙大的半导体材料,适合组合使用碳化物半导体。作为碳化物半导体,优选使用碳化硅。作为硅半导体,优选使用单晶硅,并且也可以应用多晶硅。

[0012] 本发明的一个方式的半导体装置是包括如下的半导体装置:设置在绝缘表面上的一导电型的半导体层;至少设置在半导体层的一部分的碳化物半导体区域;设置在半导体区域上的栅绝缘层和设置在该栅绝缘层上的栅电极;其导电型与上述一导电型相反的至少与栅电极的一部分重叠并至少包括该碳化物半导体区域的第一杂质区域;设置在第一杂质区域的内侧且栅电极的略外侧并且至少包括该碳化物半导体区域的一导电型的第二杂质区域;与第一杂质区域以及第二杂质区域接触的源电极;与半导体层接触的漏电极。

[0013] 本发明的一个方式的半导体装置是包括如下的半导体装置:设置在绝缘表面上的一导电型的半导体层;至少设置在半导体层的一部分的碳化物半导体区域;设置在半导体区域上的栅绝缘层和设置在该栅绝缘层上的栅电极;其导电型与上述一导电型相反的至少与栅电极的一部分重叠且至少包括碳化物半导体区域的第一杂质区域;设置在第一杂质区域的内侧且栅电极的略外侧并且至少包括碳化物半导体区域的一导电型的第二杂质区域;与第一杂质区域以及第二杂质区域接触的发射极;与其导电型与设置在半导体层的一导电型相反的第三杂质区域接触的集电极。

[0014] 在上述半导体装置的一个方式中,半导体层优选为单晶,但是也可以应用多晶。另外,还可以应用半导体衬底来代替设置在绝缘表面上的半导体层。

[0015] 半导体装置的制造方法是,在包含碳化物气体的气氛中将半导体加热,来使半导体的表层部分碳化而形成碳化物半导体区域,以使沟道形成区域形成在碳化物半导体区域的方式隔着绝缘层形成栅电极。该碳化处理除了适用于半导体衬底以外,还适用于设置在具有绝缘表面的衬底上的半导体层。碳化物气体适合使用甲烷、丙烷等的碳化氢气体。

[0016] 在碳化处理中的加热处理中,除了衬底的加热以外,还可以对半导体照射激光。至于激光,除了可以一次性地对半导体的整个面进行照射以外,还可以适当使用脉冲激光或连续振荡激光逐次进行照射。

[0017] 另外,附有“第一”、“第二”等的序数词是为了方便而使用的,该用词不是用来限制步骤或层叠的顺序。附有“第一”、“第二”的序数词的名称是为了特定发明的事项,而不是用来表示固定名称。

[0018] 通过使用碳化物半导体区域构成晶体管的沟道形成区域的一部分或全部,可以获得耐压性高的半导体装置。通过在包含碳化物气体的气氛中对设置有半导体层的衬底或半导体衬底进行加热处理,可以形成碳化硅半导体层。这样,即使半导体层或半导体衬底是大面积化了的,也只要使进行加热处理的装置大型化即可。其结果是在不使生产性受到影响的情况下制造包括碳化硅半导体层的半导体装置。

[附图说明]

[0019] 图 1A 和 1B 是表示具有在支撑衬底上隔着绝缘层设置有半导体层的 SOI 结构的半导体装置的一个方式的图,其中图 1A 是平面图,图 1B 是截面图;

[0020] 图 2A 和 2B 是表示具有在支撑衬底上隔着绝缘层设置有半导体层的 SOI 结构的半导体装置的一个方式的图,其中图 2A 是平面图,图 2B 是截面图;

[0021] 图 3A 和 3B 是说明具有 SOI 结构的半导体装置的制造工序的一个例子的图;

[0022] 图 4A 和 4B 是说明具有 SOI 结构的半导体装置的制造工序的一个例子的图;

[0023] 图 5A 和 5B 是说明具有 SOI 结构的半导体装置的制造工序的一个例子的图;

[0024] 图 6A 和 6B 是说明具有 SOI 结构的半导体装置的制造工序的一个例子的图,其中图 6A 是平面图,图 6B 是截面图;

[0025] 图 7A 和 7B 是表示具有在支撑衬底上隔着绝缘层设置有半导体层的 SOI 结构的半导体装置的一个方式的图,其中图 7A 是平面图,图 7B 是截面图;

[0026] 图 8A 至 8C 是说明具有 SOI 结构的衬底的制造方法的图;

[0027] 图 9A 和 9B 是表示在半导体衬底上构成的半导体装置的一个方式的图,其中图 9A 是平面图,图 9B 是截面图;

[0028] 图 10A 和 10B 是表示在半导体衬底上构成的半导体装置的一个方式的图,其中图 10A 是平面图,图 10B 是截面图;

[0029] 图 11 是表示具备反相器的太阳光发电系统的一个例子。

[0030] 选择图是图 1A 和 1B。

[0031] 实施方式

[0032] 以下对公开的发明的实施方式使用附图来详细地说明。但是,公开的发明不局限于以下的说明,只要是本领域的技术人员就容易理解一个事实就是其形态和细节可以在不脱离本发明的宗旨及其范围的情况下被变换各种各样的形式。因此,公开的发明不应该被解释为仅限于以下所示的实施方式的记载内容。在以下所说明的实施方式中,有时在不同附图之间共同使用相同的参考符号来表示相同的部分。

[0033] 实施方式 1

[0034] 在本实施方式中示出具有在支撑衬底上隔着绝缘层设置有半导体层的 SOI 结构的半导体装置的一个例子。本实施方式例示出用于提供包括碳化硅半导体的半导体装置的结构。

[0035] 图 1A 是半导体装置的平面图,图 1B 是沿着该平面图的 A-B 线切割的截面图。

[0036] 图 1A 示出了在栅电极 114 的周围设置有源电极 118 的半导体装置的平面图。漏电极 120 设置在源电极 118 的外侧。以下参考图 1A 以及 1B 的截面图对本实施方式的半导体装置的结构进行说明。

[0037] < 支撑衬底 >

[0038] 支撑衬底 100 可以适当地使用绝缘衬底、半导体衬底、金属衬底等具有平坦表面的衬底。但是,优选支撑衬底 100 为能够耐 500℃ 以上的热度的耐热性衬底。

[0039] 半导体衬底的典型例子是硅衬底(硅片)。硅衬底只要是表面被研磨的平坦化的衬底即可,即可以适当地使用如所谓的太阳能电池级的硅衬底那样的廉价衬底。例如,作为支撑衬底可以适当地使用纯度 6N(99.9999%)~7N(99.9999%)左右的硅衬底。在此情况下,优选将硅衬底的表面在将氯化氢以 0.5 至 10 体积%(优选为 0.3 体积%)的比例包含的氧化气氛中加热到 700℃ 至 1150℃、优选为 800℃ 至 1050℃ 来形成氧化膜。在使用金属衬底的情况下,将其表面研磨为平坦。接着说明形成绝缘层。

[0040] < 支撑衬底上的绝缘层 >

[0041] 设置在支撑衬底上的绝缘层 102 优选具有平坦性。所以作为绝缘层 102 适合使用氧化硅、氧氮化硅、氮化硅等。包含这些硅成分的绝缘层可以通过溅射法、气相成长法形成。

[0042] 当作为支撑衬底使用硅衬底时,可以通过热氧化法在其表面形成绝缘层。当硅衬底是太阳能电池级时,通过在包含 HCL 的氧化气氛中对硅衬底进行热氧化处理,可以减少金属等的杂质。

[0043] < 半导体层 >

[0044] 在支撑衬底 100 上隔着绝缘层 102 设置的半导体层 104 优选由单晶半导体形成,但是也可以用多晶半导体来代替单晶半导体。典型的是,使用单晶硅半导体形成半导体层 104。半导体层 104 具有 n 型和 p 型中的任一方的导电型。半导体层 104 的厚度有 50nm 至 500nm 左右即可。

[0045] < 碳化物半导体区域 >

[0046] 半导体层 104 的表面设置有碳化物半导体区域 106。该碳化物半导体区域 106 是能隙比硅半导体大的半导体区域。该碳化物半导体区域 106 与半导体层 104 同样,优选使用包含硅成分的半导体材料。适合的材料是碳化硅半导体。碳化物半导体区域 106 从半导体层 104 的表面以至少 5nm 至 15nm 的左右的深度形成。在半导体层 104 是硅半导体时,碳化物半导体区域 106 由碳化硅形成。

[0047] 碳化物半导体区域 106 可以设置在半导体层 104 的整个表面上,也可以如在后面说明的那样选择性地设置在相当于形成晶体管的沟道形成区域的区域。像这样,不是通过制造碳化硅衬底本身,而是通过在晶化了的半导体层形成碳化硅半导体层来获得结晶性高的碳化硅半导体区域。并且,使用该碳化硅半导体区域制造晶体管等的半导体元件。

[0048] < 第一杂质区域 >

[0049] 第一杂质区域 108 是具有与半导体层 104 相反导电型的区域。例如,如果半导体层 104 是 n 型,则第一杂质区域 108 是 p 型。

[0050] 第一杂质区域 108 被设置为与栅电极 114 和源电极 118 重叠。至于第一杂质区域 108 的厚度,只要为与碳化物半导体区域 106 相同程度的厚度即可。因为电流经过沟道形成区域(与栅电极 114 重叠的第一杂质区域 108)在源电极 118 和漏电极 120 之间流过,所以需要第一杂质区域 108 的下侧残留有半导体层 104。

[0051] < 第二杂质区域 >

[0052] 第二杂质区域 110 设置在第一杂质区域 108 的内侧。第二杂质区域 110 具有与半导体层 104 相同的导电型。第二杂质区域 110 被设置为从栅电极 114 的边缘部分与栅电极 118 重叠。第二杂质区域 110 用作所谓的源区。

[0053] 使第二杂质区域 110 的厚度形成为不到达第一杂质区域 108 的底部的厚度。由于第二杂质区域 110 具有与半导体层 104 相同的导电型,所以如果第二杂质区域 110 贯通第一杂质区域 108,则会导致源电极 118 和漏电极 120 实质上短路。

[0054] < 栅绝缘层 >

[0055] 栅绝缘层 112 是使用将半导体层 104(包括碳化物半导体区域 106)氧化而形成的绝缘膜形成的。也可以通过在半导体层 104 上堆叠绝缘膜而形成栅绝缘层 112。

[0056] 半导体层 104(包括碳化物半导体区域 106)的氧化可以通过干氧氧化法、燃烧氢

和氧制作水蒸气并使该水蒸气和氧氧化的加热合成氧化技术 (pyrogenic technique of oxidation, 湿氧化法)、将氯化氢混合到氧来进行热氧化的方法等实现。另外,也可以通过半导体层 104(包括碳化物半导体区域 106)的表面进行等离子体处理来形成栅绝缘膜 112。在此情况下的等离子体处理是将在等离子体中产生的氧基作用于半导体表面而进行氧化的方法,有即使是低温也使氧化反应进行的特性。

[0057] 当在半导体层 104(包括碳化物半导体区域 106)上堆叠栅绝缘膜 112 时,可以适用热 CVD 方法或等离子体 CVD 法,据此,可以形成氧化硅膜或氧氮化硅膜。

[0058] < 栅电极 >

[0059] 栅电极 114 设置在栅绝缘膜 112 之上。通过将栅电极 114 设置在栅绝缘膜 112 之上可以使栅电极 114 与半导体层 104(包括碳化物半导体区域 106)绝缘。栅电极 114 的上层侧优选由绝缘层 116 覆盖。通过绝缘层 116 使栅电极 114 完全与栅电极 118 绝缘。

[0060] < 源电极以及漏电极 >

[0061] 源电极 118 被设置为与第二杂质区域 110 接触。另外,源电极 118 不但被设置为与第二杂质区域 110 接触,而且被设置为在其外侧区域与第一杂质区域 108 接触。通过这样的配置,可以在源电极 118 和邻接的漏电极 120 之间实质上形成 pn 键。

[0062] 在通常工作时,源电极 118 被施加负偏压而漏电极 120 被施加正偏压,所以在源电极 118 和漏电极 120 之间形成的 pn 键在相反方向上被施加偏压。据此,源电极 118 和漏电极 120 之间的漏电流减少。

[0063] 漏电极 120 设置在源电极 118 的外侧区域。漏电极 120 与其导电型相同于第二杂质区域 110 的第三杂质区域 122 接触。从电流流动的路径来看,源电极 118 和漏电极 120 之间存在有第二杂质区域 110、第一杂质区域 108、碳化物半导体区域 106、半导体层 104、第三杂质区域 122。在此,由于由碳化物半导体形成的第一杂质区域 108、碳化物半导体区域 106 存在于电流路径,所以可以提高耐压力。

[0064] < 变形例 >

[0065] 图 2A 和 2B 是表示相对于一个漏电极 120 在其两侧配置有一对栅电极 114 和一对源电极 118 的半导体装置的一个例子。在支撑衬底 100 上设置有两个沟道形成区域,通过采用将漏电极 120 用两个源电极 118 夹持的结构,不但可以实现装置的小型化,而且可以使大电流流过。这样的半导体装置适合用于电流额定大的用途。

[0066] < 半导体装置的工作 >

[0067] 如果使半导体层 104 为 n 型,第一杂质区域 108 为 p 型,第二杂质区域 110 为 n 型,则 npn 键形成于源电极 118 和漏电极之间,当不向栅电极 118 施加偏压时,仅有少量的电流流过。

[0068] 当向栅电极 118 施加正偏压时,负电荷(电子)在和栅电极 114 重叠的第一杂质区域 108 的栅绝缘膜 112 的界面侧被感应,所以在栅电极 118 和漏电极 120 之间流过电流。沟道形成区域形成于碳化物半导体区域 106 中的第一杂质区域 108 的与栅电极 114 重叠的区域。

[0069] 沟道形成区域如果形成于在碳化物半导体区域 106 区域中形成的第一杂质区域 108,则可以使绝缘击穿电压得到提高。这是因为 Si-C 键的原子间距离短为 0.18nm,键能高,碳化硅半导体的能隙是硅半导体的能隙的 3 倍的缘故。

[0070] 因此,如果用碳化物半导体形成沟道形成区域,与用硅半导体形成沟道形成区域的情况相比,固有导通电阻可以小大约 2 位数。另外,热导率是硅的 3 倍,所以散热性好。据此,可以使半导体装置的每单位面积的电流密度增大。

[0071] 实施方式 2

[0072] 在本实施方式中,参考图 3A 和 3B、图 4A 和 4B、图 5A 和 5B 示出实施方式 1 所说明的半导体装置的制造方法的一个例子。本实施方式的目的之一在于提供一种包括碳化硅半导体的半导体装置,并且,本实施方式的目的之一在于提高包括碳化硅半导体的半导体装置的生产性。

[0073] <支撑衬底的制作或准备(参考图 3A)>

[0074] 在支撑衬底 100 上隔着绝缘层 102 设置半导体层 104。该结构是在绝缘表面上设置有半导体层的所谓的 SOI 结构。因此,可以适当地使用贴合的 SOI 衬底、SIMOX (Separation by Implanted OXygen,注氧剥离) 衬底等市场上出售的 SOI 衬底。作为半导体层 104 的材料,优选使用单晶硅,但是也可以使用其他半导体材料。半导体层 104 例如具有 n 型导电型。

[0075] <碳化物半导体区域的形成(参考图 3B)>

[0076] 在半导体层 104 表面中形成碳化物半导体区域 106。使半导体层 104 包含具有使半导体层 104 的母体材料的能隙扩大的作用的元素,来使碳化物半导体区域 106 的能隙大于半导体层 104。例如,对半导体层 104 进行浸渗在特定的元素中的处理。

[0077] 作为具体例子,当半导体层 104 是单晶硅半导体时,在以氢为载气体的混合有甲烷、丙烷等的碳化氢气体的混合气体气氛中以 1000℃至 1300℃、优选为 1100℃至 1250℃进行加热处理。通过该处理,在从半导体层 104 的表面到 5nm 至 20nm 的深度中浸渗碳,来形成碳化物半导体区域 106。

[0078] 通过在氢和碳化氢气体的混合气体中对半导体层 104 照射激光,来将碳浸渗到半导体层中。在此情况下,优选激光的照射能至少使半导体层 104 的表层部分熔化。如果在将半导体层 104 加热至 500℃至 1000℃时进行该激光照射处理,则更容易形成碳化物半导体区域 106,并且还能促进激光照射后的再单晶化。

[0079] 单晶硅的能隙为 1.2eV,而碳化硅的能隙为 2.2eV 至 3.1eV 左右(例如 4H-SiC 的能隙为 3.02eV)。通过将碳导入到单晶硅中,可以获得 2 倍至 3 倍的能隙增大效果。另外,如要进一步加大该能隙被增大了的区域的厚度,可以在碳化物半导体区域 106 上使碳化硅层外延生长。

[0080] <第一杂质区域的形成(参考图 4A)>

[0081] 在半导体层 104 上形成第一掩模层 124。该第一掩模层 124 在将要形成第一杂质区域 108 的位置上设置有开口部。对第一杂质区域 108 添加其导电型与半导体层 104 相反的杂质元素。如果半导体层 104 是 n 型,则添加赋予 p 型导电型的硼。

[0082] <第二杂质区域的形成(参考图 4B)>

[0083] 在半导体层 104 上形成第二掩模层 126。该第二掩模层 126 在将要形成第二杂质区域 110 的位置上设置有开口部。也就是说,以在第一杂质区域 108 的内侧区域中配置开口部的方式设置第二掩模层 126。

[0084] 对第二杂质区域 110 添加其导电型与半导体层 104 相同的杂质元素。如果半导体层 104 是 n 型,则添加赋予 n 型导电型的磷或砷。此时,也可以同时形成其导电型与第二杂

质区域 110 相同的第三杂质区域 122。注意,第三杂质区域 122 不是必须要设置的,但是为了获得与漏电极 120 的良好的欧姆接触,优选设置第三杂质区域 122。

[0085] < 绝缘栅极的形成 (参考图 5A)>

[0086] 栅绝缘层 112 通过对半导体层 104 (包括碳化物半导体区域 106) 的表面进行氧化而形成。或者,也可以通过在半导体层 104 上堆叠绝缘膜而形成栅绝缘层 112。至于半导体层 104 (包括碳化物半导体区域 106) 的氧化,可以适当地采用干氧化法、燃烧氢制作水蒸气并使该水蒸气和氧氧化的加热合成氧化技术 (pyrogenic technique of oxidation, 湿氧化法)、将氯化氢混合到氧来进行氧化的 HCl 氧化法等。另外,作为氧化法的其它形式,也可以通过等离子体氧化法来形成栅绝缘膜。等离子体氧化法是将等离子体中产生的氧基作用于半导体表面而进行氧化的方法,有即使是低温也使氧化反应进行的特性。

[0087] 在栅绝缘层 112 上形成栅电极 114。栅电极 114 由多晶硅或金属材料形成。作为金属材料,使用钼、钨、钛等金属或这些高熔点金属的合金,即可。栅电极 114 以隔着栅绝缘层 112 重叠于碳化物半导体区域 106 以及第一杂质区域 108 的方式而设置。在该结构中,栅电极 114 与第一杂质区域 108 重叠的区域成为沟道形成区。另外,在图 1A 的平面图中,栅电极 114 被配置为被源电极 118 包围。

[0088] < 保护膜的形成 (参考图 5B)>

[0089] 在栅电极 114 上形成绝缘层 116。并且在绝缘层 116 中形成接触孔。之后,按照形成在绝缘层 116 中的接触孔的位置,形成源电极以及漏电极,即可获得图 1A 和图 1B 所示的半导体装置。

[0090] 根据上述工序,可以获得包括碳化物半导体区域 106 的半导体装置。该制作方法包括将碳浸渗到半导体层 104 中的处理,所以即使支撑衬底 100 大面积化,也可以容易地设置对应于支撑衬底 100 的面积 of 的半导体层 104,所以,容易获得大面积的碳化物半导体区域 106。就是说,即使不制造大口径的碳化物衬底,也可以形成具有碳化物半导体区域的半导体层的表面,因此,可以获得具有高耐压性且低损失的特性的半导体装置。而且,根据本实施方式的制造方法,可以提高包括碳化硅半导体的半导体装置的生产性。

[0091] < 选择性地形成变形层的变形例 (参考图 6A 以及图 6B)>

[0092] 当在半导体层 104 中形成碳化物半导体区域 106 时,如设置具有开口部的第三掩模层 128,可以选择性地形成碳化物半导体区域 106。由于形成碳化物半导体区域 106 的处理温度是高温,所以第三掩模 128 优选由氧化硅或氮化硅等形成。

[0093] 第一杂质区域 108 的与栅电极重叠的区域成为沟道形成区,所以,如果将第一杂质区域 108 形成在碳化物半导体区域 106 中,可以获得与图 1 的半导体装置相同的效果。

[0094] 实施方式 3

[0095] 本实施方式示出具有在支撑衬底上隔着绝缘层设置有半导体层的 SOI 结构,并进行双极工作的半导体装置的一例。图 7A 示出半导体装置的平面图,图 7B 示出沿着该平面图中的 A-B 线切割的截面图。

[0096] 根据本实施方式的半导体装置具有与图 1 所说明的半导体装置基本相同的结构,不同点在于第三杂质区域 122 与第一杂质区域具有相同的导电型。另外,发射极 130 与第一杂质区域 108 以及第二杂质区域 110 接触,集电极与第三杂质区域 122 接触。

[0097] 与实施方式 1 相同,根据本实施方式的半导体装置当对栅电极 114 施加正偏压时,

在第一杂质区域 108 形成沟道区域。在此,通过使第三杂质区域 122 为 p 型,在导通状态下空穴从第三杂质区域注入到半导体层 104。据此,成为导通状态的电压变低。也就是说,可以获得耐压性高的大容量的半导体装置。

[0098] 根据本实施方式的半导体装置具有在输入侧设有绝缘栅极型场效应晶体管,并在输出侧设有双极场效应晶体管的结构。该半导体装置由栅电极 114 和发射极 130 之间的电压驱动,并根据输入到栅电极 114 的输入信号进行 ON/OFF 工作。该半导体装置可以实现开关工作的高速化。而且,该半导体装置由于导通电阻低,可以抑制自身的发热,所以适合用于大功率的控制。

[0099] 实施方式 4

[0100] 本实施方式示出实施方式 1 至实施方式 3 所示的在支撑衬底上设置半导体层 104 的方法的一例。

[0101] <在半导体衬底中形成分离层的步骤(参考图 8A)>

[0102] 通过对半导体衬底 134 导入离子而形成损坏层 136。半导体衬底 134 是单晶半导体或多晶半导体。作为半导体衬底 134,典型地使用单晶硅半导体衬底。设置在半导体衬底 134 上的绝缘膜使用氧化硅、氮化硅、氮化硅等形成。当在半导体衬底 134 中形成损坏层时,由于离子照射会损伤半导体衬底 134 的表面的平坦性,所以优选在半导体衬底 134 上设置绝缘层 102。

[0103] 通过对半导体衬底 134 照射包含氢离子的离子束来在半导体衬底 134 的离其表面有一定深度的位置上形成损坏层 136。例如,通过在氢离子中混合氢离子簇,来在离表面有一定深度的位置上形成损坏层 136。作为氢离子簇,例如适合使用 H_3^+ 离子。通过适用氢簇离子,即使剂量不变,也可以向半导体衬底 134 导入大量的氢。而可以容易地形成损坏层。

[0104] 从半导体衬底 134 的表面到损坏层 136 的深度由氢离子的加速能控制。根据损坏层 136 的深度决定从衬底 134 分离半导体层 104 的厚度。以在离半导体衬底 134 的表面有小于 $1\mu m$ 的深度,即 50nm 至 500nm 的深度的区域中存在有氢浓度高峰位置的方式形成损坏层 136。

[0105] <在支撑衬底上贴合半导体衬底的步骤(参考图 8B)>

[0106] 使半导体衬底 134 的形成有绝缘层 102 的面紧贴于支撑衬底 100。通过将绝缘层 102 紧贴到支撑衬底 100,氢键或范德华力起作用,而使半导体衬底 134 固定在支撑衬底 100 上。

[0107] 当支撑衬底 100 及绝缘层 102 的表面有亲水性时,羟基或水分子有效地起作用,而容易形成氢键。进而,通过进行热处理,使水分子分解而形成硅烷醇基(Si-OH),来促进形成氢键。进而,通过以高温进行热处理,使氢脱离来形成硅氧烷键(O-Si-O),并使其成为共价键,而提高半导体衬底 134 和支撑衬底 100 的结合强度。

[0108] <分离半导体衬底而在支撑衬底上形成半导体层的步骤(参考图 8C)>

[0109] 在将半导体衬底 134 贴合在支撑衬底 100 的状态下进行热处理。热处理的温度范围是 $400^{\circ}C$ 至 $700^{\circ}C$ 。通过该热处理,使形成损坏层 136 脆弱化,以在使半导体层 104 残留在支撑衬底 100 上的状态下分离半导体衬底 134。使用这样的衬底可以制造实施方式 1 以及实施方式 2 的半导体装置。

[0110] 实施方式 5

[0111] 本实施方式示出使用了半导体衬底的半导体装置的一例。本实施方式例示出用于提供包括碳化硅半导体的半导体装置的结构。图 9A 是表示半导体装置的平面图,图 9B 是沿着该平面图中的 A-B 线切割的截面图。

[0112] 图 9A 和 9B 是表示在半导体衬底 138 的表面设置有碳化物半导体区域 106,并且在该碳化物半导体区域 106 形成沟道区域的全部或一部分的半导体装置的一例。

[0113] 栅电极 114、第一杂质区域 108、第二杂质区域 110、源电极 118 的结构与实施方式 1 相同。漏电极 120 设置在半导体衬底 138 的背面(与设置有栅电极的面相反的面)。注意,也可以在漏电极 120 与半导体衬底 138 接触的区域中设置其导电型与第二杂质区域 110 相同的第三杂质区域 122。

[0114] 半导体衬底 138 的表面一侧设置有碳化物半导体区域 106。与构成半导体衬底 138 的半导体材料相比,碳化物半导体区域 106 的能隙的值大。半导体衬底 138 如果是单晶硅,则碳化物半导体区域优选使用碳化硅半导体。

[0115] 碳化物半导体区域 106 在从半导体衬底 138 的表面到至少 5nm 至 15nm 的左右的深度区域中形成。第一杂质区域 108 的(从半导体衬底的表面的)深度可以比碳化物半导体区域 106 浅,也可以与碳化物半导体区域 106 一样深,或者比碳化物半导体区域 106 深。因此,可以认为沟道形成区域至少在其一部分包括碳化物半导体区域 106。

[0116] 如果使半导体衬底 138 为 n 型,第一杂质区域 108 为 p 型,第二杂质区域 110 为 n 型,则 npn 键存在于源电极 118 和漏电极 120 之间,当不向栅电极 114 施加偏压时,仅有少量的电流流过。

[0117] 当向栅电极 114 施加正偏压时,负电荷(电子)在和栅电极 114 重叠的第一杂质区域 108 的栅绝缘膜 112 的界面侧被感应,于是电流在栅电极 118 和漏电极 120 之间流过。沟道形成区域形成于第一杂质区域 108。

[0118] 沟道形成区域如果形成于碳化物半导体区域 106 区域,则可以使绝缘击穿电压得到提高。这是因为 Si-C 键的原子间距离短为 0.18nm,键能高,碳化硅半导体的能隙是硅半导体的能隙的 3 倍的缘故。

[0119] 因此,如果用碳化物半导体 106 形成沟道形成区域,与在硅半导体衬底上形成沟道形成区域的情况相比,固有导通电阻可以小大约 2 位数。另外,碳化物半导体的热导率是硅的 3 倍,所以散热性好。据此,可以使半导体装置的每单位面积的电流密度增大。

[0120] 实施方式 6

[0121] 本实施方式示出使用了半导体衬底并进行双极工作的半导体装置的一例。本实施方式例示出用于提供包括碳化硅半导体的半导体装置的结构。图 10A 是表示半导体装置的平面图,图 9B 是沿着该平面图中的 A-B 线切割的截面图。

[0122] 图 10A 和 10B 是表示在半导体衬底 138 的表面设置有碳化物半导体区域 106,沟道形成区域包含于该碳化物半导体区域 106 中并进行双极工作的半导体装置的一例。本实施方式的半导体装置的结构以及工作原理与实施方式 3 中的半导体装置相同。

[0123] 在半导体衬底 138 的表面一侧设置有碳化物半导体区域 106。与实施方式 3 中的半导体装置相同,本实施方式的半导体装置也同样是当对栅电极 114 施加正偏压时,沟道区域形成在第一杂质区域 108。在此,通过使第三杂质区域 122 为 p 型,在导通状态下使空穴从第三杂质区域注入到半导体层 104。据此,成为导通状态的电压变低。

[0124] 根据本实施方式的半导体装置具有在输入侧设有绝缘栅型场效应晶体管,并在输出侧设有双极场效应晶体管的结构。该半导体装置由栅电极 114 和发射极 130 之间的电压驱动,并根据输入到栅电极 114 的输入信号进行 ON/OFF 工作。该半导体装置可以实现开关工作的高速化。而且,该半导体装置由于导通电阻低而可以抑制自身的发热,所以可以使大功率的控制变得容易。

[0125] 实施方式 7

[0126] 在本实施方式中参考图 11 示出具备反相器的太阳光发电系统的一个例子。该太阳光发电系统具有配备到住宅等的结构。

[0127] 该住宅用太阳光发电系统可以将发的电用于住宅内,并可以将剩余的电力返回到配电线 154。另外,当是太阳光发电系统不能发电的晚上以及发电量小的雨天时,可以接受来自配电线 154 的供电。

[0128] 将太阳光能转换为电能的太阳能电池面板 140 产生直流电。反相器 144 将该直流电转换为交流电。反相器 144 输出的交流电用作使各种电器设备 150 工作的电力。

[0129] 住宅内消费不完的电力可以通过配电线出售给电力公司。直流开关器 142 是为了控制太阳能电池面板 140 和反相器 144 之间的连接或者切断而设置的。另外,交流开关器 148 是为了通过变压器 152 控制配电线和配电盘 146 之间的连接或切断而设置的。

[0130] 通过使用实施方式 1 至实施方式 6 的半导体装置作为反相器,可以使反相器小型化,而可以实现功率损失小的高效率的太阳光发电系统。

[0131] 本说明书根据 2009 年 2 月 20 日在日本专利局受理的日本专利申请编号 2009-037717 而制作,所述申请内容包括在本说明书中。

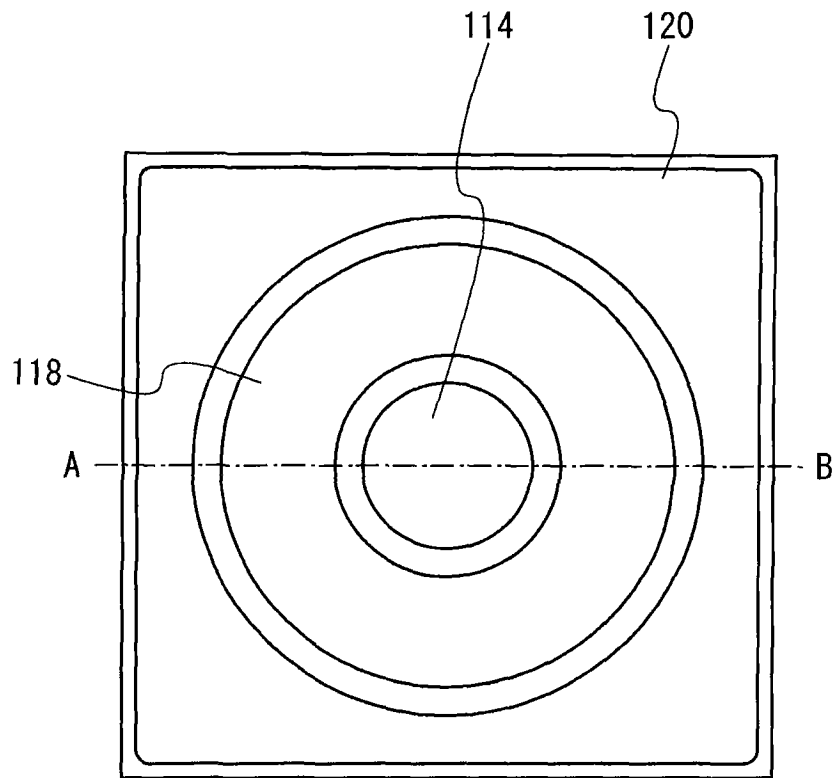


图 1A

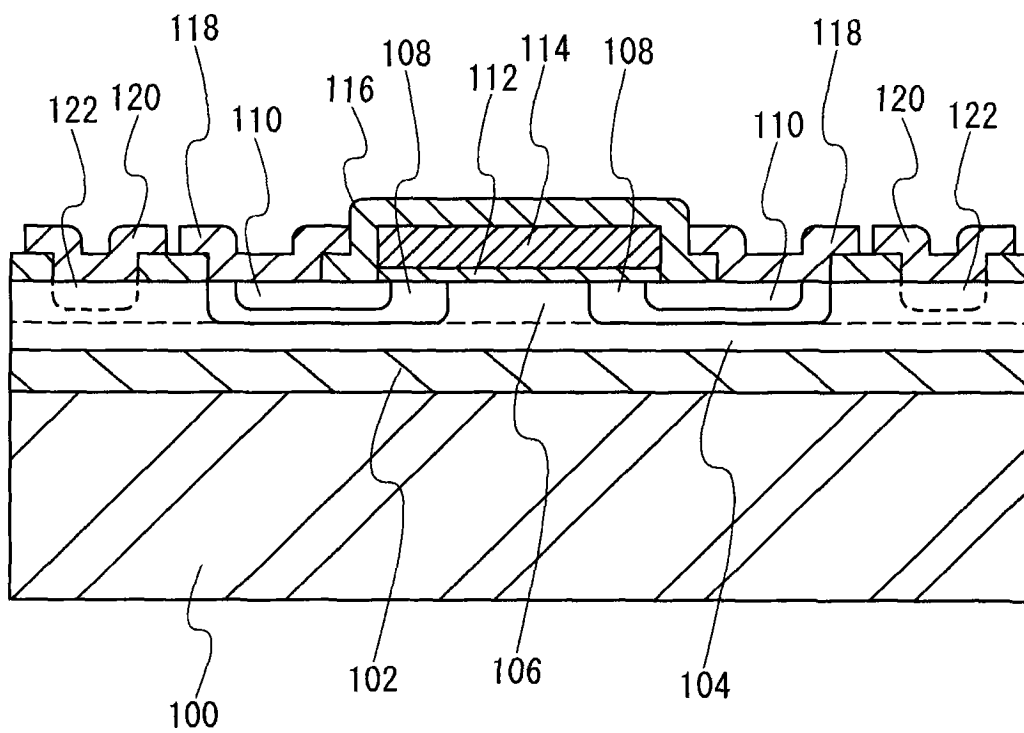


图 1B

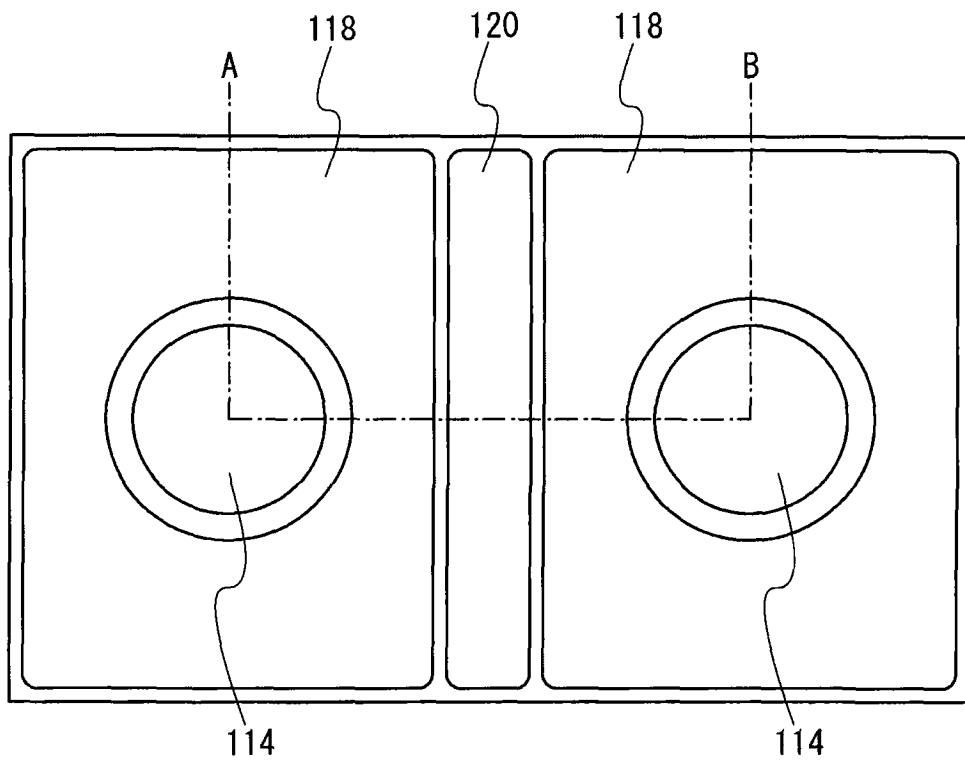


图 2A

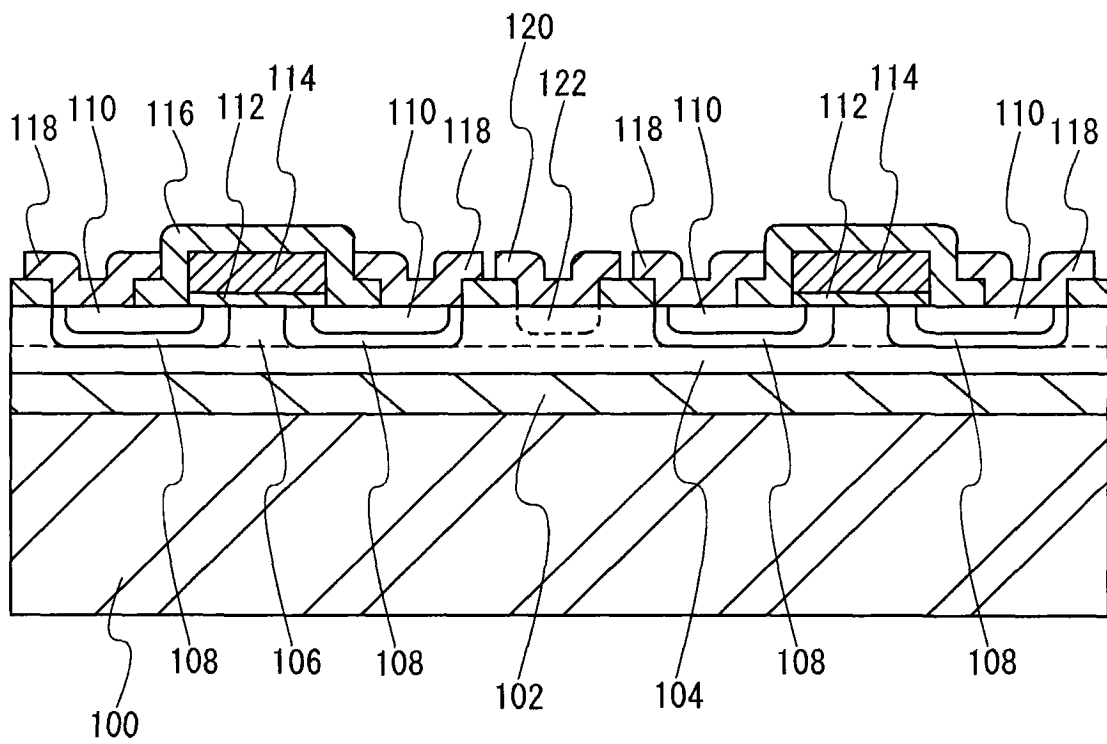


图 2B

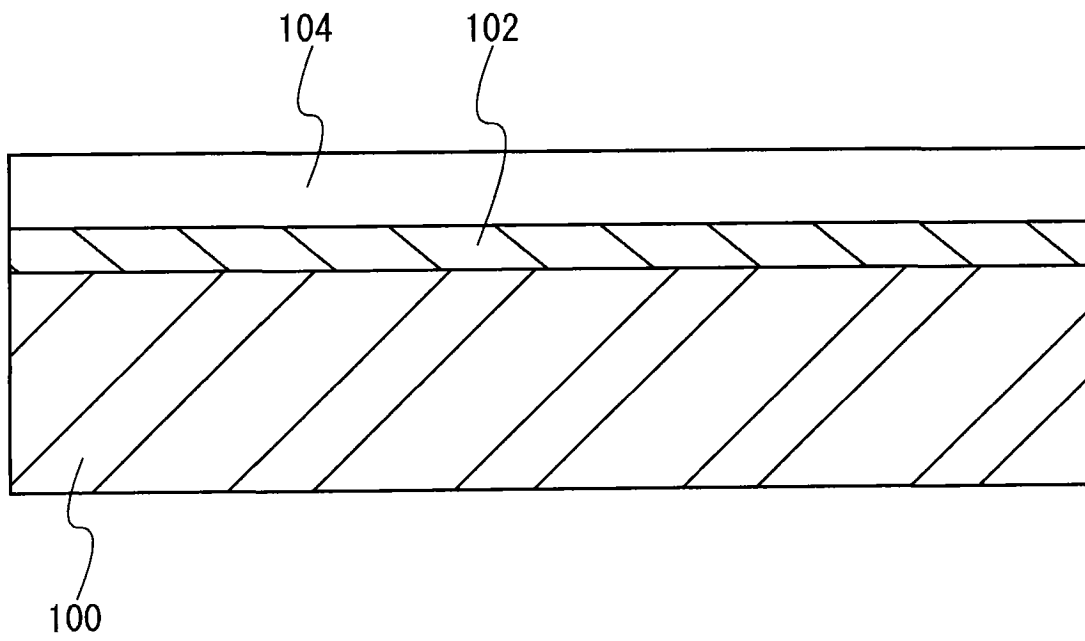


图 3A

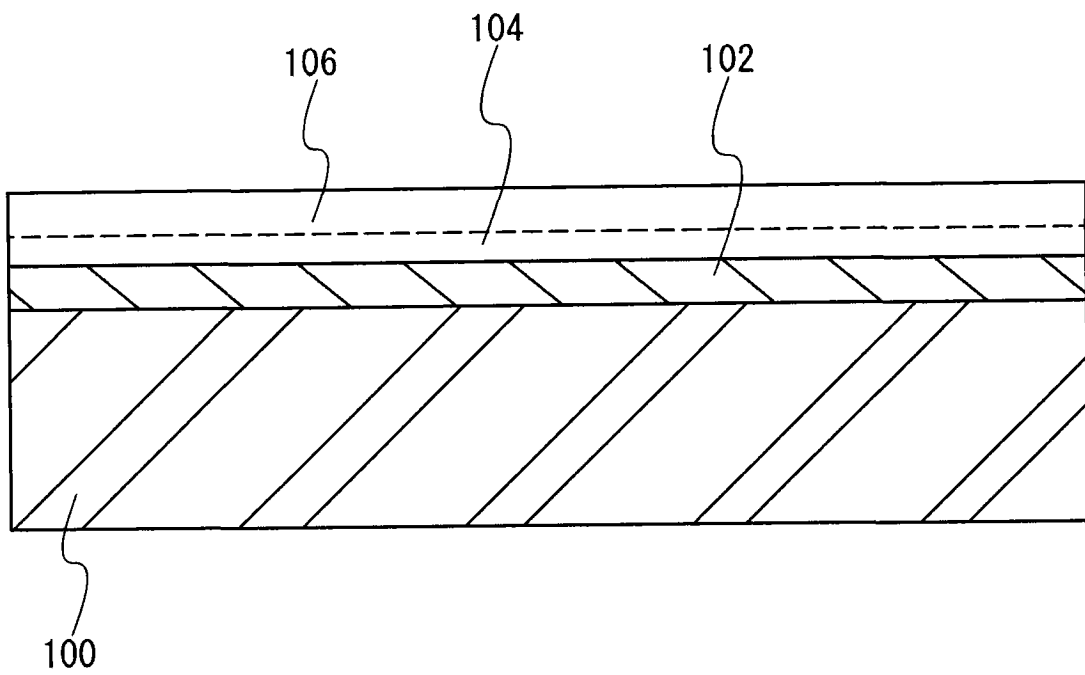


图 3B

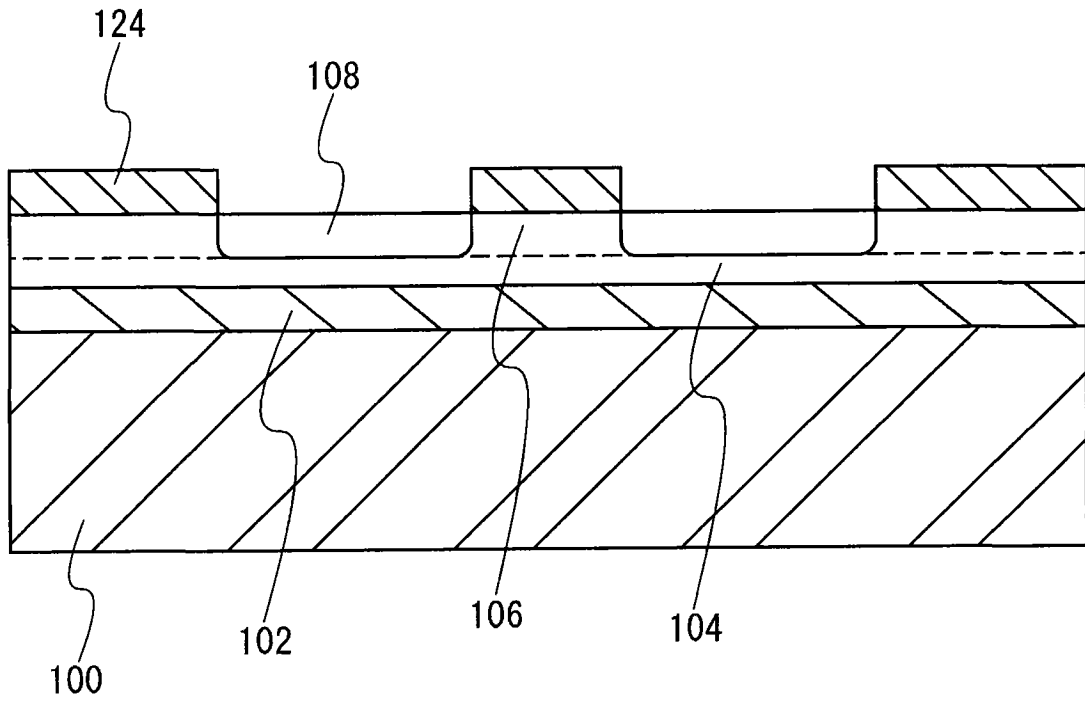


图 4A

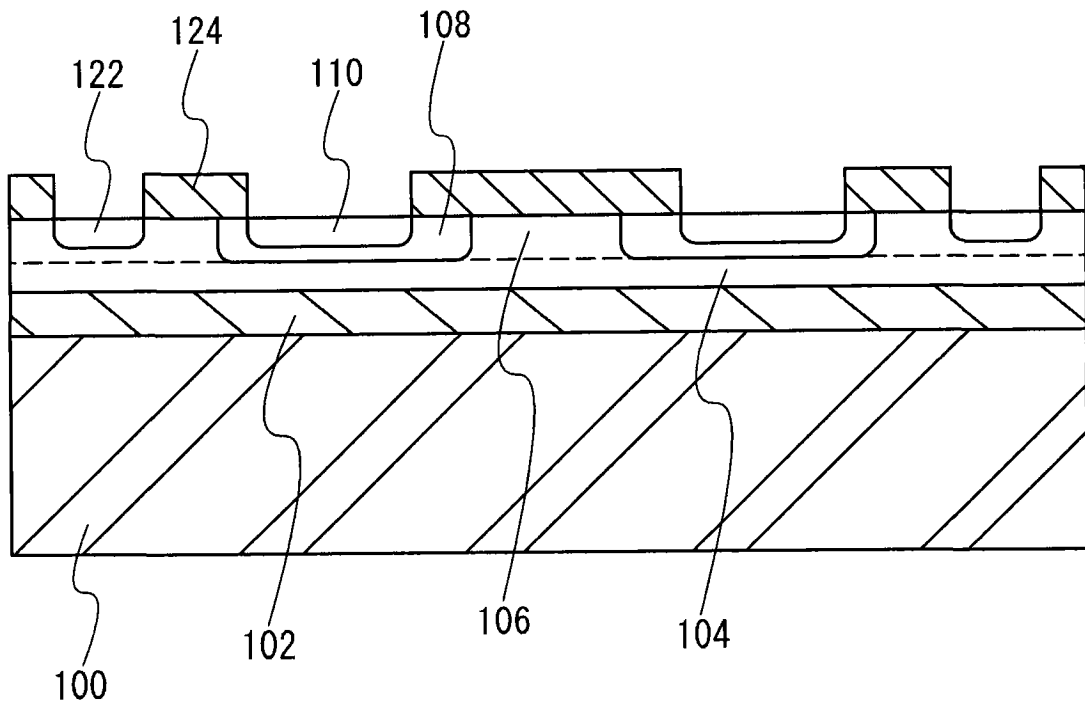


图 4B

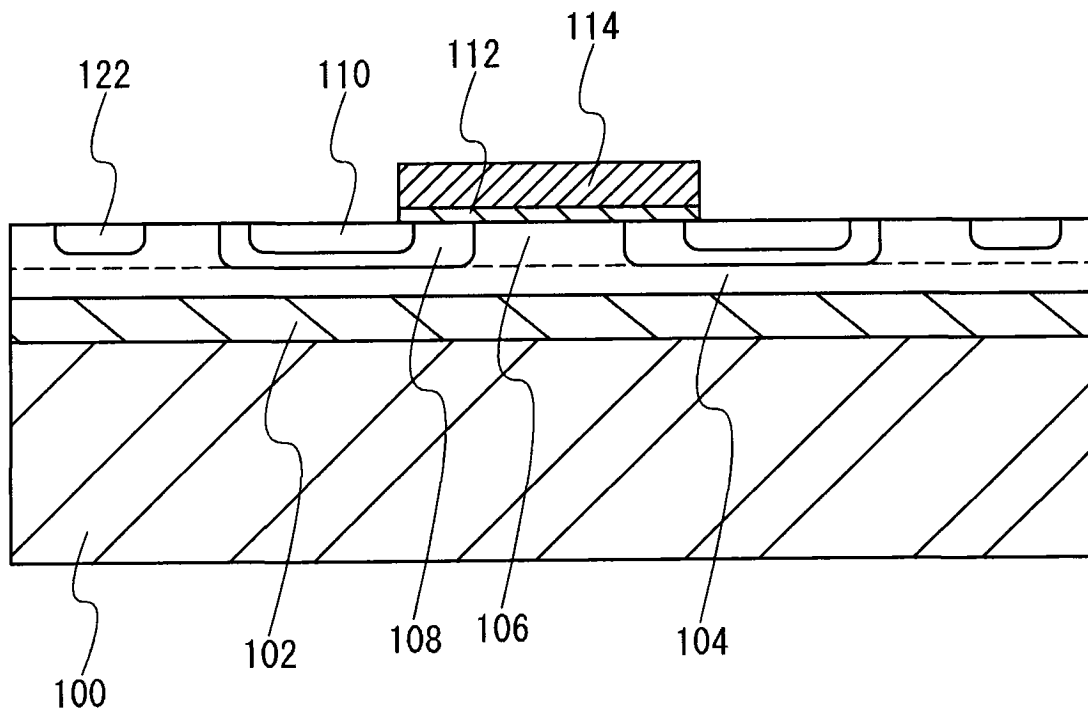


图 5A

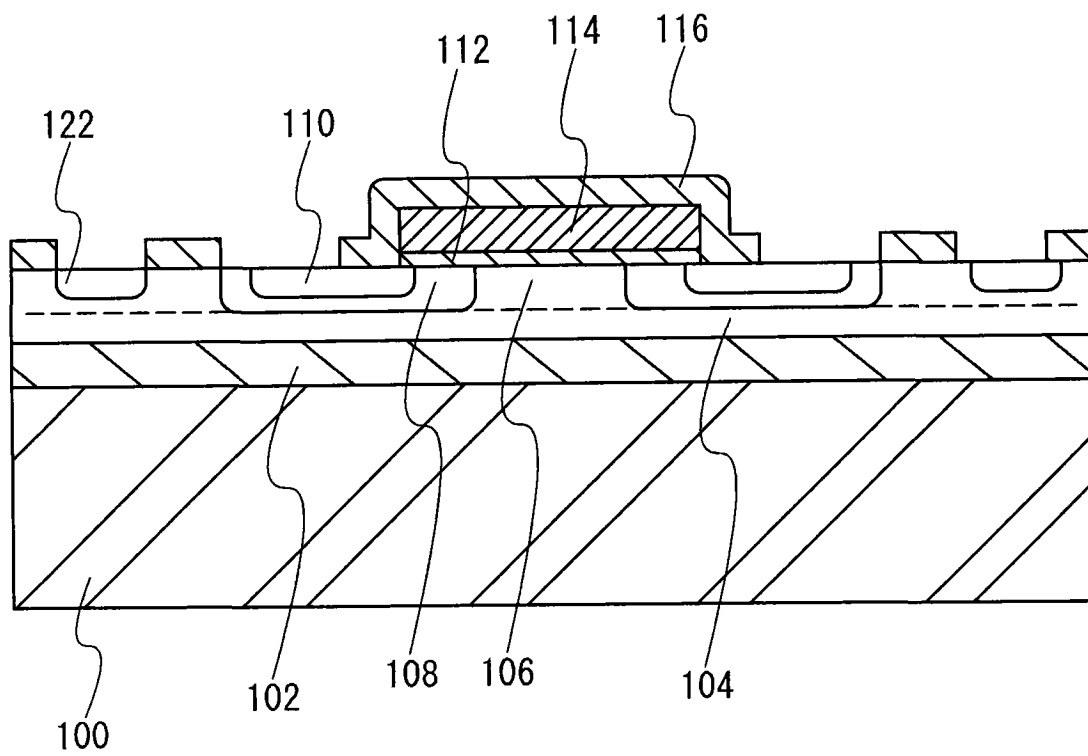


图 5B

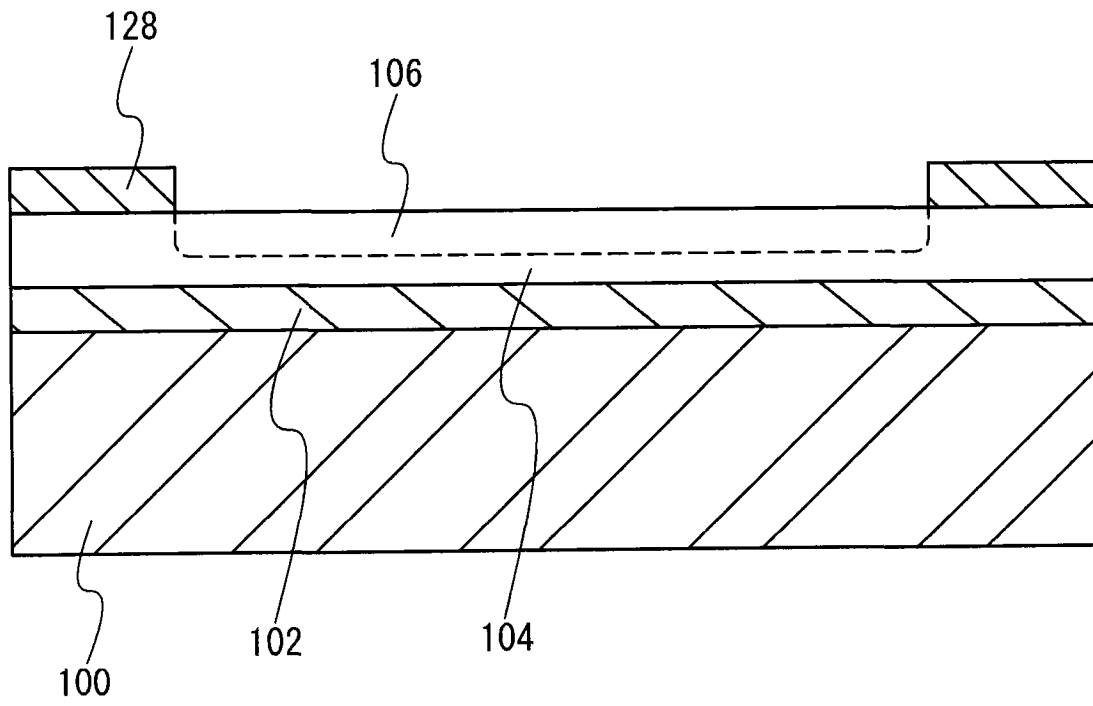


图 6A

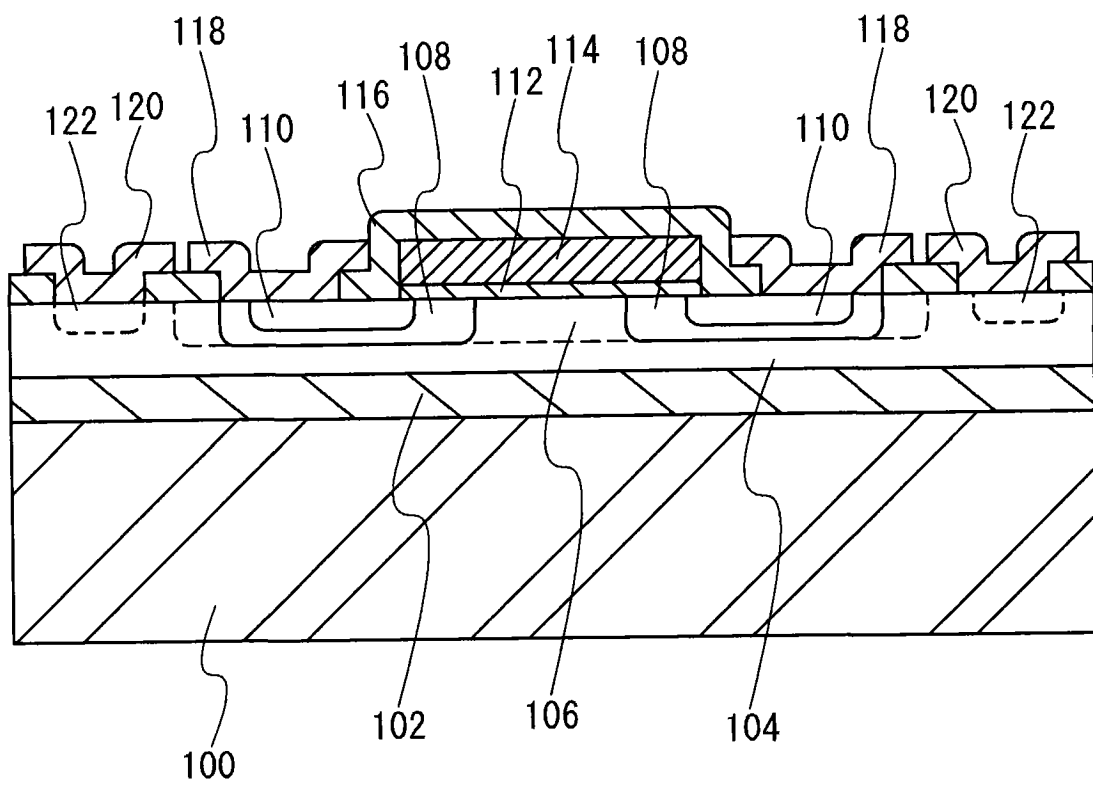


图 6B

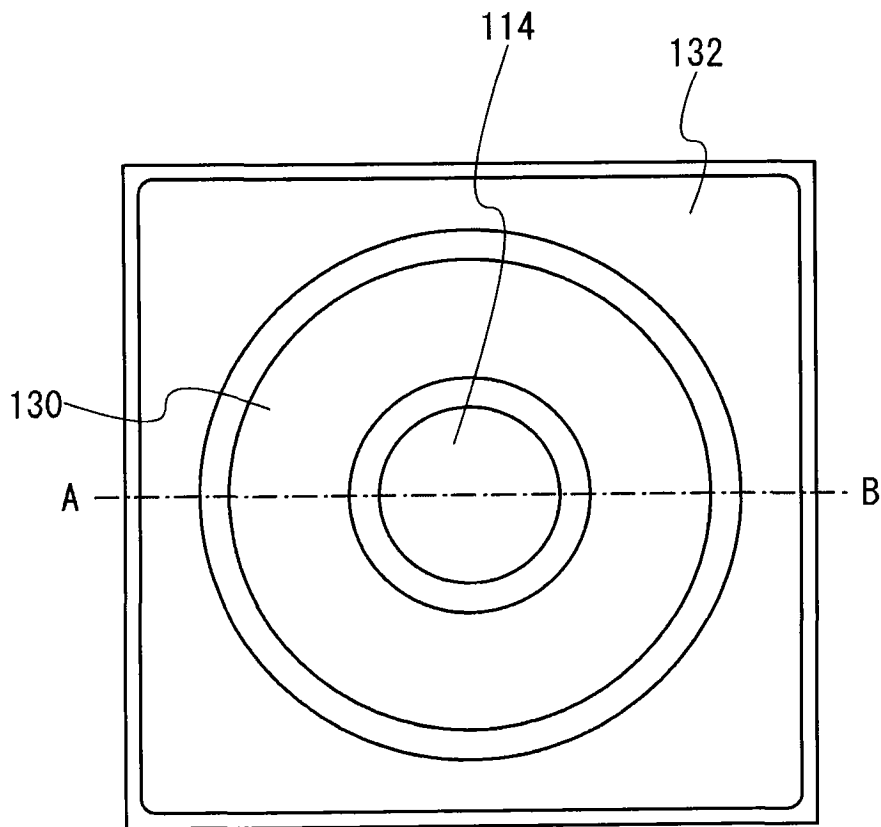


图 7A

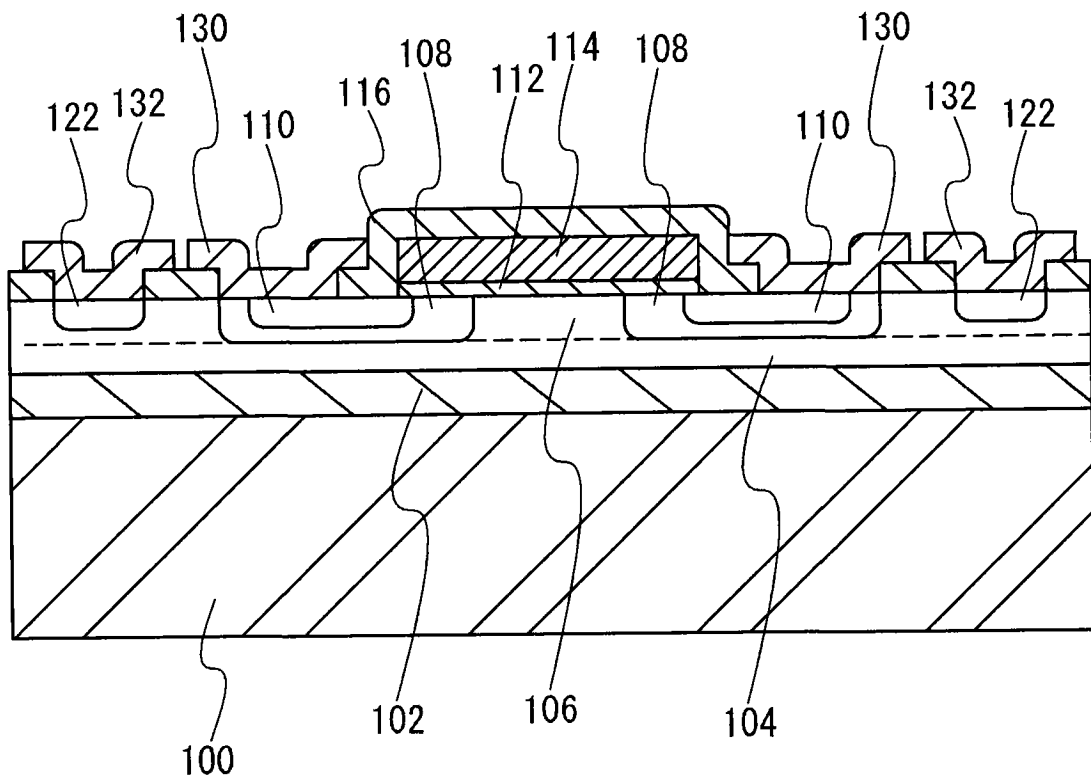
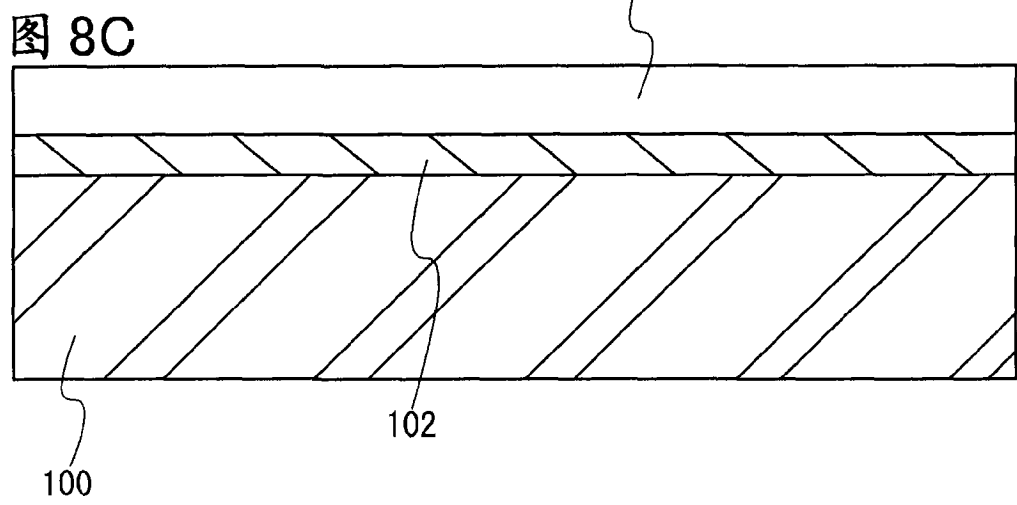
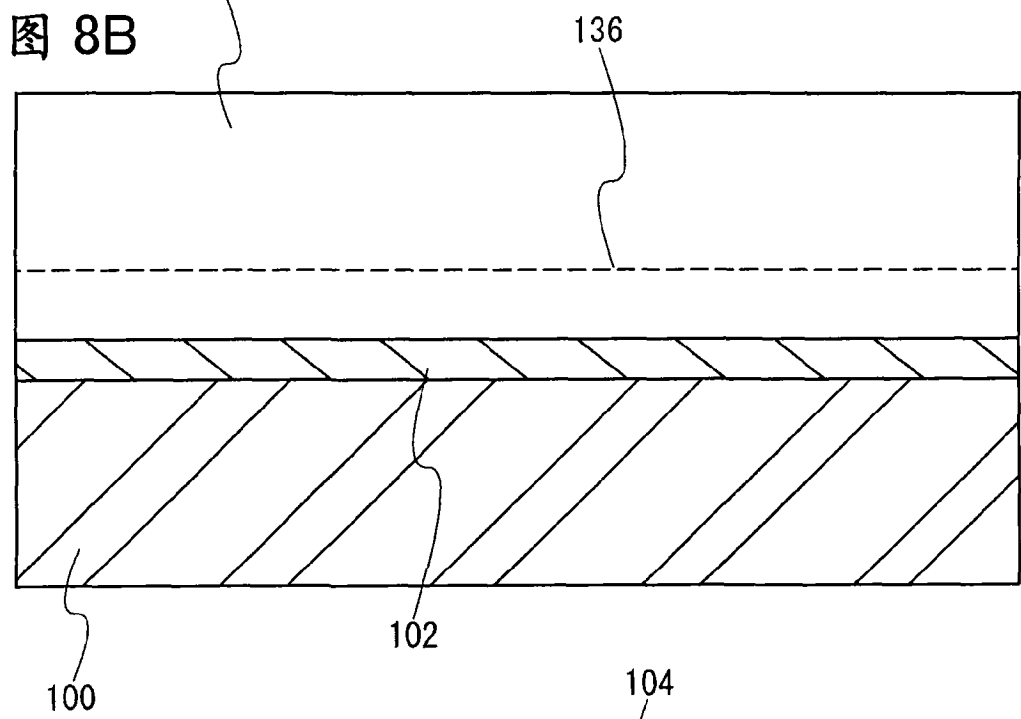
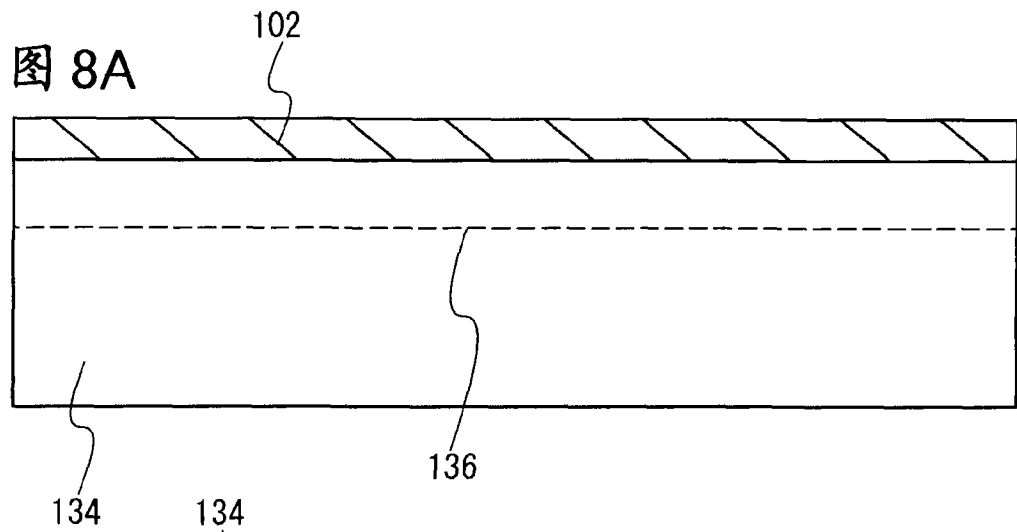


图 7B



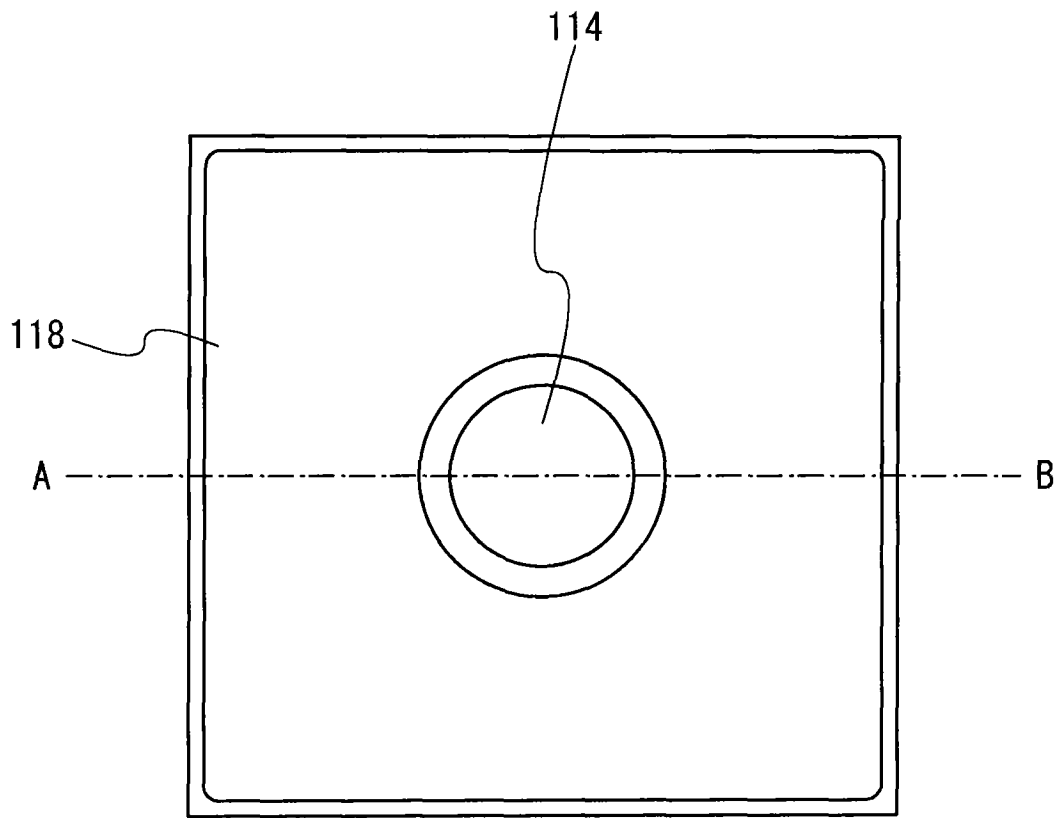


图 9A

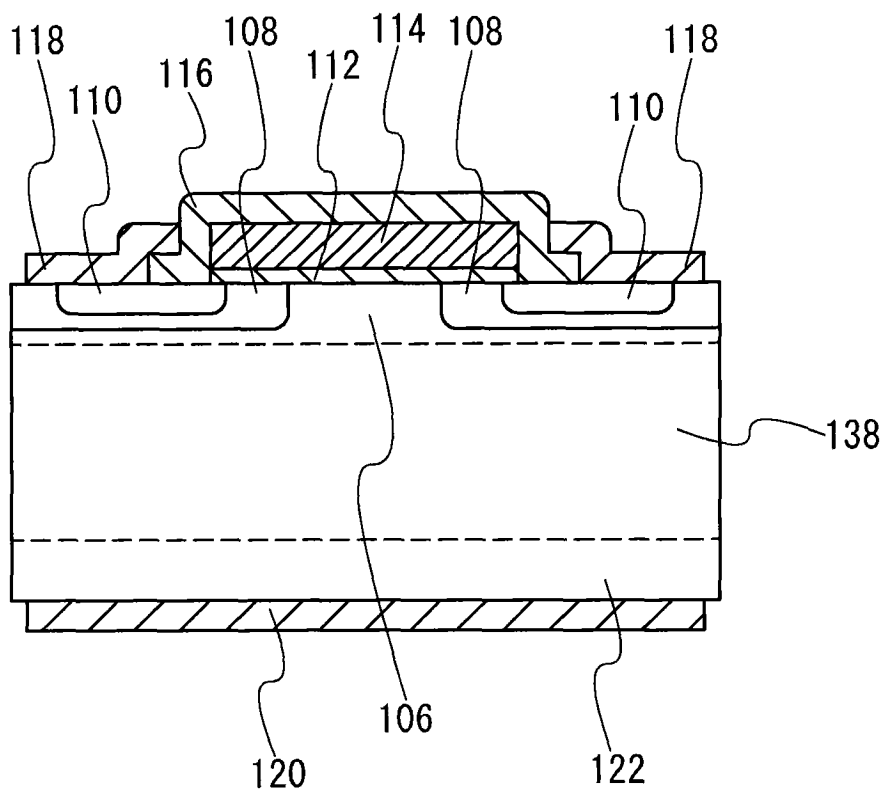


图 9B

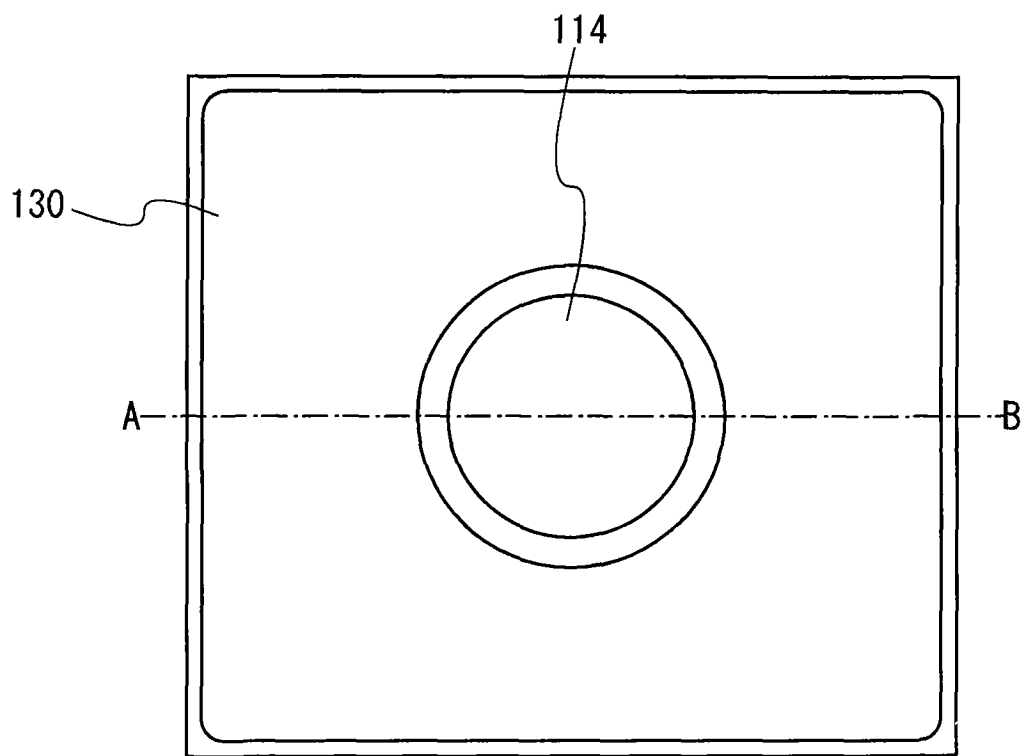


图 10A

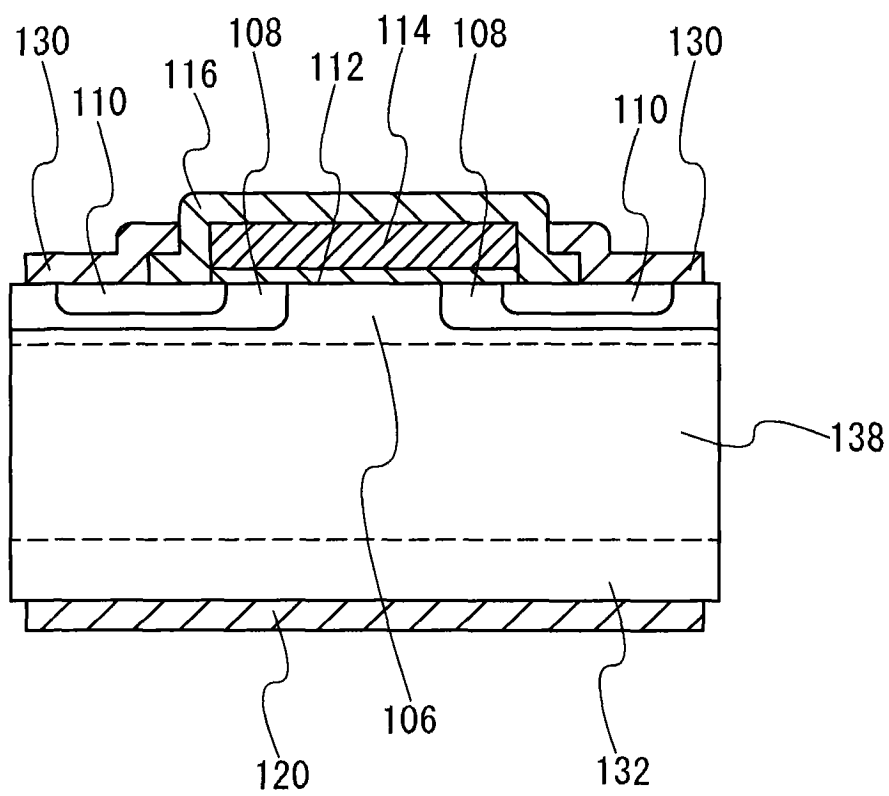


图 10B

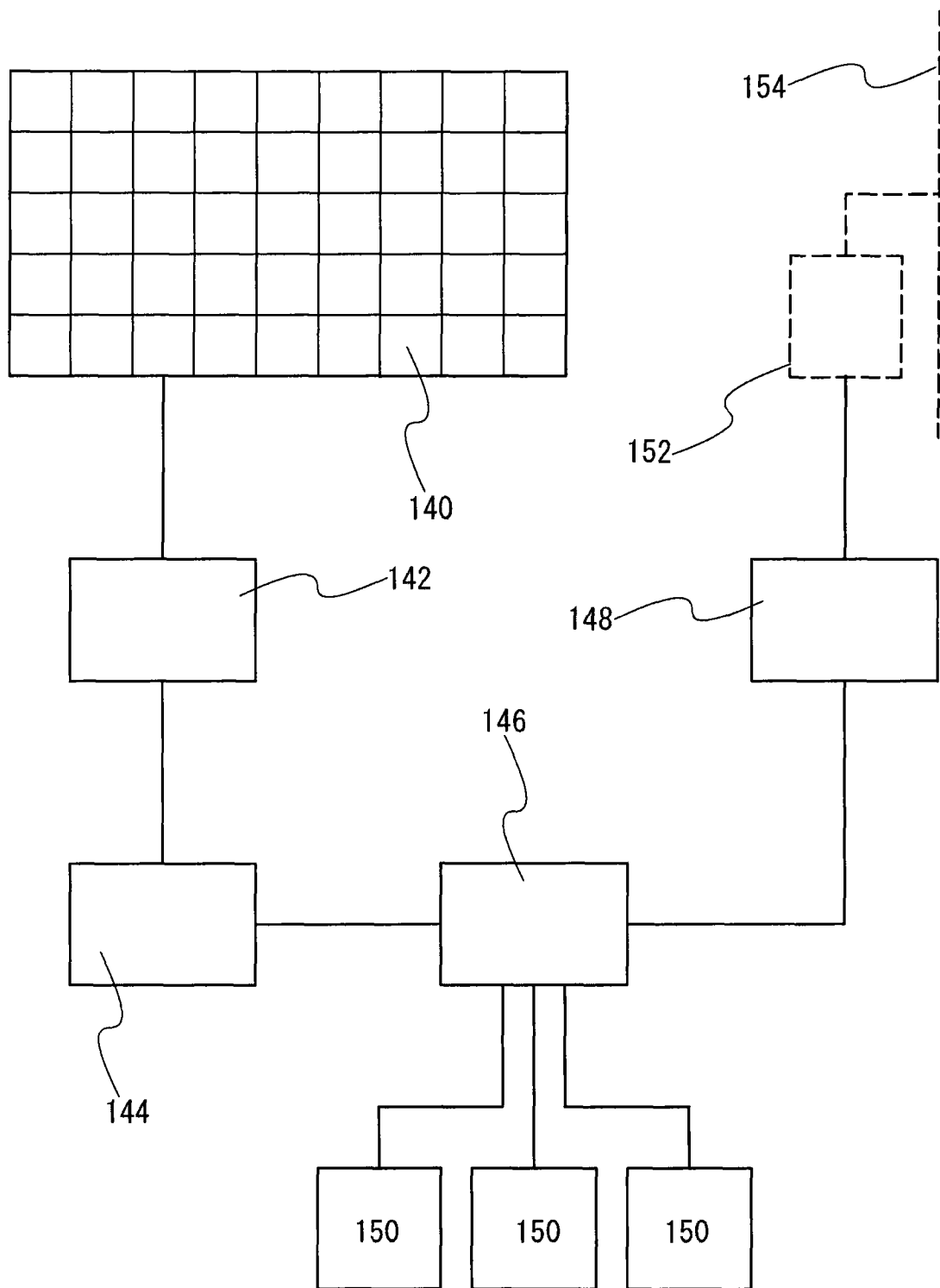


图 11