

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-166312
(P2004-166312A)

(43) 公開日 平成16年6月10日(2004.6.10)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H04L 12/56	H04L 12/56 230A	5K030
H04L 7/02	H04L 7/02 Z	5K047

審査請求 有 請求項の数 5 O L (全 12 頁)

<p>(21) 出願番号 特願2004-50546 (P2004-50546)</p> <p>(22) 出願日 平成16年2月25日 (2004.2.25)</p> <p>(62) 分割の表示 特願2001-319878 (P2001-319878) の分割</p> <p>原出願日 平成13年10月17日 (2001.10.17)</p> <p>(31) 優先権主張番号 09/690,771</p> <p>(32) 優先日 平成12年10月17日 (2000.10.17)</p> <p>(33) 優先権主張国 米国 (US)</p>	<p>(71) 出願人 501405225 ジェノム コーポレーション Gennum Corporation カナダ国 エル7エル 5ピー5 オンタリオ, バーリントン, フレーザー ドライブ 970 970 Fraser Drive, Burlington, Ontario L7L 5P5 CANADA</p> <p>(74) 代理人 100078282 弁理士 山本 秀策</p> <p>(72) 発明者 アーブルコイズ ハイマン カナダ国 エル8ピー 3エイチ5 オンタリオ, ハミルトン, ベイ エステイ ー, サウス 136</p> <p style="text-align: right;">最終頁に続く</p>
-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

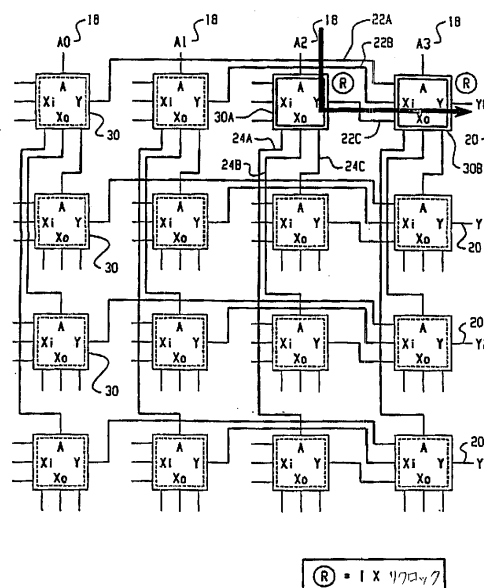
(54) 【発明の名称】 改良されたリクロッカおよびルータセル

(57) 【要約】

【課題】 リクロッカ回路によって誘起されるジッタを低減する。

【解決手段】 本発明のルータマトリクスは、複数の入力ポートから複数の出力ポートに信号をルーティングするルータマトリクスであって、該ルータマトリクスは、該入力ポートと該出力ポートとの間に結合された、複数の相互接続されたルータセルであって、該相互接続されたルータセルは、2次元のマトリクスに構成された、ルータセルを備え、該ルータセルのそれぞれは、入力ポートと、出力ポートと、複数の拡張入力ポートと、複数の拡張入力ポートとを有し、該ルータセルは、該ルータマトリクスの最大パス長を低減するために、該入力ポート、該出力ポート、該複数の拡張入力ポートおよび該複数の拡張出力ポートを使用して相互接続されている。

【選択図】 図8



【特許請求の範囲】

【請求項 1】

N個の入力信号を受け取り、該N個の入力信号から1つを選択するN：1マルチプレクサであって、Nは少なくとも3である、N：1マルチプレクサと、

該N：1マルチプレクサの出力に結合されたリクロックカであって、該選択された入力信号中のデータをリタイミングするリクロックカと

を備えた、リクロック回路。

【請求項 2】

Nは少なくとも4である、請求項1に記載のリクロック回路。

【請求項 3】

Nは4よりも大きい、請求項1に記載のリクロック回路。

【請求項 4】

前記入力信号が映像信号である、請求項1に記載のリクロック回路。

【請求項 5】

前記映像信号がHDTVデジタルビデオ信号である、請求項4に記載のリクロック回路。

【発明の詳細な説明】

【技術分野】

【0001】

本特許出願は、信号切換およびルーティングの分野に関する。より詳細には、本出願は、複数の相互接続されたルータセルを含む大型ルータマトリクスにおいて、映像信号、電気通信信号、または他の種類の時間感受性信号の切換えおよびルーティングを行う際に特に有用な、改良されたリクロック回路およびルータセルについて説明する。

【背景技術】

【0002】

現在のテレビスタジオの核となる基礎的要素は、映像ルータである。映像ルータは、切換えマトリクスであり、この切換えマトリクスは、信号に結合され、スタジオ内にある多数の映像ソースと多数の処理デバイスとの間で信号をルーティングする。タイミングは、映像信号（および他の種類の信号）のルーティングおよび処理における重要な局面であるため、映像ルータは典型的には、マトリクスを通じてルーティングされる多数の信号のタイミングを修正するために、リクロック回路を用いる。今日用いられている映像ルータは通常、40個以上の入力および出力を有し、相互接続されたルータセルのマトリクスとして構成されることが多い。

【0003】

信号がルータまたは他の任意の種類の通信回路を通過する際、その信号はタイミングジッタを被る場合が多い。このタイミングジッタは、信号波形の期間の変動として表れるため、当該信号がバイナリである場合でも、増幅およびクリッピングによって除去するのは不可能である場合が多い。そのため、時間感受性信号の切換えおよび/または処理を行うシステムでは典型的には、位相ロックループ(PLL)を用いて、ジッタの無いクロック信号を抽出し、次いで、そのジッタの無いクロック信号を用いて、ルーティング対象または処理対象の信号を同期化する。この抽出および同期化を行うプロセスは通常、当該分野において「リタイミング」または「リクロック」と呼ばれ、このプロセスを行うデバイスは通常、「リタイマ」または「リクロックカ」と呼ばれることが多い。このようなデバイスの別の呼び名として、「データリジェネレータ」がある。代表的なリタイミング(リクロック)回路として、Burlington, OntarioのGennum Corp.から市販されているGennum GS9035がある。

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかし、代表的なリクロック回路は、入力信号のタイミングを完全に修正することがで

10

20

30

40

50

きないため、信号中に少量のジッタがなお残留する。この残留ジッタは、多数のルータセル（従って、多数の連続リクロック回路）を有する映像ルータにおいて、問題の原因となる。なぜならば、ルーティングされている信号中に少量のジッタが残留すると、ジッタがルータセル間を移動するにつれて増加していくからである。このようなジッタは、最終的には、当該信号のデータ内容が劣化し、使用不可能となるレベルまで蓄積する。

【0005】

図1は、公知のルータセル10のブロック図である。このルータセル10は、入力(A)18、出力(Y)20、等化器12、スイッチ14およびリクロック回路16を含む。入力信号(A)18は典型的には、切り換えられる前の時点では等化器12に結合されており、これにより、信号の伝送媒体であるスタジオケーブルまたは他の媒体における損失が補償される。次いで、等化器12の出力は、スイッチ14の入力に結合される。スイッチ14は、入力信号(A)18と出力(Y)20との間を接続または切り離す。しかし、信号(Y)が出力される前に、当該信号はリクロック回路16によって処理される。リクロック回路16は、入力信号(A)18中のデータをリタイミングした後、その入力信号(A)18を、後続のルータセルへまたはスタジオ内の何らかのデバイスに対するルータマトリクス外部へ伝送する。実際の信号切換システムにおいて、このリタイミング機能は、ルータを通じて切り換えられる信号内部のデータのタイミングの完全性を保障するために必要である。入力の最大数は1つの入力(A)18に限定されるため、図1に示すルータセル10は拡張不可能なものとして見なされる。

10

【0006】

図2は、公知のルータセル10に1組の拡張入力ルータXi22および拡張出力ルータXo24を設けたブロック図である。図2に示すルータセル10は、図1に示すセルと同じ構成要素のほとんどを含む。しかし、図2において、拡張入力/出力組(Xi、Xo)22、24と、2対1の(2:1)マルチプレクサ26と、第2のリクロック回路16とが、ルータセルに追加されている。これらの構成要素を追加することで、図4を参照して以下にさらに示すように、ルータセル10を、ルータセルのマトリクスを形成することができるように拡張可能にすることが可能になる。

20

【0007】

このルータセル10において、拡張入力(Xi)22と、スイッチ14の出力とが、2:1マルチプレクサ26にルーティングされる。この2:1マルチプレクサ26は、入力(Xi)22または入力(A)18のうちいずれかを、第1のリクロック回路16からルータセル出力(Y)20へとルーティングされる対象として選択する。入力信号(A)18は、スイッチ14を通じてルーティングされ、次いで、第2のリクロック回路16に結合され、その後、拡張出力線(Xo)24に出力される。図3は、図2に示すルータセルを模式的に簡略化したものである。

30

【0008】

図4は、複数のルータセルを含む公知のルータマトリクスの概略図である。図2中に示すルータセル10を基本的な基礎的要素として用いると、1つのルータセルを他の1つ以上のセルと接続することにより、ルータマトリクスを作成することが可能である。例えば、図4に示すように、ルータセル10を16個用いて、入力が4つで出力が4つのルータマトリクスを構築することができる。これらのルータセル10を、複数の横列および縦列を含む2次元のマトリクス構造として構築する。信号入力A0、A1、A2およびA3(18)は、ルータマトリクス上部に配置された第1の横列のルータセル10に結合される。拡張入力Xi0、Xi1、Xi2およびXi3(22)は、マトリクスの左端部に配置された第1の縦列のルータセル10に結合される。信号出力Y0、Y1、Y2およびY3(20)は、マトリクスの右端部に配置された最終縦列のルータセル10に結合される。そして、拡張出力Xo1、Xo2、Xo3およびXo4(24)は、ルータマトリクスの底部に配置された最終横列のルータセル10に結合される。次いで、マトリクス中の残りのセルは、図4に示すように構成され、これにより入力18、22が出力20、24に接続される。

40

50

【 0 0 0 9 】

図 4 に示すルータにおいて、信号入力 A 0 が出力 Y 3 に接続されると、入力データ信号を 7 回リクロックする経路が生成される。A 0 にある信号は、A 0 から Y 3 へと移動する際、ルータセル 1 0 A、1 0 B、1 0 C、1 0 E、1 0 F および 1 0 G (すなわち、7 個のルータセル) を通ってルーティングされる。このアーキテクチャから、このような様式で設計された N × N 個のルータを通過する最長経路を設けると、入力信号は 2 N - 1 回リクロックされることが分かる。従って、図 4 に示す 4 × 4 のマトリクスの場合、リクロックの回数は、2 (4) - 1 すなわち 7 である。

【 0 0 1 0 】

このルータ設計の欠点は、最長経路におけるリクロック回数が、ルータのサイズと共に直線的に拡張される点である。各リクロック回路からのジッタが蓄積すると、その結果、マトリクス中の各後続段においてデータをリタイミングすることがより困難になる。最終的には、データ信号中に蓄積されたジッタによって、リクロック回路 1 6 は、マトリクスを通じてルーティングされている信号をリタイミングできなくなり、その時点で、その信号は相対的に使用不可能となる。

10

【 課題を解決するための手段 】

【 0 0 1 1 】

本発明のルータマトリクスは、複数の入力ポートから複数の出力ポートに信号をルーティングするルータマトリクスであって、該ルータマトリクスは、該入力ポートと該出力ポートとの間に結合された、複数の相互接続されたルータセルであって、該相互接続されたルータセルは、2 次元のマトリクスに構成された、ルータセルを備え、該ルータセルのそれぞれは、入力ポートと、出力ポートと、複数の拡張入力ポートと、複数の拡張入力ポートとを有し、該ルータセルは、該ルータマトリクスの最大パス長を低減するために、該入力ポート、該出力ポート、該複数の拡張入力ポートおよび該複数の拡張出力ポートを使用して相互接続されている。

20

【 0 0 1 2 】

本発明のルータマトリクスは、前記少なくとも 1 つのルータセルは、少なくとも 6 個の他のルータセルに前記入力ポート、前記出力ポート、前記複数の拡張入力ポートおよび前記複数の拡張出力ポートを介して接続されてもよい。

【 0 0 1 3 】

本発明のルータマトリクスは、前記相互接続されたルータセルを通じてルーティングされる信号が映像信号であってもよい。

30

【 0 0 1 4 】

本発明のルータマトリクスは、前記映像信号が H D T V デジタルビデオ信号であってもよい。

【 0 0 1 5 】

本発明のルータマトリクスは、ルータセルのそれぞれが、前記入力ポートと前記出力ポートとの間に結合されたスイッチであって、該スイッチは、入力信号を受け取る入力および第 1 のスイッチ出力と第 2 のパスルー出力との 2 個の出力を含む、スイッチと、該スイッチの該パスルー出力に結合された第 1 のリクロック回路と、複数の拡張出力信号を生成するために該第 1 のリクロック回路からの信号出力を複製する、該第 1 のリクロック回路に結合されたファンアウト回路と、積分 N : 1 マルチプレクサを有する第 2 のリクロック回路であって、N は少なくとも 3 であり、該第 2 のリクロック回路は、前記複数の拡張入力ポートと、該スイッチからの該スイッチ出力とに結合され、出力信号を生成する、第 2 のリクロック回路とを含んでもよい。

40

【 0 0 1 6 】

本発明のルータマトリクスは、ルータセルのそれぞれは、前記入力ポートと前記スイッチの前記入力との間に結合された等化器をさらに含んでもよい。

【 0 0 1 7 】

本発明のルータマトリクスは、N は少なくとも 4 であってもよい。

50

【0018】

本発明のルータマトリクスは、ルータセルのそれぞれは、リクロック回路を含んでもよい。

【0019】

本発明のルータマトリクスは、ルータセルのそれぞれは、前記複数の拡張入力ポートと前記入力ポートとに結合され、該複数の拡張入力ポートまたは該入力ポートの1つ上の信号を選択する拡張マルチプレクサと、該入力ポート上の信号を該複数の拡張出力ポートに複製するファンアウト回路とを含んでもよい。

【0020】

本発明のリクッキング回路は、N個の入力信号を受け取り、該N個の入力信号から1つを選択するN:1マルチプレクサであって、Nは少なくとも3である、N:1マルチプレクサと、該N:1マルチプレクサの出力に結合されたリクロック回路であって、該選択された入力信号中のデータをリタイミングするリクロック回路とを備える。

10

【0021】

本発明のリクッキング回路は、Nは少なくとも4であってもよい。

【0022】

本発明のリクッキング回路は、Nは4よりも大きくてもよい。

【0023】

本発明のリクッキング回路は、前記入力信号が映像信号であってもよい。

【0024】

本発明のリクッキング回路は、前記映像信号がHDTVデジタルビデオ信号であってもよい。

20

【0025】

本発明のルータセルは、ルータマトリクスに使用されるルータセルであって、該ルータセルの入力ポートと出力ポートとの間に結合されたスイッチであって、該スイッチは、入力信号を受け取る入力および第1のスイッチ出力と第2のパススルー出力との2個の出力を含む、スイッチと、該スイッチの該パススルー出力に結合された第1のリクロック回路と、複数の拡張出力信号を生成するために該第1のリクロック回路からの信号出力を複製する、該第1のリクロック回路に結合されたファンアウト回路と、積分N:1マルチプレクサを有する第2のリクロック回路であって、Nは少なくとも3であり、該第2のリクロック回路は、該ルータセルの複数の拡張入力ポートと、該スイッチからの該スイッチ出力とに結合され、出力信号を生成する、第2のリクロック回路とを備える。

30

【0026】

本発明のルータセルは、前記入力ポートと前記スイッチの前記入力との間に結合された等化器をさらに含んでもよい。

【0027】

本発明のルータセルは、Nは少なくとも4であってもよい。

【0028】

複数の相互接続されたルータセルを備えるルータマトリクスを構成する場合に特に有用な改良されたリクロック回路およびルータセルが提供される。改良されたリクロック回路は、一体型N対1マルチプレクサ(MUX)を含む。ここで、Nは、少なくとも3である。改良されたルータセルは、リクロック/MUX回路、スイッチ、およびファンアウト回路を含む。複数のポートが、入力ポート、出力ポート、複数の拡張入力ポート、および複数の拡張出力ポートを含むルータセル回路に結合されている。改良されたルータセルは、入力ポートまたは拡張入力ポートのうちの1つのいずれかを、その出力ポートに結合し、また、入力ポートを、拡張出力ポートのそれぞれに結合する。ルータマトリクスの設計において、改良されたルータセルを用いることによって、リクロック回路によって引き起こされるジッターが最小限に抑えられる。

40

【0029】

本発明の1つの局面によると、ルータマトリクスは、複数の入力ポートから、複数の出

50

力ポートに信号をルーティングするために提供される。ルータマトリクスは、入力ポートと出力ポートとの間に結合されている、複数の相互接続されたルータセルを含む。ここで、相互接続されたルータセルは、2次元のマトリクスに構成される。ルータセルのそれぞれは、入力ポート、出力ポート、複数の拡張入力ポート、および複数の拡張出力ポートを含む。ルータセルは、ルータマトリクスを通じる最大パス長を低減し、ルーティングされる信号のリクロックの回数を低減するため、入力ポート、出力ポート、複数の拡張入力ポート、および複数の拡張出力ポートを用いて相互接続されている。

【0030】

本発明の他の局面によると、N個の入力信号を受信し、N個の入力信号のうちの1つを選択するN：1マルチプレクサを含む、改良されたリクロック回路が提供される。ここで、Nは、少なくとも3であり、リクロックは、選択された入力信号のデータをリタイミングするために、N：1マルチプレクサの出力に結合されている。

10

【0031】

本発明のさらに他の局面によると、ルータマトリクスにおいて用いられるルータセルが提供される。ルータセルは、(i)ルータセルの入力ポートと出力ポートとの間に結合されているスイッチであって、入力信号を受信する入力と、2つの出力、すなわち、第1のスイッチされる出力と、第2のパススルー出力とを含む、スイッチと、(ii)スイッチのパススルー出力に結合される第1のリクロック回路と、(iii)複数の拡張出力信号を生成するために第1のリクロック回路からの信号出力を複製する、第1のリクロックに結合されているファンアウト回路と、(iv)一体型N：1マルチプレクサを有する第2

20

【0032】

これらは、本発明の多くの局面のうちの一部に過ぎないことを、留意すべきである。特定されていない他の局面は、以下に説明する好適な実施形態の詳細な説明を読むことによって明らかになる。

【発明の効果】

【0033】

ルータマトリクスの設計において、改良されたルータセルを用いることによって、リクロック回路によって引き起こされる信号内のジッターが最小限に抑えられるようなリクロック回路およびルータセルを提供することができる。

30

【発明を実施するための最良の形態】

【0034】

次に、残りの図面を参照すると、図5は、複数の拡張入力/出力対22A~22C、24A~24Cを有し、改良されたリクロック回路32を含む改良されたルータセル30のブロック図である。この改良されたルータセル30は、ルータマトリクスの形成において、同じタイプ、例えば、以下で図7および8について説明するようなタイプの他のルータセル30と組み合わせられて、特に有用である。このタイプのルータマトリクスは、例えば、テレビスタジオで映像信号を結合する映像ルータとして、特に有用である。これらの映像信号は、SDTVまたはHDTVテレビ信号のようなデジタル信号であってもよいし、他のタイプのデジタル映像信号であってもよい。しかし、本発明は、映像信号のルーティングに限定されるものではなく、スイッチング機構内で動作するリクロッキング(リタイミング)回路によって引き起こされるさらなるジッターを低減することが望ましい、任意のタイプのデジタル信号を、スイッチし、ルーティングするために用いられ得る。

40

【0035】

図5に示す改良されたルータセル30は、入力信号ポート18(入力信号Aを受信する)、出力信号ポート20(信号Yを出力する)、複数の拡張入力ポート22A、22B、および22C(複数の拡張入力Xi0、Xi1、およびXi2を受信する)、ならびに、複数の拡張出力ポート24A、24B、および24C(複数の拡張出力Xo0、Xo1、

50

およびX02を受信する)を含み得る。ポート18、20、22、および24の間には、等化器12、スイッチ14、第1のタイプの第1のリクロック回路16、第2のタイプの第2のリクロック回路32、およびファンアウト回路36が結合されている。

【0036】

第1のリクロック回路16は、公知のリクロック、例えば、Gennum GS9035と類似する。しかし、第2のリクロック32は、Gennum GS9035のような公知のリクロック部品16を含む改良されたリクロック回路である。また、第2のリクロック32は、N対1拡張マルチプレクサ34も含む。ここで、Nは、少なくとも3(すなわち、拡張マルチプレクサは、少なくとも3:1)である。第1のリクロック回路16および拡張マルチプレクサ34は、好適には、単一のデバイス、例えば集積回路に組み込まれるが、そうではなく、別個の部品であってもよい。

10

【0037】

図5に示す改良されたルータセルは、以下で説明するように動作する。入力信号Aは、入力信号ポート18に結合され、等化器12にパススルーする。等化器12は、図1および2に示した等化器12と同様の状態で動作する。入力信号Aは、等化器12をパススルーし、その後、スイッチ14に結合される。スイッチ14は、1つの入力と、2つの出力14Aおよび14Bを有する。スイッチ14の1つの入力は、等化器12の出力と結合されている。第1の出力14Aは、スイッチされた出力であり、スイッチされた出力は、改良されたリクロック回路32のN:1MUX34の入力のうちの1つに結合されている。スイッチされた出力14Aは、スイッチ14の状態に依存して、入力信号Aに結合されるか、全く信号には結合されないかのいずれかである。入力信号Aは、スイッチへの入力に存在する。第2の出力14Bは、入力信号Aを単にパススルーさせるパススルー出力である。

20

【0038】

第2の出力14Bのパススルー信号は、標準リクロック回路16に結合される。標準リクロック回路16は、入力信号Aについてリクロック(またはリタイミング)動作を行う。その後、リクロックされた信号は、リクロック16から、ファンアウト回路36へと出力される。ファンアウト回路36は、リクロック16から、複数の拡張出力ポート24A、24B、および24Cへとリクロックされた信号を結合し、複数の拡張出力信号X00、X01、およびX02を提供する。

30

【0039】

スイッチされた出力14Aに加えて、改良されたリクロック回路32も、複数の拡張入力ポート22A、22B、および22Cに結合され、複数の拡張入力信号Xi0、Xi1、およびXi2を受信する。これらのライン(ポート)14A、22A、22B、22Cの信号は、N:1拡張マルチプレクサ34の入力に結合される。N:1拡張マルチプレクサ34は、上述したように、少なくとも3つ、おそらくは3より多い入力を含む。拡張マルチプレクサ34は、入力のうちの1つを選択し、選択された信号をリクロック16にルーティングする。リクロック16は、スイッチ14の第2の出力14Bに接続されるリクロック16と同じリクロック動作を行う。改良されたリクロック回路32からのリクロックされた信号は、出力信号Yとして、出力ポート20に提供される。

40

【0040】

図6は、図5に示される改良されたルータセル30の簡略化された概略図である。この概略図は、入力信号Aを受け取るための入力ポート18を有するブラックボックスとしての改良されたルータセル30、出力信号Yを提供するための出力ポート20、複数の拡張入力信号Xiを受け取るための複数の拡張入力ポート22A、22B、22C、および複数の拡張出力信号X0を供給するための複数の拡張出力ポート24A、24B、24Cを示す。図6に示される簡略化された該略図は、複数の相互接続されたルータセルを含むルータマトリクス(またはルータ)を示すために用いられ得る。

【0041】

図7は、図5に示される複数の改良されたルータセルを含み、ルータマトリクスを介し

50

て第1のルーティング経路を明示する改良されたルータマトリクス図である。図7に示されるルータマトリクスには4つの入力、図4に示されるルータマトリクスと同様に、16個のルータセルを含むルータマトリクス、4つの出力ルータマトリクスが存在する。しかし、図7のルータマトリクスでは、図5、6に示された改良されたルータセル30は、そのルータマトリクスを介してルーティングされた信号内のジッタを最小化する、より効率的なルータを生成するために用いられる。

【0042】

図7に示されるルータマトリクスでは、各ルータセル30は、3つの拡張入力ポート22A、22B、22Cおよび3つの拡張出力ポート24A、24B、24Cを含み、従って、これらの拡張ポートおよび入出力ポート18、20を介して最大8つの他のルータセル30に接続され得る。この向上した接続性を用いることで、ルータマトリクスは、そのルータマトリクスを介する特定の経路に沿ってルータセルの数を最小化する様式(すなわち、リクロッキング動作)で構成され得る。

10

【0043】

例えば、図4および図7に示される経路を検討する。図4では、入力A0から出力Y3までの経路は、7つのルータセル10A~10Gを通過する。従って信号は7回リクロックされる。しかし、図7における同じ経路では、入力信号A0は、出力Y3に到達する前に3つのルータセル30A、30D、30Gのみを通過する。この低減した経路長は、ルータセル30Aの拡張出力ポート24A、24B、24Cを介してルータセル30Aをルータセル30B、30C、30Dに接続することによって、およびルータセル30Gの拡張入力ポート22A、22B、22Cを介してルータセル30Gをルータセル30E、30Fに接続することによって、達成される。この様式でルータセル30Aを接続することによって、任意の入出力間のリクロックの最大数は、公知のルータ設計に対して実質的に低減される。

20

【0044】

図7に示されるルータマトリクスは、4つの入力設計、4つの出力設計の簡単な例である。この簡単な例では、データ信号がリタイムされる回数は、最大7(公知のルータ設計)から最大3に低減される。本発明の有効な利得は、Nよりも大きいマトリクスとなることがさらにより明白になる。例えば、 40×40 ルータ(すなわち $N = 40$)において、図2に示される公知のルータセル10および図4に示される公知のマトリクスが用いられる場合、リクロックの最大数が79(すなわち $2N - 1$)である。しかし、図5に示される改良されたルータセルが、マトリクスを形成するために用いられる場合、経路に沿ったリブロックの最大数が7になる。図5に示される3つの拡張入力/出力の代わりに、2つの拡張入力/出力のみがセルごとに提供され、リブロックの最大数が7から11に増加する。いずれの場合にも、本発明の改良されたルータセルは、所与の経路に沿ったリクロッキング動作数の急激な減少を可能にする。

30

【0045】

図8は、ルータマトリクスを介する第2のルーティング経路を明示する、図7に示される改良されたルータマトリクスの概略図である。この経路において、入力信号A2は、ルータセル30Aおよび30Bを介して出力信号Y0にルーティングされる。従って、この経路を横断する場合、2つのリクロックが遭遇する。

40

【0046】

改良されたリクロッカ回路およびルータセルが提供される。このリクロッカ回路およびルータセルは、複数の相互接続されたルータセルを含むルータマトリクスに構成される場合に特に有用である。改良されたリクロッカ回路は、積分N対1マルチプレクサ(MUX)を含み、ここで、Nは少なくとも3である。改良されたルータセルは、リクロッカ/MUX回路と、スイッチと、ファンアウト回路とを含む。入力ポート、出力ポート、複数の拡張入力ポートおよび複数の拡張出力ポートを含む複数のポートがルータセル回路部に結合されている。改良されたルータセルは、その入力ポートまたは1つの拡張入力ポートのいずれかをその出力ポートに結合し、改良されたルータセルはまた、その入力ポートを拡

50

張出力ポートのそれぞれに結合する。ルータマトリクス設計にその改良されたルータセルを使用することにより、リクロック回路によって誘起されるジッターが最小化される。

【0047】

これらの図面を用いて本発明の例を説明してきたが、これは本発明の一例に過ぎず、上述のこの詳細な説明は、この例に本発明を限定することを意味しないことを理解すべきである。上述の本出願に対する、他の実施形態、改良、置換、代替、等価な要素および工程はまた、本発明の範囲内に存在する。

【0048】

ルータマトリクス設計において、改良されたルータセルを用いることによって、リクロック回路によって引き起こされる信号内のジッターが最小限に抑えられるようなリク

10

【図面の簡単な説明】

【0049】

【図1】図1は、公知のルータセルのブロック図である。

【図2】図2は、単一の拡張入力/出力対を有する公知のルータセルのブロック図である。

【図3】図3は、図2に示す公知のルータセルの簡略的な模式図である。

【図4】図4は、複数の図2に示すルータセルを備える公知のルータマトリクスの模式図である。

【図5】図5は、複数の拡張入力/出力対を有する改良されたルータセルのブロック図である。

20

【図6】図6は、図5に示す改良されたルータセルの簡略的な模式図である。

【図7】図7は、複数の図5に示す改良されたルータセルを備える改良されたルータマトリクスの模式図であり、ルータマトリクスを通じる第1のルーティング経路を表す図である。

【図8】図8は、ルータマトリクスを通じる第2のルーティング経路を表す、図7に示す改良されたルータマトリクスの模式図である。

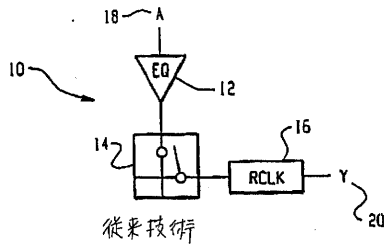
【符号の説明】

【0050】

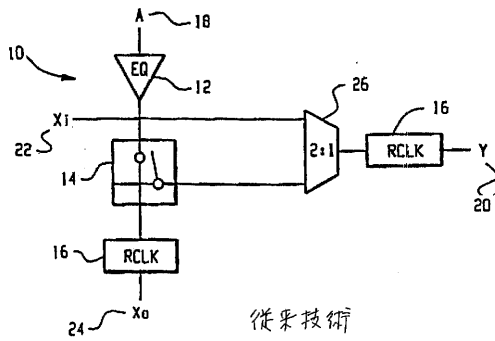
32 リクロック回路

30

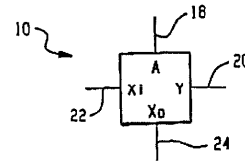
【図1】



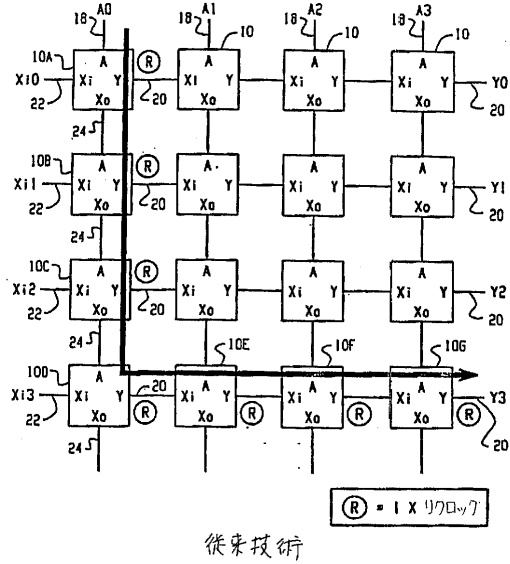
【図2】



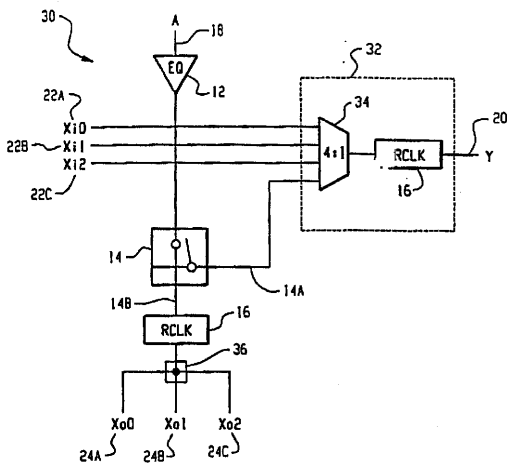
【図3】



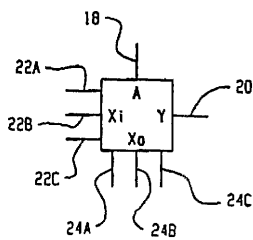
【図4】



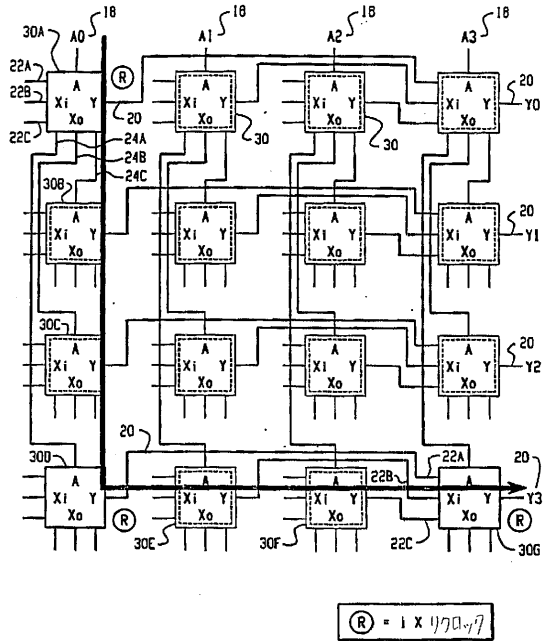
【図5】



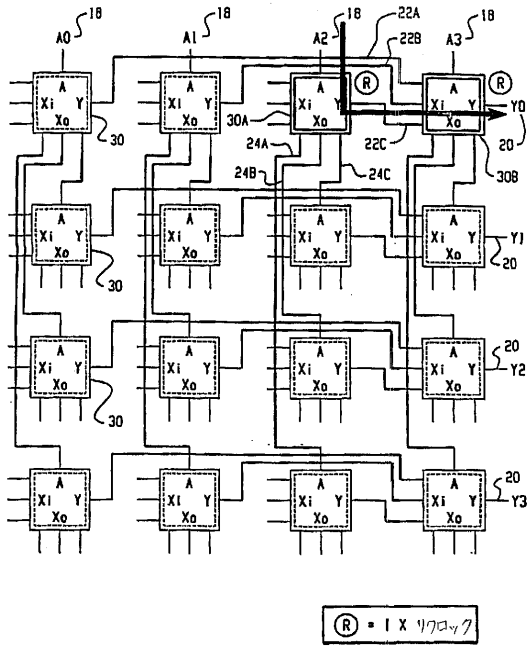
【図6】



【図7】



【 図 8 】



フロントページの続き

(72)発明者 アトゥル クリシュナ ガプタ

カナダ国 エル7ティー 3ゼット5 オンタリオ, バーリントン, ウォリック コート 9
5 0

Fターム(参考) 5K030 GA12 HA08 HD03 KX17 LB05

5K047 AA05 FF04 GG11