



NUMERO DE PUBLICATION : 1003354A7

NUMERO DE DEPOT : 9100839

MINISTERE DES AFFAIRES ECONOMIQUES

Classif. Internat.: G06F

Date de délivrance : 03 Mars 1992

Le Ministre des Affaires Economiques,

Vu la Convention de Paris du 20 Mars 1883 pour la Protection de la propriété industrielle;

Vu la loi du 28 Mars 1984 sur les brevets d' invention, notamment l' article 22;

Vu l' arrêté royal du 2 Décembre 1986 relatif à la demande, à la délivrance et au maintien en vigueur des brevets d' invention, notamment l' article 28;

Vu le procès verbal dressé le 10 Septembre 1991 à 14h25
à l' Office de la Propriété Industrielle

ARRETE:

ARTICLE 1.- Il est délivré à : ONLINE COMPUTING LIMITED
Mentec House Dun Laoghaire Industrial Estate Pottery Road, COUNTY DUBLIN(IRLANDE)

représenté(e)(s) par : VOSSWINKEL Philippe, BUREAU GEVERS S.A., Rue de
Livourne 7 - B 1050 BRUXELLES.

un brevet d' invention d' une durée de 6 ans, sous réserve du paiement des taxes annuelles, pour : ORDINATEUR A CARTE UNIQUE.

INVENTEUR(S) : COATES David, Balnagowan 57, Palmerston Park Dublin 6 (IE); FAIRCLOUGH Christopher, Killarney Court 8, Bray County Wicklow (IE)

Priorité(s) 10.09.90 IE IEA 326790

ARTICLE 2.- Ce brevet est délivré sans examen préalable de la brevetabilité de l' invention, sans garantie du mérite de l' invention ou de l' exactitude de la description de celle-ci et aux risques et périls du(des) demandeur(s).

Bruxelles, le 03 Mars 1992
PAR DELEGATION SPECIALE :

WUYTS L
Directeur

Ordinateur à carte unique

La présente invention concerne un ordinateur à carte unique.

La technologie du silicium à très haute intégration a permis le développement d'unités centrales de calcul de taille relativement
5 petite et aux performances très élevées. Certaines des unités centrales de calcul de la génération la plus récente possèdent des valeurs de performances situées dans la fourchette de 10 à 30 millions d'instructions par seconde. Cependant, bien que ces unités centrales de calcul soient capables de performances relativement
10 élevées, dans la pratique elles ne peuvent libérer tout leur potentiel. Ceci est pour une grande part la conséquence de la relativement faible vitesse à laquelle les données peuvent être transférées vers les dispositifs périphériques et depuis ceux-ci, et vers les bus externes et depuis ceux-ci. Lorsque l'unité centrale de
15 calcul s'adresse à de tels dispositifs périphériques et bus externes, elle doit fonctionner à une vitesse compatible avec celle du dispositif ou du bus auquel elle s'adresse, et celle-ci est en général considérablement plus lente que la vitesse de fonctionnement de l'unité centrale de calcul. Cela empêche donc les
20 unités centrales de calcul avec des caractéristiques de performances relativement élevées de fonctionner à leur pleine capacité.

Il existe donc un besoin pour un ordinateur, et en particulier pour un ordinateur à carte unique, qui maîtrise ce problème.

La présente invention a pour objet de proposer un tel ordinateur à carte unique.

Selon l'invention, un ordinateur à carte unique est proposé,
5 comprenant:

- une carte unique à circuit imprimé,
- une unité centrale de calcul à circuit intégré unique montée sur la carte à circuit imprimé,
- 10 un moyen de mémoire principale monté sur la carte à circuit imprimé, le moyen de mémoire principale étant associé à l'unité centrale de calcul,
- un bus processeur/mémoire monté sur la carte à circuit imprimé et mettant en communication l'unité centrale de calcul avec le moyen de
- 15 mémoire principale,
- un moyen d'interfaçage monté sur la carte à circuit imprimé, en vue d'interfacer l'ordinateur à carte unique avec un système extérieur,
- un moyen de mémoire tampon monté sur la carte à circuit imprimé, en vue d'emmagasiner les transactions entrée/sortie reçues du moyen
- 20 d'interfaçage ou envoyées à celui-ci,
- un moyen de contrôle monté sur la carte à circuit imprimé, en vue de contrôler le moyen d'interfaçage et le moyen de mémoire tampon et de contrôler les communications entre le moyen d'interfaçage et le moyen de mémoire tampon,
- 25 un bus entrée/sortie monté sur la carte à circuit imprimé et mettant en communication de moyen d'interfaçage, le moyen de mémoire tampon et le moyen de contrôle, et
- un moyen d'accouplement, en vue d'accoupler et de désaccoupler alternativement le bus entrée/sortie et le bus processeur/mémoire et
- 30 de permettre la communication entre l'unité centrale de calcul et le moyen de mémoire tampon lorsque le bus entrée/sortie et le bus processeur/mémoire sont accouplés et de permettre la communication indépendante et simultanée par le bus processeur/mémoire et le bus
- 35 entrée/sortie lorsque le bus entrée/sortie et le bus processeur/mémoire sont désaccouplés.

Dans un mode de réalisation de l'invention, le moyen d'accouplement est contrôlé par l'unité centrale de calcul et le moyen de contrôle.

De manière avantageuse, le moyen d'accouplement comprend un tampon
5 et une porte qui branchent le bus entrée/sortie sur le bus
processeur/mémoire, et une machine d'état finie qui contrôle le
tampon et la porte, la machine d'état étant montée sur la carte à
circuit imprimé et étant contrôlée par l'unité centrale de calcul et
le moyen de contrôle. De préférence, l'unité centrale de calcul
10 interrompt les communications sur le bus entrée/sortie lorsqu'un
accès en cours est terminé.

Dans un autre mode de réalisation de l'invention, le bus
entrée/sortie fonctionne sous le contrôle de l'unité centrale de
15 calcul lorsque le bus entrée/sortie est accouplé au bus
processeur/mémoire.

Dans un autre mode de réalisation de l'invention, un dispositif
périphérique d'entrée/sortie est monté sur la carte à circuit
20 imprimé, le dispositif périphérique d'entrée/sortie étant sous le
contrôle du moyen de contrôle, par l'intermédiaire du bus
entrée/sortie.

Dans encore un autre mode de réalisation de l'invention, un moyen de
25 mémoire secondaire est monté sur la carte à circuit imprimé en vue
d'emmagasiner des instructions permanentes, le moyen de mémoire
secondaire étant sous le contrôle du moyen de contrôle, par
l'intermédiaire du bus entrée/sortie.

30 Dans un autre mode de réalisation de l'invention, le moyen
d'interfaçage comprend un co-processeur passant des messages sous le
contrôle d'un processeur secondaire monté sur la carte à circuit
imprimé, et un module central de services, également sous le
contrôle du processeur secondaire.

Dans encore un autre mode de réalisation de l'invention, l'unité centrale de calcul à circuit intégré unique comprend un processeur commercialisé par Intel Corp. sous le nom commercial 1860.

- 5 L'invention sera plus clairement comprise à partir de la description qui suit d'un de ses modes de réalisation préféré, donné uniquement à titre d'exemple, et en référence aux dessins joints, dans lesquels:
- 10 la figure 1 représente un schéma-bloc d'un ordinateur à carte unique selon l'invention,
- la figure 2 représente un schéma-bloc, similaire à celui de la figure 1, de l'ordinateur à carte unique de la figure 1, dans un mode de fonctionnement,
- 15 la figure 3 représente un schéma-bloc, similaire à celui de la figure 1, de l'ordinateur à carte unique de la figure 1, dans un autre mode de fonctionnement,
- 20 la figure 4 représente un schéma-bloc, similaire à celui de la figure 1, de l'ordinateur à carte unique de la figure 1, dans un autre mode de fonctionnement,
- 25 la figure 5 représente un schéma-bloc, similaire à celui de la figure 1, de l'ordinateur à carte unique de la figure 1, dans encore un autre mode de fonctionnement.
- 30 Faisant référence aux dessins, et pour commencer à la figure 1, un ordinateur à carte unique selon l'invention est représenté en schéma-bloc et globalement désigné sous la référence numérique 1. L'ordinateur à carte unique 1 comprend une carte à circuit imprimé 2. Une unité centrale de calcul à circuit intégré unique 3 est
- 35 montée sur la carte à circuit imprimé 2. L'unité centrale de calcul

3 est un processeur à 64 bits commercialisé par Intel Corp. sous le nom commercial 1860, qui est un processeur à performances relativement élevées. Un moyen de mémoire principale comprenant une mémoire vive dynamique 4 de 8 x 32 mégabytes est montée sur la carte à circuit imprimé 2 et communique avec l'unité centrale de calcul 3 à travers un bus processeur/mémoire désigné globalement sous la référence numérique 5, et qui est monté sur la carte à circuit imprimé 2. Le bus processeur/mémoire comprend un bus d'adressage 8 et un bus de données 9 à haute vitesse, de 64 bits, qui sont respectivement connectés entre l'unité centrale de calcul 3 et la mémoire principale 4 à travers une porte 10 et un tampon 11. Le bus de données 9 permet des écritures adressées et des lectures en cours sur la mémoire principale 4.

15 Un moyen d'interfaçage en vue d'interfacer l'ordinateur à carte unique 1 à un système extérieur comprend un co-processeur 14 passant les messages et un module central de services 15, tous deux montés sur la carte à circuit imprimé 2. Le co-processeur 14 passant les messages et le module central de services 15 sont sous le contrôle d'un processeur secondaire 16 qui est monté sur la carte à circuit imprimé 2. Le processeur secondaire 16 est un processeur du type 18751 commercialisé par Intel Corp. Le co-processeur 14 passant les messages est un dispositif au silicium à très haute intégration du type co-processeur 82389 commercialisé par Intel Corp. et est adapté pour interfacer un bus de système extérieur standard dans l'industrie, qui dans ce cas est un bus parallèle de système extérieur MULTIBUS II, globalement désigné sous la référence numérique 17. Le co-processeur 14 passant les messages étant un dispositif au silicium à très haute intégration, il fournit un interface intelligent à l'intérieur de l'architecture du MULTIBUS II. Le co-processeur passant les messages comprend quatre interfaces, dont trois sont utilisés dans ce mode de réalisation de l'invention. Un interface mémoire à deux portes du co-processeur 14 passant les messages n'est pas utilisé. Un moyen de mémoire tampon servant à emmagasiner les transactions d'entrée/sortie reçues en

provenance du co-processeur 14 passant les messages ou à destination de celui-ci comprend une mémoire tampon 19 montée sur la carte à circuit imprimé 2. Les transactions à transmettre au co-processeur 14 passant les messages sont reçues en provenance de la mémoire principale 4 et sont emmagasinées dans la mémoire tampon 19, ainsi qu'on le décrira plus loin. Les transactions reçues en provenance du co-processeur 14 passant les messages sont emmagasinées dans la mémoire tampon 19 en vue de leur transfert subséquent vers la mémoire principale 4, ainsi qu'on le décrira également plus loin. La mémoire tampon 19 comprend une mémoire vive statique de 8 x 32 kbytes, qui donne une superficie tampon de 256 kbytes pour les messages. Un bus entrée/sortie 23 sur la carte à circuit imprimé 2 met en communication la mémoire tampon 19 et le co-processeur 14 passant les messages. Un moyen de contrôle en vue du contrôle des transferts de données entre le co-processeur 14 passant les messages et la mémoire tampon 19 comprend un contrôleur des accès périphériques et directs à la mémoire monté sur la carte à circuit imprimé 2. Le contrôleur 20 contrôle le bus entrée/sortie 23, en ce qui concerne la transfert des données entre le co-processeur 14 passant les messages et la mémoire tampon 19. le contrôleur 20 est un contrôleur du type 82380 commercialisé par Intel Corp., et il effectue les opérations d'accès direct à la mémoire à travers l'interface MULTIBUS II 17 par l'intermédiaire du co-processeur 14 passant les messages et de la mémoire tampon 19. Les données sont transférées entre le co-processeur 14 passant les messages et la mémoire tampon 19 dans le mode de transfert "au vol" ainsi que bien connu par les personnes compétentes. Le mode "au vol" est la méthode la plus rapide et la plus efficace de transfert d'accès direct à la mémoire. Dans ce mode, les données sont écrites pour transfert au dispositif cible en même temps qu'elles sont lues par la source. Un seul cycle de bus est nécessaire pour effectuer le transfert.

Un dispositif périphérique d'entrée/sortie, dans le cas présent une console de porte RS 232 24 équipée d'un contrôleur série asynchrone du type 82510 commercialisé par Intel Corp. met en communication

l'ordinateur à carte unique 1 avec une console système. La porte de console 24 est monté sur la carte à circuit imprimé 2 et fonctionne sous le contrôle du contrôleur 20, par l'intermédiaire du bus entrée/sortie 23. La mémoire secondaire est munie de deux mémoires programmables mortes, effaçables, de 2 mégabits 27020 commercialisées par Intel Corp., et qui ensemble mettent 512 kbytes de mémoire à la disposition des instructions permanentes.

Le bus entrée/sortie 23 comprend un bus d'adresses 32 bits 27 et un bus de données 32 bits 28 qui relie le co-processeur 14 passant les messages, la mémoire tampon 19, la porte de console 24 la mémoire secondaire 25 et le contrôleur 20.

Le moyen d'accouplement en vue du couplage du bus entrée/sortie 23 au bus processeur/mémoire 5 servant à faciliter le transfert des données entre la mémoire principale 4 et la mémoire tampon 19 comprend une porte 33 et un tampon 34 qui relie respectivement les bus d'adresses 8 et 27 et les bus de données 9 et 28. La porte 33 et le tampon 34 sont montés sur la carte à circuit imprimé 2 et sont sous le contrôle d'une machine d'état finie 36 également montée sur la carte à circuit imprimé 2. La machine d'état 36 est sous le contrôle de l'unité centrale de calcul 3 et du contrôleur 20, et sert à alternativement accoupler et désaccoupler le bus entrée/sortie 23 et le bus processeur/mémoire 5. Lorsque le bus entrée/sortie 23 est désaccouplé du bus processeur/mémoire 5, l'unité centrale de calcul 3 et la mémoire principale 4 communiquent directement l'une avec l'autre à la vitesse normale de fonctionnement de l'unité centrale de calcul 3, tandis qu'en même temps il est possible de communiquer à travers le bus entrée/sortie 23 sans interrompre l'unité centrale de calcul 3. De cette manière, des données peuvent être transférées entre le co-processeur 14 passant les messages et la mémoire tampon 19 sous le contrôle du contrôleur 20, ou depuis l'interface MULTIBUS II 17, sans affecter d'aucune manière les opérations de communication entre l'unité centrale de calcul 3 et la mémoire principale 4. Lorsque le bus

entrée/sortie 23 est accouplé au bus processeur/mémoire 5, des données peuvent être transférées entre la mémoire tampon 19 et la mémoire principale 4, à la vitesse normale de fonctionnement de l'unité centrale de calcul 3. En outre, lorsque le bus entrée/sortie 5 23 est désaccouplé du bus processeur/mémoire 5, d'autres communications avec la porte de console 24 et la mémoire secondaire 25 peuvent être effectuées sans affecter les communications entre l'unité centrale de calcul 3 et la mémoire principale 4. La machine d'état 36 servant au contrôle de la porte 33 et du tampon 34 est 10 sous la dépendance à la fois de l'unité centrale de calcul 3 et du contrôleur 20, de sorte que le bus entrée/sortie 23 et le bus processeur/mémoire 5 sont accouplés sur demande de l'unité centrale de calcul 3 lorsqu'un accès en cours sur le bus entrée/sortie 23 est terminé. La machine d'état 36 assure également un bon 15 déroulement dans le temps de tous les accès au bus entrée/sortie 23, et il n'est par conséquent pas nécessaire de coder explicitement des temps libres sur les accès. Le bus processeur/mémoire 5 décode les adresses des accès d'entrée/sortie qui sont admis par le bus entrée/sortie.

20

Ainsi que mentionné plus haut, la mémoire tampon 19 est munie d'une mémoire vive statique de 8 x 32 kbytes, ce qui donne une superficie tampon de 256 kbytes pour les messages. Cette matrice fournit un interface 32 bits à la fois à l'unité centrale de calcul 3 et au 25 contrôleur 20. Le contrôleur 20 a accès à une matrice linéaire de mémoire 32 bits, tandis que l'unité centrale de calcul 3 a accès à une matrice d'emplacements 32 bits alignés sur des frontières 64 bits; autrement dit un emplacement 32 bits sur deux est invalide. Un accès par soit l'unité centrale de calcul 3 ou le contrôleur 30 périphérique 20 à un emplacement de moins de 32 bits de large donne accès à un emplacement complet à 32 bits.

En fonctionnement, le co-processeur 14 passant les messages, la porte de console 24, la mémoire tampon 19 et le contrôleur 20 35 travaillent de manière indépendante de l'unité centrale de calcul 3

lorsque le bus processeur/mémoire 5 et le bus entrée/sortie 23 sont désaccouplés. Par conséquent, les interactions entre les transactions d'entrée/sortie sur le bus entrée/sortie 23 et l'unité centrale de calcul 3 ainsi que la mémoire principale 4 sont réduites au minimum. L'unité centrale de calcul 3 contrôle le contrôleur 20 par des commandes transmises au contrôleur 20 en cours d'accouplement du bus entrée/sortie 23 et du bus processeur/mémoire 5. Une fois que la commande est transmise au contrôleur 20, l'unité centrale de calcul 3 cède le contrôle du bus entrée/sortie 23 au contrôleur périphérique 20 et la machine d'état 36 désaccouple le bus entrée/sortie 23 du bus processeur/mémoire 5.

L'ordinateur à carte unique 1 possède quatre modes de fonctionnement qui sont représentés en figures 2 à 5. Dans le premier mode représenté en figure 2, le bus processeur/mémoire 5 et le bus entrée/sortie 23 sont découplés par la machine d'état 36. L'unité centrale de calcul 3 a accès à la mémoire principale 4. Dans ce mode, le bus entrée/sortie 23 est en mode d'attente. Cependant, comme le bus entrée/sortie 23 est découplé du bus processeur/mémoire 5, le bus entrée/sortie 23 n'empêche pas le passage de données entre l'unité centrale de calcul 3 et la mémoire principale 4. Dans ce mode, des transactions peuvent si nécessaire se dérouler indépendamment et de manière asynchrone sur le MULTIBUS II vers le bus parallèle système 17 et sur le bus processeur/mémoire 5.

La figure 3 représente le deuxième mode de fonctionnement de l'ordinateur à carte unique 1. Dans ce mode, le bus processeur/mémoire 5 et le bus entrée/sortie 23 sont accouplés par la machine d'état 36 et l'unité centrale de calcul 3 contrôle le bus entrée/sortie 23 et a accès au contrôleur 20, à la mémoire tampon 19 et/ou à la porte de console 24 et/ou à la mémoire secondaire 25. Si le contrôleur 20 utilise le bus entrée/sortie 23, un contrôleur d'arbitrage (non représenté) situé dans la machine d'état 36 met en attente le contrôleur 20 et donne un accès prioritaire à l'unité

centrale de calcul 3. Dans ce mode, l'unité centrale de calcul 3 termine le transfert de données sur le bus entrée/sortie 23, et lorsque ce transfert est terminé l'unité centrale de calcul 3 cède le contrôle au contrôleur 20. Lorsqu'il reprend le contrôle du bus
5 entrée/sortie 23, le contrôleur 20 termine les transactions d'entrée/sortie. Cependant, dans tous les cas où l'unité centrale de calcul 3 met en attente le contrôleur 20, le contrôleur d'arbitrage de la machine d'état 36 attend qu'un accès en cours soit terminé et ne cède qu'ensuite le contrôle à l'unité centrale de calcul 3.

10

La figure 4 représente le troisième mode de fonctionnement de l'ordinateur à carte unique 1. Dans ce cas, le bus processeur/mémoire 5 et le bus entrée/sortie 23 sont accouplés, et l'unité centrale de calcul 3 contrôle le bus entrée/sortie 23 et a
15 accès à la mémoire tampon 19 dans laquelle sont placés tous les messages destinés au co-processeur 14 passant les messages ou provenant de ce dernier. Dans ce mode, les données sont déplacées entre la mémoire tampon 19 et la mémoire principale 4 et vice-versa par l'unité centrale de calcul 3 fonctionnant à pleine vitesse de
20 travail.

La figure 5 représente l'ordinateur à carte unique 1 fonctionnant dans le quatrième mode. Dans ce mode, le bus entrée/sortie 23 et le bus processeur/mémoire 5 sont désaccouplés et fonctionnent
25 indépendamment l'un de l'autre. Dans ce mode, des transactions synchrones sont effectuées sur les deux bus 5 et 23 sans que ces derniers interfèrent mutuellement. L'unité centrale de calcul 3 utilise un accès pipeline à la mémoire principale 4, où l'adresse de rangée est libéré vers la mémoire principale, et ensuite les
30 adresses de colonne de chaque adresse contigüe sont successivement libérées, ce qui permet d'économiser le temps d'adressage des lignes et augmente ainsi les performances de la mémoire principale 4. Par conséquent, un prévoyant une mémoire tampon 19 séparée, connectée indépendamment au bus entrée/sortie 23, l'unité centrale de calcul
35 peut obtenir de la mémoire principale des performances maximales

pendant que le contrôleur 20 termine les transactions entrée/sortie sur le bus entrée/sortie 23 sans interférer avec le transfert de données sur le bus processeur/mémoire 5.

5 Bien que le dispositif périphérique d'entrée/sortie ait été décrit comme étant une porte de console RS 232, on peut prévoir tout autre dispositif périphérique d'entrée/sortie, et dans de nombreux cas, plus d'un dispositif périphérique d'entrée/sortie peut d'ailleurs être prévu.

10

Il est inutile de signaler que d'autres moyens d'interfaçage appropriés peuvent être utilisés à côté d'un co-processeur passant les messages, il sera évidemment opportun d'adapter le moyen d'interfaçage à l'interfaçage à d'autres bus standard de
15 l'industrie.

15

Bien que l'on ait décrit un type particulier de mémoire principale, toute autre mémoire principale appropriée peut être utilisée, et il est inutile de signaler que toute autre mémoire tampon appropriée
20 peut être utilisée, et qu'un contrôleur approprié au contrôle du bus entrée/sortie peut être utilisé, de même que d'autres moyens appropriés d'accouplement du bus entrée/sortie au bus processeur/mémoire.

Revendications

1. Ordinateur à carte unique, comprenant:

- 5 une carte unique à circuit imprimé,
une unité centrale de calcul à circuit intégré unique montée
sur la carte à circuit imprimé,
un moyen de mémoire principale monté sur la carte à circuit
imprimé, le moyen de mémoire principale étant associé à l'unité
10 centrale de calcul,
un bus processeur/mémoire monté sur la carte à circuit imprimé
et mettant en communication l'unité centrale de calcul avec le
moyen de mémoire principale,
un moyen d'interfaçage monté sur la carte à circuit imprimé, en
15 vue d'interfacer l'ordinateur à carte unique avec un système
extérieur,
un moyen de mémoire tampon monté sur la carte à circuit
imprimé, en vue d'emmagasiner les transactions entrée/sortie
reçues du moyen d'interfaçage ou envoyées à celui-ci,
20 un moyen de contrôle monté sur la carte à circuit imprimé, en
vue de contrôler le moyen d'interfaçage et le moyen de mémoire
tampon et de contrôler les communications entre le moyen
d'interfaçage et le moyen de mémoire tampon,
un bus entrée/sortie monté sur la carte à circuit imprimé et
25 mettant en communication de moyen d'interfaçage, le moyen de
mémoire tampon et le moyen de contrôle, et
un moyen d'accouplement, en vue d'accoupler et de désaccoupler
alternativement le bus entrée/sortie et le bus
processeur/mémoire et de permettre la communication entre
30 l'unité centrale de calcul et le moyen de mémoire tampon
lorsque le bus entrée/sortie et le bus processeur/mémoire sont
accouplés et de permettre la communication indépendante et
simultanée par le bus processeur/mémoire et le bus
entrée/sortie lorsque le bus entrée/sortie et le bus
35 processeur/mémoire sont désaccouplés.

2. Ordinateur à carte unique selon la revendication 1, dans lequel le moyen d'accouplement est contrôlé par l'unité centrale de calcul et le moyen de contrôle.
- 5 3. Ordinateur à carte unique selon la revendication 1, dans lequel le moyen d'accouplement comprend un tampon et une porte qui branchent le bus entrée/sortie sur le bus processeur/mémoire, et une machine d'état finie qui contrôle le tampon et la porte, la machine d'état étant montée sur la carte à circuit imprimé et étant contrôlée par l'unité centrale de calcul et le moyen de contrôle.
10
4. Ordinateur à carte unique selon l'une quelconque des revendications précédentes, dans lequel l'unité centrale de calcul interrompt les communications sur le bus entrée/sortie lorsqu'un accès en cours est terminé.
15
5. Ordinateur à carte unique selon l'une quelconque des revendications précédentes, dans lequel le bus entrée/sortie fonctionne sous le contrôle de l'unité centrale de calcul lorsque le bus entrée/sortie est accouplé au bus processeur/mémoire.
20
6. Ordinateur à carte unique selon l'une quelconque des revendications précédentes, dans lequel le bus entrée/sortie fonctionne sous le contrôle moyen de contrôle lorsque le bus entrée/sortie est désaccouplé du bus processeur/mémoire.
25
7. Ordinateur à carte unique selon l'une quelconque des revendications précédentes, dans lequel le bus processeur/mémoire fonctionne sous le contrôle de l'unité centrale de calcul.
30
8. Ordinateur à carte unique selon l'une quelconque des revendications précédentes, dans lequel un dispositif
35

périphérique d'entrée/sortie est monté sur la carte à circuit imprimé, le dispositif périphérique d'entrée/sortie étant sous le contrôle du moyen de contrôle, par l'intermédiaire du bus entrée/sortie.

5

9. Ordinateur à carte unique selon la revendication 8, dans lequel le dispositif périphérique d'entrée/sortie comprend une porte de console RS 232.

10

10. Ordinateur à carte unique selon l'une quelconque des revendications précédentes, dans lequel un moyen de mémoire secondaire est monté sur la carte à circuit imprimé en vue d'emmagasiner des instructions permanentes, le moyen de mémoire secondaire étant sous le contrôle du moyen de contrôle, par l'intermédiaire du bus entrée/sortie.

15

11. Ordinateur à carte unique selon la revendication 10, dans lequel le moyen de mémoire secondaire comprend une mémoire morte programmable et effaçable.

20

12. Ordinateur à carte unique selon l'une quelconque des revendications précédentes, dans lequel la mémoire tampon comprend une mémoire vive statique.

25

13. Ordinateur à carte unique selon la revendication 12, dans lequel la mémoire vive statique comprend une mémoire Ram statique de 8 x 32 kbytes.

30

14. Ordinateur à carte unique selon l'une quelconque des revendications précédentes, dans lequel le moyen de mémoire principale comprend une mémoire vive dynamique.

35

15. Ordinateur à carte unique selon la revendication 14, dans lequel la mémoire vive dynamique est une mémoire vive dynamique de 8 x 32 megabytes.

16. Ordinateur à carte unique selon l'une quelconque des revendications précédentes, dans lequel le bus microprocesseur/mémoire comprend un bus de données 64 bits à haute vitesse et permet un transfert d'écritures adressées et de lectures en cours sur le moyen de mémoire principale.
- 5
17. Ordinateur à carte unique selon la revendication 15 ou 16, dans lequel le bus processeur/mémoire comprend un moyen de décodage des adresses reçues du bus entrée/sortie.
- 10
18. Ordinateur à carte unique selon l'une quelconque des revendications précédentes, dans lequel le bus entrée/sortie comprend des chemins de données 32 bits et d'adresses.
- 15
19. Ordinateur à carte unique selon l'une quelconque des revendications précédentes, dans lequel le moyen d'interfaçage comprend un co-processeur passant des messages sous le contrôle d'un processeur secondaire monté sur la carte à circuit imprimé, et un module central de services, également sous le contrôle du processeur secondaire.
- 20
20. Ordinateur à carte unique selon l'une quelconque des revendications précédentes, dans lequel le moyen d'interfaçage est adapté pour l'interfaçage avec un interface MULTIBUS II.
- 25
21. Ordinateur à carte unique selon la revendication 20, dans lequel le moyen d'interfaçage est adapté pour l'interfaçage avec un interface MULTIBUS II.
- 30
22. Ordinateur à carte unique selon l'une quelconque des revendications précédentes, dans lequel le moyen de contrôle comprend un contrôleur d'accès périphérique et direct à la mémoire.
- 35
23. Ordinateur à carte unique selon l'une quelconque des

revendications précédentes, dans lequel l'unité centrale de calcul à circuit intégré unique comprend un processeur commercialisé par Intel Corp. sous le nom commercial 1860.

- 5 24. Ordinateur à carte unique tel qu'en substance ici décrit en référence aux dessins d'accompagnement, et tel que représenté dans ceux-ci.

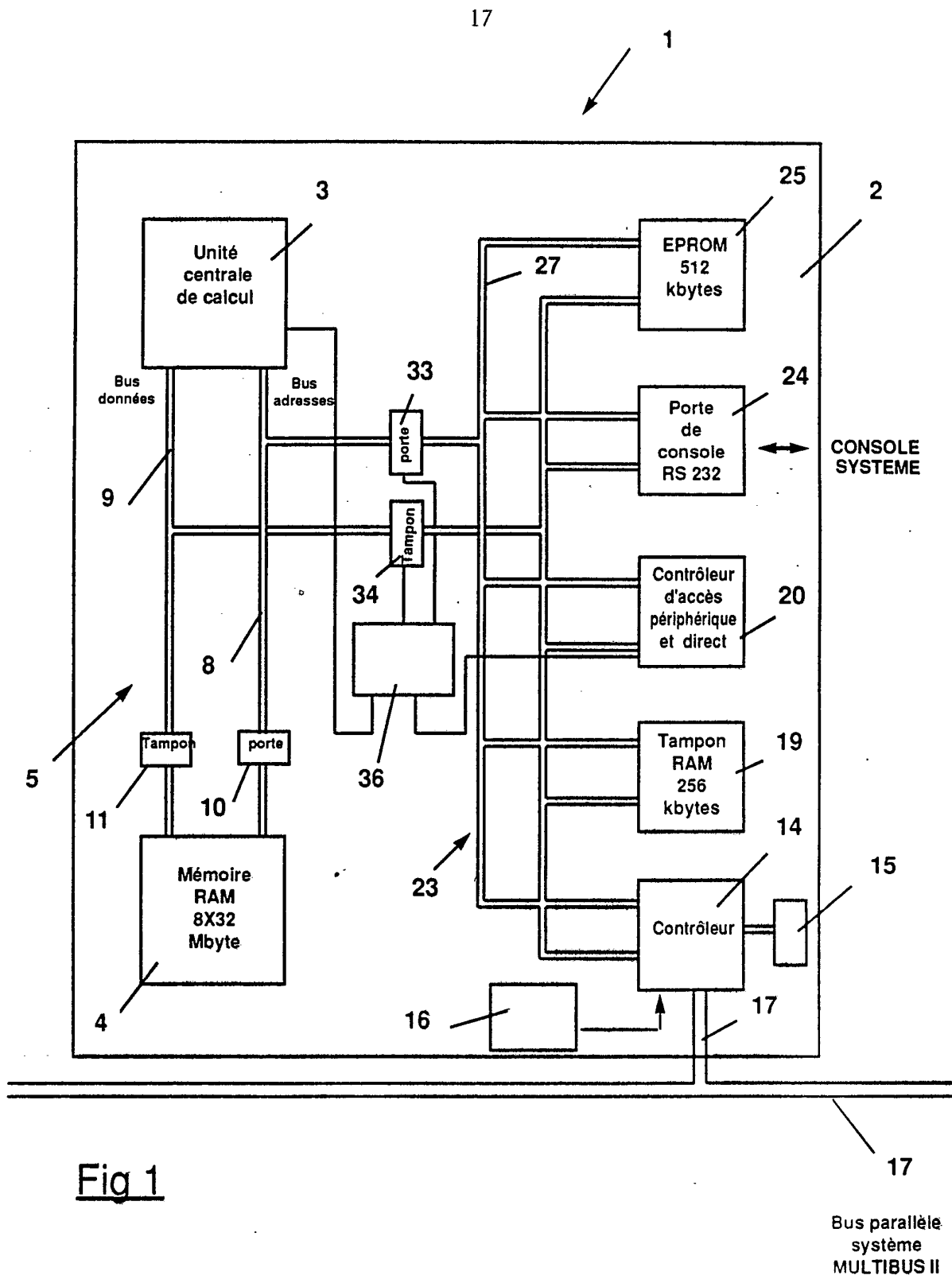


Fig 1

Bus parallèle système MULTIBUS II

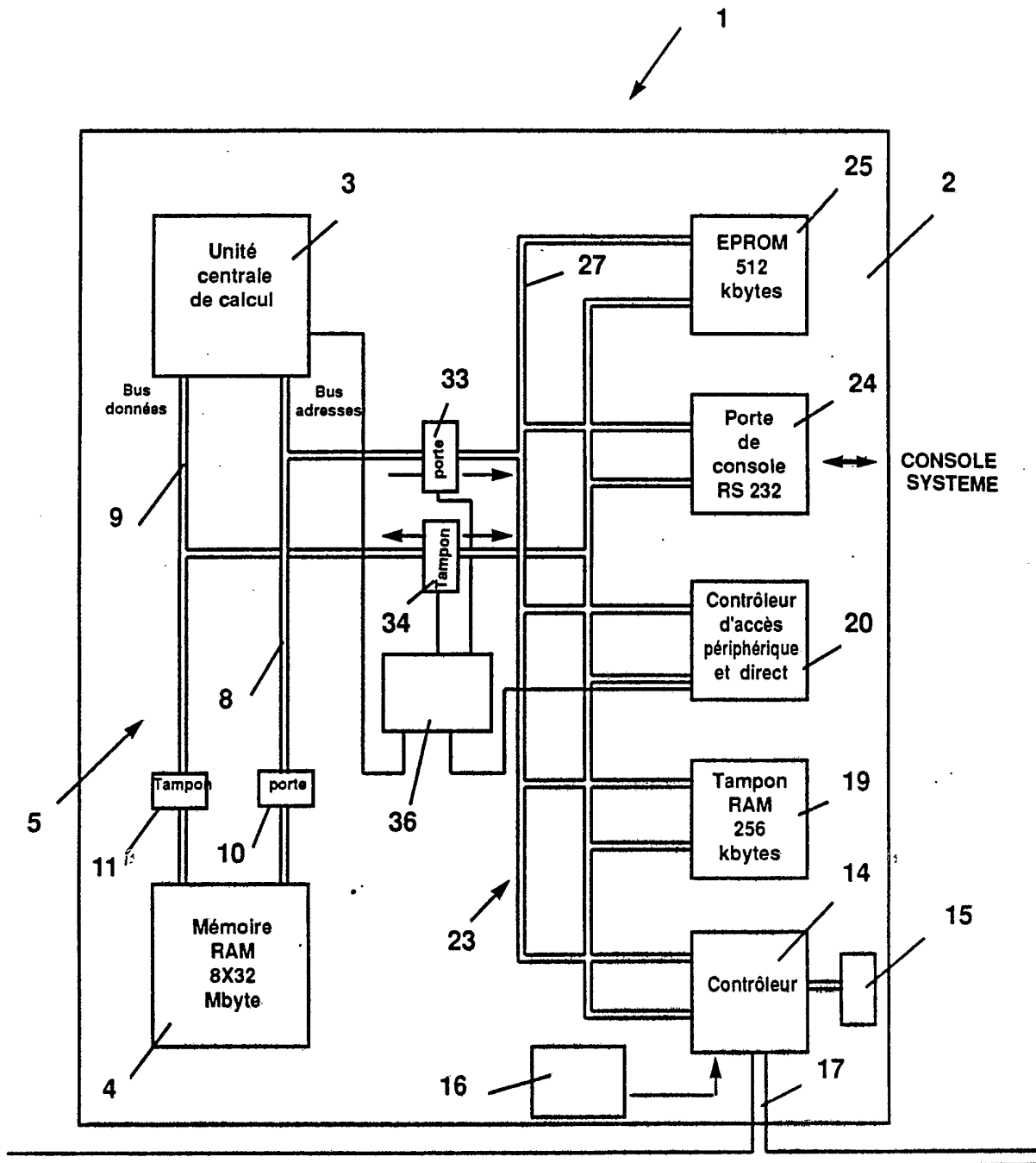


Fig 3

Bus parallèle système MULTIBUS II

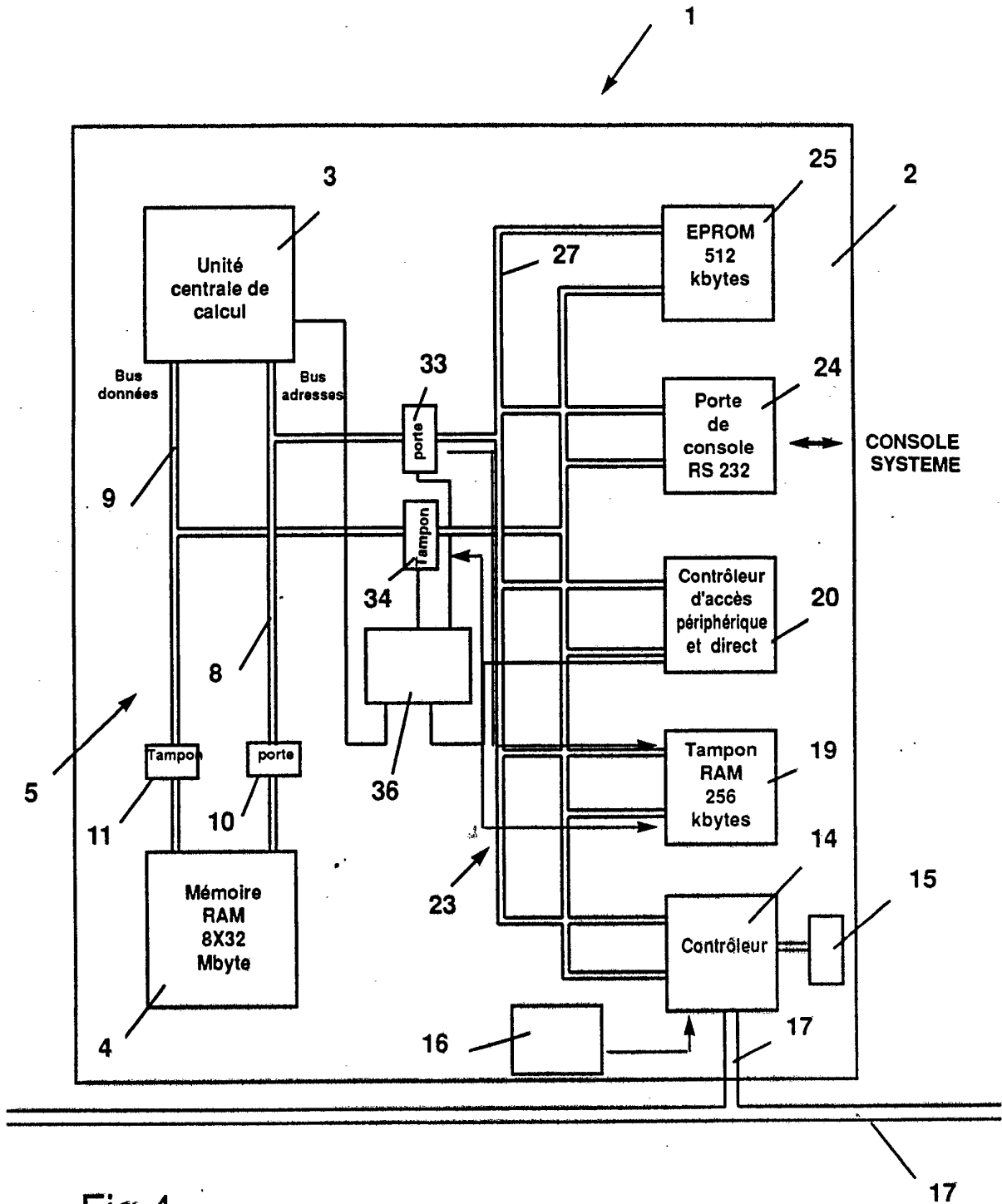


Fig 4

Bus parallèle système MULTIBUS II

21

1

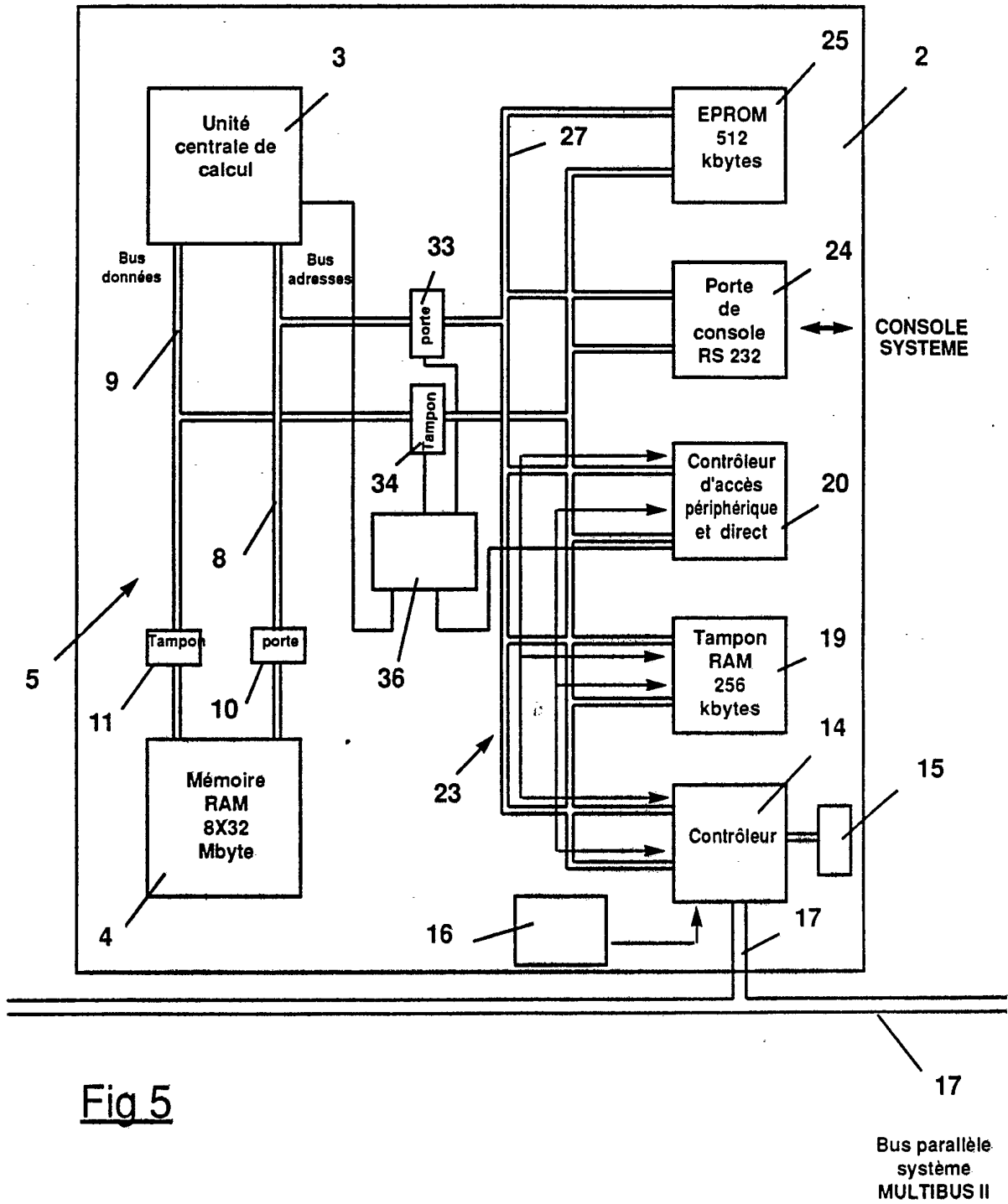


Fig 5

Bus parallèle système MULTIBUS II