[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
G02F 1/1362
H01L 21/02

[12] 发明专利说明书

[21] ZL 专利号 96107275.X

[45] 授权公告日 2004 年 1 月 21 日

[11] 授权公告号 CN 1135425C

[22] 申请日 1996.4.13 [21] 申请号 96107275.X
[30] 优先权
[32] 1995.4.14 [33] JP [31] 113572/1995
[71] 专利权人 株式会社半导体能源研究所
地址 日本神奈川县厚木市
[72] 发明人 小山润
审查员 张惠军

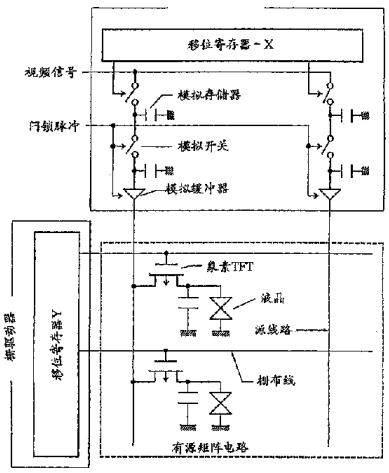
[74] 专利代理机构 中国专利代理(香港)有限公司
代理人 萧掬昌 王忠忠

权利要求书 3 页 说明书 12 页 附图 8 页

[54] 发明名称 显示装置的制造方法

[57] 摘要

在活性基体液晶显示装置中，构成薄膜晶体管的薄膜集成电路中的栅线路是用铝材制成的。形成栅线路中，在栅线路薄膜形成图案以前，在小丘和晶须部位形成缝隙。(如果产生小丘和晶须将造成串音或短路)，并且对缝隙内的栅线路部分进行阳极处理。利用缝隙形成的部位构成导线线路。结果，对于阳极处理时产生的应力，以及由于复杂的线路图案而不能供给阳极处理所需要的足够大的电流等问题给预解决。象素区域中的栅线路的阳极处理步骤分开进行。



ISSN1008-4274

1. 一种制造显示装置的方法，包括以下步骤：

在一个基片上形成一个包含可进行阳极氧化的材料的导电膜；

去除上述导电膜的选定部分以在上述导电膜中形成缝隙；

用所述导电膜作为阳极进行阳极氧化以在所述导电膜的上表面上和在所述缝隙中的所述导电膜的侧表面上形成阳极氧化膜；和

在所述阳极氧化之后对所述导电膜进行构图以形成布线图形，所述构图使得所述布线图形的侧表面的一部分被在所述阳极氧化中形成的阳极氧化膜所覆盖。

2. 按照权利要求1的方法，其特征是所述布线图形包括栅电极。

3. 按照权利要求 1 的方法，其特征是所述可进行阳极氧化的材料是铝材料。

4. 一种制造显示装置的方法，其中所述显示装置包括形成在一个基片上的有源矩阵电路和用于驱动所述有源矩阵电路的驱动器电路，所述方法包括以下步骤：

在所述基片上形成一个包含可进行阳极氧化的材料的导电膜，所述导电膜具有用于形成所述驱动器电路的第一栅极布线的第一部分和用于形成所述有源矩阵电路的第二栅极布线的第二部分；

通过选择性刻蚀所述导电膜在上述导电膜的第一部分中形成缝隙；

用所述导电膜作为阳极进行阳极氧化以在所述导电膜的上表面上和在所述缝隙中的所述导电膜的侧表面上形成阳极氧化膜；和

在所述阳极氧化之后对所述导电膜进行构图以形成所述第一和第二栅极布线图形，所述构图使得所述第一栅极布线图形的侧表面的一部分被在所述阳极氧化中形成的阳极氧化膜所覆盖。

5. 按照权利要求 4 的方法，其特征是还包括只在所述第二栅极布线上执行另一个阳极氧化处理的步骤。

6. 按照权利要求 4 的方法，其特征是所述可进行阳极氧化的材料是铝材料。

7. 按照权利要求 4 的方法，其特征是形成有缝隙的所述第一部分比第二部位具有较高的集成密度。

8. 一种制造显示装置的方法，其中所述显示装置包括形成在一个基片上的有源矩阵电路和用于驱动所述有源矩阵电路的驱动器电路，所

述方法包括以下步骤:

在所述基片上形成一个包含可进行阳极氧化的材料的导电膜，所述导电膜具有用于形成所述驱动器电路的第一栅极布线的第一部分和用于形成所述有源矩阵电路的第二栅极布线的第二部分;

通过选择性刻蚀所述导电膜在上述导电膜的第一部分和第二部分中形成缝隙;

在形成所述缝隙的同时，将所述导电膜的第一部分与所述第二部分分开;

用所述导电膜的第一部分作为阳极在所述导电膜的第一部分进行第一个阳极氧化以在所述导电膜的第一部分的上表面上和在所述缝隙中的所述导电膜的第一部分的侧表面上形成阳极氧化膜;

用所述导电膜的第二部分作为阳极在所述导电膜的第二部分进行第二个阳极氧化以在所述导电膜的第二部分的上表面上和在所述缝隙中的所述导电膜的第二部分的侧表面上形成阳极氧化膜; 和

在所述第一个和第二个阳极氧化之后对所述导电膜进行构图以形成所述第一和第二栅极布线图形，所述构图使得所述第一栅极布线图形的侧表面的一部分和所述第二栅极布线图形的侧表面的一部分被在所述阳极氧化中形成的阳极氧化膜所覆盖。

9. 按照权利要求 8 的方法，其特征是可进行阳极氧化的薄膜只由铝材或主要是铝材制成。

10. 一种制造显示装置的方法，其中所述显示装置包括形成在一个基片上的有源矩阵电路和用于驱动所述有源矩阵电路的驱动器电路，所述方法包括以下步骤:

在两个透明基片之一上形成一个包含可进行阳极氧化的材料的导电膜，所述导电膜具有用于形成所述驱动器电路的第一栅极布线的第一部分和用于形成所述有源矩阵电路的第二栅极布线的第二部分;

至少在上述导电膜的第一部分中形成缝隙;

在形成所述缝隙的同时，将所述导电膜的第一部分与所述第二部分分开;

用所述导电膜的第一部分作为阳极进行第一个阳极氧化;

构图所述导电膜以形成连接到所述第二栅极布线的布线线条;

用所述布线线条作为阳极进行第二个阳极氧化;

在两个透明基片之间注入液晶材料；和

切割所述布线线条，使得所述布线线条与所述第二栅极布线分开。

11. 按照权利要求 10 的方法，其特征是可进行阳极氧化的薄膜只由铝材或主要是铝材制成。

12. 按照权利要求 10 的方法，其特征是形成有缝隙的部位比其他部位具有较高度的集成密度。

显示装置的制造方法

发明名称

本发明涉及一种带有集成电路的有源矩阵液晶显示装置的制造方法，集成电路采用金属电极和金属导线线路。本发明还涉及一种显示装置，其中具有矩阵结构的象素区域和安排在象素区域、为了驱动开关元件的驱动电路构成单片式。

技术背景

现有的有源矩阵液晶显示装置，其特征是在象素区域内，很多很多的矩阵中安排多个象素，每个象素设有薄膜晶体管以控制进入或输出象素电极的电量。

目前，安排在象素区域中的驱动薄膜晶体管的驱动电路构成为外集成元件电路。外集成元件电路在单晶晶片上形成，这是因为周边驱动电路需要具有优良特性的晶体管电路。

另一方面，作为下一代的有源矩阵液晶显示装置，当前要求一种构形，其中周边驱动电路和象素区域集成在同个基片上(通常是玻璃基片)。在这种情况下，需要用在玻璃基片上形成的薄膜晶体管来构成周边驱动电路。

此外，以集成方式连接周边驱动电路的有源矩阵液晶显示装置，由周边驱动电路所占据的面积应尽可能的小，以便减少除象素区域以外的面积。

这种减小的设计标准尺寸使得更加难以形成导线线路。而且当微型化的程度增加时，导线线路本身的电阻不容忽视。另外，有必要使用带有尽可能小的电阻的材料来制造导线线路，这种材料如铝材和主要由铝材制作的导线线路。

然而，主要由铝制作的导线线路带来的问题是导线线路形状产生变形，以及导线线路形成不希望有的形状，这是由于小丘，晶须等铝分支的异常生成造成的。

通过加热可产生小丘和晶须，如薄膜沉积时加热，抗蚀剂灰化时加热(即用等离子体氧化去除抗蚀剂)，和退火时用激光照射而加热。

小丘产生是由于铝的异常增长。更具体地说，当铝材发生局部异常增长时，增长的部分相互碰撞从而造成山形的突起部。晶须是由铝材异常增长而产生的刺形或角形的突起部。小丘和晶须产生的确切原因不明，但确信是由于铝材中存在的某些杂质或者是由于铝晶体结构的不均匀而造成的。

因为小丘和晶须的发展超过几个微米(μM)，所以在构成集成电路时产生很严重的问题，其中导线线路和元素是以几个微米的间隔结合起来的。

作为一种防止小丘和晶须产生的方法，是将小量的稀土元素，如硅或其他元素混合到铝材中。但是即使是采用这种方法，当加热温度高于400℃左右时，仍有小丘和晶须产生。

再有，当作为栅线路时，更需要在工艺的早期阶段形成铝导线线路。在这种情况下，因为铝导线线路需要承受长时间的逐渐加热，所以小丘和晶须的问题更加严重，例如离子注入方法不可避免地要进行加热

因小丘和晶须可使相互垂直或水平的相邻线路产生短路，所以问题严重。在设计标准的尺寸和导线线路节距减小时；这个问题就更突出。特别是如果导线线路的节距小于 2μm 时，侧向方向的小丘和晶须更容易在相互垂直或水平相邻的导线线路之间产生短路。

在导线线路彼此交叉的位置，通过中间绝缘薄膜，上导线线路需在下导线线路上形成(绝缘薄膜如氧化硅薄膜)。在这种情况下，如果中间绝缘薄膜没有提供正确的台阶覆盖厚度，则上导线线路可以有台阶的断开或局部加大电阻。只由铝材或主要由铝材制作的导线线路形成以后，沉积中间绝缘薄膜，然后构成第二层导线线路，该处不可避免地产生上述小丘和晶须，破坏中间绝缘薄膜的台阶覆盖作用。因此，中间绝缘薄膜上的第二层导线线路就有台阶断开的问题。

为解决上述问题，建议一种工艺，其中通过用作阳极的铝导线线路进行阳极氧化的方法，在铝导线线路的暴露表面上形成阳极氧化涂层。例如，只采用铝材或主要采用铝材制作导线线路材料，利用铝材或主要是铝材的氧化膜形成在导线线路顶面和侧面的方法，可防止小丘和晶须。

但是，为进行阳极氧化，需要形成与电路的图案不同的导线线路图案，以便使电流通过全部导线线路，并且为获得要求的导线线路图案，

在阳极氧化后进行腐蚀。这个程序是不可取的，因为增加了制造工序数目。特别是根据产量再重复形成图案是不可取的，这是因为由于在要求电路的导线线路形成以后进行因而容易将不需要腐蚀的部分造成腐蚀了。

再有，减小设计标准的尺寸，由此导线线路变薄，阳极氧化时附与的应力更加频繁地造成使导线线路变形或断开的缺陷。在复杂形状的导线线路的情况下，这个问题尤其严重。

此外，因为减小设计标准的尺寸同时由此导线线路变薄，阳极氧化时出现电压下降的影响，它是被导线线路电阻造成的。即压降使形成的阳极氧化膜的厚度不同。

通过使布线线路的横断面比必需的布线线路的大，从而在阳极氧化时降低必须线路电压降来解决这个问题。然而，加大导线线路的横断面会防碍增加电路集成化程度。

阳极片处理技术可防止在导线线路形成中和只用铝材或主要用铝材制作电极时产生的小丘和晶须。但另一方面，这种技术可造成上述的各种问题。尽管采用导电材料(如钽)而不采用铝进行阳极氧化，但虽然用这种材料仍然存在上述问题。

发明内容

本发明的目的是提供一种工艺，通过采用阳极氧化工艺制止产生小丘和晶须，这种小丘和晶须是在只用铝或主要用铝制作电极时形成导线线路中产生的。另外，本发明通过使用可进行阳极氧化的多种材料中的一种材料，提供一种解决在形成导线线路中与阳极氧化有关的上述问题的工艺。特别是本发明的准备提供一种工艺，该工艺在制造有源矩阵显示装置时有效地采用阳极氧化工艺，显示装置中周边驱动电路和象素区域单块构成。

例如，本发明准备提供一种工艺，该工艺在制造有源矩阵液晶显示装置时有效地采用阳极氧化工艺，显示装置中周边驱动电路和象素区域单块构成在玻璃基片上。

按照本发明，提供一种制造显示装置的方法，其中将液晶叠加在第一个和第二个透明基片间，而且象素区域和周边驱动电路区域被集成在第一透明基片上，所述方法包括以下步骤：

沉积一个能进行阳极氧化的薄膜；在薄膜预定部位，至少在周边驱

动电路区域形成缝隙，同时将薄膜分离成两部分，分别占据周边驱动电路区域和象素区域；

将周边驱动电路区域的部分薄膜用作阳极在电解质中进行阳极氧化；

将薄膜形成图案以构成导线线路，该线路通常连接象素区域的栅线路；

将象素区域部分薄膜用作阳极在电解质中进行阳极氧化；

通过利用一般连接栅线路的导线线路，将象素区域中的栅线路和作阳极进行阳极氧化；

在第一和第二透明基片中间注入液晶材料；和

切割一般连接栅线路的导线线路，因此使导线线路与象素区域中的栅线路分离。

上述制造方法中，能被阳极氧化的薄膜可以仅只是铝材或主要是铝材。此外也可采用钽等其他元素。但是，如果考虑材料电阻问题，只是铝材或主要是铝材是最适宜的。

上述制造方法中，如果选择的部位的集成密度比其他部位的密度高，将该部位作为形成缝隙的预定地区，那么构成缝隙是最有利。

在导线线路形成图案之前，通过仅在必要的部位形成的缝隙进行阳极氧化，可防止构成的阳极氧化薄膜厚度的不均匀性以及应力的产生。

防止阳极氧化薄膜厚度不均匀的原因是：因为阳极氧化在导线线路开始形成于部分薄膜的缝隙形成阶段中进行(大多数部分薄膜仍保留)，所以阳极氧化期间由于电流流动造成的电压下降几乎可忽略不计。

不生产应力的原因是：因为阳极氧化是在缝隙形成在薄膜的特殊部分台阶中进行，而不是在复杂的细导线线路图案成形之后，所以应力不会产生。

通过在不同条件下对周边驱动电路的导线线路和象素区域的线路进行阳极氧化，薄的但可制止发生小丘和晶须的阳极氧化薄膜可在周边驱动电路上形成，而且厚的足以可形成补偿栅的阳极氧化薄膜可在象素区域上形成。采用这种制造方法，在周边驱动电路中由于成形厚阳极氧化薄膜期间产生的应力造成的故障可以减少(形成精细图案以及形成较厚的阳极氧化薄膜很容易产生应力)。另外，在象素区域需要具有断流特性。

附图说明

图 1A 和 1B 表示本发明第一个实施例的薄膜集成电路一个实例，

图 2A-2B，图 3A-3B，图 4A-4D 和图 5A-5B 表示本发明第一个实施例的薄膜集成电路的制造方法；

图 6 和图 7 表示有源矩阵液晶显示装置的普通构形，和

图 8A-8C 表示本发明第一个实施例的象素薄膜晶体管制方法。

具体实施方式

实施例 1:

本实施例指示一种工艺，其中在制造连接周边驱动电路的有源矩阵液晶显示装置的方法中，薄的阳极氧化膜局部形成在要求高度集成的周边驱动电路，用于构成补偿栅的厚的阳极氧化膜形成在需要弱断流特性的象素区域。

图 6 是表示有关该实施例的有源矩阵液晶显示装置结构方块图。该有源矩阵液晶显示装置中，每个设置成矩阵形式的象素都安排有象素薄膜晶体管(象素 TFT)。源驱动电路和栅驱动电路安排为驱动象素薄膜晶体管的周边驱动电路。

在同一个玻璃基片上单块形成象素区域和周边驱动电路。周边驱动电路区域只有几个毫米那么窄小，并以高密度进行集成。

图 7 表示图 6 所示的有源矩阵液晶显示装置的布局。图 7 中参考 701-703 分别标示源驱动电路，栅驱动电路和象素区域。

参考号 704 标示一个短路环，它是在制造装置时通常所有栅线路的布线图案。短路环 704 与栅线路同时构成。制造过程中，短路环 704 用作短接栅线路，即用于平衡众多象素薄膜晶体管的栅电极的电势。

薄膜晶体管制造过程中以及液晶显示装置控制板装配阶段，有时会发生大量静电附加到单个薄膜晶体管。由于单独的薄膜晶体管尺寸非常小，甚至因小量电荷就会在管内产生静电击穿或故障。短路环 704 阻止这种情况的发生。

一旦液晶显示装置完工，因为短路环就不需要了，所以在最后步骤中利用激光照射将其与栅电极分开。本实施例的制造方法的特征是：阳极氧化薄膜围绕薄膜晶体管的栅线路形成，该晶体管采用短路环 704 安排在象素区域中。

图 1A 和 1B 表示图 6 的模拟缓冲电路实例。图 1A 和 1B 表示基本的模拟缓冲电路，在这个基础上构成实际模拟缓冲电路。图 1A 和 1B 特

别表示一种结构，其中各自连接 N-沟道和 P-沟道的薄膜晶体管的反相电路两级彼此串联。这种类型的反相电路用于移位寄存器电路和其他集成电路。

图 1B 是图 1A 对应的电路图。图 1A 和 1B 中，参考号 101 标示栅线路(图 1A 中画阴影线表示，延长部分构成栅电极)。参考号 103 标示连接第一级反相线路的输出和第二级反相线路输入的导线线路。导线线路 103 是栅线路 101 上形成的中间层绝缘薄膜(未示出)上构成的第二层导线线路。为便于描述，导线线路 101 称做第一层导线线路，导线线路 103 称做第二层导线线路。

一般来说，中间层绝缘薄膜的厚度大于 5000 埃。因此，栅线路 101(第一层导线线路)和导线线路 103(第二层导线线路)相互垂直地分开，其间隙大于 5000 埃穿过中间层绝缘薄膜。

图 2A-2B 到图 5A-5B 和图 8A-8C 表示图 1A 和图 1B 中薄膜晶体管的制造方法，以及象素区域中薄膜晶体管的制造方法。这个实施例指出采用玻璃基片。通常，玻璃基片或石英基片被用于液晶光-电装置，因为基片应该是透明的。

首先，将氧化硅薄膜作为内涂层薄膜沉积在玻璃基片上(图 2A 和 2B 中未示出)，并利用等离子 CVD(化学汽相沉积)或低压热 CVD 将非晶硅薄膜沉积在其上。例如，内涂层薄膜和非晶硅薄膜的厚度分别为 3000 埃和 500 埃。然后通过加热或者激光照射的或二者并用的方法将非晶硅薄膜结晶化。

然后如图 2A 所示，通过把结晶硅薄膜形成图案的方法构成为薄膜晶体管的有源层的岛状部分 201-204。图形的形成可采用已知的光刻工艺方法进行。即岛状部分 201－204 的形成可通过保护屏蔽的方法然后用湿腐蚀或干腐蚀方法除去结晶硅薄膜的不需要的部位。与该步骤同时，象素薄膜晶体管的有源层形成，如图 8A 所示。

图 4A 是沿图 2A 中 A-A'虚线的截面图。图 4A 中，参考号 401 和 402 分别标示玻璃基片和玻璃基片上形成的内涂层硅氧化薄膜。

接着，用等离子 CVD 或溅射法将作为栅绝缘薄膜的氧化硅薄膜(图 2A 和 2B 中未示出)进行沉积。氧化硅薄膜的厚度一般设定为 1000-1500 埃。

此后，用溅射或电子束蒸发法将构成栅电极和由栅电极延伸的导线

线路的主要由铝材制作的薄膜进行沉积。薄膜的厚度设定为例如 5，000 埃。

这个实施例中，所用材料主要是铝材，其中含钪量占铝重量的 0.2wt%。这样就抑制了在以后步骤中由于加热或激光照射而造成的小丘和晶须的产生。虽然把稀土元素混入铝中可抑制小丘和晶须的产生，但不能完全防止。硅可用以代替稀土元素。

在整个表面上沉积主要由铝制成的薄膜以后，应在防止小丘和晶须产生的部位构成缝隙，做法是形成保护屏蔽以便显露制作缝隙的那部分，然后进行湿或干腐蚀。这个实施例中，缝隙在图 2B 阴影线所示的 205 部分形成。该实施例中缝隙 205 的宽度设定为 1-30μM(微米)。宽度尺寸可根据设计标准适当地确定。主要由铝材制作的薄膜 206 上没有形成缝隙 205 而保留完整的区域。

参考号 207 标示导线图案，该图案通过将薄膜 2-6 形成图案的方法在以后进行(现在图案尚未形成)，薄膜 2-6 主要由铝材制作。

如图 2B 中所看到的，缝隙 205 的形成以显露导线图案 207 的侧面部分，为了在导线图案 207 侧面有选择地形成阳极氧化膜。

在组成薄膜晶体管的象素部位不构成缝隙 205。因此象素区域上，主要由铝制作的薄膜 206 存留在整个表面。

这个阶段中，主要由铝制作的薄膜 206 用作阳极在电解质中进行阳极氧化。该阳极氧化步骤中，厚度约 600 埃的致密阳极氧化薄膜在薄膜 206 上形成。该实施例里，电解液是用氨中和 3%的酒石酸并用乙二醇将其稀释到 10 倍而制成的溶液。阳极氧化期间，最高电压定为 40V。结果形成主要由 Al_2O_3 制成的致密、坚硬的阳极氧化膜。

在阳极氧化步骤，缝隙 205 中也形成阳极氧化薄膜，由于整个表央被复盖上主要由铝制成的薄膜 206，所以阳极氧化步骤可使下面的问题并不严重。

—由于在阳极氧化时产生应力而使图案变形，和

—由于电压下降使阳极氧化膜不均匀性。

可使电压下降产生的问题减少，这是因为阳极氧化膜成形部位不是长的导线线路部位。结果有可能形成精细图案。

图 4B 是图 2B 中沿 B-B'的剖面图，参考号 403 标示作为栅绝缘薄膜的氧化硅薄膜，206 标示以后构成栅电极的主要由铝制作的薄膜 206。

由于主要是铝制作的薄膜 206 保留在图 4B 的几乎整个区域上，所以因应力产生和电压下降而造成的问题就不严重了，如上所述。

图 4C 是图 2B 中沿 C-C'-的剖面图。虽然在阳极氧化步骤中产生的阳极氧化薄膜 302 在图 2B 中没有表示，但在图 4C 中显示出来了。参考号 205 表示缝隙。

阳极氧化完成以后，对主要由铝制成的薄膜 206 形成图案，以便做成具有要求的图案 207 的导线线路。与形成图案同时，象素区域内成形栅线路。短路环 704 也同时构成，它是连接所有栅线路的导线线路。在该阶段，象素区域中的栅线路没有连接栅驱动电路。即当缝隙在上述形成图案步骤中构成时，主要由铝制作的薄膜 206 被分割成两部分，分别包括周边驱动电路区域和象素区域两部分。这就是为各区域分离进行的阳极氧化。

阳极氧化时，考虑到电压下降可使象素区域的栅线路厚一些，这是因为象素区域不需要象周边驱动电路那样高度集成。

这样，栅线路 301 和 303 构成如图 3A 所示。阳极氧化薄膜 302 选择地成形在栅线路 301 和 303 的侧面。阳极氧化薄膜也成形在栅线路 301 和 303 的整个上表面。这就是图 3A 所示的阶段。

在这阶段，将电压加到图 7 所示的短路环 704，在上述相同的电解液中再一次进行阳极氧化。该阳极氧化步骤中加上很高的电压约 150V。其结果在栅线路周围形成厚度约 2，000 埃的阳极氧化薄膜。

图 8B 表示在这个阶段中的象素薄膜晶体管。图 8B 表示从栅线路延伸的栅电极 802 和栅电极 802 周围形成的阳极氧化薄膜 803。

随后注入磷离子。202 和 204 部位覆盖保护屏蔽同时注入硼离子.于是有源层 201 和 203 上形成 N-型源/漏极部位，有源层 202 和 204 上形成 P-型源/漏极部位。象素区域中薄膜晶体管的有源层形成 N-型源/漏极部位。

用杂质离子注入步骤形成补偿部位，由于有 2，000 埃厚的阳极氧化薄膜 803，杂质离子不会注入到 81 和 80 区域。借助于补偿栅部位的形成，象素薄膜晶体管的断流很小。

完成离子注入后，用激光照射为有源注入的离子进行退火，并制备被离子注入而破坏的有源层。因此构成 N-沟道和 P-沟道薄膜晶体管。即构成两对 P-沟道和 P-沟道和 N-沟道薄膜晶体管，该晶体管组成图 1B

所示的反相电路。

参照图 3A，参考号 201 和 203 标示 N-沟道薄膜晶体管的有源层，而号 202 和 204 标示 P-沟道薄膜晶体管的有源层。

图 4D 是图 3A 中 D-D'的剖面图。

虽然在上述的离子注入和激光照射时被加热，但在形成阳极氧化薄膜 302 部分并没有产生小丘和晶须。另方面，小丘和晶须产生在没有形成阳极氧化薄膜 302 的部分。

重要的是，如果产生小丘和晶须，阳极氧化薄膜 302 只在小丘和晶须部位形成，则可能使相互邻近的垂直或水平的导线线路短路。

在图 3A 阶段，氧化硅薄膜中间绝缘层(图 3A 和 3b 中未示出)用等离子 CVD 进行沉积，厚度约 6000 埃，以复盖栅线路 301 和 303。氧化硅薄膜可通过上述覆盖步骤中提供的方法进行沉积。

此后，如图 3B 所示，形成连通栅线路或有源层的源/漏极部位的接触孔(如 300 和 304-306)。接触孔 300 和 304 连通各有源层 201 和 202 的漏极区。接触孔 305 连通栅线路 301。接触孔 306 连通有源层 204 的源极区。

然后对主要由铝制成的薄膜(图 4A-4D 中未示出)进行沉积，它形成第二层导线线路。第一层导线线路是栅线路 301 和 303。第二层导线线路(如 307-309)通过使主要由铝制成的薄膜形成图案构成。

图 3B 中部分第二层导线线路标示为 307-309。电极(导线线路)307 连接 P-沟道薄膜晶体管的源极区。导线线路 308 接连薄膜晶体管的漏极区，经各接触孔 300 和 304 以及栅线路 301，漏极区构成第一级反相电路。即导线线路 308 将第一级反相电路的输出连接第二级反相电路的输入。导线线路 309 连接第二级反相电路的输出。

导线线路 307-309 连接薄膜晶体管的源/漏极区。中间绝缘膜层(未示出)上形成导线线路 307-309，并通过中间绝缘薄膜层垂直离开栅线路 301。

图 5A 是图 3B 中沿 F-F'的剖面图，图 5B 是图 3B 中沿 G-G'的剖面图。图 5A 中，参考号 404 标示氧化硅薄膜的中间绝缘薄膜层。

图 8C 表示这个阶段的象素薄膜晶体管。图 8C 中显示中间绝缘薄膜层 404 和其上形成的源电极 807(由源线路中延伸)，以及连接 ITO 制成的象素电极 805 的漏电极 806。源电极 807 和漏电极 806 和第二层导

线线路同时形成，并采用相同的材料制造。

第二导导线线路 307-309 上没有产生小丘和晶须，这因为形成第二层导线线路 307-309 以后，不进行产生小丘和晶须的热处理或激光照射。形成第二层导线线路以后，在氢气中进行热处理有效地改善了装置的性能。因为该热处理是在 350℃条件下进行 1 小时，所以在第二层导线线路中不会造成晶须。

因此，图 3B 中所示的电路完全等效于图 1A 所示的电路。图 3B 的电路中，防止了由于小丘或晶须而造成栅线路 301 和 303 之间发生的短路。这是因为阳极氧化薄膜 302 形成在小丘和晶须部位，如果产生小丘或晶须，栅线路 301 和 303 有可能短路，因为阳极氧化薄膜 302 用作阻挡层的作用，所以在这些部位不产生小丘或晶须。

因此，将第一级反相器和第二级反相器相互靠近安置：距离 501(见图 5B)可以缩短。这一点对增大集成电路的集成化程度很重要。

栅线路 301 和 303 的局部上形成的阳极氧化薄膜 302 也可防止栅线路 301 和 302 与第二层导线线路 307-309 这间的竖直短路。这是因为，当从上或下观察时，阳极氧化薄膜 302 成形在靠近第二层导线线路 307-309 部位的栅线路 301 和 303 顶面和侧面。在该部位，因为阳极氧化薄膜 302 制止产生小丘和晶须，所以避免了栅线路 301 和 303 与第二层导线线路 307-309 之间相互接触。

例如，用作栅线路(栅电级)材料的铝材上，于栅线路 301 侧面将产生小丘和晶须，这是因为当为了形成源/漏区而进行杂质离子注入时时，以及当为了活化源/漏区而进行激光照射明或热退火时，不可避免地要加热造成的。参照图 5A，结果在栅线路 301(第一层线线路)和接触孔 306 延伸的第二层导线线路 307 之间容易产生短路。

相反，采用本实施例的结构，图 5A 所示的横剖面中，阳极氧化薄膜 302 可抑制产生小丘和晶须。因此可防止栅线路 301 和第二层导线线路 307 之间产生短路。此外，还可防止在栅导线线路 301 产生的小丘和晶须难以形成接触孔 306，或者难以造成导线线路 307 和有源层 203(在这种情况下是源区)之间的接触失效。

上述内容也具有减小薄膜晶体管尺寸和增加集成程度的优点。

在图 3B 和 8C 阶段，通过等离子 CVD 将成为另一中间绝缘薄膜层的氧化硅薄膜进行沉积。采用已知的回流薄膜作为该中间绝缘薄膜层，

在中间绝缘薄膜层上组成作为取向薄膜的有机树脂膜。形成异性电极的玻璃基片和形成上述电路的玻璃基片连接在一起，在这两个玻璃基片间注入液晶。于是完成液晶板的元件组装。

然后，利用 YAG 激光照射法将栅线路和短路环 704 之间的连接部分 705 进行切割。其做法是使两个玻璃基片相互移开，以便暴露出连接部分 705，并在这些部分上照射 YAG 激光。

这样制造的有源矩阵液晶板可具有高密度。周边驱动电路中，与阳极氧化相关的问题很不严重。同时，在象素区域，利用阳极氧化可形成补偿栅区，因此可得到具有优良断流的薄膜晶体管。

由于在形成象素薄膜晶体管采用的连接部分 705(见图 7)，是用激光在最后阶段进行切割，所以制造步骤并不增加。

实施例 2

本实施例的特征是，缝隙同样也是在制造第一个实施例的过程中形成象素薄膜晶体管的象素栅线路时形成。第一实施例中，阳极氧化进行两次:第一次阳极氧化是为了完成在周边驱动电路中的栅线路的缝隙部分，第二次阳极氧化是为了完成象素区域的整个栅线路。

第一实施例的制造过程中，阳极氧化薄膜形成在构成象素区域的整个栅线路上。在这种情况下，由于栅线路的电压下降，有可能在阳极氧化薄膜的厚度上在大的象素区域内产生不均匀。当试图制造大面积的液晶显示装置，如 40 英寸型，或者比将来的先进工艺甚至更大的装置时，这个问题是很重要的。

考虑到上述内容，本实施例的特征是：象素区域的栅线路与缝隙形成也受到局部的阳极氧化。在本实施例中也进行两次阳极氧化。

本实施例的制造过程的特点是：阳极氧化以前成形缝隙时，将形成栅线路的主要由铝制作的薄膜分离成两部分；分别占据周边驱动电路区域和象素区域。这样使这两个区域分开进行两次阳极氧化步骤。

在象素区域，缝隙可在需要形成补偿栅的部位构成。阳极氧化进行两次。例如，第一次阳极氧化是为周边驱动电路区进行，而第二次阳极氧化在与第一次阳极氧化不同的条件下为象素区域进行。象素区域的阳极氧化是通过从短路环 704 通入电流进行。各次阳极氧化的条件可设定与第一实施例相同。

采用仅仅在必要的部分形成缝隙以及导线线路成形图案以前进行阳

极氧化的方法，因而防止由于阳极氧化期间的电压下降而使阳极氧化薄膜厚度的不均匀性，以及由于在形成精细图案后进行阳极氧化而产生的应力。不仅获得因为导线线路周围形成阳极氧化薄膜而造成的优点，而且也消除了与阳极氧化过程有关问题。

在制造有源矩阵显示装置方法中，其中周边驱动电路和象素区域单块形成。成形周边驱动电路时采用阳极氧化工艺；集成程度很容易增加。特别是当导线线路只由铝材或主要由铝材制作时，电路的集成程度尤其可以增加，铝材具有低电阻性能。

此外，在象素区域上形成薄膜晶体管时有效地采用阳极氧化工艺，可使晶体管具有小的切断电流。

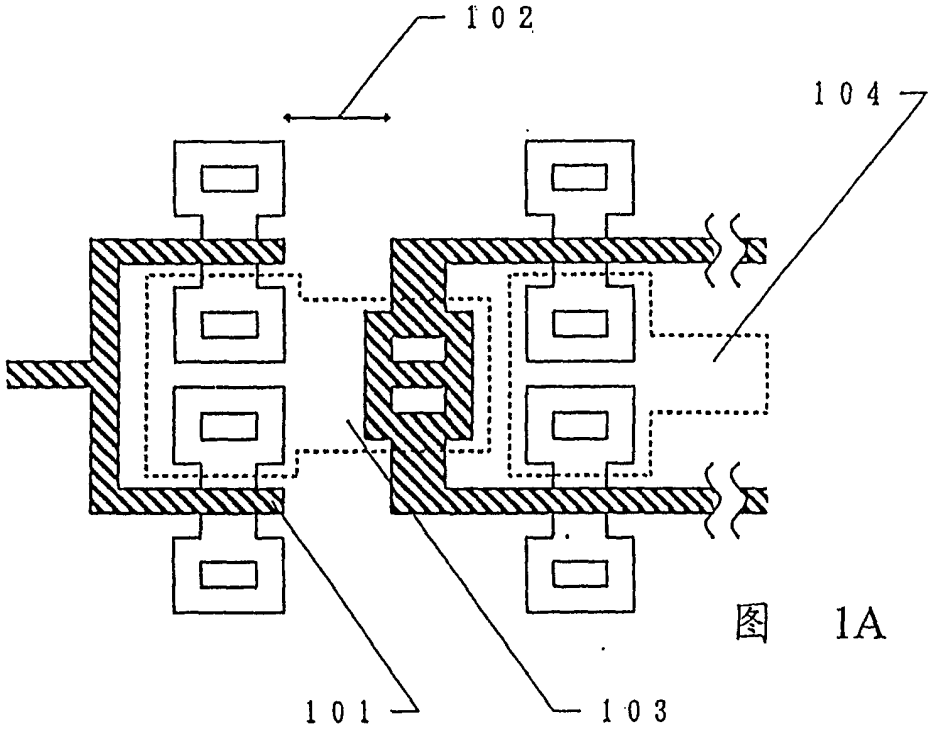


图 1A

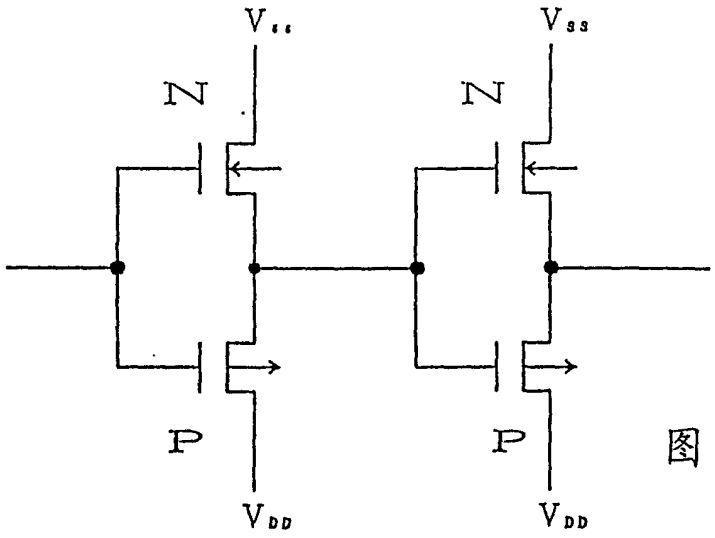


图 1B

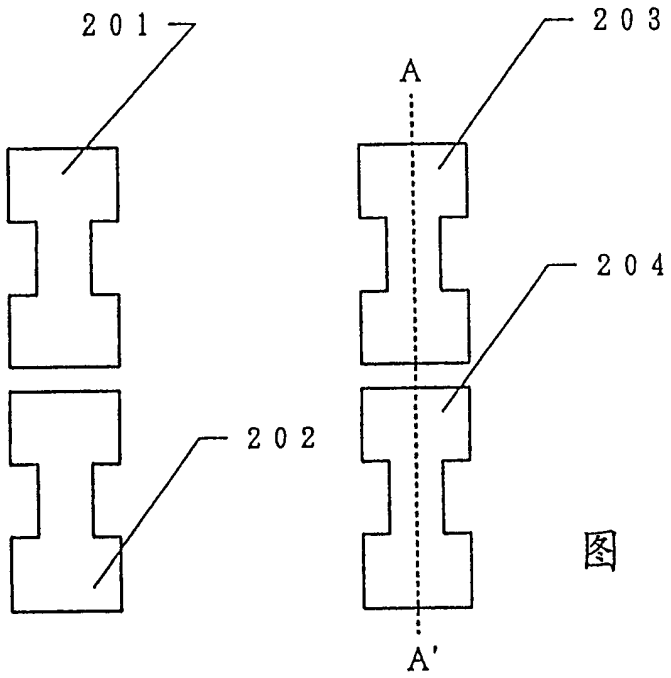


图 2A

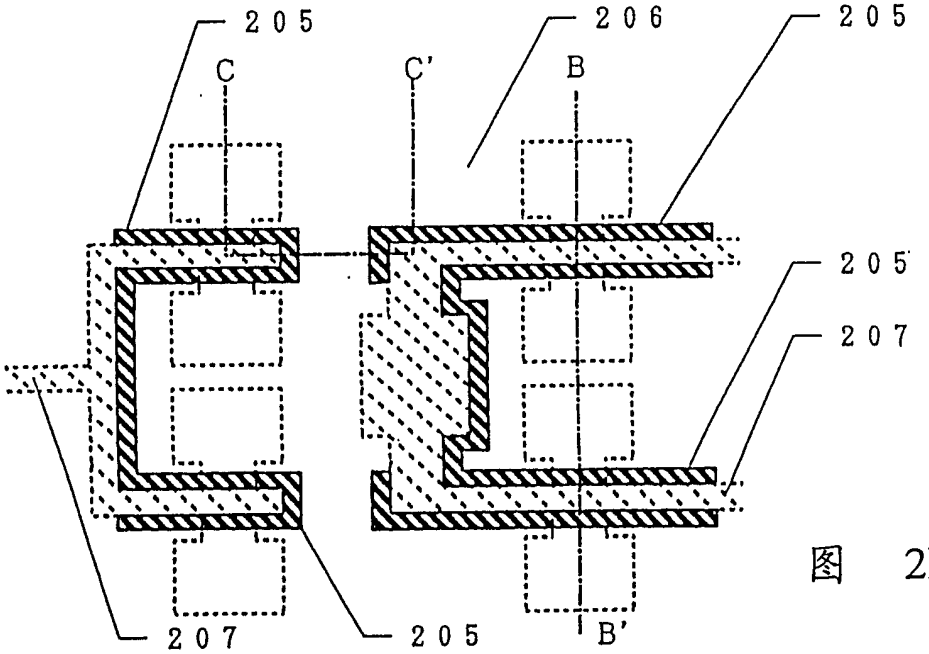


图 2B

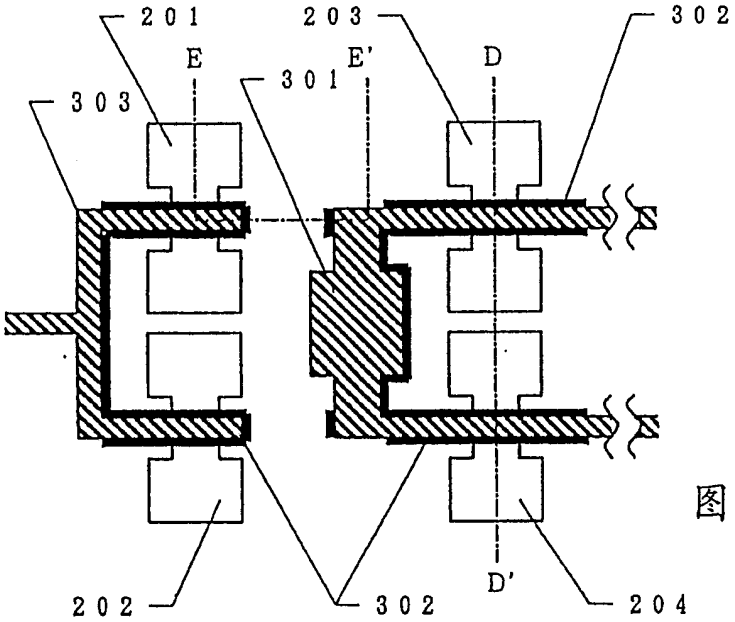

201
203
302
E
E'
D
301
303
202
302
D'
204

图 3A

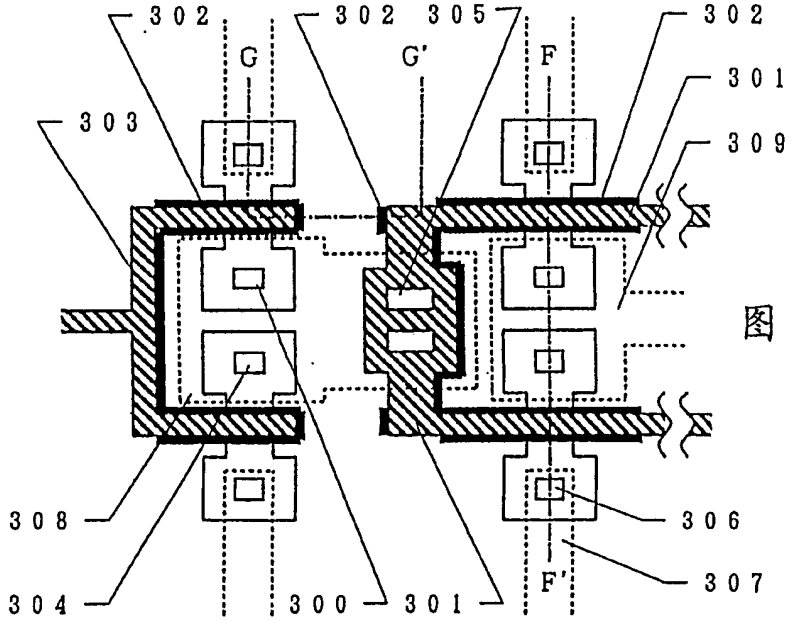

302
302
305
302
G
G'
F
301
303
309
308
306
F'
304
300
301
307

图 3B

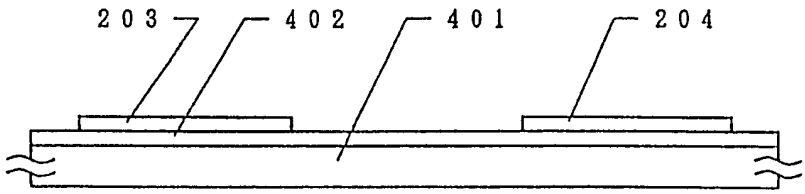


图 4A

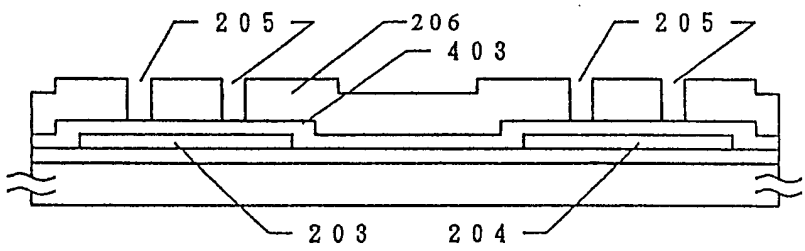


图 4B

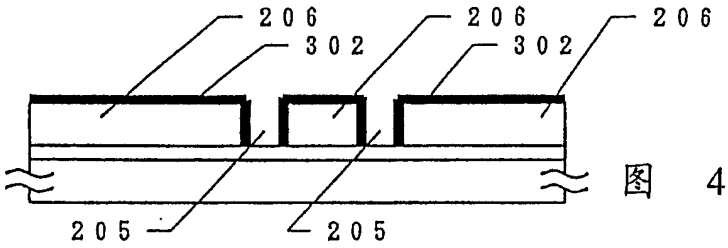


图 4C

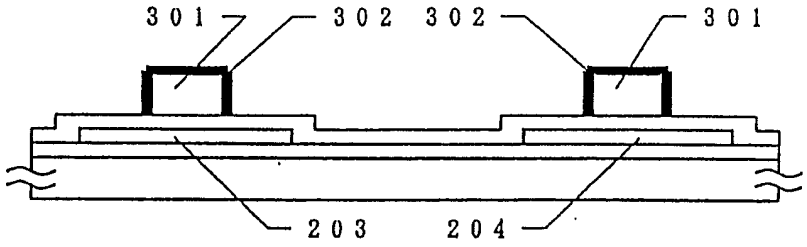


图 4D

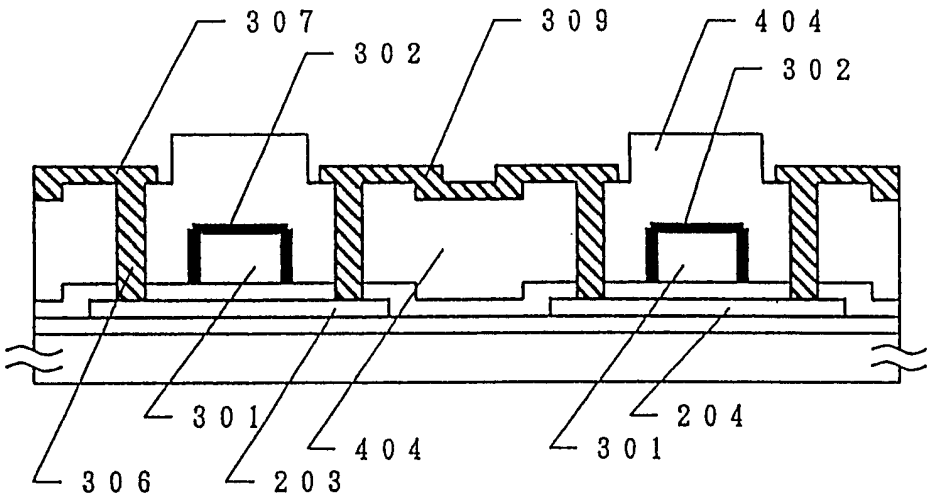

307
302
309
404
302
301
404
204
306
203
301

图 5A

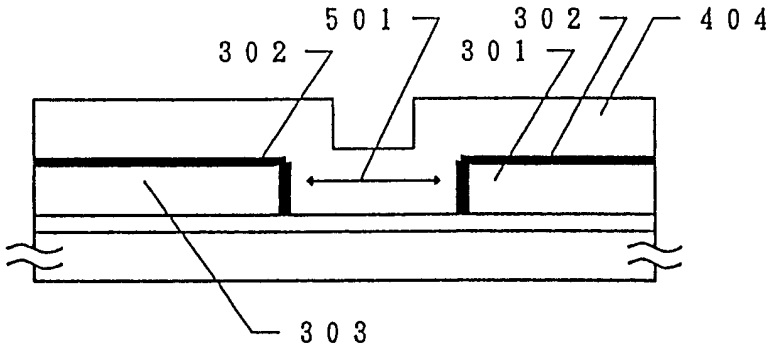

501
302
404
302
301
303

图 5B

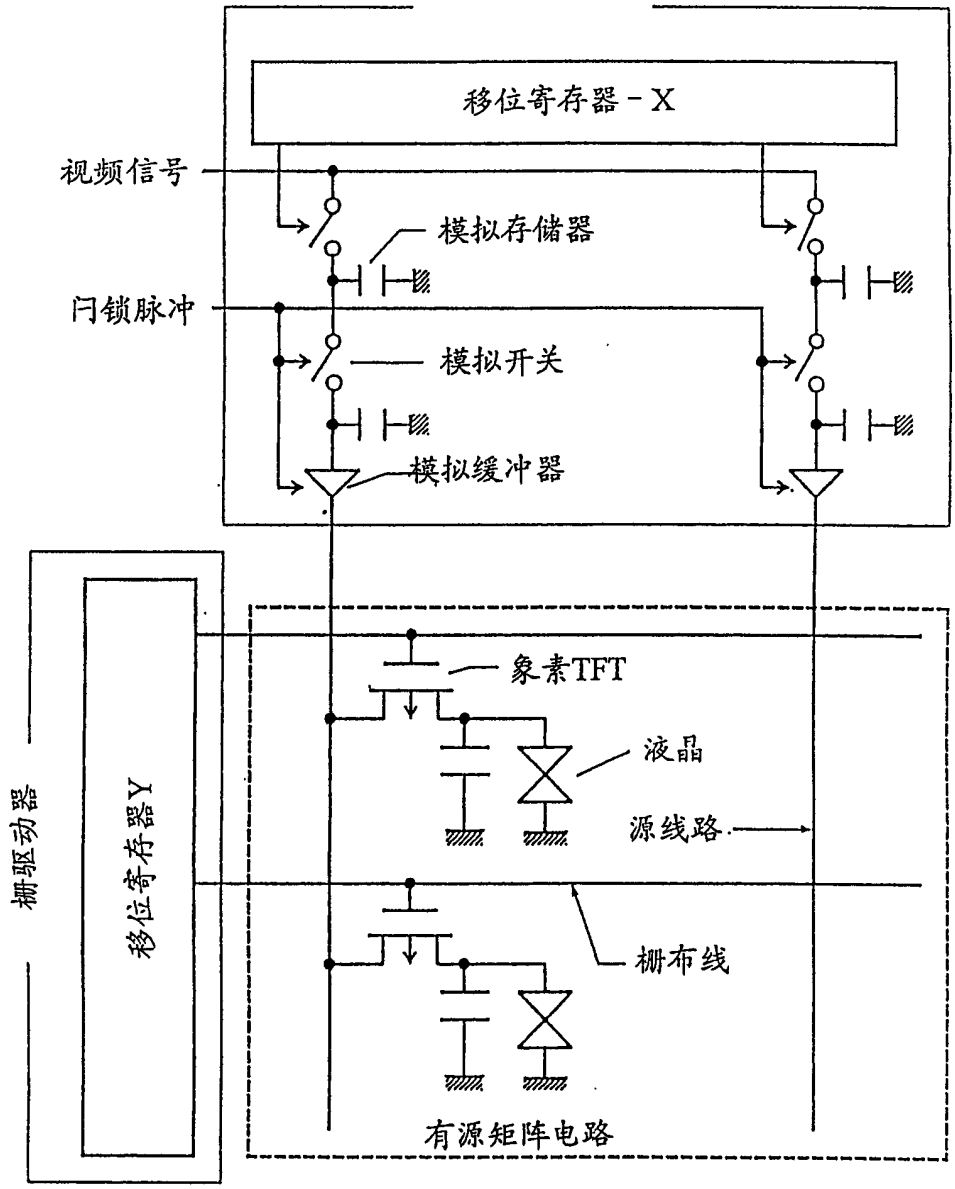

移位寄存器－X
视频信号
模拟存储器
闩锁脉冲
模拟开关
模拟缓冲器
栅驱动器
移位寄存器Y
象素TFT
液晶
源线路
栅布线
有源矩阵电路

图 6

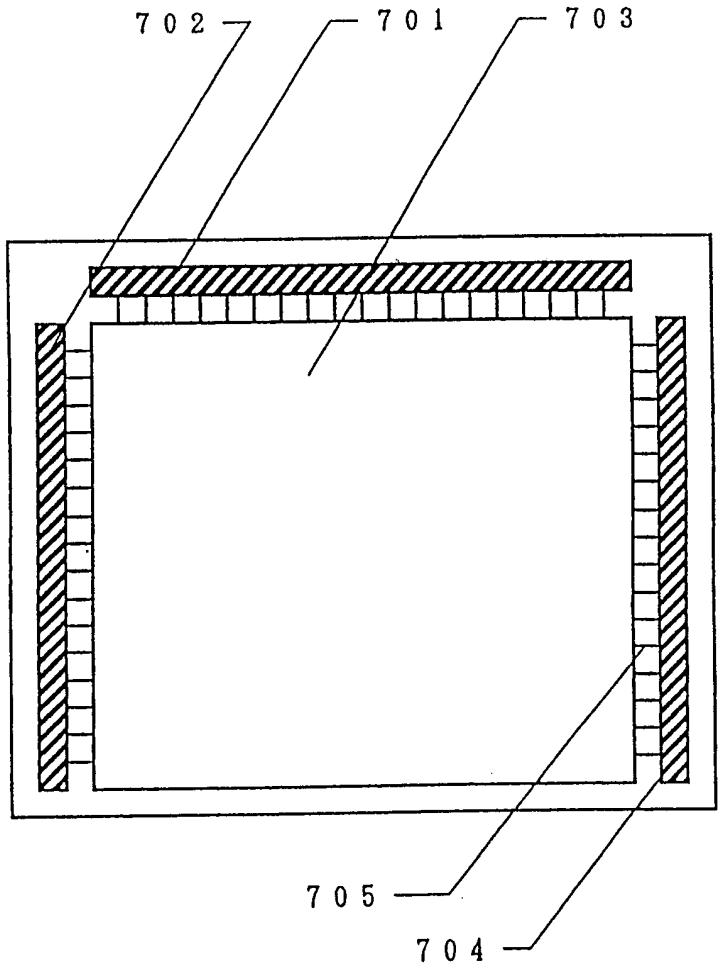


图 7

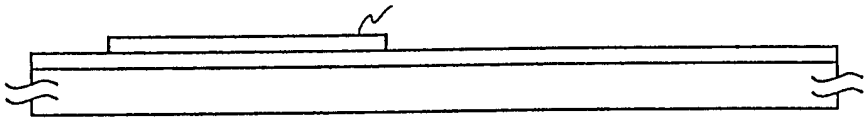


图 8A

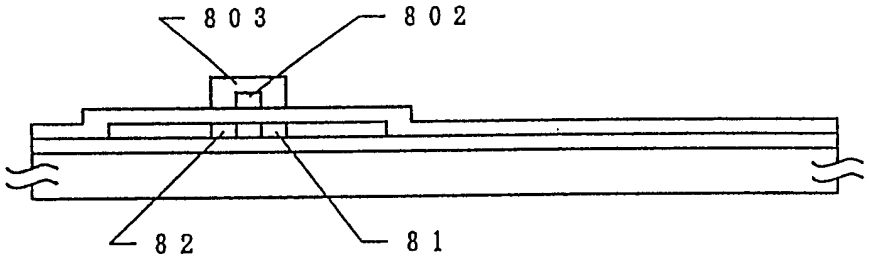


图 8B

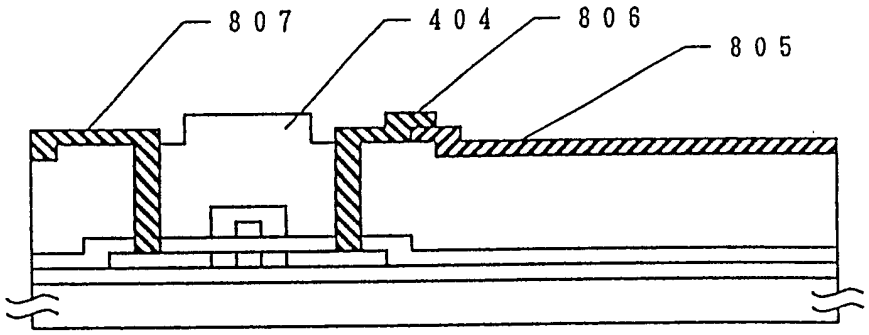


图 8C