(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 10 月 27 日(27.10.2016)

WIPO | PCT

(10) 国際公開番号
WO 2016/170571 A1

(51) 国際特許分類:
H01L 21/336 (2006.01) *H01L 29/786* (2006.01)
H01L 21/20 (2006.01)

(21) 国際出願番号: PCT/JP2015/061991

(22) 国際出願日: 2015 年 4 月 20 日(20.04.2015)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: 堺ディスプレイプロダクト株式会社 (SAKAI DISPLAY PRODUCTS CORPORATION) [JP/JP]; 〒5908522 大阪府堺市堺区匠町１番地 Osaka (JP).

(72) 発明者: 野寺 伸武 (NODERA, Nobutake); 〒5908522 大阪府堺市堺区匠町１番地 堺ディスプレイプロダクト株式会社内 Osaka (JP). 石田 茂(ISHIDA, Shigeru); 〒5908522 大阪府堺市堺区匠町１番地 堺ディスプレイプロダクト株式会社内 Osaka (JP). 高倉 良平(TAKAKURA, Ryohei); 〒5908522 大阪府堺市堺区匠町１番地 堺ディスプレイプロダクト株式会社内 Osaka (JP). 松島 吉明(MATSUSHIMA, Yoshiaki); 〒5908522 大阪府堺市堺区匠町１番地 堺ディスプレイプロダクト株式会社内 Osaka (JP). 松本 隆夫(MATSUMOTO, Takao); 〒5908522 大阪府堺市堺区匠町１番地 堺ディスプレイプロダクト株式会社内 Osaka (JP).

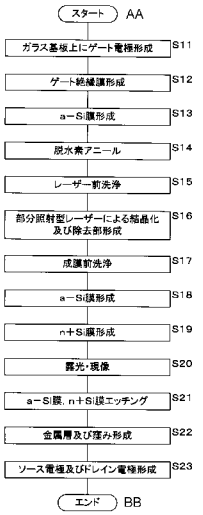
(74) 代理人: 河野 英仁, 外(KOHNO, Hideto et al.); 〒5400035 大阪府大阪市中央区釣鐘町二丁目４番３号 河野特許事務所 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) **Title**: THIN FILM TRANSISTOR PRODUCTION METHOD, THIN FILM TRANSISTOR AND DISPLAY PANEL

(54) 発明の名称 : 薄膜トランジスタの製造方法、薄膜トランジスタ及び表示パネル



S11 Forming gate electrode on glass substrate
S12 Forming gate insulation film
S13, S18 Forming a-Si film
S14 Dehydrogenation annealing
S15 Pre-laser cleaning
S16 Crystallization and forming of cleared portion by partially irradiating laser
S17 Pre-film-forming cleaning
S19 Forming n+Si film
S20 Exposure and development
S21 Etching a-Si film and n+Si film
S22 Forming metal layer and depression
S23 Forming source electrode and drain electrode
AA Start
BB End

(57) **Abstract**: In the present invention, a gate electrode is formed on a substrate surface, and an insulation film is formed on the substrate surface whereon the gate electrode has been formed. A first amorphous silicon layer is formed on the substrate surface whereon the insulation film has been formed. An energy beam is irradiated onto a plurality of required sites spaced from each other in the first amorphous silicon layer to transform each of the required sites into a polysilicon layer. Each of the required sites is situated on the upper side of the gate electrode and serves as a channel region between a source and a drain. This allows other sites, which are in the first amorphous silicon layer and related to the plurality of required sites, to also be irradiated by the energy beam and ablated so as to form at the other sites a cleared portion having a required shape. Thereafter, when a metal layer for the source electrode and the drain electrode is formed, the shape of the cleared portion, which is a recessed portion, is followed, thereby forming a depression in the metal layer. Consequently, the depression is used as an alignment mark, and the source electrode and the drain electrode are formed at appropriate positions on the upper side of the channel region.

(57) 要約: 基板の表面にゲート電極を形成し、ゲート電極が形成された基板の表面に絶縁膜を形成する。絶縁膜が形成された基板の表面に第１アモルファスシリコン層を形成する。第１アモルファスシリコン層の離隔した複数の所要箇所にエネルギービームを照射して当該所要箇所をポリシリコン層に変化させる。所要箇所それぞれは、ゲート電極の上側にあり、ソース・ドレイン間のチャネル領域である。 この際、前記第１アモルファスシリコン層であって、前記複数の所要箇所に関連付けられた他の箇所にもエネルギービームを照射してアブレーションさせて、該他の箇所に所要形状の除去部を形成する。 以降、ソース電極及びドレイン電極用の金属層が形成される際、凹部たる前記除去部の形状に倣う窪みが該金属層に形成される。従って、該窪みをアライメントマークとして利用し、チャネル領域の上側の適切な位置にソース電極及びドレイン電極を形成する。

WO 2016/170571 A1

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ：

薄膜トランジスタの製造方法、薄膜トランジスタ及び表示パネル

技術分野

[0001] 本発明は、薄膜トランジスタの製造方法、薄膜トランジスタ及び該薄膜トランジスタを備える表示パネルに関する。

背景技術

[0002] ＴＦＴ（Thin Film Transistor：薄膜トランジスタ）方式の液晶ディスプレイは、ＴＦＴ基板とＲ（赤）、Ｇ（緑）、Ｂ（青）の色を有するカラーフィルタ基板とを所要の隙間を設けて貼り合わせ、ＴＦＴ基板とカラーフィルタ基板との間に液晶を注入し、液晶分子による光の透過率を画素毎に制御することにより、映像を表示することができる。

[0003] ＴＦＴ基板には、データ線（ソースバスライン）及び走査線（ゲートバスライン）が縦横方向に格子状に配線され、データ線と走査線とが交差する箇所にＴＦＴで構成される画素を形成してある。また、複数の画素で構成される表示領域の周囲には、ＴＦＴで構成されデータ線及び走査線を駆動する駆動回路を形成してある。

[0004] ＴＦＴには半導体（シリコン）の結晶状態により、非結晶状態のａ－Ｓｉ（amorphous Silicon：アモルファスシリコン）ＴＦＴと多結晶状態のｐ－Ｓｉ（polycrystalline Silicon：ポリシリコン）ＴＦＴの２種類がある。ａ－ＳｉＴＦＴは、抵抗が高く漏れ電流（リーク電流）が小さい。また、ｐ－ＳｉＴＦＴは、ａ－ＳｉＴＦＴに比べて電子の移動度が格段に大きい。このため、表示領域を構成する各画素には、漏れ電流の小さいａ－ＳｉＴＦＴを使用し、駆動回路には電子の移動度が大きいｐ－ＳｉＴＦＴが使用される。

[0005] また、ＴＦＴを構造面から見ると、一般的には、ａ－ＳｉＴＦＴでは、ゲート電極を最下層に配置したボトムゲートの構造が用いられ、ｐ－ＳｉＴＦＴでは、半導体膜の上側にゲート電極を配置するトップゲートの構造が用い

られる。

[0006] 一方、特許文献１においては、ボトムゲート構造のＴＦＴにおいて、ｐ－Ｓｉ層を覆ってａ－Ｓｉ層を形成し、ｐ－Ｓｉ層とソース電極及びドレイン電極とが直接接触しない構造とした液晶表示装置が開示されている。

先行技術文献

特許文献

[0007] 特許文献1：特許第５２２６２５９号公報

発明の概要

発明が解決しようとする課題

[0008] 一般に、上述したボトムゲート型ＴＦＴの製造においては、いわゆるチャネル領域の形成、ソース電極及びドレイン電極の形成等の処理の場合、特定のパターン（アライメントマーク）を用いる。すなわち、該アライメントマークの位置に基づいて各処理の位置を決定することにより、斯かる積層方向における、各層の構造間の位置合わせ（以下、アライメントと言う）を図っていた。また、従来、前記アライメントマークは、ボトムゲート型ＴＦＴの製造の初期工程である、ゲート電極の形成工程で共に形成されていた。

[0009] しかし、このため、アライメントにおける精度にばらつきが生じていた。例えば、ゲート電極の形成工程後のチャネル領域の形成工程は、既形成のアライメントマークを用いて行われるが、通常一定範囲のズレが発生する。以降、複数の層が形成された後、ソース電極及びドレイン電極を形成する工程では、前記アライメントマークが複数の層によって覆われて認識されにくくなっているうえに、更に、一定範囲のズレが発生する。ひいては、このようにアライメントにおいてズレが重なり、製造されたボトムゲート型ＴＦＴの性能にばらつきが生じていた。

[0010] 本発明は斯かる事情に鑑みてなされたものであり、アライメントにおいてズレを減らして精度のばらつきを抑制することができる薄膜トランジスタの製造方法、薄膜トランジスタ及び該薄膜トランジスタを備える表示パネルを

提供することを目的とする。

課題を解決するための手段

[0011] 本発明に係る薄膜トランジスタの製造方法は、薄膜トランジスタの製造方法において、基板の表面にゲート電極を形成する工程と、ゲート電極が形成された前記基板の表面に絶縁膜を形成する工程と、絶縁膜が形成された前記基板の表面に第１アモルファスシリコン層を形成する工程と、前記第１アモルファスシリコン層の離隔した複数の所要箇所にエネルギービームを照射して前記所要箇所をポリシリコン層に変化させるアニール工程と、該アニール工程の際、前記複数の所要箇所に対応付けた他の箇所にエネルギービームを照射して該他の箇所に所要形状の除去部を形成する除去部形成工程と、前記ポリシリコン層を覆って第２アモルファスシリコン層を形成する工程と、前記第２アモルファスシリコン層の表面にｎ＋シリコン層を形成する工程と、前記ｎ＋シリコン層に所要のパターンを形成する工程と、前記第１アモルファスシリコン層、第２アモルファスシリコン層及びｎ＋シリコン層をエッチングする工程と、エッチング後の前記ｎ＋シリコン層上に金属層を形成する工程と、前記金属層の形成の際、前記除去部により形成される窪みの位置に基づいてソース電極及びドレイン電極を形成する工程とを含むことを特徴とする。

[0012] 本発明にあっては、基板の表面にゲート電極を形成し、ゲート電極が形成された基板の表面に絶縁膜を形成する。絶縁膜が形成された基板の表面に第１アモルファスシリコン層（ａ－Ｓｉ膜）を形成する。アニール工程は、第１アモルファスシリコン層の離隔した複数の所要箇所にエネルギービームを照射して当該所要箇所をポリシリコン層（ｐｏｌｙ－Ｓｉ膜）に変化させる。所要箇所それぞれは、ゲート電極の上側にあり、ソース・ドレイン間のチャネル領域である。エネルギービームは、例えば、アモルファスシリコン層（ａ－Ｓｉ膜）の吸収の大きい紫外光のエキシマレーザーを用いることができる。レーザー光源からのレーザー光を、例えば、マルチレンズアレイへ入射することにより、レーザー光は、レンズ毎に異なる光路を経由して各所要

箇所に対して部分照射される。これにより、第１アモルファスシリコン層のうち、チャネル領域となる領域（離隔した複数の所要箇所）だけを選択的にポリシリコン層（ｐｏｌｙ－Ｓｉ膜）に変化させる。

[0013] 斯かるアニール工程と共に、前記除去部形成工程が行われる。すなわち、アニール工程の際、第１アモルファスシリコン層であって、前記複数の所要箇所に関連付けられた他の箇所にもエネルギービームを照射してアブレーションさせる。ここでアブレーションとはアモルファスシリコン層に高エネルギーを与えシリコンが蒸発し欠損する事をいう。これによって、該他の箇所には所要形状の除去部が形成され、該除去部は、後述するように、アライメントマークとしての役割をなす。

[0014] アニール工程により形成したポリシリコン層を覆って第２アモルファスシリコン層を形成し、第２アモルファスシリコン層の表面にｎ＋シリコン層を形成する。ｎ＋シリコン層（ｎ＋Ｓｉ膜）は、ソース電極及びドレイン電極とのコンタクト層であり、リンやヒ素などの不純物濃度が高い半導体層である。そして、ｎ＋シリコン層に所要のパターンを形成する。所要のパターンは、ソース電極、ドレイン電極及び半導体層の配置又は構造に応じて適宜定めることができる。そして、所要の構造とするために、第１アモルファスシリコン層、第２アモルファスシリコン層及びｎ＋シリコン層をエッチングし、エッチング後のｎ＋シリコン層上にソース電極及びドレイン電極を形成する。

[0015] すなわち、エッチング後のｎ＋シリコン層上に金属層を形成し、該金属層にパターニングの処理を施すことにより、ソース電極及びドレイン電極を形成する。この際、前記金属層の形成は前記除去部の上にも行われ、凹部たる該除去部の形状に倣う窪みが形成される。また、除去部は前記複数の所要箇所（チャネル領域）に関連付けられているので、前記窪みの位置からチャンネル領域の位置を特定できる。従って、該窪みをアライメントマークとして利用することにより、チャネル領域の上側の適切な位置にソース電極及びドレイン電極を形成することが出来る。

[0016] 基板表面の全体に形成されたアモルファスシリコン層に対してエネルギービーム（例えば、レーザー）を基板全面に照射してポリシリコン層に変化させた後、ポリシリコン層に対して露光、現像及びエッチング処理の各工程を行ってチャネル領域を形成する場合に比べて、上述の方法によれば、基板全面にエネルギービーム（例えば、レーザー）を照射するのではなく、第１アモルファスシリコン層のうち、チャネル領域となる領域だけにエネルギービームを部分的に照射するので、アニール工程だけでチャネル領域を形成することができる。このため、チャネル領域を形成するための露光、現像及びエッチング処理の各工程が不要となり、製造工程を短縮することができる。

[0017] また、チャネル領域の形成（アニール工程）の際に形成された除去部をアライメントマークとして用いて該チャネル領域の上側にソース電極及びドレイン電極を形成するので、斯かる積層方向においてこれらの間のズレを極力抑制することができる。

[0018] 本発明に係る薄膜トランジスタの製造方法は、前記アニール工程及び除去部形成工程は、透光率の異なる複数の透光部を有するハーフトーンマスクを用いて共に行われることを特徴とする。

[0019] 本発明にあっては、アニール工程の際、除去部形成工程は共に行われる。また、アニール工程及び除去部形成工程においては、前記ハーフトーンマスクが用いられ、同じ大きさのエネルギービームを用いても、結晶化によるチャネル領域の形成及びアブレーションによる除去部の形成を共に行うことができる。

[0020] 本発明に係る薄膜トランジスタの製造方法は、前記窪みは複数であり、前記複数の所要箇所近傍であって、前記ゲート電極と接続されるゲートバスライン上に形成されることを特徴とする。

[0021] 本発明にあっては、前記窪みは前記複数の所要箇所（チャネル領域）に関連付けられているので複数であり、前記窪みの位置からチャンネル領域の位置を特定できる。また、該窪み（除去部）は前記複数の所要箇所近傍であって、前記ゲート電極と接続されるゲートバスライン上に、ソースバスライン

と重ならないように形成される。すなわち、チャネル領域の近くに前記窪みが位置することから、該窪みが一層有効にアライメントマークとして機能出来る。

[0022] 本発明に係る薄膜トランジスタは、薄膜トランジスタにおいて、基板の表面に形成されたゲート電極と、前記ゲート電極の上側に形成されたポリシリコン層と、前記ポリシリコン層の上側に形成されたアモルファスシリコン層及びｎ＋シリコン層と、前記ｎ＋シリコン層上に形成された金属層のパターニングにより形成されたソース電極及びドレイン電極と、前記金属層に形成され、前記パターニングに係る位置を表す窪みとを備えることを特徴とする。

[0023] 本発明にあっては、薄膜トランジスタは、基板の表面に形成されたゲート電極と、ゲート電極の上側に形成されたポリシリコン層（ｐｏｌｙ－Ｓｉ膜）と、ポリシリコン層の上側に形成されたアモルファスシリコン層（ａ－Ｓｉ膜）及びｎ＋シリコン層（ｎ＋Ｓｉ膜）と、ｎ＋シリコン層上に形成されたソース電極及びドレイン電極とを備える。ポリシリコン層は、チャネル領域である。また、ｎ＋シリコン層は、ソース電極及びドレイン電極とのコンタクト層であり、リンやヒ素などの不純物濃度が高い半導体層である。

また、ソース電極及びドレイン電極は、ｎ＋シリコン層上に形成された金属層をパターニングすることにより形成された、該金属層には窪みが形成されている。該窪みは前記パターニングに係る位置、例えば、前記チャネル領域の位置を表すので、該窪みがアライメントマークとして用いられる。

[0024] 本発明に係る薄膜トランジスタは、前記窪みは前記ゲート電極近傍であって、該ゲート電極と接続されるゲートバスライン上に形成されていることを特徴とする。

[0025] 本発明にあっては、前記窪みはゲート近傍であって、該ゲート電極と接続されるゲートバスライン上に、ソースバスラインと重ならないように形成される。すなわち、チャネル領域の近くに前記窪みが位置することから、該窪みが一層有効にアライメントマークとして機能出来る。

[0026] 本発明に係る薄膜トランジスタは、前記アモルファスシリコン層は、前記ポリシリコン層の周囲に形成され、該ポリシリコン層の厚みと同程度の厚みを有する第１のアモルファスシリコン層と、前記ポリシリコン層及び第１のアモルファスシリコン層の表面に形成された第２のアモルファスシリコン層とを有することを特徴とする。

[0027] 本発明にあっては、アモルファスシリコン層は、ポリシリコン層の周囲に形成されポリシリコン層の厚みと同程度の厚みを有する第１のアモルファスシリコン層と、ポリシリコン層及び第１のアモルファスシリコン層の表面に形成された第２のアモルファスシリコン層とを有する。すなわち、ポリシリコン層は、ゲート電極の上側に形成された第１のアモルファスシリコン層のうち、チャネル領域に相当する領域だけを多結晶状態であるポリシリコン層に変化させたものであり、チャネル領域を形成するために、露光、現像及びエッチング処理の各処理を行っていないことが分かる。また、第２のアモルファスシリコン層は、ソース電極及びドレイン電極とチャネル領域とが直接接触しないようにするためのもので、漏れ電流（リーク電流）が小さい特性を用いている。

[0028] 本発明に係る表示パネルは、前述の発明の何れか一つに記載の薄膜トランジスタを備えることを特徴とする。

[0029] 本発明にあっては、製造工程を短縮することができる表示パネルを提供することができる。

発明の効果

[0030] 本発明によれば、アライメントにおいてズレを減らして精度のばらつきを抑制することができ、製造されたボトムゲート型ＴＦＴにおける性能の安定化を図ることができる。

図面の簡単な説明

[0031] [図1]本実施の形態に係るボトムゲート型薄膜トランジスタの構造の第１実施例を示す要部断面模式図である。

[図2]本実施の形態の薄膜トランジスタの構造の第１実施例を示す要部平面模

式図である。

[図3]本実施の形態の薄膜トランジスタの製造方法の一例を示す製造工程図である。

[図4]本実施の形態の部分照射型レーザーの構成の一例を示す模式図である。

[図5]本実施の形態の薄膜トランジスタの製造方法において、除去部の形成を説明する説明図である。

[図6]本実施の形態の薄膜トランジスタの製造方法において、窪みの形成を説明する説明図である。

[図7]本実施の形態の薄膜トランジスタの製造方法において、窪みの位置を説明する説明図である。

[図8]従来の薄膜トランジスタの構造を示す要部断面模式図である。

[図9]従来の薄膜トランジスタの構造を示す要部平面模式図である。

[図10]従来の薄膜トランジスタの製造方法を示す製造工程図である。

[図11]従来の全面照射型レーザーの構成の一例を示す模式図である。

[図12]本実施の形態の薄膜トランジスタの構造の第２実施例を示す要部断面模式図である。

[図13]本実施の形態の薄膜トランジスタの構造の第２実施例を示す要部平面模式図である。

[図14]本実施の形態の薄膜トランジスタの構造の第３実施例を示す要部断面模式図である。

[図15]本実施の形態の薄膜トランジスタの構造の第３実施例を示す要部平面模式図である。

[図16]本実施の形態の薄膜トランジスタのＶｇ－Ｉｄ特性の一例を示す説明図である。

発明を実施するための形態

[0032] 以下、本発明をその実施の形態を示す図面に基づいて説明する。図１は本実施の形態に係るボトムゲート型薄膜トランジスタの構造の第１実施例を示す要部断面模式図である。図１に示すように、薄膜トランジスタ（ＴＦＴ：T

hin Film Transistor、ＴＦＴ基板とも称する）１００は、ガラス基板１（以下、基板とも称する）の表面にゲート電極２を形成してあり、ゲート電極２を覆ってゲート絶縁膜３（例えば、SiO_2 膜、SiO_2／ＳｉＮ膜積層、ＳｉＮ膜、ＳｉＯＮ膜など）を形成してある。

[0033] ゲート絶縁膜３の表面であってゲート電極２の上側には、ポリシリコン層（ｐｏｌｙ－Ｓｉ膜）５を形成してある。ここでポリシリコン層とは多結晶よりも比較的結晶粒径の小さい微結晶、又は、より結晶粒径の大きい単結晶も含む。ポリシリコン層５の周囲には、ポリシリコン層５の厚みと同程度の厚みを有する第１のアモルファスシリコン層（ａ－Ｓｉ膜）４を形成してある。また、ポリシリコン層５及び第１のアモルファスシリコン層４の表面には第２のアモルファスシリコン層（ａ－Ｓｉ膜）６を形成してある。以下、第１のアモルファスシリコン層４及び第２のアモルファスシリコン層６を纏めて単にアモルファスシリコン層と称する。

[0034] 第２のアモルファスシリコン層６の表面の所要位置には、ｎ＋シリコン層（ｎ＋Ｓｉ膜）７を形成してある。ｎ＋シリコン層７は、後述するソース電極８及びドレイン電極９とのコンタクト層であり、リン又はヒ素などの不純物濃度が高い半導体層である。

[0035] ｎ＋シリコン層７の表面、第２のアモルファスシリコン層６及び第１のアモルファスシリコン層４の側面、ゲート絶縁膜３の一部表面には、所要のパターンを有するソース電極８及びドレイン電極９を形成してある。

[0036] ポリシリコン層５は、チャネル領域に相当する。また、以下においては、第１のアモルファスシリコン層４、第２のアモルファスシリコン層６及びポリシリコン層５を纏めて半導体層とも称する。図１に示す、ゲート電極２、半導体層、ソース電極８及びドレイン電極９等で構成されるＴＦＴは、画素を駆動するための駆動回路用のＴＦＴ、又は、画素用のＴＦＴを示す。換言すれば、本実施の形態に係る薄膜トランジスタの製造方法は、画素を駆動するための駆動回路用のＴＦＴ、及び、画素用のＴＦＴの何れに対しても適用することができる。更に、本実施の形態に係る薄膜トランジスタの製造方法

の適用は、これに限るものでない。

[0037] ソース電極８及びドレイン電極９を覆うようにして、ＴＦＴ基板全体には、例えばＳｉＮからなるパッシベーション膜１０を形成してあり、パッシベーション膜１０の表面には有機膜１１を形成して表面を平坦化している。パッシベーション膜１０及び有機膜１１の所要の位置には、スルーホールを形成してあり、当該スルーホールを通して画素電極１２とドレイン電極９（及びソース電極８）とが導通するようにしてある。画素電極１２は、透明導電膜、例えばＩＴＯにより形成されている。

[0038] このようなボトムゲート型ＴＦＴにおいて、ポリシリコン層５は、その周囲の第１のアモルファスシリコン層４の厚みと同程度の厚みを有するので、ゲート電極２の上側に形成された第１のアモルファスシリコン層４のうち、チャネル領域に相当する領域（離隔した複数の所要箇所）だけを、エネルギービーム（例えば、レーザー）を用いたアニール処理により多結晶状態であるポリシリコン層５に変化させたものであり、チャネル領域としてのポリシリコン層５を形成するために、露光、現像及びエッチング処理の各処理を行っていないことが分かる。

[0039] また、後述の部分レーザーアニールでポリシリコン層５を形成するので、ポリシリコン層５と第１のアモルファスシリコン層４との境界面は、基板１の表面に対して略垂直となる。すなわち、仮にポリシリコン層５を従来のフォト・エッチングで形成した場合には、ポリシリコン層５の側面は、基板１の表面に対して略垂直とならず、ゲート電極２側に向かって拡幅となるテーパー状になる。一方、本実施の形態のように、レーザーアニールでポリシリコン層５を形成すると、ポリシリコン層５のゲート電極２側の線幅が、ソース電極８及びドレイン電極９側の線幅よりも拡幅とならない（すなわち、ゲート電極２側の線幅とソース電極８及びドレイン電極９側の線幅とが同程度となる）ので、ソース電極８及びドレイン電極９の少なくとも一方の電極を、基板１の表面に射影した位置にてポリシリコン層５に重ならないようすることが容易となる。また、チャネル領域のゲート絶縁膜３は、エッチングに

曝されないので、ＴＦＴ特性の悪化を抑制することができる。

[0040] また、第２のアモルファスシリコン層６は、ソース電極８及びドレイン電極９とチャネル領域とが直接接触しないようにするためのもので、漏れ電流（リーク電流）が小さい特性を用いている。従って、チャネル領域としてポリシリコン層５を用いることにより、駆動回路用のＴＦＴの動作速度を速くするとともに、ポリシリコン層５とソース電極８及びドレイン電極９との間に第２のアモルファスシリコン層６を設けることにより、漏れ電流の低減を図っている。

[0041] 図２は本実施の形態の薄膜トランジスタ１００の構造の第１実施例を示す要部平面模式図である。図２では、説明の便宜上、第１のアモルファスシリコン層４、ポリシリコン層５、ソース電極８及びドレイン電極９の平面視における位置関係を示す。図２に示すように、ポリシリコン層５の周囲には第１のアモルファスシリコン層４が形成されてある。また、図示していないが、ポリシリコン層５及び第１のアモルファスシリコン層４の表面には、第１のアモルファスシリコン層４の寸法（縦横寸法）と略同寸法を有する第２のアモルファスシリコン層６を形成してある。

[0042] 第１実施例において薄膜トランジスタ１００は、ソース電極８及びドレイン電極９並びにポリシリコン層５（チャネル領域）をガラス基板１の表面に射影した位置（以下、射影位置と言う）が重ならないように構成されてある。より詳しくは、ソース電極８、ドレイン電極９、及びポリシリコン層５の積層方向からみて、ポリシリコン層５は、ソース電極８及びドレイン電極９から夫々約１μｍ離れている。これにより、ソース電極８及びドレイン電極９とポリシリコン層５との間の漏れ電流をさらに小さくすることができる。

[0043] また、本実施の形態に係る薄膜トランジスタ１００の製造方法においては、前記レーザーアニールの際、特定箇所をアブレーションさせて除去部を形成し、該除去部を薄膜トランジスタ１００の各層の構造間の位置合わせ（以下、アライメントと言う）に用いる。以下、詳しく説明する。

[0044] 図３は本実施の形態の薄膜トランジスタ１００の製造方法の一例を示す製

造工程図である。以下、本実施の形態の薄膜トランジスタ１００の製造工程について説明する。

[0045] まず、成膜及びパターニングを行うことにより、ガラス基板１上にゲート電極２を形成する（Ｓ１１）。この際、前記アライメントに用いられるアライメントマーク（図示せず）が、ゲート電極２用の金属に形成される。

[0046] 次いで、ゲート電極２を覆ってガラス基板１の表面にゲート絶縁膜３を形成する（Ｓ１２）。そして、ゲート絶縁膜３が形成されたガラス基板１の表面に第１のアモルファスシリコン層としてのａ－Ｓｉ膜４を形成する（Ｓ１３）。この後、ａ－Ｓｉ膜４をレーザーアニールするために、脱水素アニール処理を行い（Ｓ１４）、レーザー前洗浄を行う（Ｓ１５）。

[0047] また、前記アライメントマークを用いて部分照射型レーザーによるａ－Ｓｉ膜４の部分的結晶化、及び、後述する除去部の形成を共に行う（Ｓ１６）。

[0048] 前記結晶化の工程は、アニール工程（レーザーアニール工程とも称する）であり、例えば、ａ－Ｓｉ膜４の所要箇所にマルチレンズアレイを介してエネルギービームを照射して当該所要箇所をポリシリコン層（ｐｏｌｙ－Ｓｉ膜）５に変化させる。所要箇所は、前記アライメントマークの位置に基づいて定められ、ゲート電極２の上側にあり、ソース・ドレイン間のチャネル領域である。エネルギービームは、例えば、アモルファスシリコン層（ａ－Ｓｉ膜）の吸収の大きい紫外光のエキシマレーザー、あるいはグリーン波長以下の固体レーザーを用いることができる。

[0049] 図４は本実施の形態の部分照射型レーザーの構成の一例を示す模式図である。図４に示すように、ａ－Ｓｉ膜４が表面に形成されたガラス基板１は不図示の載置台に載置され、図４中の矢印の方向に所要の速度で平行移動するようにしてある。ガラス基板１の上方には、ガラス基板１の移動方向と交差する方向に沿って個々のレンズが適長離隔して並んだマルチレンズアレイを配置してある。レーザー光源（不図示）からのレーザー光をマルチレンズアレイへ入射することにより、レーザー光は、レンズ毎に異なる光路を経由し

て離隔した複数の所要箇所に対して部分照射される。すなわち、部分レーザーアニールを行うことができる。これにより、ａ－Ｓｉ膜４のうち、チャネル領域にすべき領域だけを選択的にポリシリコン層（ｐｏｌｙ－Ｓｉ膜）５に変化させる。

[0050] このようなレーザーアニール工程の際、前記除去部の形成も行われる。図５は本実施の形態の薄膜トランジスタ１００の製造方法において、除去部２０の形成を説明する説明図である。除去部２０の形成には、例えば、ハーフトーンマスクが用いられる。該ハーフトーンマスクは、レーザー光の透過部及び遮光部の他に、前記透過部の光透過率及び遮光部の透過率と異なる、例えば、半透過部を備えたマスクである。このようなハーフトーンマスクを用いることにより、１回の露光でもａ－Ｓｉ膜４における露光量を異にすることができる。すなわち、同じ強度のレーザー光を用いて、部分的にレーザー光の強度を増減させることができるので、ａ－Ｓｉ膜４の結晶化と共に、ａ－Ｓｉ膜４のアブレーションも可能である。このようａ－Ｓｉ膜４のアブレーションによって斯かる箇所には除去部２０が形成される。

[0051] 次に、成膜前洗浄を行い（Ｓ１７）、アニール工程により多結晶状態となったポリシリコン層５を覆って第２のアモルファスシリコン層としてのａ－Ｓｉ膜６を形成する（Ｓ１８）。また、ａ－Ｓｉ膜６の表面にｎ＋Ｓｉ膜（ｎ＋シリコン層）７を形成する（Ｓ１９）。ｎ＋Ｓｉ膜７は、ソース電極８及びドレイン電極９とのコンタクト層であり、リン又はヒ素などの不純物濃度が高い半導体層である。

[0052] 次に、露光処理、現像処理を行い（Ｓ２０）、ｎ＋Ｓｉ膜（ｎ＋シリコン層）７に所要のパターンを形成する。所要のパターンは、ソース電極８、ドレイン電極９及び半導体層の配置又は構造に応じて適宜定めることができる。そして、半導体層を所要の構造とするために、ａ－Ｓｉ膜４、６及びｎ＋Ｓｉ膜７をエッチングする（Ｓ２１）。

[0053] この後、エッチング後のｎ＋Ｓｉ膜７上に、例えば、スパッタリング、蒸着法等によって、ソース電極８及びドレイン電極９用の金属層Ｍが形成され

、この際、金属層Ｍのうち、下側の除去部２０に対応する位置に、除去部２０に倣う形状の窪みが形成される（Ｓ２２）。

[0054] 図６は本実施の形態の薄膜トランジスタ１００の製造方法において、窪み２１の形成を説明する説明図である。図５及び図６に示したように、除去部２０はレーザー光によってアブレーションされた凹部である。従って、エッチング後のｎ＋Ｓｉ膜７上に、すなわち除去部２０の上に金属層Ｍが形成された場合、除去部２０の上側には窪み２１が形成され、窪み２１は除去部２０の形状に沿う形状である。

[0055] すなわち、金属層Ｍの形成によって覆われることから除去部２０は認識されにくくなるが、金属層Ｍの除去部２０と対向する位置に窪み２１が形成され、除去部２０の位置及び形状が明確に認識可能である。

[0056] 以降、窪み２１をアライメントマークとして用い、金属層Ｍのパターニングにより、ソース電極８及びドレイン電極９を形成する（Ｓ２３）。

[0057] 図７は本実施の形態の薄膜トランジスタ１００の製造方法において、窪み２１の位置を説明する説明図である。以下、説明の便宜上、窪み２１（除去部２０）の形状が「十」字状である場合を例として説明するが、斯かる形状がこれに限るものでない。

[0058] 窪み２１は、ゲート電極２近傍であって、ゲート電極２と接続されたゲートバスラインＧＬ上に形成されている。より詳しくは、ソース電極８、ポリシリコン層５及びドレイン電極９の並設方向におけるポリシリコン層５の中心位置にて、該並設方向と交差する方向に延びる線上であって、前記ゲートバスラインＧＬ上の位置に形成されている。すなわち、窪み２１の位置（又は形状）は、ポリシリコン層５の位置を示している。

[0059] 従って、窪み２１をアライメントマークとして用い、ソース電極８及びドレイン電極９並びにポリシリコン層５の前記射影位置が互いに重ならないようにパターニング行うことが出来る。換言すれば、窪み２１の位置（又は形状）は、パターニングの位置を示している。

[0060] また、窪み２１（除去部２０）の形成位置は特に制限されるものでない。

例えば、ガラス基板１の隅又は縁であっても良い。かつ、窪み２１（除去部２０）の形成位置を、ゲート電極２、ソース電極８、ドレイン電極９、ポリシリコン層５等の近傍にした場合は、アライメントの精度を更に高めることが出来る。すなわち、ソースバスラインと重ならない限り、ゲートバスラインＧＬ上であっても良い。

[0061] 次に、比較例として従来のＴＦＴについて説明する。図８は従来の薄膜トランジスタの構造を示す要部断面模式図であり、図９は従来の薄膜トランジスタの構造を示す要部平面模式図である。従来の薄膜トランジスタは、ガラス基板１０１の表面にゲート電極１０２を形成してあり、ゲート電極１０２を覆ってゲート絶縁膜１０３を形成してある。ゲート絶縁膜１０３の表面であってゲート電極１０２の上側には、ポリシリコン層（ｐｏｌｙ－Ｓｉ膜）１０４を形成してある。

[0062] ポリシリコン層１０４を覆うようにしてアモルファスシリコン層（ａ－Ｓｉ膜）１０５を形成してある。アモルファスシリコン層１０５の表面の所要位置には、ｎ＋シリコン層（ｎ＋Ｓｉ膜）１０６を形成してある。ｎ＋シリコン層１０６の表面、アモルファスシリコン層１０５の側面、ゲート絶縁膜１０３の表面には、所要のパターンを有するソース電極１０７及びドレイン電極１０８を形成してある。

[0063] また、図９に示すように、チャネル領域であるポリシリコン層１０４、ソース電極１０７及びドレイン電極１０８をガラス基板の表面に射影したときに、ソース電極１０７及びドレイン電極１０８それぞれの一部とポリシリコン層１０４の一部とが重なる。

[0064] 図１０は従来の薄膜トランジスタの製造方法を示す製造工程図である。図１０に示すように、ガラス基板１０１上にゲート電極１０２を形成する（Ｓ１０１）。この際、アライメントマーク（図示せず）が、ゲート電極用の金属に形成される。次いで、ゲート電極１０２を覆ってガラス基板１０１の表面にゲート絶縁膜１０３を形成する（Ｓ１０２）。

[0065] ゲート絶縁膜１０３が形成されたガラス基板１０１の表面にａ－Ｓｉ膜を

形成する（Ｓ１０３）。ａ－Ｓｉ膜をレーザーアニールするために、脱水素アニール処理を行い（Ｓ１０４）、レーザー前洗浄を行う（Ｓ１０５）。

[0066] 次に、全面照射型レーザーによるａ－Ｓｉ膜の結晶化を行う（Ｓ１０６）。

[0067] 図１１は従来の全面照射型レーザーの構成の一例を示す模式図である。図１１に示すように、ａ－Ｓｉ膜が表面に形成されたガラス基板１０１は不図示の載置台に載置され、図１１中の矢印の方向に所要の速度で平行移動するようにしてある。ガラス基板１０１の上方には、ガラス基板１０１の幅方向（平行移動の方向と交差する方向）と略同寸法の長さを有するミラーを配置してある。レーザー光源（不図示）からのレーザー光をミラーへ入射することにより、レーザー光は、ガラス基板１０１表面の全面に照射される。これにより、ａ－Ｓｉ膜がすべてポリシリコン層（ｐｏｌｙ－Ｓｉ膜）に変化する。

[0068] 次に、ガラス基板１０１表面の全体に形成されたポリシリコン層（ｐｏｌｙ－Ｓｉ膜）に対して露光処理及び現像処理を行い（Ｓ１０７）、更に、前記アライメントマークを用いて所要の形状にエッチング処理を行う（Ｓ１０８）。これにより、チャネル領域としてのポリシリコン層１０４を形成する。

[0069] 次に、成膜前洗浄を行い（Ｓ１０９）、ポリシリコン層１０４を覆ってａ－Ｓｉ膜１０５を形成する（Ｓ１１０）。ａ－Ｓｉ膜１０５の表面にｎ＋Ｓｉ膜（ｎ＋シリコン層）１０６を形成する（Ｓ１１１）。

[0070] 次に、露光処理、現像処理を行い（Ｓ１１２）、半導体層を所要の構造とするために、ａ－Ｓｉ膜１０５及びｎ＋Ｓｉ膜１０６をエッチングする（Ｓ１１３）。また、エッチング後のｎ＋Ｓｉ膜７上に、ソース電極１０７及びドレイン電極１０８用の金属層を形成する（Ｓ１１４）。

[0071] 以降、前記アライメントマークを用い、斯かる金属層のパターニングにより、ソース電極１０７及びドレイン電極１０８を形成する（Ｓ１１５）。

[0072] 上述したように、従来の薄膜トランジスタの製造方法においては、ゲート

電極用の金属に形成されたアライメントマークに基づいて、チャネル領域の形成の処理（Ｓ１０８）と、ソース電極及びドレイン電極の形成の処理（Ｓ１１５）とが行われていた。また、通常、各処理において、アライメントマークに基づくアライメントの際、約１～２μｍ程度のズレが生じる。更に、アライメントマークの形成が斯かる製造方法の初期工程（ゲート電極の形成工程）で行われていたため、以降、複数の層が形成された後、ソース電極及びドレイン電極の形成処理では、斯かるアライメントマークが複数の層によって覆われて認識されにくくなっていた。

[0073] しかも、従来の製造方法においては、同一のアライメントマークを基準として用い、２つの処理が行われるので、ズレが重なって発生し、すなわち、１～４μｍのズレが生じ得る。

[0074] これに対して、図３に示した本実施の形態に係る薄膜トランジスタの製造方法においては、Ｓ１６の際、従来と同様、アライメントマークを用いて結晶化によるチャネル領域の形成の処理が行われる。

[0075] しかし、ソース電極及びドレイン電極の形成の処理（Ｓ２３）の際には、窪み２１（除去部２０）を用いて行われる。上述したように、窪み２１はポリシリコン層５の位置を示しており、かつ、明確に認識できるので、ソース電極及びドレイン電極の形成の処理にズレが生じない。従って、チャネル領域の形成の場合のみズレが生じることになるので、薄膜トランジスタの製造工程全体としてはズレを減らすことができる。

[0076] 更に、図１０に示すように、従来においては、基板表面の全体に形成されたアモルファスシリコン層に対してエネルギービーム（例えば、レーザー）を基板全面に照射してポリシリコン層に変化させた後、ポリシリコン層に対して露光、現像及びエッチング処理の各工程を行ってチャネル領域を形成していた。これに比べて、本実施の形態の製造方法によれば、基板全面にエネルギービーム（例えば、レーザー）を照射するのではなく、第１アモルファスシリコン層のうち、チャネル領域となる領域だけにエネルギービームを部分的に照射するので、アニール工程だけでチャネル領域を形成することがで

きる。このため、チャネル領域を形成するための露光、現像及びエッチング処理の各工程（図１０で示すステップＳ１０７及びＳ１０８の工程）が不要となり、従来の製造方法に比べて製造工程を短縮することができる。

[0077] かつ、本実施の形態の薄膜トランジスタは、表示パネルに用いることができる。すなわち、本実施の形態の薄膜トランジスタ（ＴＦＴ基板）と、Ｒ（赤）、Ｇ（緑）、Ｂ（青）の色を有するカラーフィルタ基板とを所要の隙間を設けて貼り合わせ、ＴＦＴ基板とカラーフィルタ基板との間に液晶を注入することにより、ＴＦＴ方式の液晶表示パネル（液晶ディスプレイ）を製造することができる。これにより、製造工程を短縮することができる表示パネルを提供することができる。

[0078] しかし、上述した従来の製造方法の場合は、ガラス基板の全面にレーザー光を照射する構成であるため、例えば、第６世代より大きい基板サイズに対して、レーザー光を均一に照射することができるレーザー発信源がなく基板面内で結晶性が異なり特性分布にムラが生じ、品質不良となるという課題がある。

[0079] これに対して、本実施の形態の場合には、基板全体ではなく、基板上の必要な箇所だけを照射すればよいので、基板サイズが大きくなっても（例えば、第１０世代）、ポリシリコン層の結晶性が異なり特性分布にムラが生じるという課題を改善することができる。また、図４に示すようなマルチレンズアレイを用いたレーザーアニールでは、チャネル領域の線幅の制御が従来の露光、現像及びエッチング工程による場合に比べて容易になり、薄膜トランジスタの製造が容易になる。

[0080] また、本実施の形態に係るアニール工程は、ソース電極８及びドレイン電極９、並びに、チャネル領域をガラス基板１の表面に射影した位置が重ならないように所要箇所にエネルギービームを照射する。これによって、漏れ電流を小さくすることができる。更に、チャネル領域であるポリシリコン層５を覆って第２アモルファスシリコン層６を形成してあり、第２アモルファスシリコン層６の上側にｎ＋シリコン層７を介してソース電極８及びドレイン

電極９を形成してある。すなわち、第２アモルファスシリコン層６は、ソース電極８及びドレイン電極９とチャネル領域とが直接接触しないようにするためのもので、一層漏れ電流（リーク電流）が小さくなる特性を用いている。

[0081] 図１２は本実施の形態の薄膜トランジスタ１００の構造の第２実施例を示す要部断面模式図であり、図１３は本実施の形態の薄膜トランジスタ１００の構造の第２実施例を示す要部平面模式図である。図１２及び図１３に示すように、第２実施例では、チャネル領域としてのポリシリコン層５が、第１実施例の場合に比べて、ソース電極８側寄りに位置している。すなわち、図１３に示すように、ドレイン電極９及びポリシリコン層５をガラス基板１の表面に射影した位置が重ならないようにしてある。これにより、ドレイン電極９とポリシリコン層５との間の漏れ電流をさらに小さくすることができる。

[0082] 図１４は本実施の形態の薄膜トランジスタ１００の構造の第３実施例を示す要部断面模式図であり、図１５は本実施の形態の薄膜トランジスタ１００の構造の第３実施例を示す要部平面模式図である。図１４及び図１５に示すように、第２実施例では、チャネル領域としてのポリシリコン層５が、第１実施例の場合に比べて、ドレイン電極９側寄りに位置している。すなわち、図８に示すように、ソース電極８及びポリシリコン層５をガラス基板１の表面に射影した位置が重ならないようにしてある。これにより、ソース電極８とポリシリコン層５との間の漏れ電流をさらに小さくすることができる。

[0083] 上述のように、ソース電極８及びドレイン電極９の少なくとも一方の電極及びポリシリコン層５をガラス基板１の表面に射影した位置が重ならないようにすることで、漏れ電流を小さくすることができる。

[0084] 図１６は本実施の形態の薄膜トランジスタ１００のＶｇ－Ｉｄ特性の一例を示す説明図である。図１６において、横軸はＶｇ（ゲート電圧）を示し、縦軸はＩｄ（ドレイン電流）を示す。また、図１６中符号Ａで示す曲線は、図８及び図９で示すような従来のＴＦＴであって、チャネル領域をポリシリ

コン層とし、ソース電極、ドレイン電極及びポリシリコン層をガラス基板の表面に射影したときに、ソース電極及びドレイン電極それぞれの一部とポリシリコン層の一部とが重なる場合に特性を示す。図１６中符号Ｂで示す曲線は、チャネル領域をアモルファスシリコン層で構成した従来のＴＦＴの特性を示す。図中符号Ｃで示す極性は、本実施の形態の第２実施例の場合の特性を示す。

[0085] 図１６に示すように、ソース電極及びドレイン電極それぞれの一部とポリシリコン層の一部とが重なる構造のＴＦＴ（符号Ａの曲線）は、チャネル領域をアモルファスシリコン層で構成したＴＦＴ（符号Ｂの曲線）に対して、チャネル領域の電子移動度を大きくすることができるのでオン状態でのドレイン電流を大きくすることができるが、オフ状態での漏れ電流が大きくなってしまう。

[0086] 一方、本実施の形態のＴＦＴ（符号Ｃの曲線）は、オン状態でのドレイン電流は、チャネル領域をアモルファスシリコン層で構成したＴＦＴ（符号Ｂの曲線）の場合よりも大きくすることができ、かつオフ状態での漏れ電流は、チャネル領域をアモルファスシリコン層で構成したＴＦＴ（符号Ｂの曲線）の場合と同程度に小さくすることができる。

符号の説明

[0087] １　ガラス基板（基板）

２　ゲート電極

３　ゲート絶縁膜

４　第１のアモルファスシリコン層

５　ポリシリコン層

６　第２のアモルファスシリコン層

７　ｎ＋シリコン層

８　ソース電極

９　ドレイン電極

２０　除去部

２１　窪み

Ｍ　金属層

ＧＬ　ゲートバスライン

請求の範囲

[請求項1] 薄膜トランジスタの製造方法において、

基板の表面にゲート電極を形成する工程と、

ゲート電極が形成された前記基板の表面に絶縁膜を形成する工程と、

絶縁膜が形成された前記基板の表面に第１アモルファスシリコン層を形成する工程と、

前記第１アモルファスシリコン層の離隔した複数の所要箇所にエネルギービームを照射して前記所要箇所をポリシリコン層に変化させるアニール工程と、

該アニール工程の際、前記複数の所要箇所に対応付けた他の箇所にエネルギービームを照射して該他の箇所に所要形状の除去部を形成する除去部形成工程と、

前記ポリシリコン層を覆って第２アモルファスシリコン層を形成する工程と、

前記第２アモルファスシリコン層の表面にｎ＋シリコン層を形成する工程と、

前記ｎ＋シリコン層に所要のパターンを形成する工程と、

前記第１アモルファスシリコン層、第２アモルファスシリコン層及びｎ＋シリコン層をエッチングする工程と、

エッチング後の前記ｎ＋シリコン層上に金属層を形成する工程と、

前記金属層の形成の際、前記除去部により形成される窪みの位置に基づいてソース電極及びドレイン電極を形成する工程と

を含むことを特徴とする薄膜トランジスタの製造方法。

[請求項2] 前記アニール工程及び除去部形成工程は、透光率の異なる複数の透光部を有するハーフトーンマスクを用いて共に行われることを特徴とする薄膜トランジスタの製造方法。

[請求項3] 前記窪みは複数であり、前記複数の所要箇所近傍であって、前記ゲ

ート電極と接続されるゲートバスライン上に形成されることを特徴とする薄膜トランジスタの製造方法。

[請求項4] 薄膜トランジスタにおいて、

基板の表面に形成されたゲート電極と、

前記ゲート電極の上側に形成されたポリシリコン層と、

前記ポリシリコン層の上側に形成されたアモルファスシリコン層及びｎ＋シリコン層と、

前記ｎ＋シリコン層上に形成された金属層のパターニングにより形成されたソース電極及びドレイン電極と、

前記金属層に形成され、前記パターニングに係る位置を表す窪みとを備えることを特徴とする薄膜トランジスタ。

[請求項5] 前記窪みは前記ゲート電極近傍であって、該ゲート電極と接続されるゲートバスライン上に形成されていることを特徴とする請求項４に記載の薄膜トランジスタ。

[請求項6] 前記アモルファスシリコン層は、

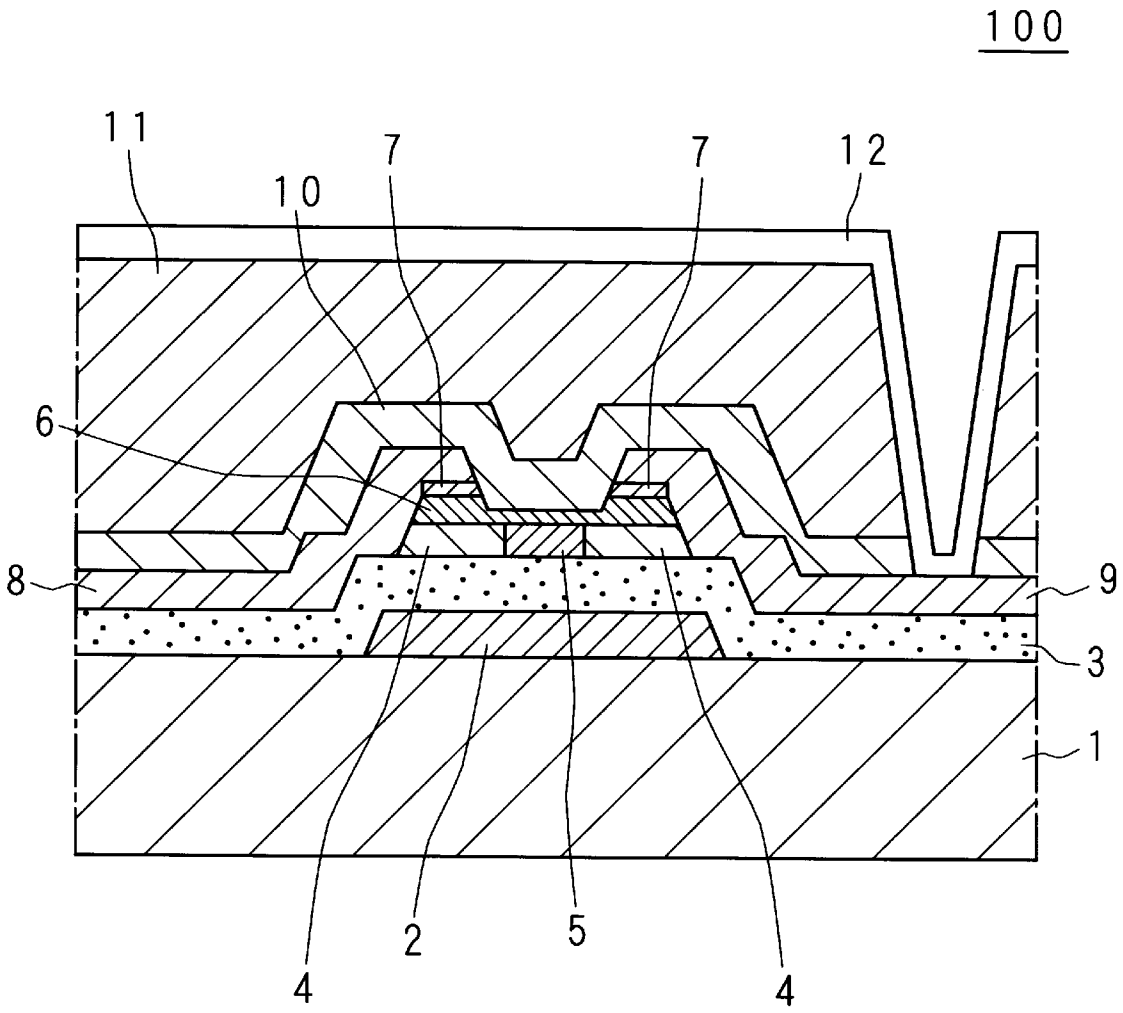
前記ポリシリコン層の周囲に形成され、該ポリシリコン層の厚みと同程度の厚みを有する第１のアモルファスシリコン層と、

前記ポリシリコン層及び第１のアモルファスシリコン層の表面に形成された第２のアモルファスシリコン層と

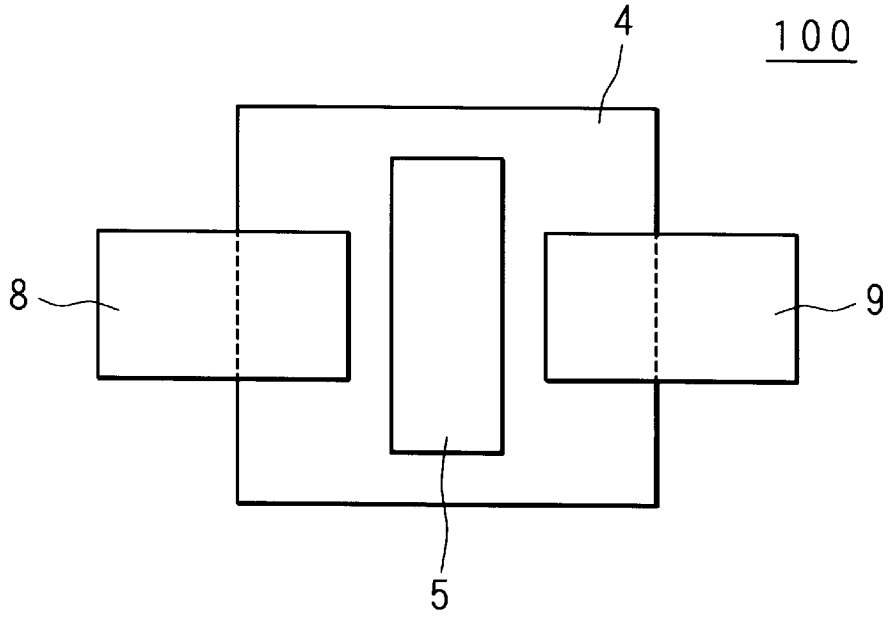
を有することを特徴とする請求項４又は請求項５に記載の薄膜トランジスタ。

[請求項7] 請求項４から請求項６までのいずれか１項に記載の薄膜トランジスタを備えることを特徴とする表示パネル。

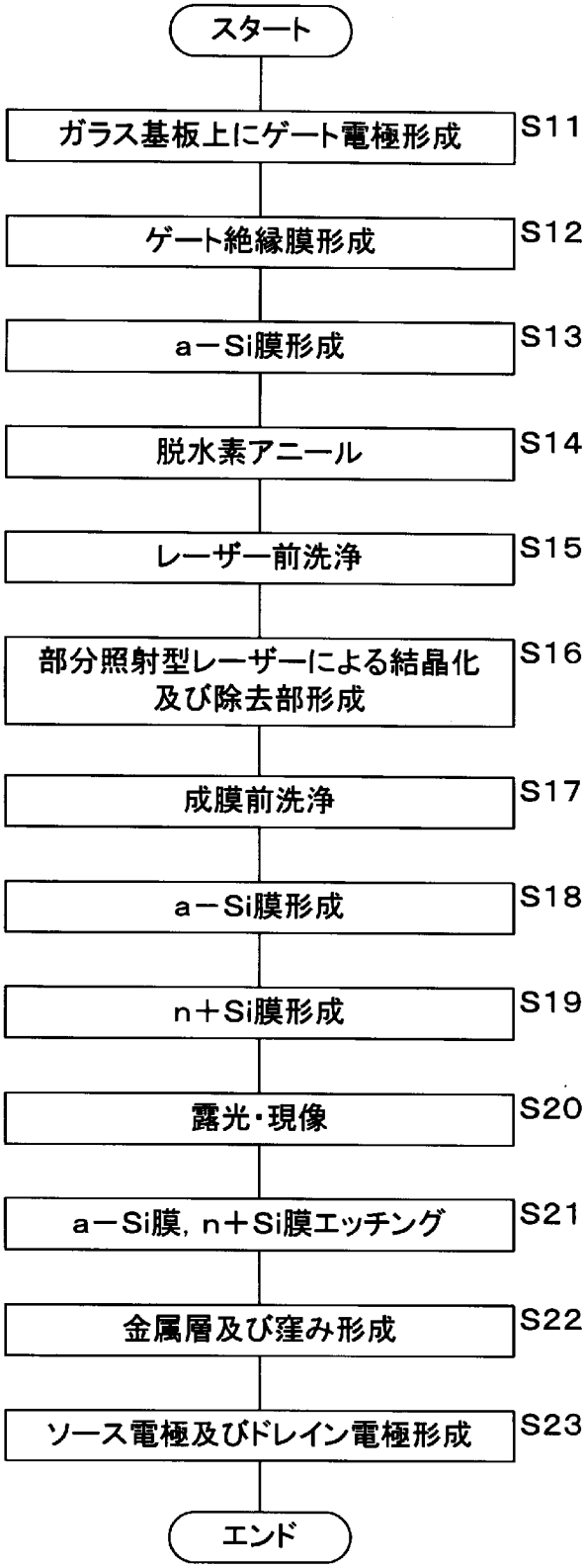
[図1]



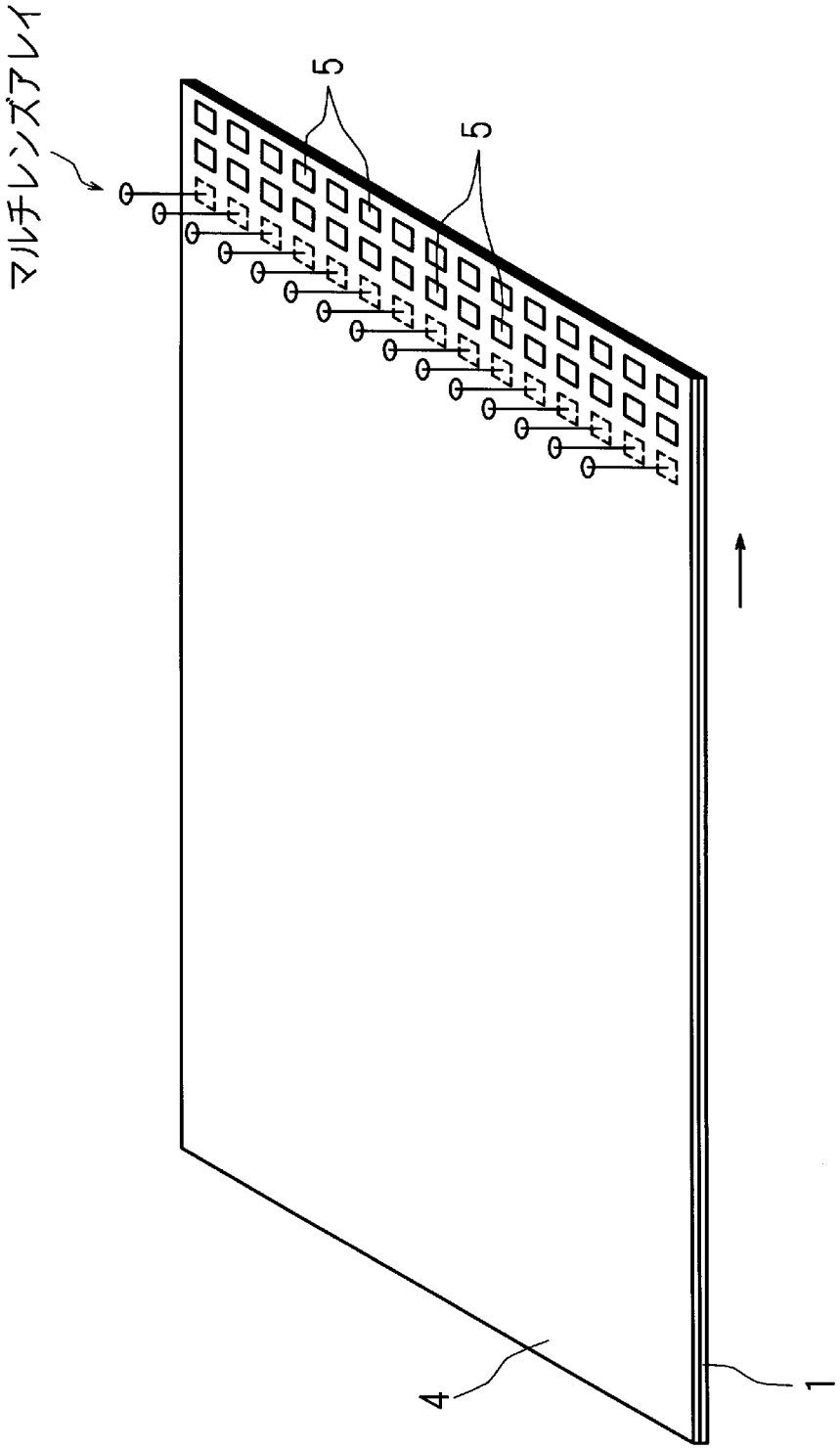
[図2]



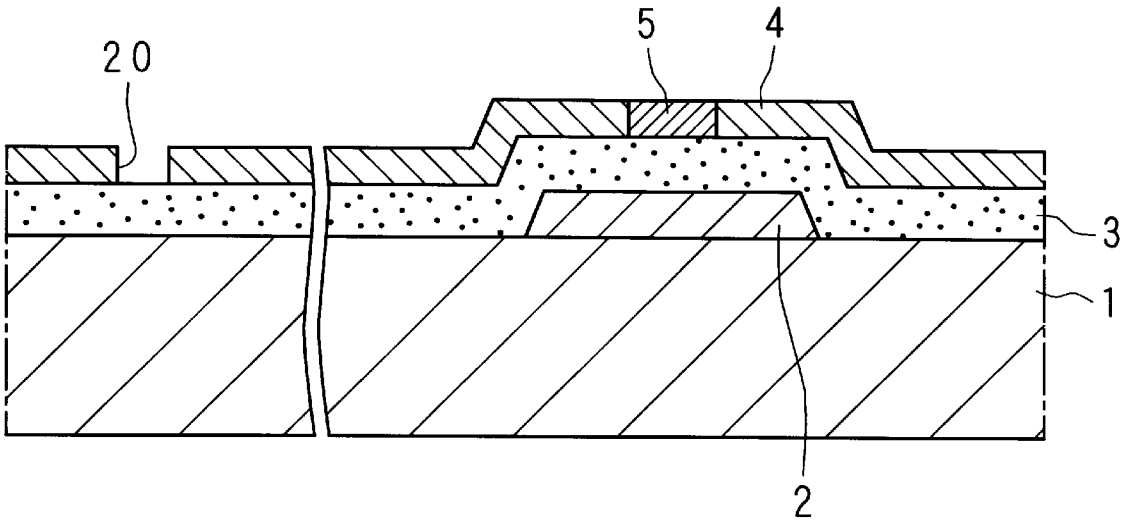
[図3]


スタート
ガラス基板上にゲート電極形成
S11
ゲート絶縁膜形成
S12
a－Si膜形成
S13
脱水素アニール
S14
レーザー前洗浄
S15
部分照射型レーザーによる結晶化
及び除去部形成
S16
成膜前洗浄
S17
a－Si膜形成
S18
n＋Si膜形成
S19
露光・現像
S20
a－Si膜，n＋Si膜エッチング
S21
金属層及び窪み形成
S22
ソース電極及びドレイン電極形成
S23
エンド

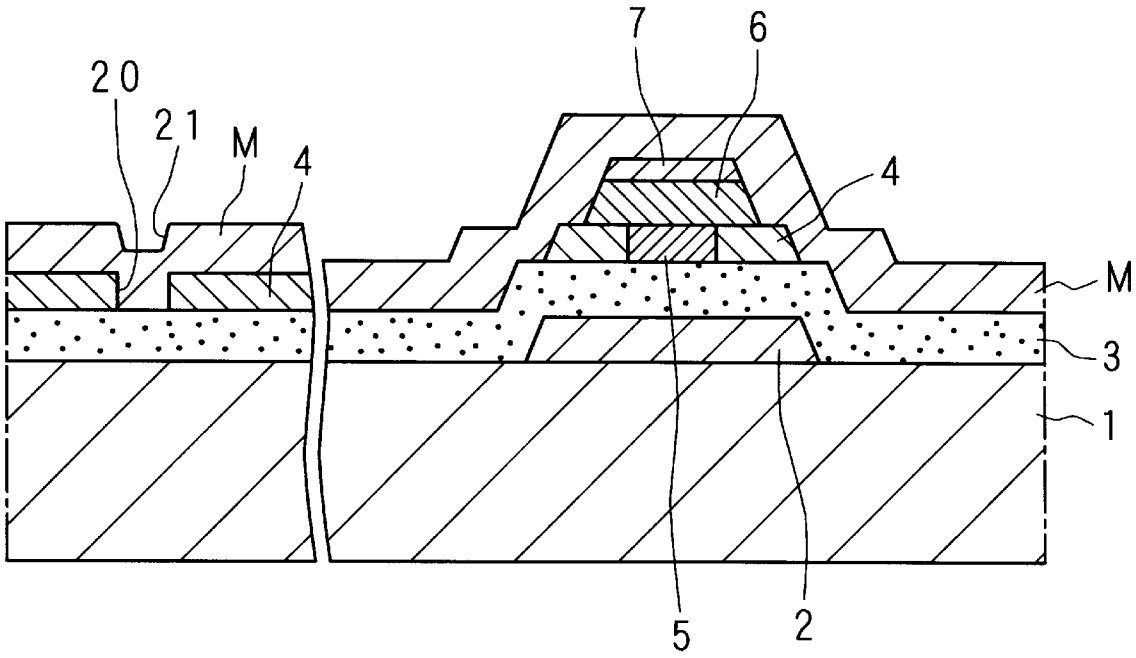
[図4]



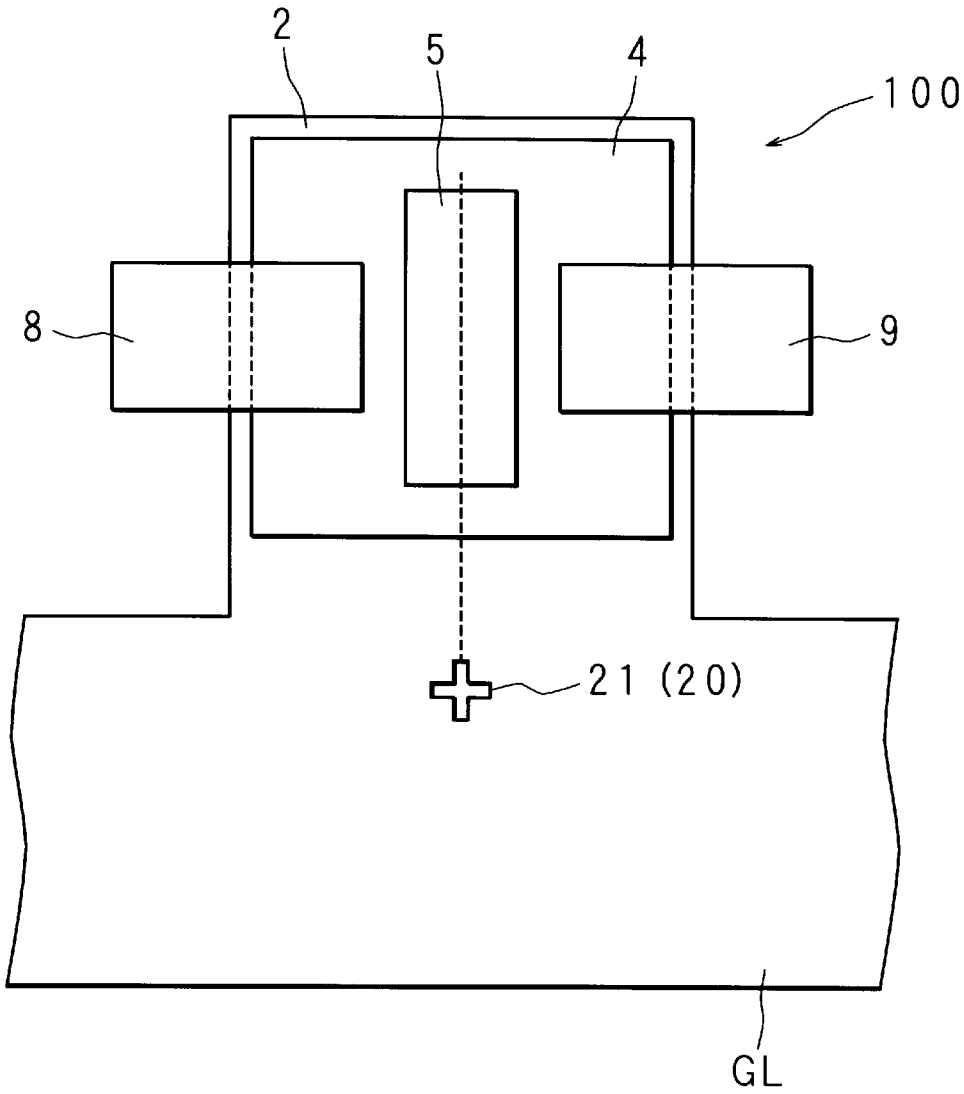
[図5]



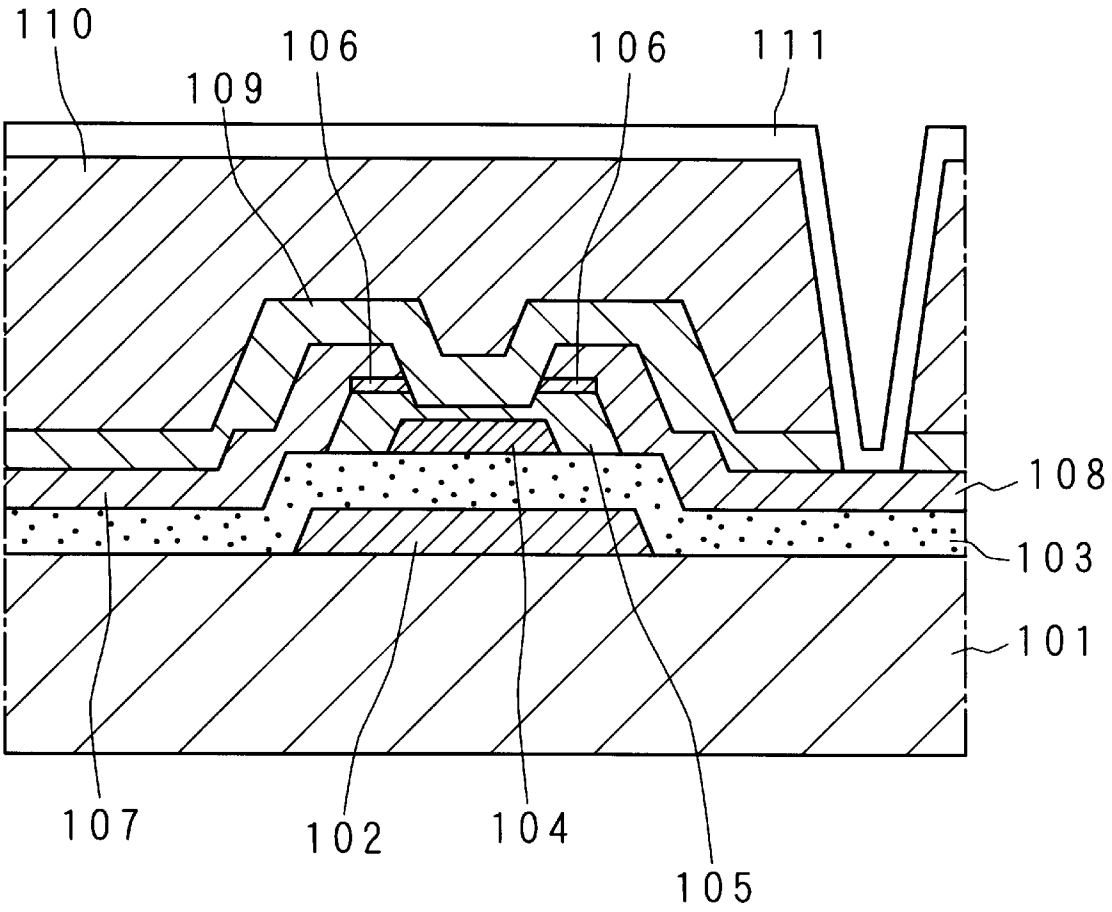
[図6]



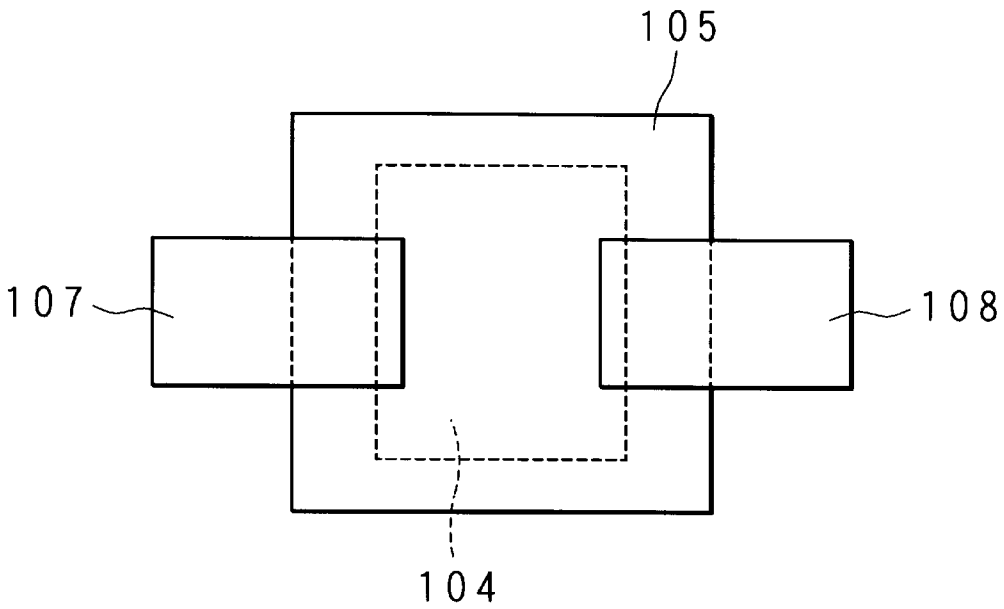
[図7]



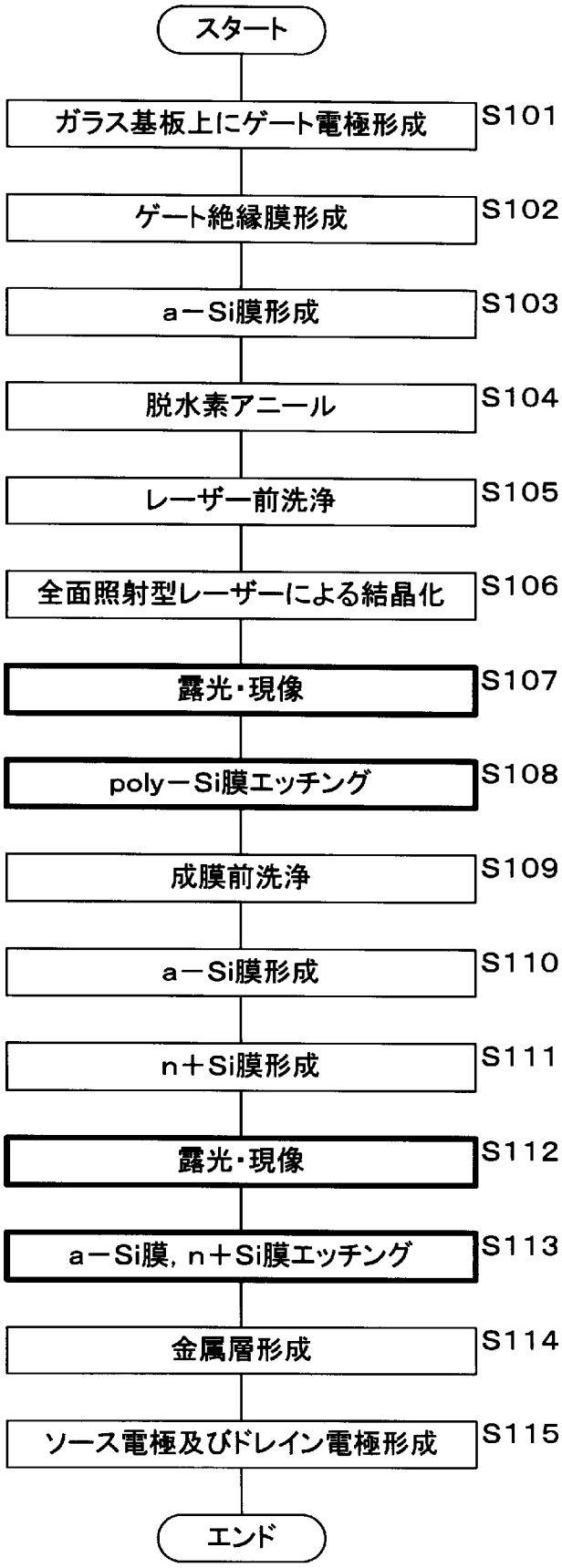
[図8]



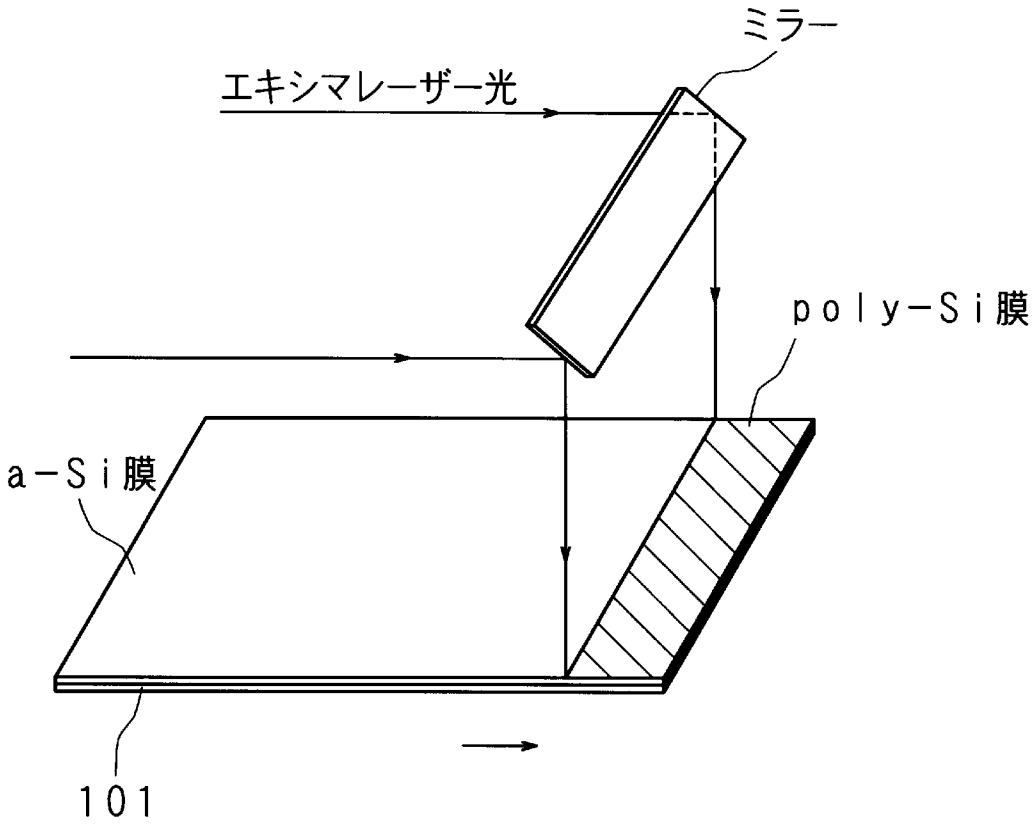
[図9]



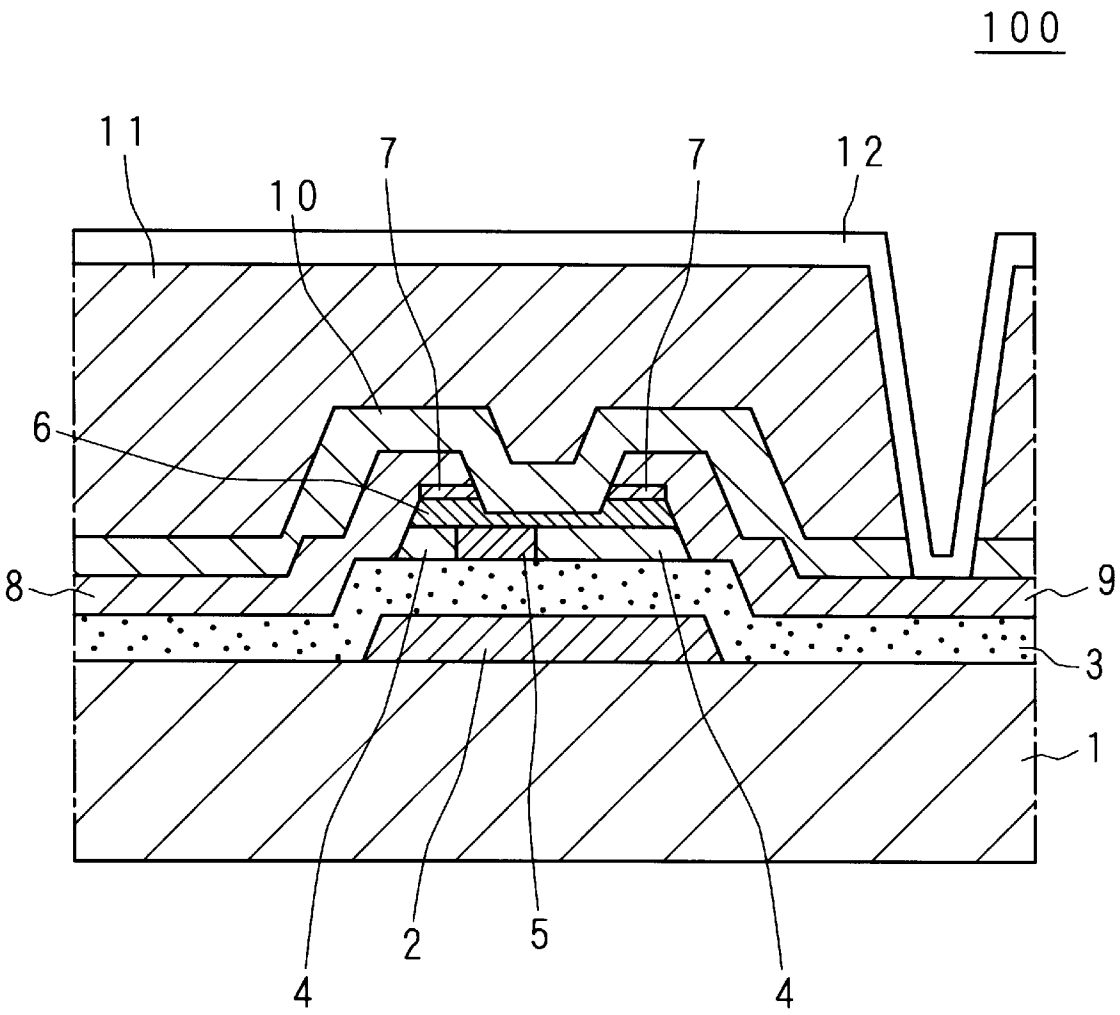
[図10]


スタート
ガラス基板上にゲート電極形成
S101
ゲート絶縁膜形成
S102
a－Si膜形成
S103
脱水素アニール
S104
レーザー前洗浄
S105
全面照射型レーザーによる結晶化
S106
露光・現像
S107
poly－Si膜エッチング
S108
成膜前洗浄
S109
a－Si膜形成
S110
n＋Si膜形成
S111
露光・現像
S112
a－Si膜，n＋Si膜エッチング
S113
金属層形成
S114
ソース電極及びドレイン電極形成
S115
エンド

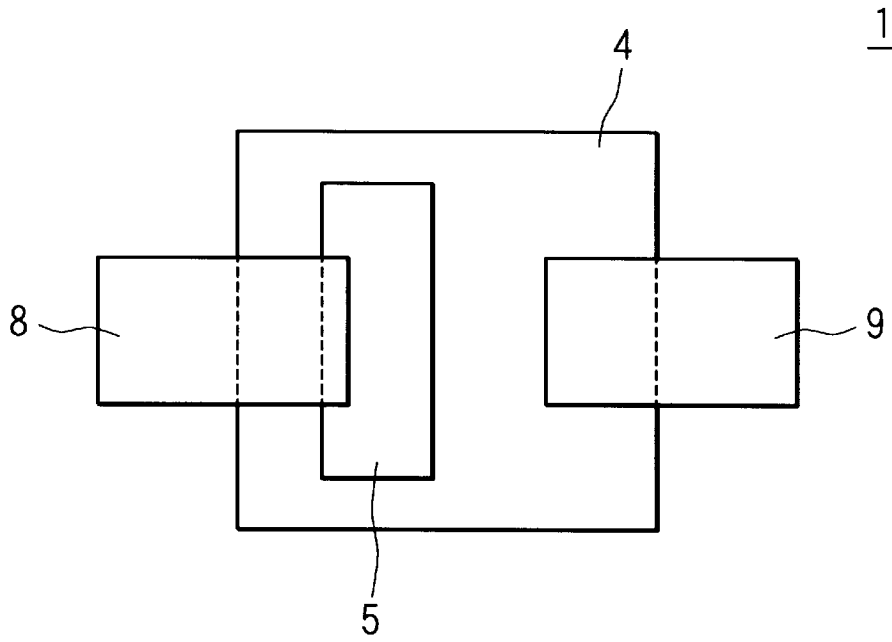
[図11]



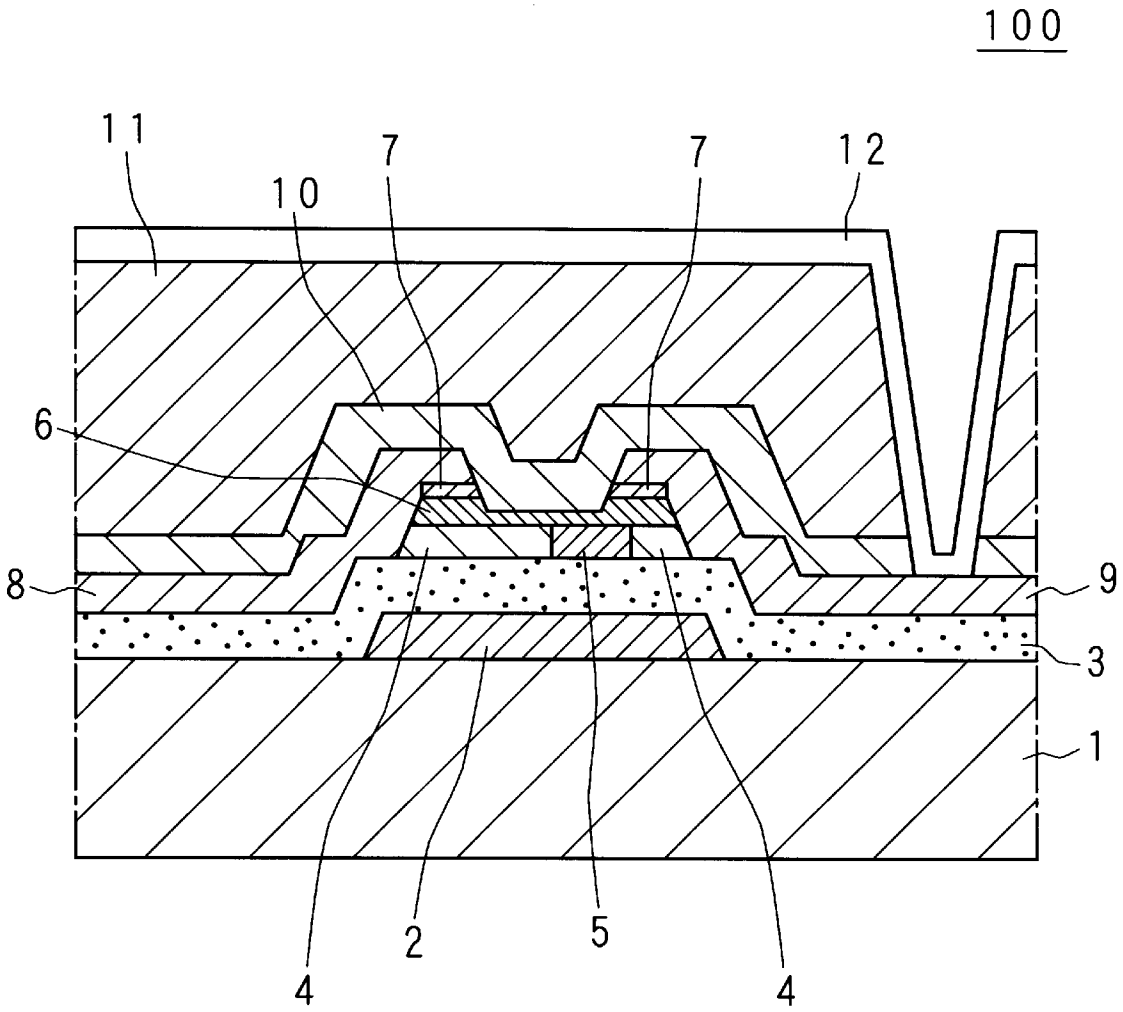
[図12]



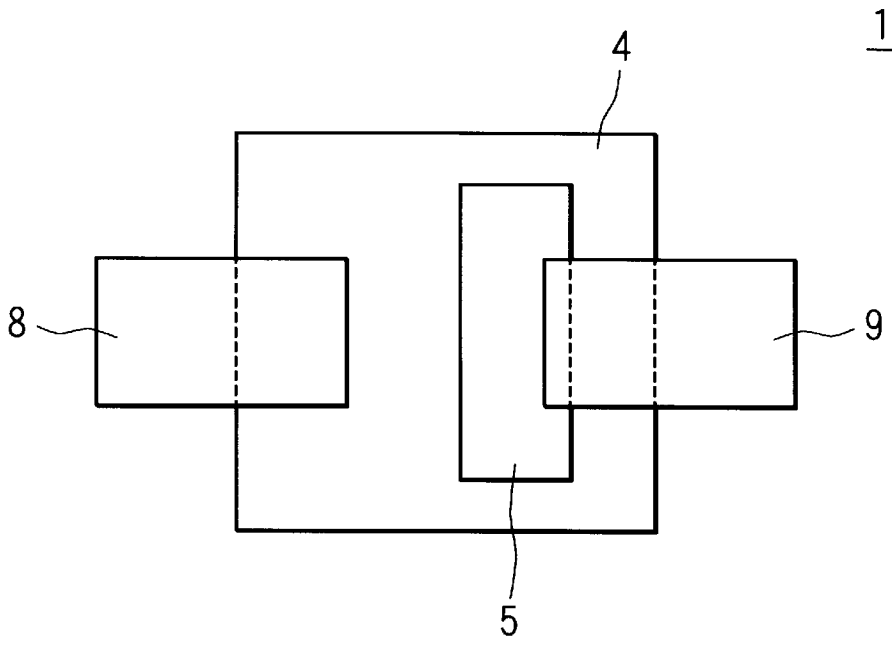
[図13]



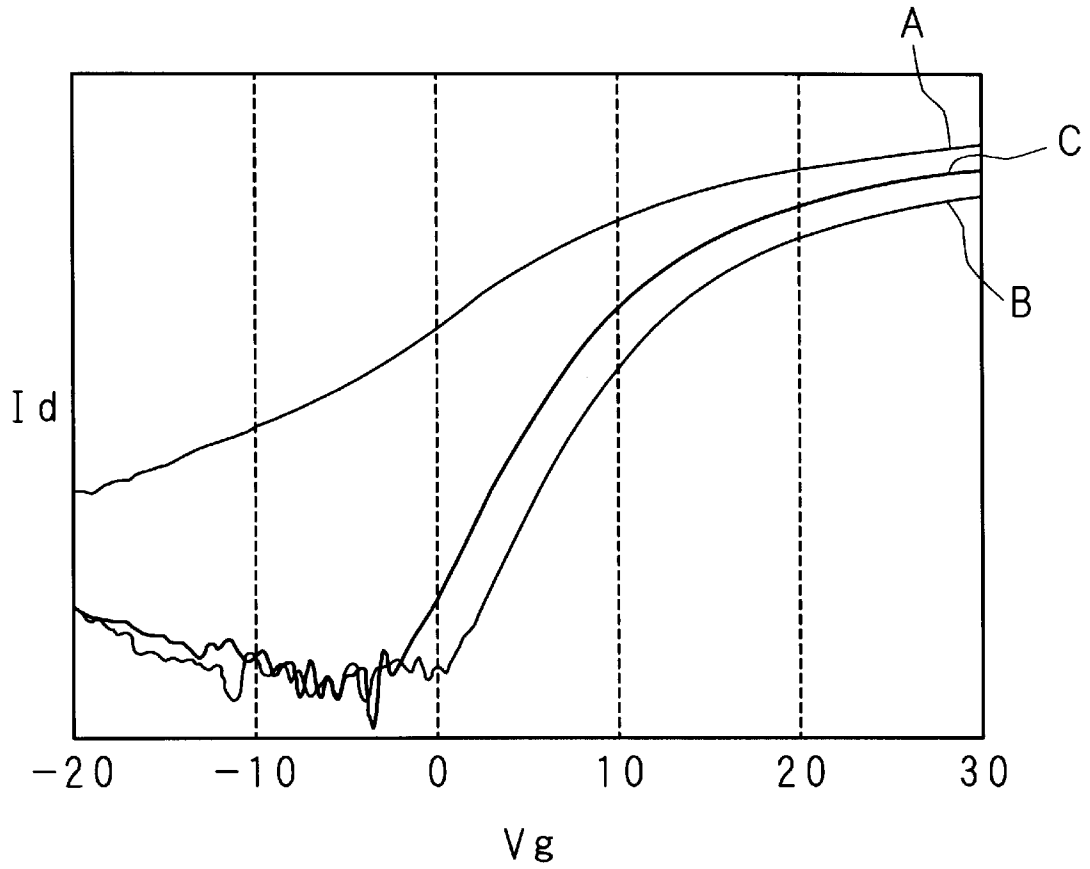
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/061991

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/336(2006.01)i, *H01L21/20*(2006.01)i, *H01L29/786*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/336, H01L21/20, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2011-29411 A (V Technology Co., Ltd.), 10 February 2011 (10.02.2011), paragraphs [0019] to [0031]; fig. 1 to 6 & WO 2011/010611 A1 & TW 201115742 A1 & KR 10-2012-0033353 A & CN 102576733 A	1,3-7 2
Y A	JP 2005-51208 A (Advanced LCD Technologies Development Center Co., Ltd.), 24 February 2005 (24.02.2005), paragraphs [0079] to [0088]; fig. 42 to 45 & US 2005/0012228 A1 & KR 10-2005-0009188 A & CN 1577895 A	1,3-7 2

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
11 June 2015 (11.06.15)	23 June 2015 (23.06.15)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/061991

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2011-3778 A (Panasonic Liquid Crystal Display Co., Ltd.), 06 January 2011 (06.01.2011), paragraphs [0019] to [0027]; fig. 1 to 8 & US 2010/0320468 A1	3,5
A	JP 2006-114859 A (Seiko Epson Corp.), 27 April 2006 (27.04.2006), entire text; all drawings & US 2005/0161836 A1 & EP 1557882 A2 & KR 10-2005-0076596 A & CN 1645562 A & TW 200525592 A	1-7

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１５／０６１９９１

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/336(2006.01)i, H01L21/20(2006.01)i, H01L29/786(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/336, H01L21/20, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１５年
日本国実用新案登録公報	１９９６－２０１５年
日本国登録実用新案公報	１９９４－２０１５年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2011-29411 A (株式会社ブイ・テクノロジー) 2011.02.10, 段落[0019]-[0031], 図 1-6 & WO 2011/010611 A1	1,3-7
A	& TW 201115742 A1 & KR 10-2012-0033353 A & CN 102576733 A	2
Y	JP 2005-51208 A (株式会社　液晶先端技術開発センター) 2005.02.24, 段落[0079]-[0088], 図 42-45	1,3-7
A	& US 2005/0012228 A1 & KR 10-2005-0009188 A & CN 1577895 A	2

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１１．０６．２０１５	２３．０６．２０１５

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　４０５４
竹口　泰裕
電話番号　０３－３５８１－１１０１　内線　３５１６

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2011-3778 A (パナソニック液晶ディスプレイ株式会社) 2011.01.06, 段落[0019]-[0027], 図 1-8 & US 2010/0320468 A1	3,5
A	JP 2006-114859 A (セイコーエプソン株式会社) 2006.04.27, 全文, 全図 & US 2005/0161836 A1 & EP 1557882 A2 & KR 10-2005-0076596 A & CN 1645562 A & TW 200525592 A	1-7