



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2017년05월02일
 (11) 등록번호 10-1732301
 (24) 등록일자 2017년04월25일

- (51) 국제특허분류(Int. Cl.)
HO4N 5/335 (2011.01) *HO1L 27/146* (2006.01)
HO4N 5/357 (2011.01) *HO4N 5/374* (2011.01)
- (52) CPC특허분류
HO4N 5/335 (2013.01)
HO1L 27/146 (2013.01)
- (21) 출원번호 10-2015-7032272
- (22) 출원일자(국제) 2014년04월25일
 심사청구일자 2015년11월11일
- (85) 번역문제출일자 2015년11월11일
- (65) 공개번호 10-2015-0140385
- (43) 공개일자 2015년12월15일
- (86) 국제출원번호 PCT/JP2014/002335
- (87) 국제공개번호 WO 2014/178179
 국제공개일자 2014년11월06일
- (30) 우선권주장
 JP-P-2013-095038 2013년04월30일 일본(JP)
- (56) 선행기술조사문현
 JP2007324873 A
 JP2012178812 A

(73) 특허권자
후지필름 가부시키가이샤
 일본 도쿄도 미나토구 니시 아자부 2쵸메 26방 3
 0고

(72) 발명자
고토 다카시
 일본 가나가와Ken 아시가라카미군 가이세이마치 우
 시지마 577반지 후지필름 가부시키가이샤 나이

(74) 대리인
특허법인코리아나

전체 청구항 수 : 총 13 항

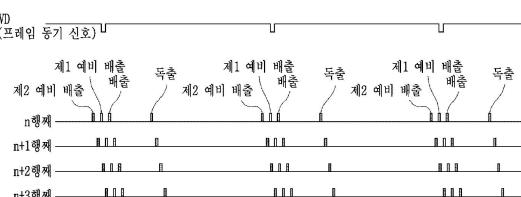
심사관 : 김응권

(54) 발명의 명칭 고체 콜상 소자 및 콜상 장치

(57) 요약

광의 조사를 받아 전하를 발생하는 광전 변환부를 구비한 화소부가 2차원상으로 복수 배열된 고체 콜상 소자에 있어서, 인접하는 화소행 간에 형성되는 용량 커플링이 축적 신호에 미치는 영향을 억제하고, 적절한 화상 신호를 취득한다.

축전부(FD)에 축적된 신호 전하를 배출하고, 그 배출 후, 전하 축적 기간 경과 시에 있어서 축전부(FD)에 축적된 신호 전하를 독출하는 전하 축적 독출 동작을 행 순서대로 행할 때, 각 행에 있어서 배출 전에, 축전부로부터의 예비적인 전하의 배출인 예비 배출을 적어도 2회 행하고, 또한 n(n은 자연수)행째의 배출 전에, n+1행째의 제1 예비 배출을 행하며, n행째의 배출 직전에 행해지는 n행째의 제1 예비 배출 전에, n+1행째의 제2 예비 배출을 행한다.

대 표 도

(52) CPC특허분류

H04N 5/357 (2013.01)

H04N 5/374 (2013.01)

명세서

청구범위

청구항 1

입사광의 광량에 따른 신호 전하를 발생하는 광전 변환부와, 상기 광전 변환부에 있어서 발생한 신호 전하를 축적하는 축전부와, 상기 축전부에 축적된 신호 전하에 따른 전압을 출력하는 출력 회로를 포함하고, 상기 광전 변환부와 상기 축전부와 상기 출력 회로의 입력 노드가 전기적으로 접속된 화소부가 2차원상으로 복수 배열되며,

상기 축전부에 축적된 신호 전하를 배출하고, 상기 배출 후, 전하 축적 기간 경과 시에 있어서 상기 축전부에 축적된 신호 전하를 독출하는 전하 축적 독출 동작을 행 순서대로 행하는 것이며,

상기 복수의 화소부의 각 행에 있어서 상기 배출 전에, 상기 축전부로부터의 예비적인 전하의 배출인 예비 배출을 적어도 2회 행하고,

또한 n (n 은 자연수)행째의 상기 배출 전에, $n+1$ 행째의 제1 상기 예비 배출을 행하고, 상기 n 행째의 배출 직전에 행해지는 상기 n 행째의 제1 상기 예비 배출 전에, 상기 $n+1$ 행째의 제2 상기 예비 배출을 행하며,

상기 배출, 상기 신호 전하의 독출, 상기 제1 예비 배출 및 상기 제2 예비 배출 중 적어도 하나의 동작과 상기 적어도 하나의 동작 이외의 동작이, 1행의 주사 기간 내에 있어서, 다른 행에서 다른 타이밍에 행해지는 것인 것을 특징으로 하는 고체 활상 소자.

청구항 2

제 1 항에 있어서,

상기 축전부가 기준 전위가 되도록 피드백 제어를 행하는 피드백 제어 회로가, 상기 화소부의 열마다 마련되어 있는 것을 특징으로 하는 고체 활상 소자.

청구항 3

제 2 항에 있어서,

상기 피드백 제어 회로가, 상기 배출, 상기 신호 전하의 독출, 상기 제1 예비 배출 및 상기 제2 예비 배출 시에 상기 피드백 제어를 행하는 것인 것을 특징으로 하는 고체 활상 소자.

청구항 4

삭제

청구항 5

제 1 항에 있어서,

상기 배출, 상기 신호 전하의 독출, 상기 제1 예비 배출 및 상기 제2 예비 배출의 타이밍을 제어하기 위한 펄스 신호를 출력하는 타이밍 제네레이터를 구비하며,

상기 타이밍 제네레이터가, 1행의 주사 기간 내에 있어서, 상기 적어도 하나의 동작의 타이밍을 제어하기 위한 펄스 신호와, 상기 적어도 하나의 동작 이외의 동작의 타이밍을 제어하기 위한 펄스 신호를 다른 타이밍에 출력하는 것인 것을 특징으로 하는 고체 활상 소자.

청구항 6

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 배출, 상기 신호 전하의 독출, 상기 제1 예비 배출 및 상기 제2 예비 배출의 타이밍을 제어하는 시프트 레지스터가, 동작마다 각각 마련되어 있는 것을 특징으로 하는 고체 활상 소자.

청구항 7

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 제1 예비 배출 또는 상기 제2 예비 배출의 시간이, 상기 배출의 시간보다 짧은 것을 특징으로 하는 고체 활상 소자.

청구항 8

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 화소부가, 상기 화소부마다 구획된 제1 전극과 상기 광전 변환부를 사이에 두고 상기 제1 전극에 대향하여 마련된 제2 전극을 구비하고,

상기 제2 전극이, 모든 상기 화소부에 대하여 공통의 전극인 것을 특징으로 하는 고체 활상 소자.

청구항 9

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 광전 변환부가, 유기 광전 변환막을 포함하는 것인 것을 특징으로 하는 고체 활상 소자.

청구항 10

제 9 항에 있어서,

상기 유기 광전 변환막이, 모든 상기 화소부에 대하여 공통된 것인 것을 특징으로 하는 고체 활상 소자.

청구항 11

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 광전 변환부로부터의 신호 전하가 정공인 것을 특징으로 하는 고체 활상 소자.

청구항 12

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 광전 변환부로부터의 신호 전하가 전자인 것을 특징으로 하는 고체 활상 소자.

청구항 13

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 축전부에 보호 회로가 마련되어 있는 것을 특징으로 하는 고체 활상 소자.

청구항 14

제 1 항에 기재된 고체 활상 소자를 구비한 것을 특징으로 하는 활상 장치.

발명의 설명**기술 분야**

[0001] 본 발명은, 광의 조사를 받아 전하를 발생하는 광전 변환부를 구비한 고체 활상 소자 및 그 고체 활상 소자를 구비한 활상 장치에 관한 것이다.

배경 기술

[0002] 최근, 고체 활상 소자의 고감도화, 화소 미세화에 대응하기 위하여, 실리콘 기판의 상방에 한 쌍의 전극과 이들 사이에 있는 광전 변환층을 포함하는 광전 변환부를 마련하고, 이 광전 변환층에서 발생한 전하를 상기 한 쌍의 전극의 한쪽으로부터 실리콘 기판으로 이동시켜 축적하고, 이 축적 전하에 따른 신호를, 실리콘 기판에 형성한 신호 독출 회로로 독출하는 광전 변환층 적층형의 고체 활상 소자가 주목받고 있다.

[0003] 이러한 고체 활상 소자로서 예를 들어 특허문헌 1에는, 도 11에 나타내는 바와 같이, 광전 변환부(201)와, 광전 변환부(201)에 있어서 발생한 전하를 축적하는 플로팅 디퓨전(FD)(이하, 간단히 FD라고 함)과, FD에 축적된 전하에 대응한 전압을 출력하는 출력 트랜지스터(202)와, FD에 축적된 전하를 리셋하는 리셋 트랜지스터(203)와, 출력 트랜지스터(202)로부터 출력된 신호를 신호선에 선택적으로 출력하는 선택 트랜지스터(204)를 구비한 화소부(200)가 2차원상으로 다수 배열된 고체 활상 소자가 제안되고 있다. 이 고체 활상 소자는, FD와 광전 변환부(201)와의 사이에 트랜지스터가 마련되어 있지 않은, 이른바 3트랜지스터의 구성의 회로이며, FD와 광전 변환부(201)가 전기적으로 직접 접속된 것이다.

[0004] 여기에서, 상술한 바와 같은 고체 활상 소자에 있어서는, 화소부(200)의 각 행에 대하여 각각 배출 및 전하 신호의 독출 동작이 순차 행해진다. 도 12는, n 행째~ $n+2$ 행째의 화소부(200)의 배출 및 전하 신호의 독출 동작의 타이밍을 나타내는 것이다.

[0005] 도 12에 나타내는 바와 같이, 축적 기간의 개시 시에는, 먼저, 불요 전하의 배출이 행해진다. 배출은, 리셋 펠스(RS)에 의하여 화소부(200)의 리셋 트랜지스터(203)가 온되고, FD에 축적된 전하가 리셋됨으로써 행해진다.

[0006] 리셋 트랜지스터(203)가 오프되고, 배출이 완료되면 이 시점으로부터 FD로의 전하의 축적이 개시된다. 그리고, 소정의 전하 축적 기간이 경과했을 때에, 화소부(200)에 선택 펠스(RW)가 출력되고, 이 선택 펠스(RW)에 의하여 선택 트랜지스터(204)가 온하고, 이로써 FD에 축적된 전하 신호가 출력 트랜지스터(202)에 의하여 전압 신호로 변환되어, 축적 신호로서 신호선에 출력된다. 그 후, 리셋 트랜지스터(203)를 온함으로써, FD가 리셋되고, 리셋된 후의 FD의 전위가 리셋 신호로서 신호선에 출력된다. 축적 신호와 리셋 신호와의 차분을 화상 신호로서 이용함으로써, 고정 패턴 노이즈가 적은 화상의 취득이 가능해진다.

[0007] 상술한 바와 같은 화소부(200)의 행마다의 배출 및 전하 신호의 독출 동작이, 화소부(200)의 열 방향으로 순차 주사되어 행해짐으로써 1프레임의 화상 신호가 취득된다.

선행기술문헌

특허문헌

[0008] (특허문헌 0001) 특허문헌 1: 일본 공개특허공보 2011-54746호

(특허문헌 0002) 특허문헌 2: 국제 공개공보 제2012/137445호

발명의 내용

해결하려는 과제

[0009] 여기에서, 상술한 바와 같은 고체 활상 소자에 있어서는, 도 11에 나타내는 바와 같이, 화소부의 배선이나 기판의 불순물 영역 등의 기생 용량에 기인하여, 다른 행의 인접하는 화소부(200) 간에 있어서 용량 커플링이 발생하게 된다. 특히, 화소부의 미세화가 진행되면, 화소부 본래의 용량이 작아지는 것에 더하여, 레이아웃의 제한도 엄격해지기 때문에, 용량 커플링의 영향이 필연적으로 커지게 된다.

[0010] 특히, 상술한 3트랜지스터의 구성에서는, 화소마다 FD가 필요한 점, FD와 광전 변환부(201)와의 사이에 트랜지스터가 마련되어 있지 않고 전기적으로 직접 연결되어 있는 점에서, 인접하는 화소부(200)의 FD 간의 용량 커플링의 영향이 커지기 쉽다. 이 영향에 대하여 설명한다.

[0011] 도 13은 도 11에 나타내는 고체 활상 소자에 있어서, 모든 화소에 균일한 광이 입사하는 조건으로 활상을 행한 경우의 구동과 FD 전위의 시간 변화를 나타내고 있다. 실선은 용량 커플링이 전혀 없는 경우의 이상적인 FD 전위를 나타내고, 파선은 용량 커플링의 영향을 받은 경우의 FD의 전위 변화를 나타낸다. 인접 화소의 FD 전위의 변화에 따라, 주목 화소의 FD 전위가 변화하게 되는 것이, 용량 커플링의 영향이 있는 경우의 특징이다.

[0012] 각 행은 도면 중의 배출 시점에서 그때까지 FD에 축적하고 있던 전하를 배출하고, 독출 시점에서 배출부터 독출 까지의 축적 기간에 FD에 축적한 신호 전하를 독출한다. 여기에서, $n+1$ 행째에 주목하면, 시각(t1)에 있어서 신호의 독출이 완료되고, FD의 전위가 기준 전위가 된다. 그 후, 시각(t2)에 있어서 배출을 행하고, FD의 전위를 기준 전위로 한 다음, 축적을 개시한다. 그리고 시각(t5)에 있어서 독출을 행하여, 시각(t2)부터 시각(t5)의 사이에 FD에 축적한 신호 전하에 따른 신호를 출력한다.

- [0013] 한편, n행째에 주목하면, 시각(t2)보다 전의 시각(t3)에 있어서 배출을 행하고, 축적을 개시한다. 그리고, 시각(t2)보다 후의 시각(t4)에 있어서 독출을 행한다. 즉, n행째의 축적 기간 중(t3~t4의 사이)에 n+1행째의 배출을 행하게 된다.
- [0014] 여기에서 n행째와 n+1행째의 사이의 용량 커플링이 큰 경우, 시각(t2)에 있어서의 n+1행째의 FD 전위의 큰 변화에 따라, n행째의 FD 전위도 변화되게 된다. 용량 커플링이 없는 경우에는 시각(t3)부터 시각(t4)까지 단조롭게 FD 전위가 변화하는 것에 반하여, 용량 커플링이 큰 경우, 시각(t3)부터 시각(t2)까지 단조롭게 FD 전위가 변화한 후, 시각(t2)에 있어서 전위가 일단 낮아지고, 시각(t4)까지 그 전위로부터 신호 전하의 축적에 의하여 FD 전위가 상승하게 된다. 이로 인하여, 시각(t4)에 있어서 n행째의 신호를 독출할 때에, 실선으로 나타낸 본래의 신호 레벨에 비하여, 점선으로 나타내는 본래의 신호 레벨보다 낮은 신호 레벨이 되게 된다.
- [0015] 이러한 신호 레벨의 이상은, 독출하는 신호에 비하여 배출할 때의 전위 변화가 클수록 눈에 띠기 쉽다. 이로 인하여, 고체 활상 소자에 입사하는 광이 크고, 프레임 기간에 비하여 축적 기간이 짧을수록 이 영향이 현저해진다. 그 결과, 신호량이 작은 경우의 S/N의 저하나, 노광 기간에 대한 신호의 직선성(linearity)의 저하 등의 문제를 일으킨다.
- [0016] 또, 예를 들면 상술한 고체 활상 소자에 있어서, 베이어 배열의 컬러 필터가 마련되어 있는 경우에는, 화소부(200)의 열 방향에 대하여, 적색 필터(R)와 녹색 필터(G)가 교대로 배열된 화소부의 열과, 청색 필터(B)와 녹색 필터(G)가 교대로 배열된 화소부의 열이 존재하게 된다.
- [0017] 이러한 고체 활상 소자에 대하여, R광과 G광을 포함하는 Y광이 조사된 경우, 녹색 필터가 마련된 화소부(200)가, 적색 필터가 마련된 화소부(200)와 동일한 열에 있는 경우에는, 도 14의 상단에 나타내는 바와 같이, 적색 필터가 마련된 화소부(200)의 배출에 의하여, 녹색 필터가 마련된 화소부(200)의 FD의 전위가 감소하고, 그 전하 신호(G1)의 크기가 작아지게 된다.
- [0018] 한편, 녹색 필터가 마련된 화소부(200)가, 청색 필터가 마련된 화소부(200)와 동일한 열에 있는 경우에는, 도 14의 하단에 나타내는 바와 같이, 청색 필터가 마련된 화소부(200)에는 광이 입사하지 않고, 그 FD의 전위도 변화되지 않으므로, 청색 필터가 마련된 화소부(200)의 배출에 의하여, 녹색 필터가 마련된 화소부(200)의 FD의 전위가 영향을 받지 않고, 상기 전하 신호(G1)보다 큰 전하 신호(G2)가 취득된다.
- [0019] 즉, 화소부(200)의 열에 의하여 녹색 필터가 마련된 화소부(200)의 감도가 다르기 때문에 컬러 밸런스가 본래와는 다른 것이 되어, 적절한 화상 신호를 취득할 수 없다.
- [0020] 또, 예를 들면 상술한 고체 활상 소자에 있어서는 용량 커플링에 기인하여 잔상이 발생한다. 이 영향을 도 15를 이용하여 설명한다.
- [0021] 먼저, 각 행의 배출 전까지 10000개의 전자가 FD에 축적되어 있으며, 인접하는 행의 커플링률이 1%인 경우에 대하여 설명한다. 다만, 커플링률이란, 인접하는 화소부(200)의 FD 간의 전위 변화의 영향도이다. 예를 들면, 커플링률 1%인 경우, 인접 화소의 신호가 변화했을 때에, 그 1%만큼 신호가 변화하는 것을 나타내고 있다. 커플링률은 기생 용량과 FD의 축적 용량과의 비로 정해지며, 화소부(200)의 사이즈가 작아질수록 레이아웃의 자유도가 낮아져, 커플링률이 높아지기 쉬워진다.
- [0022] 먼저, n행째의 배출에 의하여 n행째의 FD에 축적된 10000개의 전자는 0개가 된다. 그러나, 이어서 실행되는 n+1행째의 FD의 배출에 의하여, n행째의 FD는 용량 커플링의 영향을 받아, n+1행째의 FD에 축적되어 있는 10000개의 전자가 0개가 됨에 따라, (0-10000)개의 전자의 1%의 전자 수에 상당하는 전위가 된다. 즉, n행째의 FD는 -100개의 전자에 상당하는 전위가 된다. 그리고, 이후에 n행째의 독출이 행해지기 때문에, n행째로부터는 -100개의 전자에 상당하는 흑침(黑沈) 잔상이 발생한다. n+1행째에 대해서도 마찬가지로 -100개의 전자에 상당하는 흑침 잔상이 발생한다. 이와 같이, 인접 화소행 간의 용량 커플링에 기인하여 축적 전하량×(-커플링률)의 잔상이 발생한다.
- [0023] 따라서, 상술한 바와 같은 인접 화소행 간의 용량 커플링의 영향을 억제하기 위하여, 예를 들면 특허문헌 2에 기재되어 있는 바와 같이, 각 행의 배출 동작 전에, 예비적인 전하의 배출인 예비 배출을 행하는 것을 생각할 수 있다. 이하, 이 예비 배출을 행한 경우의 작용에 대하여 설명한다.
- [0024] 도 16은, n행째의 배출 전에 n+1행째의 예비 배출을 행하는 경우의 동작 타이밍을 나타내는 것이다. 도 16에 나타내는 바와 같이, n행째의 배출 전에 n+1행째의 예비 배출을 행한 경우에는, n+1행째의 예비 배출을 행함으로써 n+1행째의 배출 시에 있어서의 FD의 전위 변화를 작게 할 수 있기 때문에, n+1행째의 배출이 n행째의 축적

신호에 미치는 영향을 작게 할 수 있다. 이하, 도 17을 참조하면서 이 영향을 정량적으로 설명한다.

[0025] 먼저, 각 행의 예비 배출 전까지 10000개의 전자가 FD에 축적되어 있으며, 인접하는 행의 커플링률이 1%인 경우에 대하여 설명한다.

[0026] 먼저, n+1행째의 예비 배출에 의하여 n+1행째의 FD에 축적된 10000개의 전자는 0개가 된다. 그러나, 이어서 실행되는 n+2행째의 FD의 예비 배출에 의하여, n+1행째의 FD는 용량 커플링의 영향을 받아, n+2행째의 FD에 축적되어 있는 10000개의 전자가 0개가 됨에 따라, 10000개의 전자의 -1%의 전자 수에 상당하는 전위가 된다. 즉, n+1행째의 FD는 -100개의 전자에 상당하는 전위가 된다. 그리고, 이 상태에 있어서 다음으로 n+1행째의 배출이 행해지면, 이 배출에 의한 용량 커플링의 영향을 받아, n행째에 있어서는, n+1행째의 FD에 축적되어 있는 -100개의 전자의 -1%의 전자 수에 상당하는 전위 변동이 발생한다. 즉, n행째의 배출 후에 축적된 전하 신호에 대하여 전자 1개에 상당하는 오프셋 전위가 부가되게 된다.

[0027] 이와 같이, 커플링률이 1% 정도로서 비교적 낮은 경우에는, 10000개의 축적 신호에 대하여, 전자 1개에 상당하는 오프셋 전위가 부가되는 것에 지나지 않기 때문에, 도 16에 나타내는 바와 같은 타이밍에 예비 배출을 행하도록 하면, 인접 화소행 간의 용량 커플링의 영향을 충분히 억제할 수 있다.

[0028] 그러나, 커플링률이 비교적 높은 경우에는, 상술한 오프셋 전위가 커져 문제가 되는 경우가 있다. 예를 들면 커플링률이 5%인 경우에 대하여, 도 18을 참조하면서 설명한다.

[0029] 먼저, n+1행째의 예비 배출에 의하여 n+1행째의 FD에 축적된 10000개의 전자는 0개가 된다. 그러나, 이어서 실행되는 n+2행째의 FD의 예비 배출에 의하여, n+1행째의 FD는 용량 커플링의 영향을 받아, n+2행째의 FD에 축적되어 있는 10000개의 전자가 0개가 됨에 따라, 10000개의 전자의 -5%의 전자 수에 상당하는 전위가 된다. 즉, n+1행째의 FD는 -500개의 전자에 상당하는 전위가 된다. 그리고, 이 상태에 있어서 다음으로 n+1행째의 배출이 행해지면, 이 배출에 의한 용량 커플링의 영향을 받아, n행째에 있어서는, n+1행째의 FD에 축적되어 있는 -500개의 전자의 -5%의 전자 수에 상당하는 전위 변동이 발생한다. 즉, n행째의 배출 후에 축적된 전하 신호에 대하여 전자 25개에 상당하는 오프셋 전위가 부가되게 된다. 일반적으로 노이즈로서 허용되는 범위가 전자 3개에 상당하는 전위 변동인 것을 생각하면, 전자 25개에 상당하는 오프셋 전위는 매우 큰 것으로 문제가 된다.

[0030] 즉, 도 16에 나타내는 바와 같이 n행째의 배출 전에 n+1행째의 예비 배출을 행하도록 한 경우에도, 결과적으로는, 본래의 전하 신호에 대하여, "예비 배출 시의 배출 전하량 $\times (-\text{커플링률})^2$ "이 오프셋으로서 부가되게 되어, 커플링률이 높은 경우에는 무시할 수 없다.

[0031] 본 발명은, 상기의 사정을 감안하여, 인접하는 화소행 간에 형성되는 용량 커플링이 비교적 큰 경우에 있어서도, 그 영향을 충분히 억제할 수 있는 고체 활상 소자 및 그 고체 활상 소자를 구비한 활상 장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0032] 본 발명의 고체 활상 소자는, 입사광의 광량에 따른 신호 전하를 발생하는 광전 변환부와, 광전 변환부에 있어서 발생한 신호 전하를 축적하는 축전부와, 축전부에 축적된 신호 전하에 따른 전압을 출력하는 출력 회로를 포함하고, 광전 변환부와 축전부와 출력 회로의 입력 노드가 전기적으로 접속된 화소부가 2차원상으로 복수 배열되며, 축전부에 축적된 신호 전하를 배출하고, 그 배출 후, 전하 축적 기간 경과 시에 있어서 축전부에 축적된 신호 전하를 독출하는 전하 축적 독출 동작을 행 순서대로 행하는 것이며, 복수의 화소부의 각 행에 있어서 배출 전에, 축전부로부터의 예비적인 전하의 배출인 예비 배출을 적어도 2회 행하고, 또한 n(n은 자연수)행째의 배출 전에, n+1행째의 제1 예비 배출을 행하며, n행째의 배출 직전에 행해지는 n행째의 제1 예비 배출 전에, n+1행째의 제2 예비 배출을 행하는 것인 것을 특징으로 한다.

[0033] 또, 상기 본 발명의 고체 활상 소자에 있어서는, 축전부가 기준 전위가 되도록 피드백 제어를 행하는 피드백 제어 회로를, 화소부의 열마다 마련할 수 있다.

[0034] 또, 피드백 제어 회로를, 배출, 신호 전하의 독출, 제1 예비 배출 및 제2 예비 배출 시에 피드백 제어를 행할 수 있다.

[0035] 또, 배출, 신호 전하의 독출, 제1 예비 배출 및 제2 예비 배출 중 적어도 하나의 동작과 상기 적어도 하나의 동작 이외의 동작을, 1행의 주사 기간 내에 있어서, 다른 행에서 다른 타이밍에 행할 수 있다.

[0036] 또, 배출, 신호 전하의 독출, 제1 예비 배출 및 제2 예비 배출의 타이밍을 제어하기 위한 펄스 신호를 출력하는

타이밍 제네레이터를 마련하고, 타이밍 제네레이터를, 1행의 주사 기간 내에 있어서, 상기 적어도 하나의 동작의 타이밍을 제어하기 위한 펄스 신호와, 상기 적어도 하나의 동작 이외의 동작의 타이밍을 제어하기 위한 펄스 신호를 다른 타이밍에 출력하는 것으로 할 수 있다.

- [0037] 또, 배출, 신호 전하의 독출, 제1 예비 배출 및 제2 예비 배출의 타이밍을 제어하는 시프트 레지스터를, 동작마다 각각 마련할 수 있다.
- [0038] 또, 제1 예비 배출 또는 제2 예비 배출의 시간을, 배출의 시간보다 짧게 할 수 있다.
- [0039] 또, 화소부를, 화소부마다 구획된 제1 전극과 광전 변환부를 사이에 두고 제1 전극에 대향하여 마련된 제2 전극을 구비한 것으로 하고, 제2 전극을, 모든 화소부에 대하여 공통의 전극으로 할 수 있다.
- [0040] 또, 광전 변환부를, 유기 광전 변환막을 포함하는 것으로 할 수 있다.
- [0041] 또, 유기 광전 변환막을, 모든 화소부에 대하여 공통된 것으로 할 수 있다.
- [0042] 또, 광전 변환부로부터의 신호 전하를 정공으로 할 수 있다.
- [0043] 또, 광전 변환부로부터의 신호 전하를 전자로 할 수 있다.
- [0044] 또, 축전부에 보호 회로를 마련할 수 있다.
- [0045] 본 발명의 활상 장치는, 상기 본 발명의 고체 활상 소자를 구비한 것을 특징으로 한다.

발명의 효과

- [0046] 본 발명의 고체 활상 소자 및 활상 장치에 의하면, 각 행에 있어서 배출 전에, 축전부로부터의 예비적인 전하의 배출인 예비 배출을 적어도 2회 행하고, 또한 n (n 은 자연수)행째의 배출 전에, $n+1$ 행째의 제1 예비 배출을 행하며, n 행째의 배출 직전에 행해지는 n 행째의 제1 예비 배출 전에, $n+1$ 행째의 제2 예비 배출을 행하도록 했기 때문에, 각 행의 화소부의 배출에 있어서의 FD의 전압 변화를 작게 할 수 있다. 이로써, 예를 들면 n 행째와 $n+1$ 행째에 용량 커플링이 있는 경우에도, $n+1$ 행째의 배출 시의 전압 변화가 작기 때문에, 용량 커플링에 의한 n 행째의 신호의 이상을 저감할 수 있고, 적절한 화상 신호를 취득할 수 있다. 또한, 상기 예비 배출의 작용 효과에 대해서는 후에 상세하게 설명한다.

도면의 간단한 설명

- [0047] 도 1은 본 발명의 고체 활상 소자의 일 실시형태를 구성하는 화소부를 나타내는 도이다.
- 도 2는 본 발명의 고체 활상 소자의 일 실시형태의 단면 모식도이다.
- 도 3은 도 2에 나타내는 고체 활상 소자의 주변 회로를 포함하는 전체 구성을 나타내는 도이다.
- 도 4는 본 발명의 고체 활상 소자의 일 실시형태에 있어서의 제2 예비 배출, 제1 예비 배출, 배출 및 전하 신호의 독출의 타이밍의 일례를 나타내는 도이다.
- 도 5는 n 행째~ $n+3$ 행째의 각 행의 화소부의 FD의 전위 변화를 나타내는 도이다.
- 도 6은 타이밍 제네레이터로부터 출력되는 펄스 신호와 $n-1$ 행~ $n+1$ 행의 각 행에 있어서의 동작 타이밍과의 관계의 일례를 나타내는 도이다.
- 도 7은 타이밍 제네레이터로부터 출력되는 펄스 신호와 $n-1$ 행~ $n+1$ 행의 각 행에 있어서의 동작 타이밍과의 관계의 기타예를 나타내는 도이다.
- 도 8은 화소부의 독출 회로를 경상(鏡像) 관계로 레이아웃한 경우에 있어서의 축전부(FD)의 위치 관계를 나타내는 도이다.
- 도 9는 도 8에 나타내는 축전부(FD)의 위치 관계의 경우에, 예비 배출을 행하지 않고 배출만을 행한 경우의 축전부(FD)의 전위 변화를 나타내는 도이다.
- 도 10은 축전부(FD)에 보호 회로를 마련한 구성을 나타내는 도이다.
- 도 11은 종래의 고체 활상 소자의 화소부의 구성과 용량 커플링을 나타내는 도이다.
- 도 12는 종래의 고체 활상 소자의 배출 및 전하 신호의 독출을 설명하기 위한 타이밍 차트이다.

도 13은 종래의 고체 활상 소자에 있어서의 용량 커플링의 영향을 설명하기 위한 도이다.

도 14는 종래의 고체 활상 소자에 있어서의 용량 커플링에 의한 에일리어싱의 영향을 설명하기 위한 도이다.

도 15는 종래의 고체 활상 소자에 있어서의 용량 커플링에 의한 잔상의 영향을 설명하기 위한 도이다.

도 16은 n행째의 배출 전에 n+1행째의 예비 배출을 행하는 경우의 동작 타이밍의 일례를 나타내는 도이다.

도 17은 n행째의 배출 전에 n+1행째의 예비 배출을 행한 경우에 있어서의 용량 커플링에 의한 잔상의 영향을 설명하기 위한 도이다.

도 18은 n행째의 배출 전에 n+1행째의 예비 배출을 행한 경우에 있어서의 용량 커플링에 의한 잔상의 영향을 설명하기 위한 도이다.

발명을 실시하기 위한 구체적인 내용

[0048] 이하, 도면을 참조하여 본 발명의 고체 활상 소자의 일 실시형태에 대하여 설명한다. 본 실시형태의 고체 활상 소자는, 후에 상세하게 설명하는 예비 배출에 특징을 갖는 것이지만, 우선은, 본 실시형태의 고체 활상 소자의 구성에 대하여 설명한다. 도 1은, 본 실시형태의 고체 활상 소자를 구성하는 화소부를 나타내는 도이다. 본 실시형태의 고체 활상 소자는, 도 1에 나타내는 화소부(10)를 2차원상으로 다수 배열한 것이다.

[0049] 화소부(10)는, 도 1에 나타내는 바와 같이, 광전 변환부(11)와, 플로팅 디퓨전 FD(축전부에 상당함)(이하, 간단히 FD라고 함)와, 출력 트랜지스터(12)와, 리셋 트랜지스터(13)와, 선택 트랜지스터(14)를 구비하고 있다. 그리고, 출력 트랜지스터(12), 리셋 트랜지스터(13) 및 선택 트랜지스터(14)는, 각각 n채널의 MOS 트랜지스터로 구성되어 있다. 또한, 화소부(10)의 사이즈는 $5\mu m$ 이하인 것이 바람직하다.

[0050] 광전 변환부(11)는, 화소 전극(104)(제1 전극에 상당함)과, 화소 전극(104)에 대향하여 마련된 대향 전극(108)(제2 전극에 상당함)과, 화소 전극(104)과 대향 전극(108)과의 사이에 마련된 광전 변환층(107)을 구비하고 있다.

[0051] 화소 전극(104)은, 화소부(10)마다 구분된 박막 전극이며, 예를 들면 ITO, 알루미늄, 질화 타이타늄, 구리, 텅스텐 등과 같은 투명 또는 불투명한 도전성 재료로 형성되는 것이다. 화소 전극(104)은, 광전 변환층(107)에 있어서 발생한 전하를 화소부(10)마다 포집하는 것이다.

[0052] 대향 전극(108)은, 화소 전극(104)과의 사이에서 광전 변환층(107)에 전압을 인가하여, 광전 변환층(107)에 전계를 발생시키기 위한 전극이다. 대향 전극(108)은, 광전 변환층(107)보다 광의 입사면측에 마련되어 있으며, 대향 전극(108)을 투과하여 광전 변환층(107)에 광을 입사시킬 필요가 있기 때문에, 입사광에 대하여 투명한 ITO 등의 도전성 재료로 형성된다. 다만, 본 실시형태에 있어서의 대향 전극(108)은, 모든 화소부(10)에서 공통의 1매의 전극으로 구성되는 것이지만, 화소부(10)마다 분할하는 구성으로 해도 된다.

[0053] 광전 변환층(107)은, 입사광을 흡수하고, 그 흡수한 광량에 따른 전하를 발생하는 유기 광전 변환막 또는 무기 광전 변환막을 포함하는 것이다. 또한, 광전 변환층(107)과 대향 전극(108)과의 사이, 또는 광전 변환층(107)과 화소 전극(104)과의 사이에, 전극으로부터 광전 변환층(107)에 전하가 주입되는 것을 억제하는 전하 블로킹층 등의 기능층을 마련하도록 해도 된다.

[0054] 본 실시형태의 화소부(10)에 있어서는, 광전 변환층(107)에서 발생한 전하 중 정공이 화소 전극(104)으로 이동하고, 전자가 대향 전극(108)으로 이동하도록, 대향 전극(108)에 대하여 바이어스 전압이 인가된다. 광전 변환층(107)이 충분히 높은 감도를 발현하도록, 바이어스 전압으로서는, 독출 회로의 전원 전압(Vdd)(도 1에 있어서 출력 트랜지스터(12)의 드레인에 공급되고 있는 전압, 예를 들면 3V)보다 높은 전압(5~20V 정도, 예를 들면 10V)을 이용하는 것이 바람직하다.

[0055] FD는, 화소 전극(104)과 전기적으로 연결된 n형 불순물 영역으로 이루어지는 것이다. 화소 전극(104)에 포집된 정공의 양에 따라 FD의 전위가 변화되기 때문에, FD는 축전부로서 기능한다.

[0056] 출력 트랜지스터(12)는, FD에 축적된 전하 신호를 전압 신호로 변환하여 신호선(SL)에 출력하는 것이다. 출력 트랜지스터(12)의 게이트 단자는 FD에 전기적으로 접속되고, 드레인 단자는 고체 활상 소자의 전원 전압(Vdd)이 접속되어 있다. 또, 출력 트랜지스터(12)의 소스 단자는 선택 트랜지스터(14)의 드레인 단자에 접속되어 있다. 본 실시형태에 있어서의 화소부(10)는, FD와 광전 변환부(11)의 화소 전극(104)과 출력 트랜지스터(12)의 게이트 단자가 전기적으로 직접 접속된, 이른바 3트랜지스터 구성의 회로이다.

- [0057] 리셋 트랜지스터(13)는, FD의 전위를 기준 전위로 리셋하는 것이다. 리셋 트랜지스터(13)의 드레인 단자에는 FD가 전기적으로 접속되고, 소스 단자에는 피드백 제어 회로(16)가 접속되어 있다.
- [0058] 피드백 제어 회로(16)는, 반전 증폭기(16a)와, 기준 전압(RD)을 공급하는 전압원(16b)을 구비하고 있다. 반전 증폭기(16a)의 반전 입력 단자(-)에 신호선(SL)이 접속되고, 비반전 입력 단자(+)에 전압원(16b)이 접속되며, 출력 단자에 피드백선(FL)이 접속되어 있다. 또, 피드백선(FL)은, 리셋 트랜지스터(13)의 소스 단자에 접속되어 있다.
- [0059] 리셋 트랜지스터(13)의 게이트 단자에 인가되는 리셋 펄스(RS)가 하이레벨이 되면, 리셋 트랜지스터(13)가 온하여, 리셋 트랜지스터(13)의 소스로부터 드레인에 전자가 주입된다. 그리고, 이 전자의 주입에 의하여 FD의 전위가 강하하여, FD의 전위가 기준 전위로 리셋되게 되지만, 이 때 FD의 전위가, 출력 트랜지스터(12), 선택 트랜지스터(14) 및 신호선(SL)을 통하여 피드백 제어 회로(16)에 입력된다.
- [0060] 그리고, FD의 현재의 전위와 전압원(16b)으로부터 공급되는 기준 전압(RD)에 근거하여, 피드백 제어 회로(16)에 의하여 FD의 전위가 피드백 제어되고, 이로써 FD의 전위가 일정한 기준 전위로 유지된다. 이와 같이 FD의 전위를 피드백 제어함으로써, 리셋 트랜지스터(13)의 리셋 kTC 노이즈를 저감할 수 있다.
- [0061] 피드백 제어 회로(16)는, 화소부(10)의 열마다 1개씩 마련되는 것이며, 각 열에 속하는 복수의 화소부(10)에 의하여 공용되는 것이다.
- [0062] 선택 트랜지스터(14)는, 그 소스 단자가 신호선(SL)에 접속되는 것이며, 각 화소부(10)의 출력 트랜지스터(12)로부터 출력되는 신호를 열마다 마련된 신호선(SL)에 선택적으로 출력하기 위한 것이다. 선택 트랜지스터(14)의 게이트 단자에 인가되는 선택 펄스(RW)가 하이레벨이 되면, 선택 트랜지스터(14)는 온하고, 이로써 각 화소부(10)의 출력 트랜지스터(12)로부터 출력된 신호가 신호선(SL)에 출력된다.
- [0063] 도 2는, 도 1에 나타낸 화소부(10)를 2차원상으로 다수 배열한 고체 활상 소자(100)의 단면 모식도이다. 또한, 이하의 설명에서는, 도 1에 나타낸 화소부(10)와 동일한 구성에 대해서는 동일한 명칭과 부호를 붙였다.
- [0064] 고체 활상 소자(100)는, 도 2에 나타내는 바와 같이, 기판(101)과, 절연층(102)과, 접속 전극(103)과, 화소 전극(104)과, 접속부(105)와, 접속부(106)와, 광전 변환층(107)과, 대향 전극(108)과, 밀봉층(110)과, 컬러 필터(111)와, 차광층(113)과, 보호층(114)과, 대향 전극 전압 공급부(115)와, 독출 회로(116)를 구비하고 있다.
- [0065] 기판(101)은, 유리 기판 또는 Si 등의 반도체 기판이다. 기판(101) 상에는 절연층(102)이 형성되어 있다. 절연층(102)의 표면에는 복수의 화소 전극(104)과 1개 이상의 접속 전극(103)이 형성되어 있다.
- [0066] 광전 변환층(107)은, 상술한 바와 같이 수광한 광에 따라 전하를 발생하는 것이다. 광전 변환층(107)은, 복수의 화소 전극(104)을 덮도록 마련되어 있다. 광전 변환층(107)은, 화소 전극(104) 위에서는 일정한 막 두께로 되어 있지만, 화소부 이외(유효 화소 영역 외)에서는 막 두께가 변화하고 있어도 문제없다.
- [0067] 대향 전극(108)은, 화소 전극(104)과 대향하는 전극이며, 광전 변환층(107)을 덮도록 마련되어 있다. 대향 전극(108)은, 광전 변환층(107)보다 외측에 배치된 접속 전극(103) 위에까지 형성되어 있으며, 접속 전극(103)과 전기적으로 접속되어 있다.
- [0068] 접속부(106)는, 절연층(102)에 매설되어 있으며, 접속 전극(103)과 대향 전극 전압 공급부(115)를 전기적으로 접속하기 위한 플러그 등이다. 대향 전극 전압 공급부(115)는, 기판(101)에 형성되어, 접속부(106) 및 접속 전극(103)을 통하여 대향 전극(108)에 소정의 전압을 인가하는 것이다. 또한, 대향 전극 전압 공급부(115)는, 기판(101)에 형성된 구성이 아닌, 직접 외부의 전원과 연결된 구성으로 해도 된다.
- [0069] 독출 회로(116)는, 도 1에 나타낸 FD와, 출력 트랜지스터(12)와, 리셋 트랜지스터(13)와, 선택 트랜지스터(14)를 구비하고 절연층(102) 중의 금속 배선(도시하지 않음)으로 배선된 것이다. 독출 회로(116)는, 복수의 화소 전극(104)의 각각에 대응하여 기판(101)에 마련되어 있으며, 대응하는 화소 전극(104)으로 포집된 전하에 따른 신호를 독출하는 것이다. 또한, 독출 회로(116)는, 절연층(102) 내에 배치된 도시하지 않은 차광층에 의하여 차광되고 있다.
- [0070] 밀봉층(110)은, 대향 전극(108)을 덮도록 마련되어 있다.
- [0071] 컬러 필터(111)은, 밀봉층(110) 상의 각 화소 전극(104)과 대향하는 위치에 형성되어 있다. 차광층(113)은, 밀봉층(110) 상의 컬러 필터(111)를 마련한 영역 이외에 형성되어 있으며, 유효 화소 영역 이외에 형성된 광전 변환층(107)에 광이 입사하는 것을 방지하는 것이다. 컬러 필터(111)로서는, 예를 들면 베이어 배열의 컬러 필터

를 이용할 수 있지만, 이에 한정하지 않고, 보색형의 컬러 필터나 기타 공지의 컬러 필터를 이용할 수 있다.

[0072] 보호층(114)은, 컬러 필터(111) 및 차광층(113) 상에 형성되어 있으며, 고체 활상 소자 전체를 보호하는 것이다.

[0073] 도 3은, 도 2에 나타낸 고체 활상 소자(100)의 주변 회로를 포함하는 전체 구성을 나타내는 도이다. 도 3에 나타내는 바와 같이, 본 실시형태의 고체 활상 소자(100)는, 수직 드라이버(121)와, 제어부(122)와, 신호 처리 회로(123)와, 수평 드라이버(124)와, LVDS(125)와, 시리얼 변환부(126)와, 패드(127)를 구비하고 있다. 도 3에 나타내는 화소 영역은, 도 2에 나타낸 고체 활상 소자(100)의 화소부(10)가 배열된 영역을 나타내고 있다.

[0074] 화소 영역에는, 각 화소부(10)의 출력 트랜지스터(12)로부터 신호가 출력되는 신호선(SL)과 상술한 피드백선(FL)이 화소부(10)의 열마다 마련되고, 수직 드라이버(121)로부터 스위칭 펄스 신호가 출력되는 주사선(GL)이 행마다 마련되어 있다. 그리고, 상술한 바와 같이 피드백 제어 회로(16)가 화소부(10)의 열마다 마련되어 있다.

[0075] 제어부(122)는, 타이밍 제네레이터(이하, TG라고 함)(128) 등을 구비한 것이며, 프레임 동기 신호(VD)나 행 동기 신호(HD)를 출력함과 함께, 수직 드라이버(121)나 수평 드라이버(124)의 동작을 제어함으로써 화소부(10)에 있어서의 전하 신호의 독출 등을 제어하는 것이다.

[0076] 수직 드라이버(121)는, 제어부(122)의 TG(128)로부터 출력된 타이밍 펄스 신호에 근거하여, 주사선(GL)을 통하여 독출 회로(116)에 대하여 리셋 펄스(RS)나 선택 펄스(RW)를 출력하여, 독출 회로(116)의 동작을 제어하는 것이다.

[0077] 특히, 본 실시형태의 수직 드라이버(121)는, 이른바 종래부터 행해지고 있는 FD에 있어서의 축적 전하의 배출 전에, FD로부터의 예비적인 전하의 배출인 예비 배출을 2회 행하도록 독출 회로(116)를 제어하는 것이다.

[0078] 수직 드라이버(121)는, TG(128)로부터 출력된 타이밍 펄스 신호에 근거하여, 전하 신호의 독출 시의 선택 펄스(RW) 및 리셋 펄스(RS)를 출력하는 독출용 시프트 레지스터(130)와, 배출 시의 선택 펄스(RW) 및 리셋 펄스(RS)를 출력하는 제1 예비 배출용 시프트 레지스터(131)와, 제2 예비 배출 시의 선택 펄스(RW) 및 리셋 펄스(RS)를 출력하는 제2 예비 배출용 시프트 레지스터(132)와, 제3 예비 배출 시의 선택 펄스(RW) 및 리셋 펄스(RS)를 출력하는 제3 예비 배출용 시프트 레지스터(133)로부터 출력되는 선택 펄스(RW) 및 리셋 펄스(RS)의 타이밍에 대해서는, 후에 상세하게 설명한다.

[0079] 신호 처리 회로(123)는, 독출 회로(116)의 각 열에 대응하여 마련되는 것이다. 신호 처리 회로(123)는, 대응하는 열로부터 출력된 신호에 대하여, 상관 2중 샘플링(CDS) 처리를 행하고, 처리 후의 신호를 디지털 신호로 변환하는 ADC 회로를 구비한 것이다. 신호 처리 회로(123)에서 처리 후의 신호는, 열마다 마련된 메모리에 기억된다.

[0080] 수평 드라이버(124)는, 신호 처리 회로(123)의 메모리에 기억된 화소부(10)의 1행분의 신호를 순차 독출하여 LVDS(125)에 출력하는 제어를 행하는 것이다.

[0081] LVDS(125)는, LVDS(low voltage differential signaling)에 따라 디지털 신호를 전송한다. 시리얼 변환부(126)는, 입력되는 패럴렐의 디지털 신호를 시리얼로 변환하여 출력하는 것이다. 패드(127)는, 외부와의 입출력에 이용하는 인터페이스이다.

[0082] 다음으로, 본 실시형태의 고체 활상 소자(100)의 동작에 대하여 설명한다.

[0083] 본 실시형태의 고체 활상 소자(100)에 있어서는, 화소부(10)의 각 행에 대하여 각각 제2 예비 배출, 제1 예비 배출, 배출 및 전하 신호의 독출 동작이 순차 행해진다. 또, 화소부(10)의 행마다의 제2 예비 배출, 제1 예비 배출, 배출 및 전하 신호의 독출 동작이, 화소부(10)의 열 방향으로 순차 주사되어 행해진다.

[0084] 도 4에, 본 실시형태의 고체 활상 소자(100)의 n행째(n은 자연수)~n+3행째에 있어서의 제2 예비 배출, 제1 예비 배출, 배출 및 전하 신호의 독출의 타이밍의 일례를 나타낸다. 상술한 바와 같이, 본 실시형태의 고체 활상 소자(100)에 있어서는, n행째~n+3행째의 각 행에 대하여, 제2 예비 배출, 제1 예비 배출, 배출 및 전하 신호의 독출을 행 순서대로 행한다.

[0085] 여기에서, 상술한 제2 예비 배출, 제1 예비 배출, 배출 및 독출에 있어서의 독출 회로(116)의 구체적인 동작에 대하여 설명한다.

[0086] 제2 예비 배출 시에는, 수직 드라이버(121)의 제2 예비 배출용 시프트 레지스터(133)로부터 각 행에 대하여, 제

2 예비 배출을 위한 리셋 펠스(RS) 및 선택 펠스(RW)가 출력된다. 그리고, 이 리셋 펠스(RS)에 의하여 화소부(10)의 리셋 트랜지스터(13)가 온됨과 함께, 선택 펠스(RW)에 의하여 화소부(10)의 선택 트랜지스터(14)가 온된다. 이로써 FD가 선택 트랜지스터(14)를 통하여 피드백 제어 회로(16)에 접속되고, FD의 전위는, 피드백 제어 회로(16)에 의하여 피드백 제어되어 기준 전위로 리셋된다.

[0087] 다음으로, 제1 예비 배출 시에는, 수직 드라이버(121)의 제1 예비 배출용 시프트 레지스터(132)로부터 각 행에 대하여, 제1 예비 배출을 위한 리셋 펠스(RS) 및 선택 펠스(RW)가 출력된다. 그리고, 제2 예비 배출과 마찬가지로, 리셋 펠스(RS)에 의하여 화소부(10)의 리셋 트랜지스터(13)가 온됨과 함께, 선택 펠스(RW)에 의하여 화소부(10)의 선택 트랜지스터(14)가 온되며, 다시 FD의 전위가 피드백 제어되어 기준 전위로 리셋된다.

[0088] 다음으로, 배출 시에는, 수직 드라이버(121)의 배출용 시프트 레지스터(131)로부터 각 행에 대하여, 배출을 위한 리셋 펠스(RS) 및 선택 펠스(RW)가 출력된다. 그리고, 제1 및 2의 예비 배출과 마찬가지로, 리셋 펠스(RS)에 의하여 화소부(10)의 리셋 트랜지스터(13)가 온됨과 함께, 선택 펠스(RW)에 의하여 화소부(10)의 선택 트랜지스터(14)가 온되며, 이로써 다시 FD의 전위가 피드백 제어되어 기준 전위로 리셋된다.

[0089] 다음으로, 상술한 배출이 행해진 후, 소정의 전하 축적 기간이 경과했을 때에, 수직 드라이버(121)의 독출용 시프트 레지스터(130)로부터 각 행에 대하여 선택 펠스(RW)가 출력된다. 그리고, 이 선택 펠스(RW)에 의하여 선택 트랜지스터(14)가 온하고, 이로써 FD에 축적된 전하 신호가 출력 트랜지스터(12)에 의하여 전압 신호로 변환되어 축적 신호로서 신호선(SL)에 출력된다.

[0090] 그 후, 독출용 시프트 레지스터(130)로부터 각 행에 대하여 리셋 펠스(RS)가 출력되고, 이 리셋 펠스(RS)에 의하여 화소부(10)의 리셋 트랜지스터(13)가 온되며, 다시 FD의 전위가 피드백 제어되어 기준 전위로 리셋된다. 그리고, 리셋 트랜지스터(13)를 오프로 하여 리셋을 완료한 직후의 신호가 리셋 신호로서 신호선(SL)에 출력된다. 신호 처리 회로(123)에 있어서 축적 신호와 리셋 신호와의 차분이 산출되고, 이 차분을 화상 신호로서 이용함으로써 고정 패턴 노이즈, 리셋 kTC 노이즈 모두 적은 화상의 취득이 가능해진다.

[0091] 다만, 상술한 바와 같이, 본 실시형태에 있어서는, 제2 예비 배출, 제1 예비 배출 및 배출 중 어느 동작에서도 피드백 제어가 행해지지만, 배출에서는, 전하 신호에 오프셋이 부가되지 않도록 기준 전위에 가능한 한, 가까워 지도록 피드백 제어를 행할 필요가 있는 것에 반하여, 제2 예비 배출 또는 제1 예비 배출은, 그 후에 배출이 행해지기 때문에, 기준 전위로부터 다소 어긋나 있어도 허용할 수 있다. 따라서, 제2 예비 배출 또는 제1 예비 배출의 피드백 제어의 시간을 배출의 피드백 제어의 시간보다 짧게 설정하도록 해도 된다. 이로써 배출의 시간이나 독출의 시간을 보다 길게 설정할 수 있어, 화상 신호의 S/N을 향상시킬 수 있다. 또한, 피드백 제어의 시간은, 리셋 펠스(RS) 및 선택 펠스(RW)의 온 시간을 조정함으로써 제어할 수 있다.

[0092] 다음으로, n행째~n+3행째의 각 행에 있어서의 제2 예비 배출, 제1 예비 배출, 배출 및 전하 신호의 독출의 동작 타이밍과, 각 행의 화소부(10)의 FD의 전위 변화에 대하여 설명한다.

[0093] 본 실시형태의 고체 활성 소자(100)에 있어서는, 도 4에 나타내는 바와 같이, n행째의 배출 전에 n+1행째의 제1 예비 배출을 행하고, 또한 n행째의 제1 예비 배출 전에 n+1행째의 제2 예비 배출을 행하도록 제어된다. 또, 마찬가지로, n+1행째의 배출 전에 n+2행째의 제1 예비 배출을 행하고, 또한 n+1행째의 제1 예비 배출 전에 n+2행째의 제2 예비 배출을 행하도록 제어되며, n+2행째의 배출 전에 n+3행째의 제1 예비 배출을 행하고, 또한 n+2행째의 제1 예비 배출 전에 n+3행째의 제2 예비 배출을 행하도록 제어된다.

[0094] 즉, 소정 행의 제1 예비 배출과 배출과의 사이의 기간에, 다음 행의 제1 예비 배출이 행해져, 소정 행의 제1 예비 배출과 제2 예비 배출과의 사이의 기간에, 다음 행의 제2 예비 배출이 행해지도록 제어된다.

[0095] 도 5는, 상술한 바와 같이 각 행의 각 동작의 타이밍을 제어한 경우에 있어서의 각 행의 화소부(10)의 FD의 전위 변화를 나타낸 것이다.

[0096] 여기에서는, 시각(t0)에 있어서 LED에 의하여 고체 활성 소자(100)에 대하여 일정한 광이 조사되고, 각 행의 예비 배출 전까지 10000개의 전자가 FD에 축적되어 있으며, 인접하는 행의 커플링률이 5%인 경우에 대하여 설명한다.

[0097] 먼저, n행째의 제2 예비 배출에 의하여 n행째의 FD에 축적된 10000개의 전자는 0개가 된다. 그러나, 이어서 실행되는 n+1행째의 FD의 제2 예비 배출에 의하여, n행째의 FD는 용량 커플링의 영향을 받아, n+1행째의 FD에 축적되어 있는 10000개의 전자가 0개가 됨에 따라, 10000개의 전자의 -5%의 전자 수에 상당하는 전위가 된다. 즉, n행째의 FD는 -500개의 전자에 상당하는 전위가 된다.

- [0098] 다음으로, n행째의 제1 예비 배출에 의하여, n행째의 FD의 전위는 -500개의 전자에 상당하는 전위로부터 0개의 전자에 상당하는 전위, 즉 기준 전위가 된다. 그러나, 이어서 실행되는 n+1행째의 FD의 제1 예비 배출에 의하여, n행째의 FD는 용량 커플링의 영향을 받아, n+1행째의 FD의 전위가 -500개의 전자에 상당하는 전위로부터 기준 전위가 됨에 따라, -500개의 전자의 -5%의 전자 수에 상당하는 전위가 된다. 즉, n행째의 FD는 25개의 전자에 상당하는 전위가 된다.
- [0099] 다음으로, n행째의 배출에 의하여 n행째의 FD의 전위는 25개의 전자에 상당하는 전위로부터 기준 전위가 된다. 그리고, 이 배출의 개시부터 신호 전하의 축적이 개시된다. 이 때, 이어서 실행되는 n+1행째의 FD의 배출에 의하여, n행째의 FD는 용량 커플링의 영향을 받아, n+1행째의 FD의 전위가 25개의 전자에 상당하는 전위로부터 기준 전위가 됨에 따라, 25개의 전자의 -5%의 전자 수에 상당하는 전위 변동이 발생한다. 즉, n행째의 배출 후에 축적된 전하 신호에 대하여 -1.25개의 전자에 상당하는 오프셋 전위가 부가되게 된다.
- [0100] 이와 같이, 커플링률이 5% 정도로서 비교적 높은 경우에도, 10000개의 축적 신호에 대하여, -1.25개의 전자에 상당하는 오프셋 전위로 억제할 수 있다.
- [0101] 즉, n행째의 배출 전에 n+1행째의 제1 예비 배출을 행하고, n행째의 제1 예비 배출 전에 제2의 예비 배출을 행함으로써, 전하 신호가 포함되는 오프셋 전위를 충분히 작게 할 수 있다.
- [0102] 이상, n행째의 화소부(10)의 FD의 전위 변화를 중심으로 설명했지만, n+1행째~n+3행째에 대해서도 동일하다.
- [0103] 또, 본 실시형태에 있어서는, 각 행의 배출 전에 예비 배출을 2회 행하도록 했지만, 2회에 한정하지 않고, 3회 이상 행하도록 해도 된다. 예비 배출을 j회 행함으로써, 소정의 프레임의 광 신호 전하의 용량 커플링의 영향을 $(-\text{커플링률})^{(j+1)}$ 로 할 수 있다. 예를 들면, 프레임의 광 신호 전하가 100000개의 전자에 상당하는 크기이며, 커플링률이 10%이더라도, 4회의 예비 배출을 행하도록 한 경우에는, $100000 \times (-0.1)^5 = -1$ 이 되며, -1개의 전자에 상당하는 오프셋 전위로 억제할 수 있다.
- [0104] 이와 같이, 본 발명은, 커플링률이 높아질수록 효과가 크고, 특히, 화소부(10)의 사이즈를 $5\mu\text{m}$ 이하로 한 경우에는, 커플링률이 무시할 수 없을 정도로 커지기 때문에, 본 발명의 효과가 현저하다.
- [0105] 또, 상술한 바와 같이 고체 활상 소자에 대하여 베이어 배열 등의 컬러 필터를 마련한 경우에도, 화소부의 열에 의하여 녹색 필터가 마련된 화소부의 감도가 다를 일이 없기 때문에, 적절한 컬러 밸런스의 화상 신호를 취득할 수 있다.
- [0106] 다음으로, 상술한 바와 같이 제2 예비 배출, 제1 예비 배출, 배출 및 독출을 행하기 위한 제어부(122)의 TG(128)의 동작에 대하여 설명한다. TG(128)는, 각 행의 제2 예비 배출, 제1 예비 배출, 배출 및 독출의 타이밍에 맞추어 펄스 신호를 주기적으로 출력하는 것이다. 그리고, 상술한 바와 같이, TG(128)로부터 출력된 펄스 신호는, 독출용 시프트 레지스터(130), 배출용 시프트 레지스터(131), 제1 예비 배출용 시프트 레지스터(132) 및 제2 예비 배출용 시프트 레지스터(133)에 입력되고, 각 시프트 레지스터는, 입력된 펄스 신호에 근거하여 미리 설정된 타이밍에 리셋 펄스(RS)나 선택 펄스(RW)를 각 행에 출력하는 것이다.
- [0107] 도 6은, TG(128)로부터 출력되는 펄스 신호와 n-1행~n+1행의 각 행에 있어서의 동작 타이밍과의 관계를 나타내는 것이다. 또한, 도 6에서는, 상단의 좌측에서 우측을 향하여 시간이 경과한 후, 하단의 좌측에서 우측을 향하여 시간이 경과하는 것으로 한다.
- [0108] 도 6에 나타내는 바와 같이, TG(128)는 예를 들면, 제2 예비 배출용 펄스 신호(PR2)와, 제1 예비 배출용 펄스 신호(PRI)와, 배출용 펄스 신호(R)와, 독출용 펄스 신호(S)를 이 순서로 출력한다. 그리고, 이 4종류의 펄스 신호는 각 주사 기간의 사이에 출력되어 각 시프트 레지스터에 입력되고, 각 시프트 레지스터는, 입력된 펄스 신호와 미리 설정된 타이밍의 논리곱 타이밍에 각 행에 리셋 펄스(RS)나 선택 펄스(RW)를 출력한다.
- [0109] 본 실시형태에 있어서는, 동작마다 시프트 레지스터를 마련하도록 하고 있기 때문에, 1주사 기간의 사이에 복수 행의 타이밍이 다른 동작을 병행하여 행할 수 있다.
- [0110] 또, 도 6에서는, 제2 예비 배출용 펄스 신호(PR2), 제1 예비 배출용 펄스 신호(PR1), 배출용 펄스 신호(R) 및 독출용 펄스 신호(S)를 이 순서로 TG(128)로부터 출력하도록 했지만, 반드시 이 순서에 한정되는 것은 아니다. 도 7은, 그 밖의 순서로 TG(128)로부터 4종류의 펄스 신호를 출력시킨 경우의 일례이다. 도 7에 있어서는, TG(128)는 독출용 펄스 신호(S), 배출용 펄스 신호(R), 제1 예비 배출용 펄스 신호(PRI) 및 제2 예비 배출용 펄스 신호(PR2)의 순서로 출력한다. 즉, 도 7은 도 6에 나타내는 예와는 역순으로 4종류의 펄스 신호를 TG(128)로

부터 출력시킨 경우의 예이다. 도 7에 나타내는 예에 있어서도, 상술한 바와 같이, 각 시프트 레지스터가, 입력된 펄스 신호와 미리 설정된 타이밍의 논리곱 타이밍에 각 행에 리셋 펄스(RS)나 선택 펄스(RW)를 출력하지만, 이 경우도 반드시, 각 행의 동작은 제2 예비 배출, 제1 예비 배출, 배출 및 독출의 순서로 행해진다. 그리고, 추가로 n행째의 배출 전에 n+1행째의 제1 예비 배출이 행해지고, 또한 n행째의 제1 예비 배출 전에 n+1행째의 제2 예비 배출이 행해지도록 각 시프트 레지스터에 타이밍이 각각 설정된다.

[0111] 또한, TG(128)로부터 출력되는 4종류의 펄스 신호의 출력 순서는, 도 6 및 도 7에 나타내는 순서뿐만 아니라, 그 밖의 순서로 해도 된다. 또, 도 6 및 도 7에 나타내는 예에서는, TG(128)가, 4종류의 펄스 신호를 모두 다른 타이밍에 출력하도록 했지만, 이에 한정하지 않고, 4종류의 펄스 신호 중 적어도 하나의 펄스 신호가 다른 펄스 신호의 타이밍과는 다른 타이밍에 출력하도록 하면 된다. 이로써, 상술한 바와 같이 1주사 기간의 사이에 복수 행의 타이밍이 다른 동작을 병행하여 행할 수 있다. 단, 이 경우도 각 행의 동작은 제2 예비 배출, 제1 예비 배출, 배출 및 독출의 순서로 행해지고, 추가로 n행째의 배출 전에 n+1행째의 제1 예비 배출이 행해지고, 또한 n행째의 제1 예비 배출 전에 n+1행째의 제2 예비 배출이 행해지도록 각 시프트 레지스터에 타이밍이 각각 설정된다.

[0112] 또, 본 실시형태의 고체 활상 소자(100)에 있어서는, 각 화소부(10)의 독출 회로를 화소부 열 방향에 대하여 주기성을 갖는 패턴으로 레이아웃하도록 해도 된다.

[0113] 예를 들면, 화소부(10)의 독출 회로를 경상 관계로 레이아웃한 경우, 독출 회로는 열 방향에 대하여 2행 주기의 패턴으로 레이아웃되게 되며, 인접하는 화소 간의 커플링 용량도 2행 주기가 된다.

[0114] 즉, 도 8에 나타내는 모식도와 같이, 예를 들면 n행째(홀수행)와 n+1행째(짝수행)의 화소부(10) 간의 용량 커플링이 상대적으로 커지고, n+1행째(짝수행)와 n+2행째(홀수행)의 화소부(10) 간의 용량 커플링이 상대적으로 작아진다. 또, n+2행째(홀수행)와 n+3행째(짝수행)의 화소부(10) 간의 용량 커플링이 상대적으로 커진다.

[0115] 이러한 구성에 있어서, 상술한 예비 배출을 행하지 않고, 종래와 같이 배출만을 행하는 경우의 FD의 전위 변화를 나타냈던 것이 도 9이다. 모든 화소에 균일한 광이 입사하는 조건으로 활상을 행한 경우의 구동과 FD 전위의 시간 변화를 나타내고 있다. 도 9에 있어서의 실선은 용량 커플링이 전혀 없는 경우의 이상적인 전위 변화를 나타내고, 점선이 실제의 전위 변화를 나타내고 있다. 도 8에 나타내는 용량 커플링의 크기에 따라, 도 9에 나타내는 바와 같이, n+1행째의 배출이 n행째의 화소부(10)의 FD의 전위에 미치는 영향과 n+3행째의 배출이 n+2행째의 화소부(10)의 FD의 전위에 미치는 영향은 크지만, n+2행째의 배출이 n+1행째의 화소부(10)의 FD의 전위에 미치는 영향은 작아진다. 그 결과, 짝수행인 n+1행째 및 n+3행째는 용량 커플링이 없는 경우와 대략 동일한 출력이 얻어지는 것에 반하여, 홀수행인 n행째 및 n+2행째는 용량 커플링이 없는 경우와는 크게 다른 출력이 된다. 즉, n행째~n+3행째까지의 화소부(10)에 대하여 균일한 광이 입사했다고 하더라도, 홀수행의 화소부(10)와 짝수행의 화소부(10)로 독출되는 전하 신호의 크기가 달라, 독출된 화상 상에 1행 간격의 횡선이 발생하게 된다.

[0116] 이에 대하여, 상기 실시형태의 고체 활상 소자에 있어서 설명한 바와 같은 타이밍에 제1 및 제2 예비 배출을 행하도록 하면, 상술한 용량 커플링의 영향을 억제할 수 있기 때문에, 횡선의 발생을 방지할 수 있다.

[0117] 또, 화소부(10)의 독출 회로는, 2행 주기에 한정하지 않고, 예를 들면 3행 주기나 4행 주기의 패턴으로 레이아웃하도록 해도 된다. 요컨대, 열 방향으로 인접하는 화소 간에 형성되는 용량 커플링이, 열 방향에 대하여 주기적으로 변화하는 패턴이면 어떠한 주기 구조로 레이아웃해도 되고, 이와 같이 레이아웃된 경우, 본 발명의 효과가 현저해진다.

[0118] 또, 상기 실시형태의 고체 활상 소자(100)에 있어서는, 리셋 트랜지스터(13), 출력 트랜지스터(12) 및 선택 트랜지스터(14)를 n채널 MOS 트랜지스터로 구성하고, 화소 전극(104)에 의하여 정공을 포집하도록 했지만, 이에 한정하지 않고, 리셋 트랜지스터(13), 출력 트랜지스터(12) 및 선택 트랜지스터(14)를 p채널 MOS 트랜지스터로 구성하도록 하며, 화소 전극(104)으로 전자를 포집하고, 그 전자의 양에 따른 전하 신호를, p채널 MOS 트랜지스터로 구성된 신호 독출 회로(116)로 독출하도록 해도 된다.

[0119] 상기 실시형태와 같이 화소 전극(104)으로 정공을 포집하고, 이를 n채널 MOS 트랜지스터로 구성된 신호 독출 회로(116)로 독출하는 구성으로 하거나, 혹은 상술한 바와 같이 화소 전극(104)으로 전자를 포집하고, 이를 p채널 MOS 트랜지스터로 구성된 신호 독출 회로(116)로 독출하는 구성으로 한 경우, 화소 전극에 의하여 전자를 포집하고, 이를 n채널 MOS 트랜지스터로 구성된 신호 독출 회로에 의하여 독출하는 구성으로 한 경우와 비교하면, FD의 전압 진폭이 크다. 이로 인하여, 제1 및 제2 예비 배출을 행하지 않는 경우의 배출 시의 FD의 전위 변화가 크기 때문에, 용량 커플링이 인접 화소의 FD의 신호 전하에 주는 영향도 크기 때문에, 상술한 제1 및 제2 예비

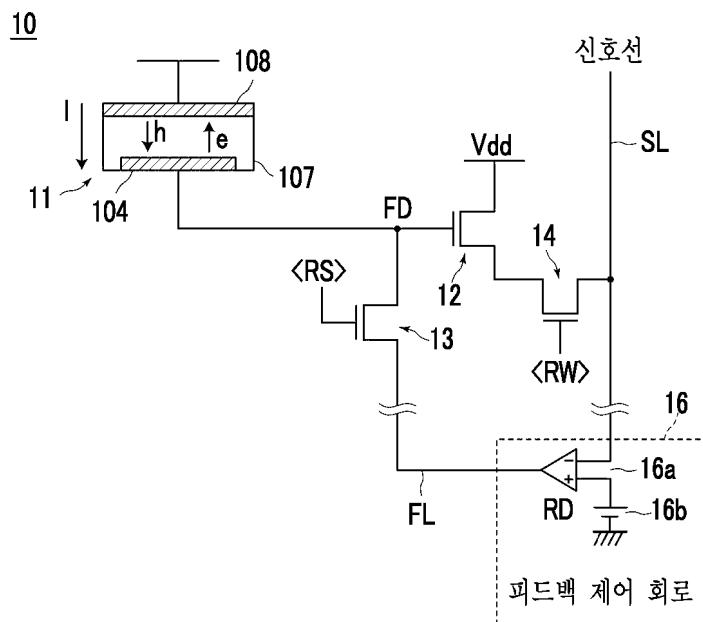
배출의 효과를 보다 현저하게 얻을 수 있다.

[0120] 단, 이러한 구성의 경우, FD의 전위가 과도하게 상승하여 회로가 파괴될 가능성이 있기 때문에, 도 10에 나타내는 바와 같이, FD에 보호 회로(17)를 마련한 구성으로 해도 된다. 독출 회로(116)의 구성부품이 많아지기 때문에, 커플링률이 커지지만, 본 실시형태에 의하면 커플링률에 의한 화질의 저하를 억제할 수 있기 때문에 문제없다.

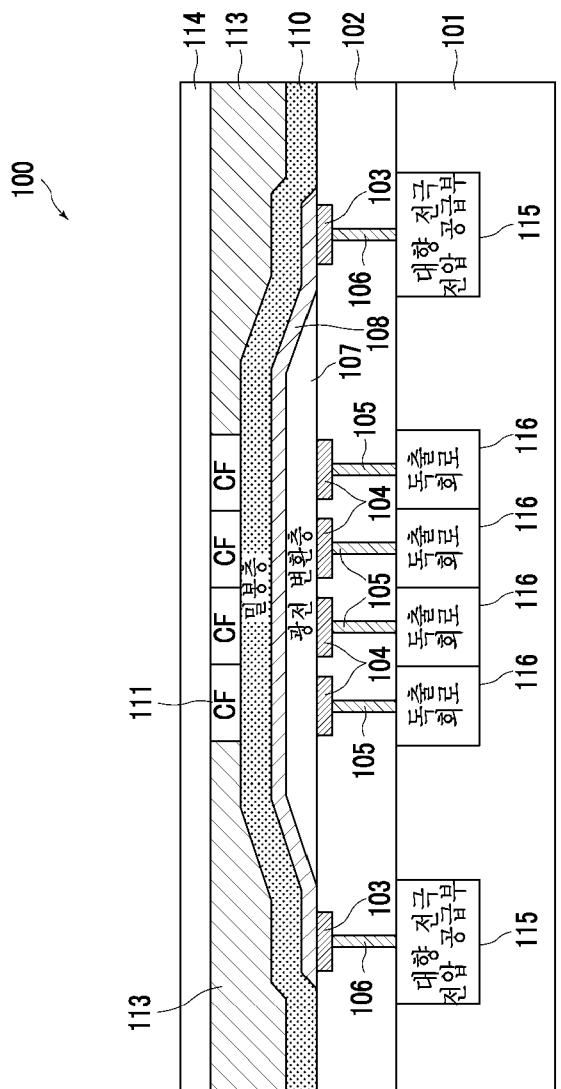
[0121] 또, 상술한 실시형태의 고체 활상 소자는, 다양한 활상 장치에 이용할 수 있다. 활상 장치로서는, 예를 들면 디지털 카메라, 디지털 비디오 카메라, 전자 내시경, 카메라 기능이 있는 휴대전화 등이 있다.

도면

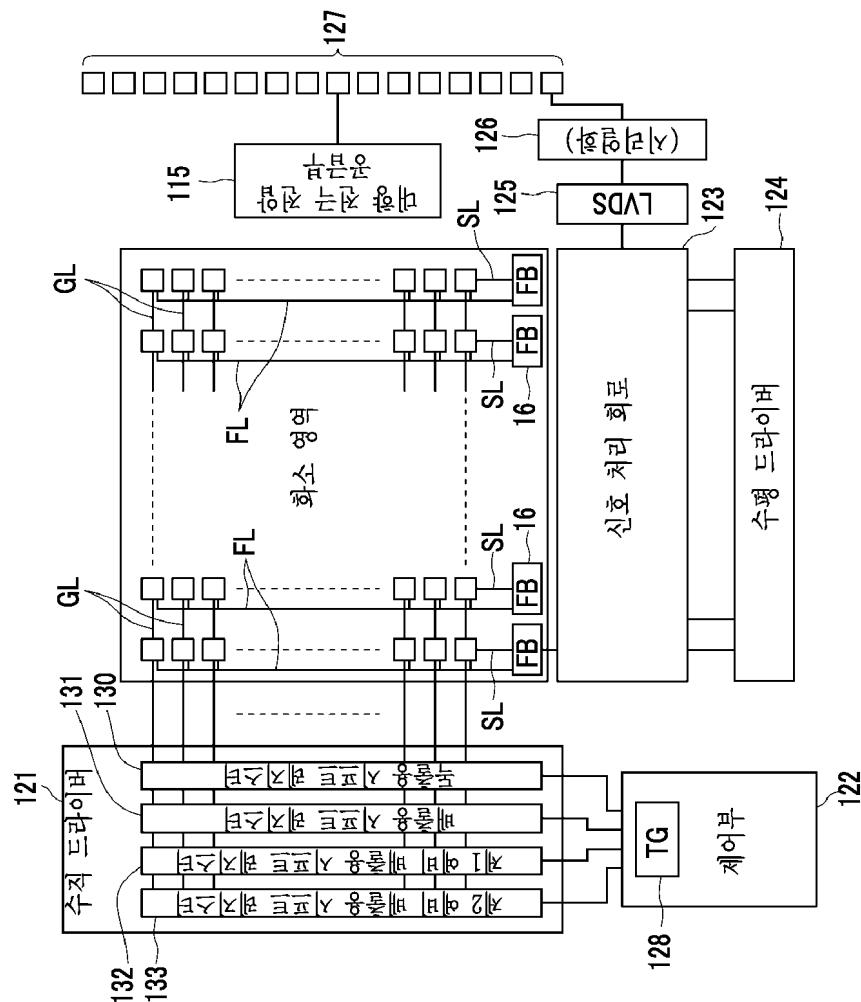
도면1



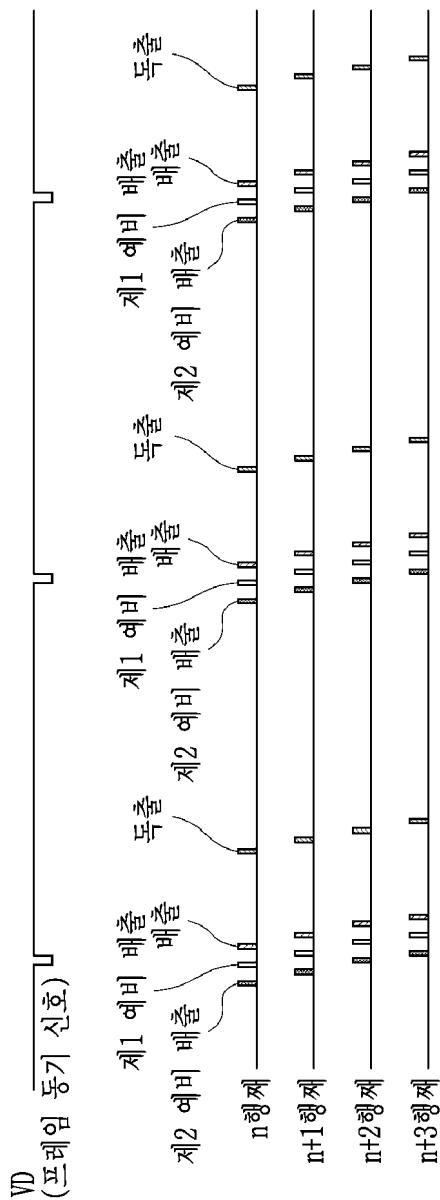
도면2



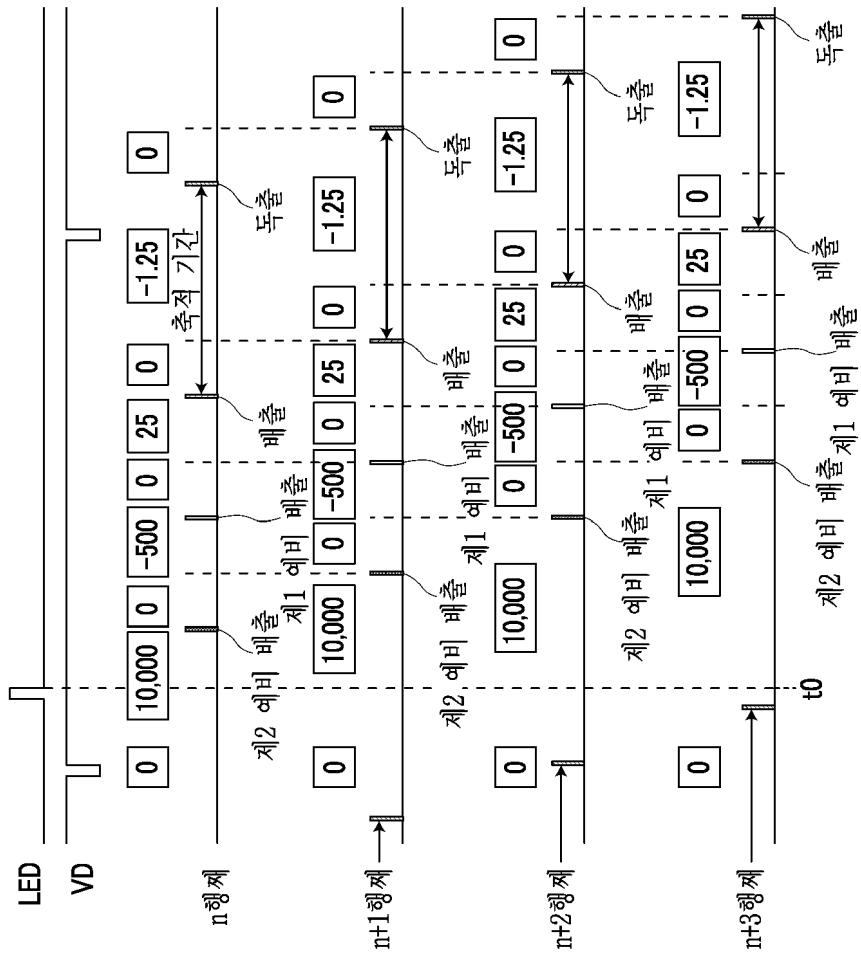
도면3



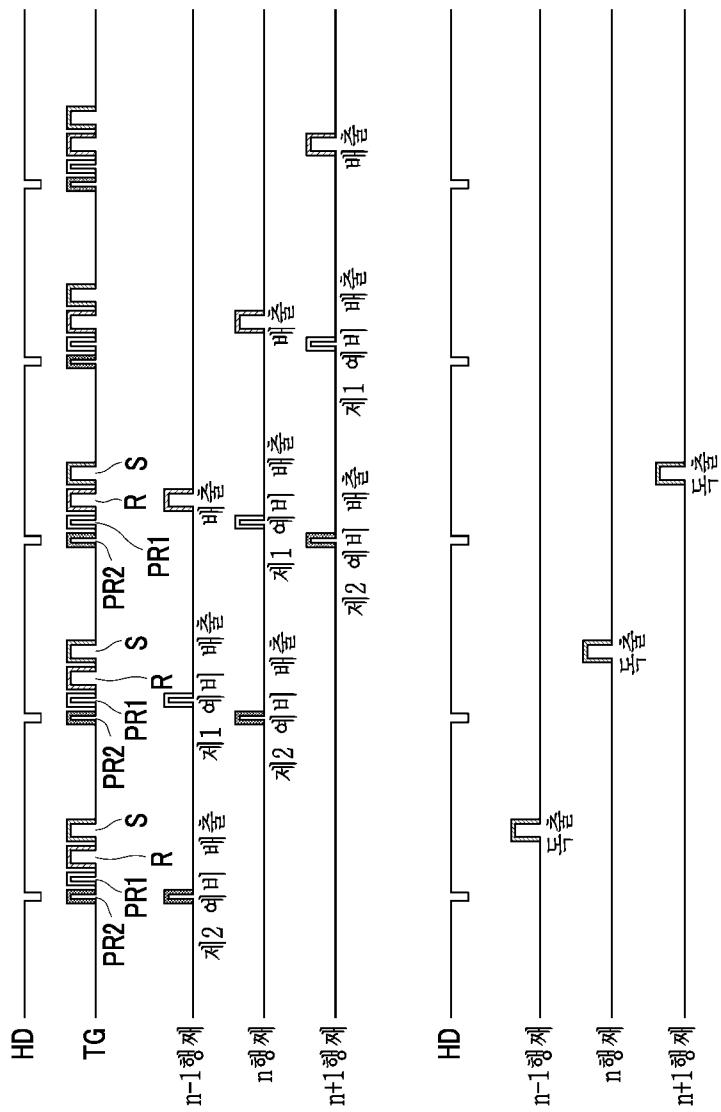
도면4



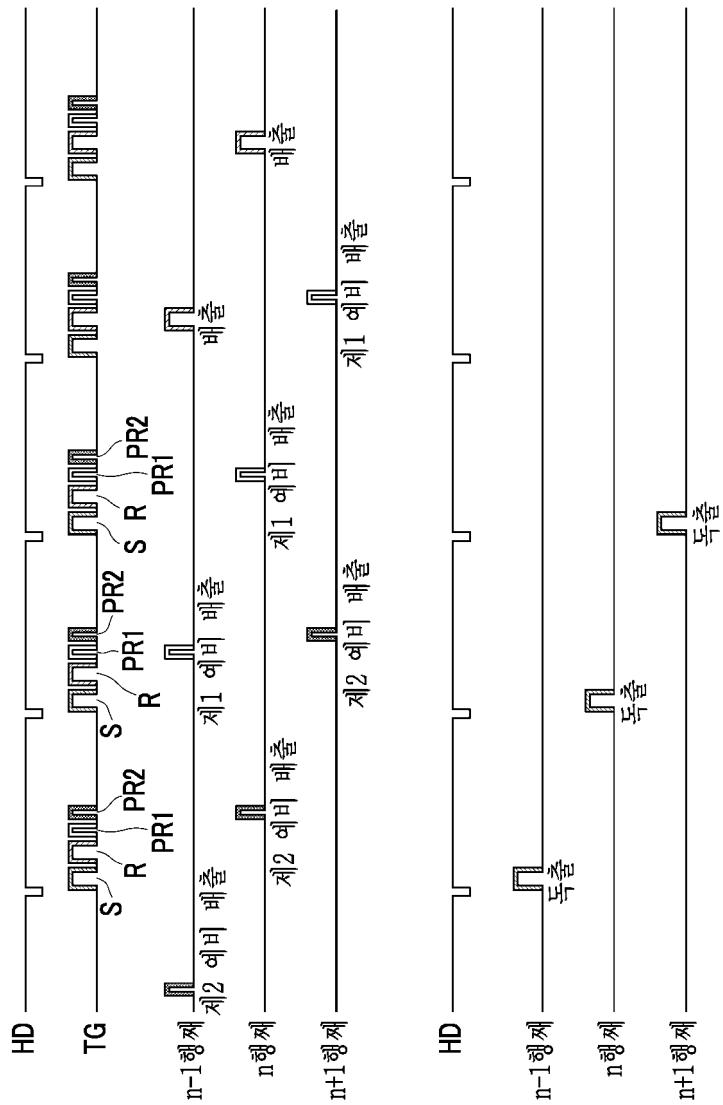
도면5



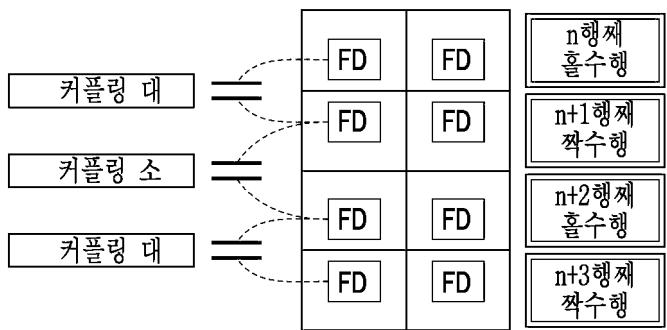
도면6



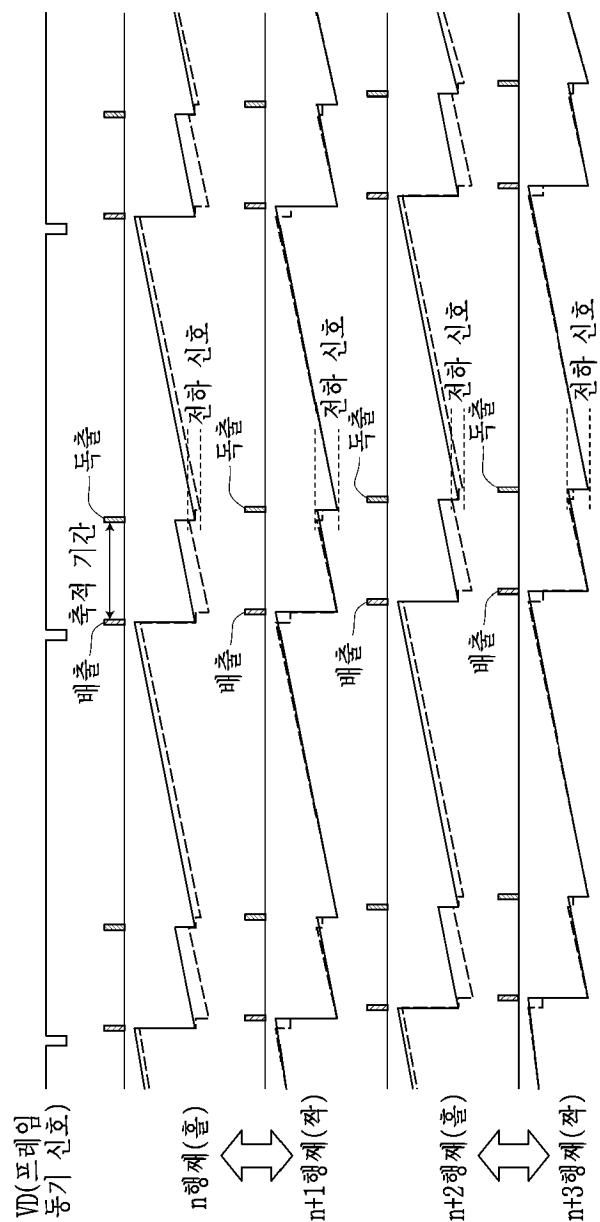
도면7



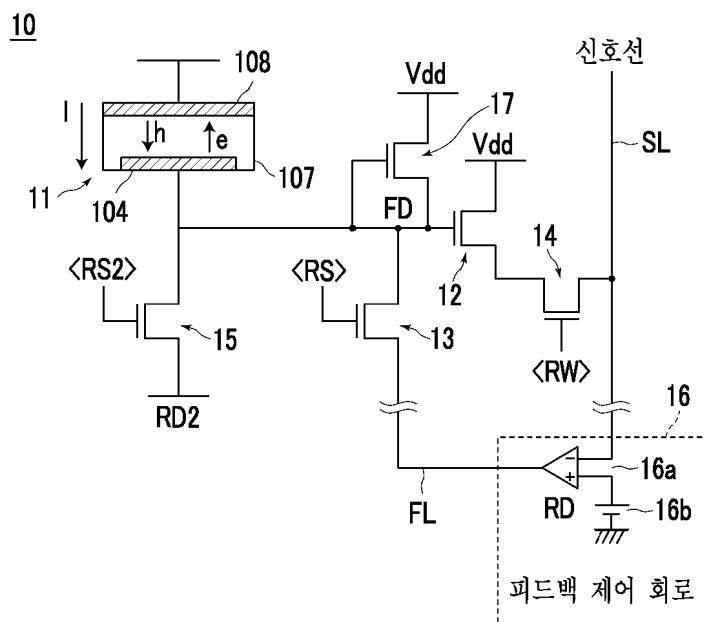
도면8



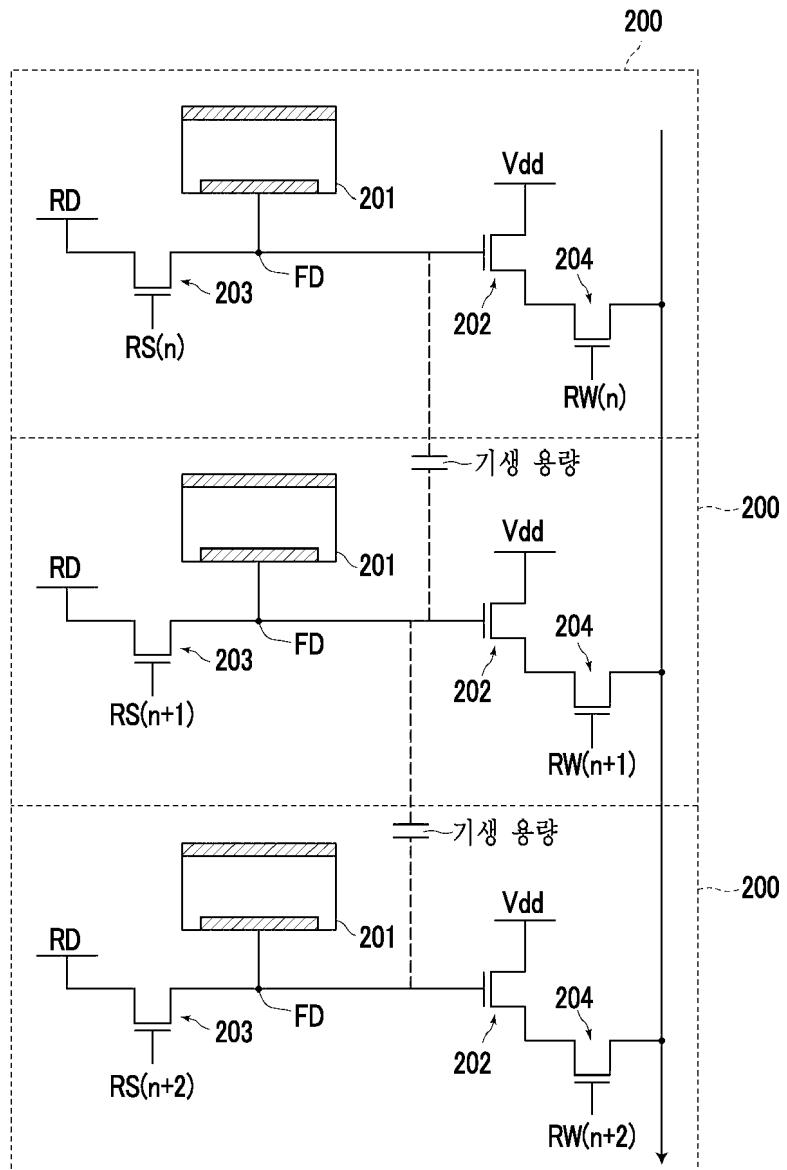
도면9



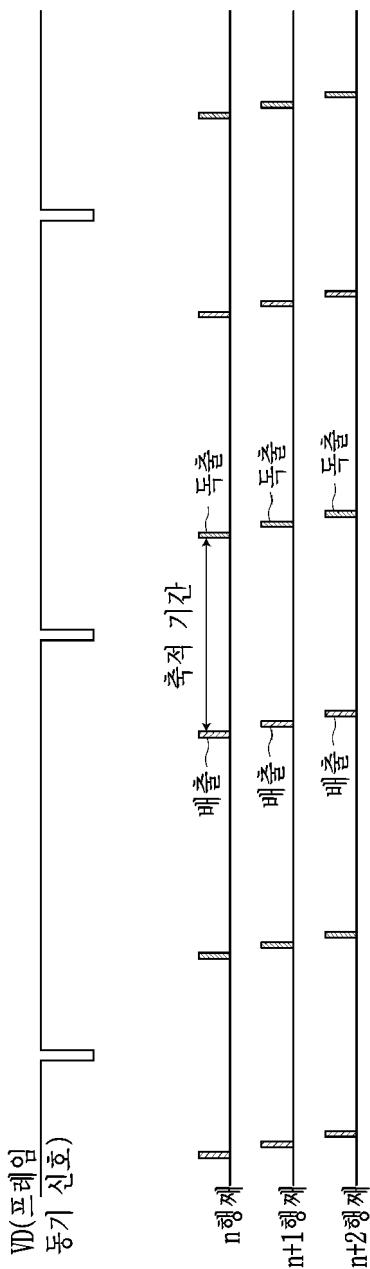
도면10



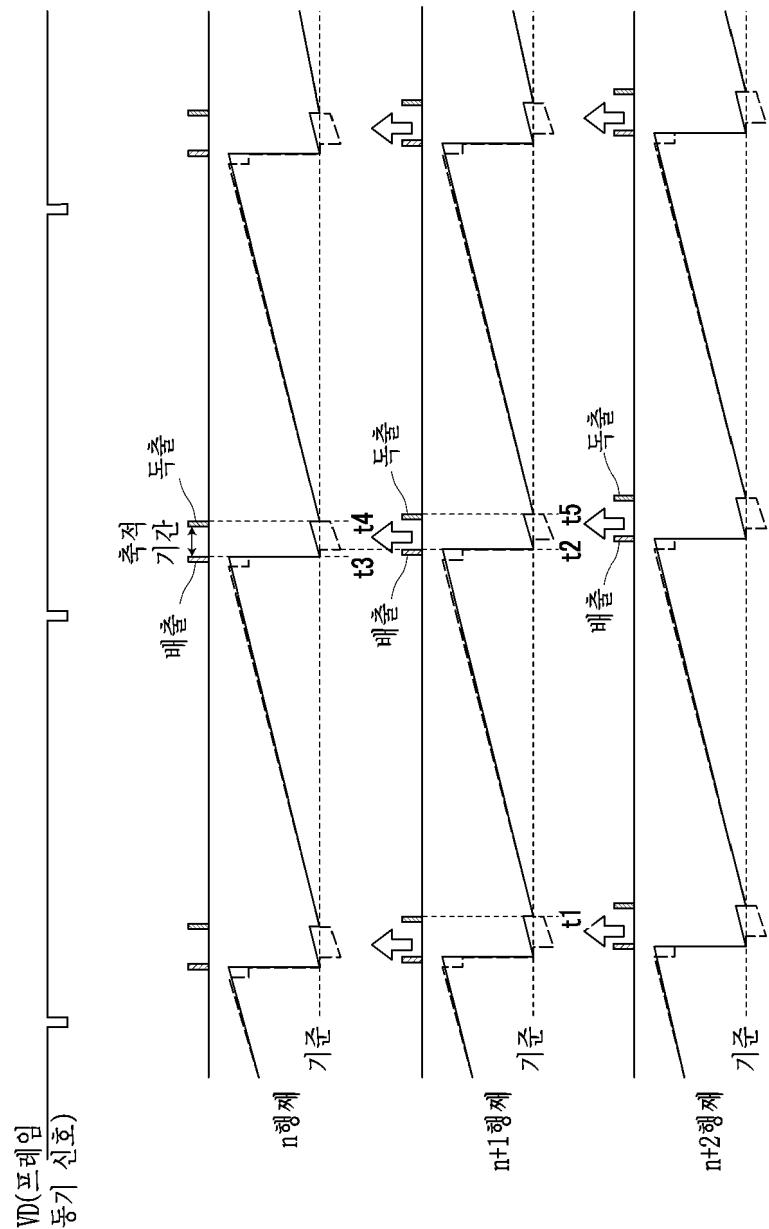
도면11



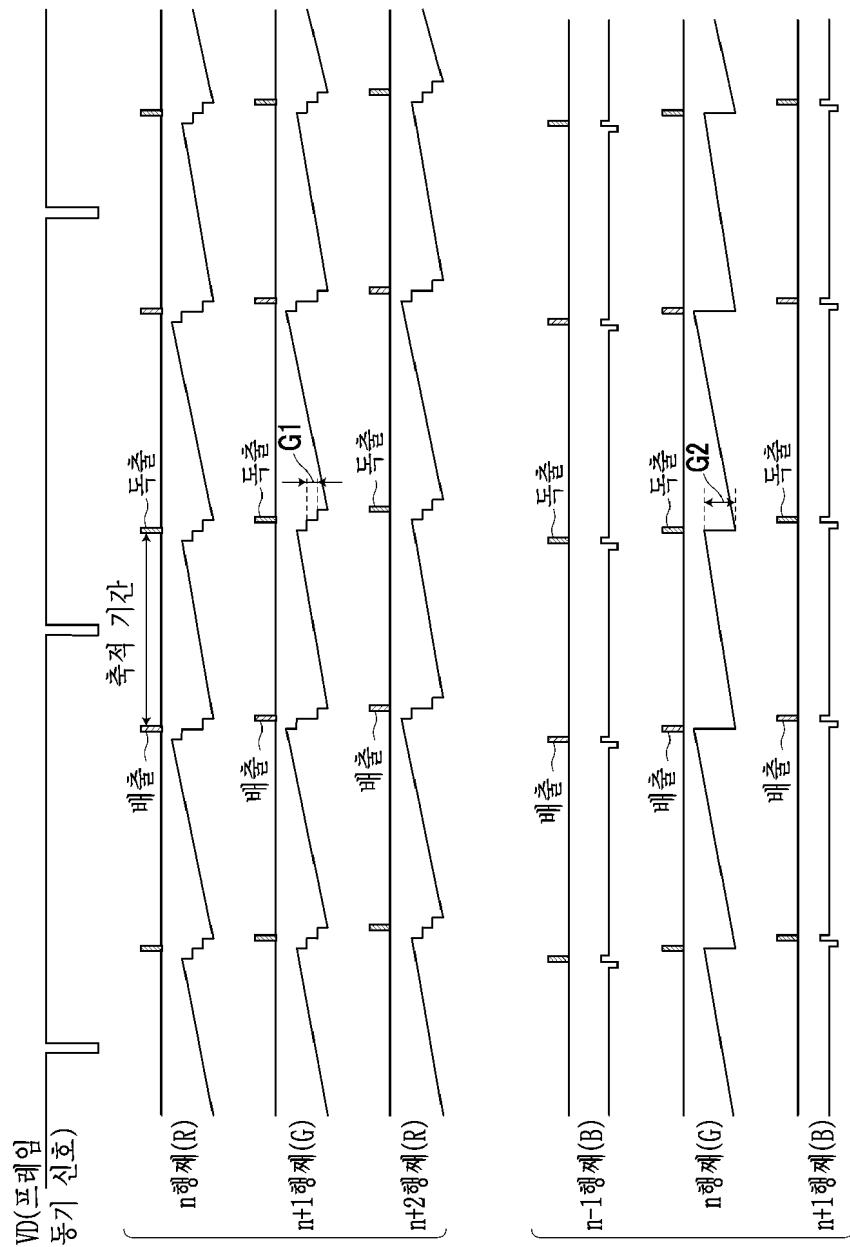
도면12



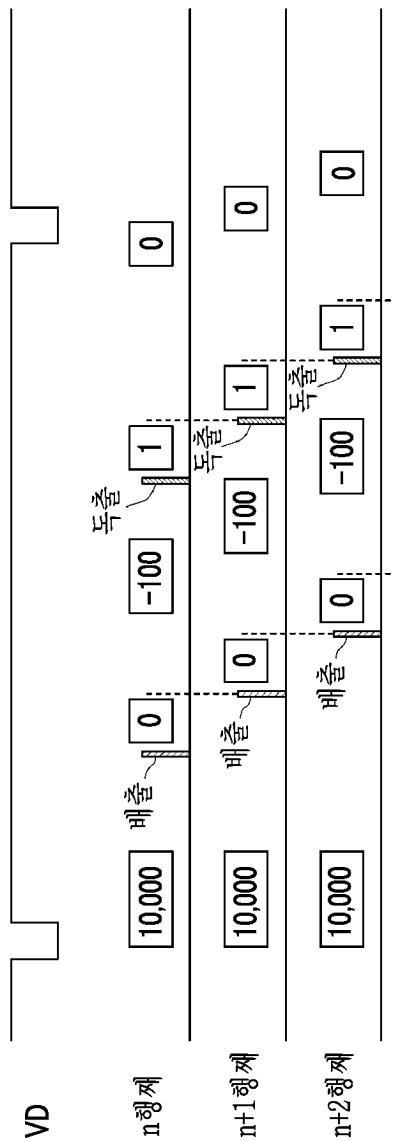
도면13



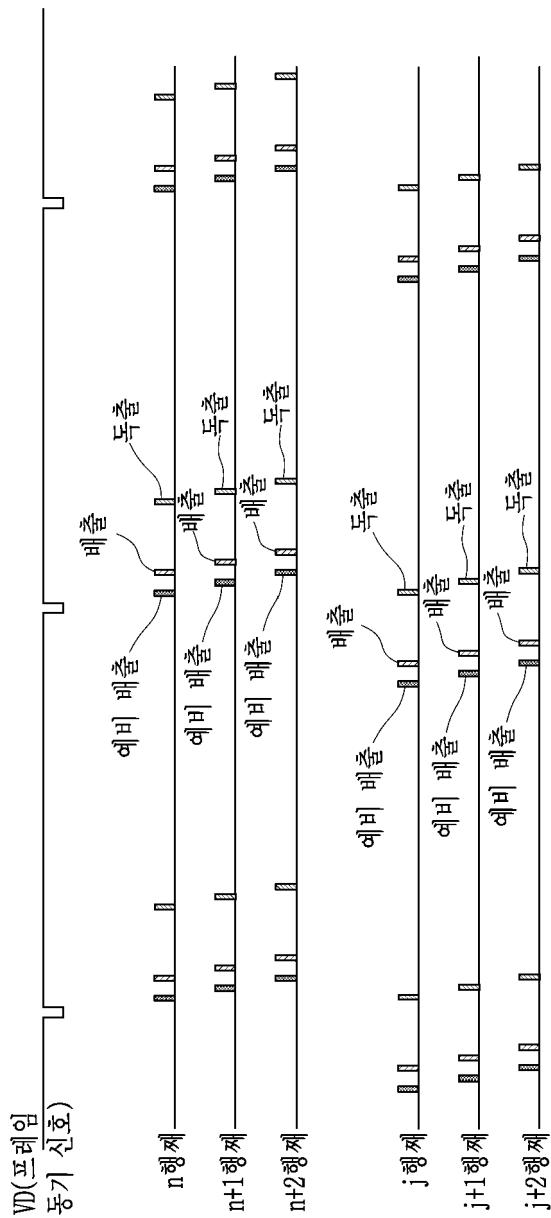
도면14



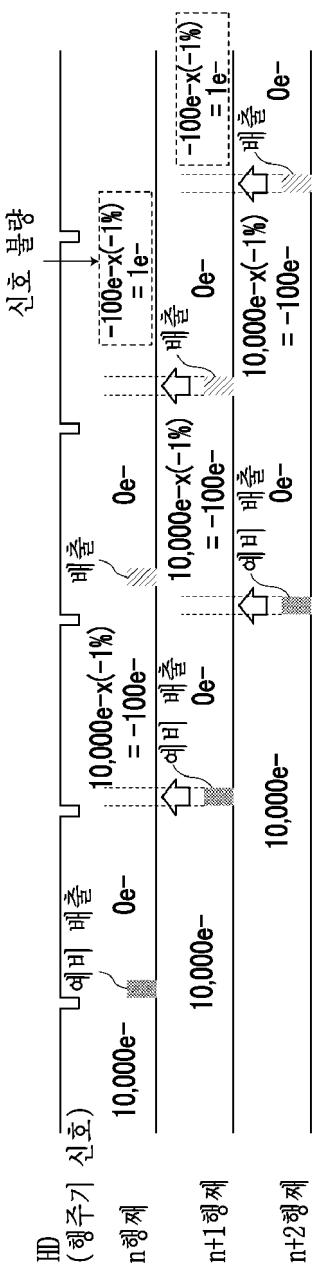
도면15



도면16



도면17



도면18

