(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3675500号
(P3675500)
(45)発行日　平成17年7月27日(2005.7.27)　(24)登録日　平成17年5月13日(2005.5.13)

(51)Int.Cl.[7]　F I
H01L 21/8247　H01L 27/10　434
H01L 27/115　H01L 29/78　371
H01L 29/788
H01L 29/792

請求項の数 1　(全 20 頁)

(21)出願番号　特願平6-210169
(22)出願日　平成6年9月2日(1994.9.2)
(65)公開番号　特開平8-78643
(43)公開日　平成8年3月22日(1996.3.22)
審査請求日　平成12年9月5日(2000.9.5)

前置審査

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100064285
弁理士　佐藤　一雄
(74)代理人　100077609
弁理士　玉真　正美
(74)代理人　100082991
弁理士　佐藤　泰和
(72)発明者　岩　田　佳　久
神奈川県川崎市幸区小向東芝町１　株式会社東芝　研究開発センター内
(72)発明者　中　村　　寛
神奈川県川崎市幸区小向東芝町１　株式会社東芝　研究開発センター内

最終頁に続く

(54)【発明の名称】不揮発性半導体記憶装置

(57)【特許請求の範囲】

【請求項１】

半導体基板上に、ゲート絶縁膜を介して、電荷蓄積層と制御ゲート線が、互いの間に層間絶縁膜を介して、積層された電気的書替え可能な不揮発性半導体メモリセルが第１の方向に複数直列接続され、その両端に選択ゲート素子を有するＮＡＮＤセルが配列された不揮発性記憶装置であって、

前記メモリセルの電荷蓄積層と同じ配線層で構成され、前記選択ゲート素子のゲート電極をなす選択ゲート線と、前記メモリセルの前記制御ゲート線と同じ配線層で構成され、絶縁膜を隔てて前記選択ゲート線上に位置する選択ゲート上部隣接線と、を備え、

前記ＮＡＮＤセルの複数は第１の方向と直交する第２の方向に並んでおり、これらのＮＡＮＤセルを構成する各選択ゲート素子における選択ゲート線が順次つながって共通選択ゲート線となると共に、前記選択ゲート上部隣接線がつながって、直接電位を与えられないフローティング状態にある共通選択ゲート上部隣接線となっており、

前記共通選択ゲート線に対して前記共通選択ゲート上部隣接線を挟んで対向し、前記共通選択ゲート線よりも低抵抗な副選択ゲート線をさらに備え、

この上部隣接線は所定長さ毎の分断隣接線に分断されて分断箇所が形成されており、

ある前記ＮＡＮＤセルの一方の一端の選択ゲート素子のゲート電極をなす第１の前記共通選択ゲート線は、ある前記ＮＡＮＤセルと第１の方向に隣接する別の前記ＮＡＮＤセルにおける隣り合う第２の共通選択ゲート線と接続しており、その接続箇所に隣接した前記第１の共通選択ゲート線上及び第２の選択ゲート線上に、それぞれ、前記分断箇所が形成

されており、また、その接続箇所において、前記第１及び第２の共通選択ゲート線に共通に１つのコンタクトを形成し、前記１つのコンタクトによって、前記第１及び第２の共通選択ゲート線と前記第１及び第２の共通選択ゲート線に共通した１本の低抵抗な前記副選択ゲート線とを接続し、

ある前記ＮＡＮＤセルの他方の一端の選択ゲート素子のゲート電極をなす第３の前記共通選択ゲート線は、前記分断箇所において、前記第３の共通選択ゲート線と前記副選択ゲート線とが接続されている

ことを特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】

本発明は、電気的に書替え可能な不揮発性半導体記憶装置（ＥＥＰＲＯＭ）に係り、特にＮＡＮＤセル構成のメモリセルアレイを有するＥＥＰＲＯＭに関する。

【０００２】

【従来の技術】

電気的に書替え可能な不揮発性メモリとして、書込み／消去を行う複数のセルを直列接続してメモリセル配列を構成し、この各メモリセル列の一端とソース線の間、およびメモリセル列の他端とビット線コンタクトの間に選択ゲートを配置した、高集積化可能なＮＡＮＤセル型ＥＥＰＲＯＭが知られている。従来のＮＡＮＤセル型ＥＥＰＲＯＭにおけるメモリセルアレイの一つのＮＡＮＤセル部分の平面図と等価回路図を図２２（ａ），（ｂ）に、図２２（ａ）のＬ－Ｌ′，Ｍ－Ｍ′およびＮ－Ｎ′断面図を図２３、図２４（ａ），（ｂ）に、従来例に係るメモリセルアレイ中の複数のＮＡＮＤセル配列の平面図を図２５に、従来例に係る図２５中に（Ⅴ）、（Ⅵ）で示す選択ゲートコンタクト領域の平面図と断面図を図２６（ａ），（ｂ）に示し、図２６（ｂ）の要部斜視説明図を図２７に示す。これらの図を用いて以下に従来技術の説明を行う。なお、特に、図２２，図２３中において、１９は拡散層、14_1～14_8は浮游ゲート、14_9，14_{10}は選択ゲート線、16_1～16_8（CG_1～CG_8）は制御ゲート線、16_9，16_{10}は選択ゲート上部隣接配線、１８（ＤＬ）はビット線、S_1，S_2は選択トランジスタ、M_1～M_8はメモリセルである。図２３において１１は半導体基板、１３はゲート酸化膜、１５，１７は層間絶縁膜である。図２４において、１２はフィールド酸化膜である。その他、これらの各図において、同一の符号は同一の構成要素を示す。特に、図２３からわかるように、選択ゲート線14_9，14_{10}と浮游ゲート14_1～14_8は同一の工程で同一の材質で比較的高抵抗のものとして構成される。その理由は、例えば浮遊ゲートをｎ型ポリシリコンで形成したとすると、ｎ型ドーパントである例えばリン濃度が濃いとゲート酸化膜１３の信頼性をおとすといわれているためである。また、隣接配線16_9，16_{10}と制御ゲート線16_1～16_8は、同一の工程で同一の材質で、上記選択ゲート線14_9，14_{10}や浮游ゲート14_1～14_8よりも低抵抗のものとして構成される。

【０００３】

上述のように、通常、選択ゲート線14_9，14_{10}（図２３）の材料としては高抵抗な配線材料が用いられる。このため、選択ゲート線14_9，14_{10}の抵抗は高くなって、選択ゲート線14_9，14_{10}への充放電所要時間が長くなる。図２２（ｂ）中の素子（選択ゲート）S_1，S_2を駆動させるゲート電極はノード（選択ゲート線）14_9，14_{10}（図２３）である。このため、選択ゲート線14_9，14_{10}への充放電所要時間が長い場合には、選択ゲート線の充放電を含む動作の動作所要時間が長くなるという問題が生じる。この動作所要時間を短縮させるため、従来は、メモリセルアレイ中では、選択ゲート線の実効的な抵抗を低下させる方法を用いている。この方法を実現するため、図２５の選択ゲートコンタクト領域（Ⅴ），（Ⅵ）が用いられる。

【０００４】

図２６に示す方法は、図２５の選択ゲートコンタクト領域（Ⅴ），（Ⅵ）において、ノード14_9，14_{10}をビット線１８と同一の材質の配線層１８ａ，１８ｂによって、それぞ

れ選択ゲート上部隣接配線16_9，16_{10}に接続させている。図２６（ａ）の０－０′断面が（ｂ）に、要部斜視図が図２７に示される。図２６，図２７の方法を用いれば、選択ゲート線14_9，14_{10}の配線材よりも低抵抗の配線材により形成した選択ゲート上部隣接配線16_9，16_{10}を、メモリセル中で、選択ゲート線14_9，14_{10}と接続することができ、選択ゲート線の実効的な抵抗を低下させることができる。図２５中の選択ゲートコンタクト領域（Ｖ），（VI）は、メモリセルアレイ中では、ビット線数十本～数百本おきに設けられる。このため、通常数箇所～数十箇所が設けられることになる。この場合には、選択ゲート線14_9，14_{10}の充放電所要時間は、高抵抗にある配線部分の放充電所要時間、つまり選択ゲート線14_9，14_{10}と選択ゲート上部隣接配線16_9，16_{10}とのコンタクトに挟まれた選択ゲート線部分の充放電時間が支配的となる。上述したように、選択ゲート線は選択ゲート上部隣接配線とのコンタクト領域により数分割～数十分割されることになる。このため、図２５中の選択ゲートコンタクト領域（Ｖ），（VI）をメモリセル中に配設しない場合に比べて、充放電所要時間が数分の１～数十分の１となる。

【０００５】

このように従来は、上記した選択ゲート線への充放電時間の短縮を実現するため、つまり選択ゲート線14_9，14_{10}の実効的な抵抗を低下させるために、図２５中の選択ゲートコンタクト領域（Ｖ），（VI）において、選択ゲート上部隣接配線16_9，16_{10}に対して選択ゲート線14_9，14_{10}をバイパス的に接続させていた。通常、これらの線16_9，16_{10}の配線材抵抗は選択ゲート線14_9，14_{10}の配線材抵抗に比べて低くなっている。このため、選択ゲート上部隣接線16_9，16_{10}と選択ゲート線14_9，14_{10}を接続することにより、選択ゲート線14_9，14_{10}の実効的な抵抗を低下させることができる。

【０００６】

しかしながら、従来方式では、選択ゲートコンタクト領域（Ｖ），（VI）における配線へのコンタクト数が、特に図２７からわかるように、選択ゲート線１本あたり３個と多いため、選択ゲートコクタクト領域の幅を広くとらねばならない。この選択ゲートコンタクト領域はメモリセルアレイ中に数十箇所程度存在するため、この領域の１個あたりの幅が広くなるとメモリセルアレイ中の選択ゲートコンタクト領域面積が大幅に大きくなり、チップ面積の大幅な増大を招く、という問題があった。また、チップ面積の増大を防ぐために、メモリセルアレイ中の選択ゲートコンタクト領域数を減らすと、選択ゲート線への充放電所要時間が長くなり、選択ゲート線充放電を含む動作の動作所要時間が長くなるという問題があった。

【０００７】

図２８は、隣り合った２つの選択ゲート線（例えば、図２５のSG_1，SG_2）が一体となっており、１つのビット線１８で同時にバイパスさせるようにした例を示し、その断面も図２６（ｂ）と同様に示される。この例においても、上述したところと同様である。

【０００８】

また、ビット線配線１８は選択ゲート線１４，１６の上層の配線層で構成される。ビット線コンタクト部のコンタクト開孔において、加工マージンをあげるためコンタクト開孔にテーパを付ける手段がよく用いられる。これを図２９（ａ）～（ｃ）に示す。即ち、その方法は、図２９（ａ）に示すように、コンタクト孔を非等方性エッチング（ＲＩＥ）でエッチングした後、レジストR_{10}を残したまま等方性エッチングする。これにより、コンタクト孔の上部穴C_{10}が形成される。この穴C_{10}により、１８の配線層がコンタクト部で切断するのが防げる。ただし、等方性エッチング量が多いと配線１６とビット線１８がショートする可能性がでてくる。この後、同図（ｂ）からわかるように、等方性エッチングでコンタクト孔の下部孔C_{11}を形成する。この後、レジストR_{10}を除去し、ここにビット線を埋め込む。

【０００９】

【発明が解決しようとする課題】

以上のように従来のＮＡＮＤセル型ＥＥＰＲＯＭでは、選択ゲートコンタクト領域の幅を

広くとらねばならない。この選択ゲートコンタクト領域はメモリセルアレイ中に数十箇所程度存在するため、チップ面積の大幅な増大を招く、という問題があった。また、チップ面積の増大を防ぐために、メモリセルアレイ中の選択ゲートコンタクト領域数を減らすと、選択ゲート線への充放電所要時間が長くなり、選択ゲート線充放電を含む動作の動作所要時間が長くなるという問題があった。

【００１０】

本発明は、選択ゲート線充放電を含む動作の動作所要時間を長くすることなく、従来よりチップ面積を大幅に縮小することを可能としたＮＡＮＤセル型ＥＥＰＲＯＭを提供することを目的とする。

【００１１】

【課題を解決するための手段】

本発明の不揮発性半導体記憶装置は、半導体基板上に、ゲート絶縁膜を介して、電荷蓄積層と制御ゲート線が、互いの間に層間絶縁膜を介して、積層された電気的書替え可能な不揮発性半導体メモリセルが第１の方向に複数直列接続され、その両端に選択ゲート素子を有するＮＡＮＤセルが配列された不揮発性記憶装置であって、前記メモリセルの電荷蓄積層と同じ配線層で構成され、前記選択ゲート素子のゲート電極をなす選択ゲート線と、前記メモリセルの前記制御ゲート線と同じ配線層で構成され、絶縁膜を隔てて前記選択ゲート線上に位置する選択ゲート上部隣接線と、を備え、前記ＮＡＮＤセルの複数は第１の方向と直交する第２の方向に並んでおり、これらのＮＡＮＤセルを構成する各選択ゲート素子における選択ゲート線が順次つながって共通選択ゲート線となると共に、前記選択ゲート上部隣接線がつながって、直接電位を与えられないフローティング状態にある共通選択ゲート上部隣接線となっており、前記共通選択ゲート線に対して前記共通選択ゲート上部隣接線を挟んで対向し、前記共通選択ゲート線よりも低抵抗な副選択ゲート線をさらに備え、この上部隣接線は所定長さ毎の分断隣接線に分断されて分断箇所が形成されており、ある前記ＮＡＮＤセルの一方の一端の選択ゲート素子のゲート電極をなす第１の前記共通選択ゲート線は、ある前記ＮＡＮＤセルと第１の方向に隣接する別の前記ＮＡＮＤセルにおける隣り合う第２の共通選択ゲート線と接続しており、その接続箇所に隣接した前記第１の共通選択ゲート線上及び第２の選択ゲート線上に、それぞれ、前記分断箇所が形成されており、また、その接続箇所において、前記第１及び第２の共通選択ゲート線に共通に１つのコンタクトを形成し、前記１つのコンタクトによって、前記第１及び第２の共通選択ゲート線と前記第１及び第２の共通選択ゲート線に共通した１本の低抵抗な前記副選択ゲート線とを接続し、ある前記ＮＡＮＤセルの他方の一端の選択ゲート素子のゲート電極をなす第３の前記共通選択ゲート線は、前記分断箇所において、前記第３の共通選択ゲート線と前記副選択ゲート線とが接続されていることを特徴とするものとして構成される。

【００１８】

【作用】

本発明においては、選択ゲート線への電荷転送経路として選択ゲート上部隣接配線を用いないため、メモリセルアレイ内での選択ゲート上部隣接配線と他配線とのコンタクト数を減少させることができ、選択ゲートコンタクト領域の１個あたりの幅を従来より狭くできる。この様にして本発明によれば、従来より選択ゲートコンタクト領域数を減らすことなく、つまり選択ゲート線への充放電所要時間が長くなることによる選択ゲート線充放電を含む動作の動作所要時間の長時間化を招くことなく、メモリセルアレイ内の選択ゲートコンタクト領域総面積が大幅に減少し、チップ面積の縮小を実現される。

【００１９】

また、選択ゲート線と上部隣接配線とを接続しないようにしたので、ビット線と上部隣接配線とがショートしても、ビット線と選択ゲート線とがショートする事はなくなる。

【００２０】

【実施例】

以下、本発明の実施例を図面を参照して説明する。

【００２１】
図１は、本発明の一実施例のＮＡＮＤセル型ＥＥＰＲＯＭのシステム構成を示すブロック図である。メモリセルアレイ１に対して、データ書込み、読出し、再書込み、書込みベリファイ読出し及び消去ベリファイ読出しを行うために、ビット線制御回路２が設けられている。このビット線制御回路２は、データ入出力バッファ６につながっており、図のアドレスバッファ４からのアドレス信号を受けるカラムデコーダ３の出力を入力として受ける。また、メモリセルアレイ１に、制御ゲートと選択ゲートを制御するためのロウデコーダ５とが設けられている。さらに、メモリセルアレイ１が形成されるｐ基板（又はｐ型ウエル）の電位を制御するための基板電位制御回路７が設けられている。

【００２２】
図２（ａ），（ｂ）は、メモリセルアレイ１中の一つのＮＡＮＤセルの平面図と等価回路図である。図３，図４（ａ），（ｂ）はそれぞれ図２（ａ）のＡ－Ａ′，Ｂ－Ｂ′およびＣ－Ｃ′断面図である。図５は図３の分離状態の部分斜視説明図である。特に図２～図４からわかるように、ｐ型シリコン基板（又はｐ型ウエル）１１における素子分離酸化膜１２で囲まれた部分にメモリセルM_iが構成され、８個のメモリセルM_iによって１つのＮＡＮＤセルが構成され、複数のＮＡＮＤセルN^c、によってメモリセルアレイ１が形成されている。

【００２３】
特に、図３からわかるように、メモリセルM_iは、それぞれ、基板１１にゲート絶縁膜１３を介して浮遊ゲート14_i（14_1，14_2，…，14_8）を形成し、この上に層間絶縁膜１５を介して制御ゲート線16_i（16_1，16_2，…，16_8）を形成することにより構成されている。これらのメモリセルM_iのソース・ドレインであるｎ型拡散層１９は、隣接するもの同志共用するものとして形成されたもので、これによりメモリセルが直列接続される。

【００２４】
特に、図３からわかるように、ＮＡＮＤセルN_cの両端には、メモリセルM_iの浮遊ゲート14_i、制御ゲート線16_iと同時に形成された選択ゲート線14_9及び14_{10}、選択ゲート上部隣接配線16_9および16_{10}がそれぞれ設けられている。14_1～14_{10}，16_1～16_{10}で示される各ノードは、セルファライン技術を用いて加工される。

【００２５】
図３において、素子形成後の基板はＣＶＤ酸化膜１７により覆われ、この上にビット線１８が配設されている。ビット線１８は、ＮＡＮＤセルの一端としてのドレイン側拡散層19_0にコンタクトされている。図２において、列方向に並ぶ制御ゲート線16_iは、行方向に走る制御ゲート線CG_1，CG_2，…，CG_8として配設されている。これら制御ゲート線CG_iはいわゆるワード線である。選択ゲート線14_9及び14_{10}もそれぞれ行方向に走る連続的な選択ゲート線SG_1，SG_2として配設されている。また、選択ゲート上部隣接配線16_9，16_{10}も、選択ゲート線14_9及び14_{10}と同様に、それぞれ行方向に走る連続的なものとして配設されている。

【００２６】
上記選択ゲート上部隣接配線16_9，16_{10}は、制御ゲート線16_1，16_8の加工の信頼性を高めるために不可欠な配線である。選択ゲート上部隣接配線16_9，16_{10}がない場合には、制御ゲート線16_1，16_8のそれぞれ外側にはこれらの制御ゲート線と同様の配線材の層が存在しないことになる。この場合には、制御ゲート線16_1～16_8の加工の際の周期性が線16_1，16_8の部分で崩れ、その配線材が線16_1～16_8の間しか周期的に並んでいないこととなり、線16_1，16_8の加工形状の信頼性が悪くなる可能性が高くなる。而して、16_1，16_8はそれぞれメモリセルＭ１，Ｍ８の、いわゆる制御ゲート電極であり、上記のように加工形状が安定しないと、メモリセル特性が変化し、不良を招くことになる。このため、加工形状の安定は絶対的に必要な条件である。このような加工形状の安定を実現するために、選択ゲート上部隣接配線16_9，16_{10}が設けられている。つまり、隣接配線16_9，16_{10}を設けることにより、配線材加工の際の周

期性を16_9～16_{10}の全範囲で保つことができ、これによって、制御ゲート線16_1～16_8の加工の安定を実現できる。従って、選択ゲート上部隣接配線16_9，16_{10}は制御ゲート線の加工安定実現に不可欠な配線である。

【００２７】

また、図２において、ビット線１８上にＣＶＤ酸化膜１９が形成され、この上に、選択ゲート線14_9，14_{10}のそれぞれと同電位にある副選択ゲート線20_1，20_2が配設されている。この副選択ゲート線20_1，20_2を形成する配線材は、選択ゲート線14_9，14_{10}を形成する配線材よりも低抵抗の材料が用いられる。

【００２８】

なお、選択ゲート線14_9，14_{10}と基板１１との間のゲート絶縁膜13_0を、図３に示すように、メモリセル部のゲート絶縁膜１３よりも厚くして、その信頼性を高めるようにしてもよい。

【００２９】

図６は、このようなＮＡＮＤセルがマトリックス配列されたメモリセルアレイの等価回路を示している。

【００３０】

図７に、メモリセルアレイ中の複数のＮＡＮＤセルを配列したものの平面図を示す。選択ゲート線14_9，14_{10}の材料として用いられる配線材には通常高抵抗な材料が用いられている。このため、選択ゲート線14_9，14_{10}への充放電所要時間が長くなる。図２（ｂ）中の素子Ｓ１，Ｓ２を駆動させるゲート電極はノード（選択ゲート）14_9や14_{10}なので、選択ゲート線14_9，14_{10}への充放電所要時間が長い場合には、選択ゲートの充放電動作を含む全動作所要時間が長くなるという問題につながる。この動作所要時間を短縮させるため、メモリセルアレイ中では、選択ゲート線の実効的な抵抗を低下させる方法を用いている。この方法を実現するために図６の（Ｉ），（II）の領域（以下、選択ゲートコンタクト領域、と称す。）を用いている。

【００３１】

図７の選択ゲートコンタクト領域（Ｉ），（II）の一具体例を図８（ａ）に示す。図８（ａ）では、図７の選択ゲートコンタクト領域（Ｉ），（II）において、ノード14_9，14_{10}をそれぞれ副選択ゲート線20_1，20_2に接続させている。図８（ａ）中のＥ－Ｅ′およびＦ－Ｆ′断面図をそれぞれ図８（ｂ），（ｃ）に示す。図８（ｃ）の斜視図は図９に示される。図８（ａ）の方法を用いることにより、選択ゲート線14_9や14_{10}の配線材より低抵抗の配線材を用いた副選択ゲート線20_1，20_2を、メモリセル中で選択ゲート線14_9や14_{10}に対してバイパス状態に接続することができ、選択ゲート線14_9，14_{10}の実効的な抵抗を低下させることができる。図７中の選択ゲートコンタクト領域（Ｉ），（II）を、メモリセルアレイ中で、ビット線の数十本～数百本おきに設ければ、通常数十箇所程度設けられることになる。この場合には、選択ゲート線14_9，14_{10}の充放電の所要時間は、高抵抗にある配線部分での充放電所要時間、つまり選択ゲート線14_9，14_{10}と副選択ゲート線とのコンタクトに挟まれた選択ゲート線部分の充放電時間が支配的となる。上述したように、選択ゲート線は副選択ゲート線とのコンタクトにより数分割～数十分割されることになる。このため、図７中の選択ゲートコンタクト領域（Ｉ），（II）をメモリセル中に配設しない場合に比べて、充放電所要時間を数分の１～数十分の１とすることができる。また、図７中の選択ゲートコンタクト領域（Ｉ），（II）部分では、選択ゲート上部隣接線16_9や16_{10}は他のどの配線とも接続されていない。このため、選択ゲート上部隣接線16_9や16_{10}は、メモリセル中では、常にフローティング状態にあることになる（図１６（ｂ）参照）。この選択ゲート上部隣接線16_9や16_{10}は、図２，図３の説明で述べたように、制御ゲート線の加工安定化の実現のために必要不可欠な配線であり、特に図９からわかるようにフローティング状態にあるとしても省略することはできない。この様に、メモリセルアレイ内の選択ゲート上部隣接配線16_9，16_{10}がフローティング状態にあることが図８，図９に示した実施例の特徴である。

【００３２】

次に、前記した本発明の第１の実施例を用いたときの、従来例に対する長所を説明する。図２２（ａ），（ｂ）は、従来例における、メモリセルアレイの一つのＮＡＮＤセル部分の平面図と等価回路図であり、図２３，図２４（ａ），（ｂ）はそれぞれ図２２（ａ）のＬ－Ｌ′，Ｍ－Ｍ′およびＮ－Ｎ′断面図である。また、従来例におけるメモリセルアレイ中の複数のＮＡＮＤセル配列の平面図を図２５に、図２５における選択ゲートコンタクト領域（図２５中（Ｖ），（VI）に相当）の実施例の一例を図２６（ａ）に示す。従来は、上記した選択ゲート線への電圧充放電時間の短縮を実現するため、つまり選択ゲート線の実効的な抵抗を低下させるために、図２５中の選択ゲートコンタクト領域（Ｖ），（VI）において、選択ゲート上部隣接配線16_9，16_{10}と選択ゲート線14_9，14_{10}とを接続している。通常、これらの配線16_9，16_{10}の配線材抵抗は選択ゲート線14_9，14_{10}の配線材抵抗に比べて低くなっている。このため、選択ゲート上部隣接線16_9，16_{10}と選択ゲート線14_9，14_{10}を接続することにより、選択ゲート線14_9，14_{10}の実効的な抵抗を低下させることができる。しかしながら、従来方式では、選択ゲートコンタクト領域（Ｖ），（VI）における配線へのコンタクト数が選択ゲート線１本あたり３個と多い（図２７参照）。このため、選択ゲートコンタクト領域の幅を広くとらねばならない。ところが、前記第１の実施例（図９に相当）においては、選択ゲートコンタクト領域中には配線へのコンタクト数が選択ゲート線１本あたり１個と少ない。このため、選択ゲートコンタクト領域幅を従来例の１／３程度にできる。この選択ゲートコンタクト領域はメモリセルアレイ中に数十箇所程度存在する。このため、本発明の第１実施例と従来例でのそれぞれは選択ゲートコンタクト領域面積に３倍の違いがある。これにより、本発明の第１実施例を用いると、チップ面積の大幅な縮小が可能となる。また、本発明の第１実施例中では、配線（副選択ゲート線）２０を構成する配線層が従来例に比べて増えている。しかしながら、この配線層の増加によるコストアップよりも、前記したように本発明においてはチップ面積の縮小によるコストダウンの方が効果が大きい。このため、本発明は有用性が大きい。また、メモリセルアレイ内は従来例と同じ構造であっても、センスアンプ・ロウデコーダ、その他の回路パターンや配線において、配線２０に相当する配線を用いる場合、つまりあらかじめメモリセルアレイ以外の部分にのみ使われる配線が存在する場合には、チップ中の破線層の数を増やすことなく、前記本発明の第１実施例を実現できる。従って、このような場合には本発明は特に有効である。

【００３３】

本発明は前記第１実施例の場合に限られるものではなく、種々変更可能である。以下に、本発明に係るその他の実施例の説明を行う。

【００３４】

図１０に、別の実施例の一例を示す。図７において、メモリセルサイズを小さくした場合には、半導体基板１１、素子分離領域１２が小さくなり、隣り合った選択ゲート配線間に図８（ａ）のような異なる配線へのコンタクトを別々に形成するスペースがなくなる場合がある。特に、図７中では、領域ｌ１内にはビット線コンタクトが存在する。このため領域ｌ１はあまり小さくできないが、領域ｌ２内には必ずしもコンタクトを取る必要がない。このため、領域ｌ２は領域ｌ１に比べてより小さくでき、従って隣り合ったソース線側選択ゲート間にそれぞれへのコンタクトを別々に形成できなくなる場合が起こりやすい。この場合には、図１０のように、隣り合った選択ゲート線を接続し、この２本の選択ゲートを同電位として、隣り合った選択ゲートに共通に１つのコンタクトだけをとる方式を用いることもできる。ここで、隣り合ったソース側選択ゲート側にのみ共通のコンタクトだけをとる方式における、メモリセルアレイの１つのＮＡＮＤセル部分の平面図と等価回路図を図１３（ａ），（ｂ）に、また図１３（ａ）のＤ－Ｄ′断面図を図１４に、またソース側選択ゲート側のみに共通コンタクトをとる方式におけるメモリセルアレイ中の複数のＮＡＮＤセル配列の平面図を図１５に示す。また、隣り合った選択ゲートに共通のコンタクトだけをとる方式において従来例を用いた場合を参考として図２８に示す。

【００３５】

図１５におけるこのような選択ゲートコンタクト領域（III），（IV）において、隣り合っ

た２つの選択ゲートに共通に１つのコンタクトのみを形成する場合にも、従来例を用いる場合（図２８に相当）に比べ、本発明の実施例の図１０を用いる場合のほうが、選択ゲートコンタクト領域（III)，（IV）の幅が１／３程度となり、前述のように、従来例を用いる場合に比べてチップ面積を大幅に縮小することができる。

【００３６】

また、隣り合った２つの選択ゲートとしてのそれぞれの配線間に、異なる配線へのコンタクトを別々に形成する方式と、隣り合った２つの選択ゲートに共通に１つのコンタクトだけをとる方式は、前述したように、前者が図８（ａ），図２６（ａ）に、後者が図１０，図２８に相当する。同様に、以下に説明を行う図中においても、前者は図１１（ａ），図１８に、後者は図１２，図１９に相当する。

【００３７】

図１１，１２に別の実施例を示す。図１１，１２に示す実施例では、メモリセルアレイ中の選択ゲート上部隣接配線の両端のうちの片方だけに、選択ゲート上部隣接配線と副選択ゲート線とのコンタクトを取る場合である。また、この方式を使用した場合のうち、図１１（ａ）におけるメモリセルアレイ内の配線の接続構造の概略図を図１７（ａ），（ｂ）に示す。これらの図からわかるように、図１１，１２の方式では、選択ゲート上部隣接配線16_9，16_{10}は選択ゲート線14_9，14_{10}と同電位になる。この場合には、前述したように、通常選択ゲート上部隣接配線16_9，16_{10}の配線材としては、選択ゲート線14_9，14_{10}の配線材のよりも抵抗の低い材料を用いる。このため、選択ゲート線14_9，14_{10}よりも選択ゲート上部隣接配線16_9，16_{10}の方が、電圧充放電動作速度が速くなる。選択ゲート上部隣接配線16_9，16_{10}が先に設定電位まで電位変化すると、選択ゲート線14_9，14_{10}は選択ゲート上部隣接配線16_9，16_{10}との容量カップリングにより、選択ゲート上部隣接配線16_9，16_{10}の電位変化方向と同じ方向、つまり、充電動作時には電位上昇の方向、また放電動作時には電位低下の方向に、電位変化を起こし、この後に選択ゲート線内を伝わってくる電荷によって設定電位まで完全に変化する。このように、図８（ａ），図１０の選択ゲート上部隣接配線16_9，16_{10}がフローティングの場合に比べ、図１１，１２の方式を用いると、選択ゲート上部隣接配線16_9，16_{10}との容量カップリングによる電位変化の分だけ選択ゲート線14_9，14_{10}の電位充放電所要時間を短縮できる。また、選択ゲートコンタクト領域内における配線へのコンタクト数が２個であるため、図２６（ａ），図２８の選択ゲートコンタクト領域内の配線へのコンタクト数が３個の場合に比べ、選択ゲートコンタクト領域幅を小さくでき、従ってチップ面積も従来方式を用いる場合に比べ大幅に縮小できる。また、図８（ａ），図１０に比べると、電位充放電時間は図８（ａ），図１０の場合より少なくなるという長所がある。チップ設計時にどちらを採用するかはチップ動作に基づいて決めればよい。

【００３８】

図１６，図１７に、メモリセルアレイ中およびメモリセルアレイへの選択ゲート線入力部（配線層２０と配線層１４のコンタクト部分周辺に相当）における選択ゲート線14_9，14_{10}、選択ゲート上部隣接配線16_9，16_{10}、副選択ゲート線２０の接続関係を示す。図１６（ａ）はメモリセルアレイ中およびメモリセルアレイへの選択ゲート線入力部における選択ゲート線の平面図、図１６（ｂ），（ｃ），図１７（ａ）～（ｃ）は図１６（ａ）中のＩ－Ｉ′断面図を示す。図１６（ｂ）は、上述した実施例とはまた別の実施例であり、メモリセルアレイ中で選択ゲートに対して他配線の接続を全く行わない場合である。この場合において、選択ゲート線14_9，14_{10}の配線材の抵抗が高いときには、選択ゲートへの充放電動作が長時間化する。この方式でも、選択ゲートへの充放電動作を含む全動作の所要時間が長くても構わない場合、また選択ゲートへの充放電動作を含む全動作の所要時間が選択ゲートへの充放電動作長時間化以外の理由で長い所要時間を必要とするため特に選択ゲートへの充放電動作の高速化の必要がない場合、また選択ゲート線14_9，14_{10}の配線材の抵抗が低くできるため選択ゲート線への充放電動作が長時間化しない場合などには、図１６（ｂ）を使用しても問題はない。また、図１６（ｂ）を用いると、メモリセルアレイ中に選択ゲートコンタクト領域が必要ないため、メモリセルアレイ面積

を上述した実施例の他のどれよりも小さくでき、従ってチップ面積を上述した実施例の中で最小にできる、という長所がある。

【００３９】

また、以上に述べたように、従来は、特に図２７からわかるように、高抵抗な選択ゲート線$14_{9(10)}$を低抵抗化するため、そのゲート線$14_{9(10)}$上の層間絶縁膜１５及び隣接配線$16_{9(10)}$を部分的に取り除き、ビット線１８の足１８ａ，１８ｂを隣接配線$16_{9(10)}$，$16_{9(10)}$及び選択ゲート線$14_{9(10)}$にコンタクトさせて、高抵抗な選択ゲート線$14_{9(10)}$を低抵抗の隣接配線$16_{9(10)}$でバイパスさせている。選択時において、選択ゲート線$14_{9(10)}$には高電圧が印加される。この印加電圧の影響が隣接配線$16_{9(10)}$に及び、この配線$16_{9(10)}$がチャージアップして装置の動作に悪影響を及ぼすこともある。また、外部からの電荷によって隣接配線$16_{9(10)}$がチャージアップすることも考えられる。

【００４０】

従来は、高低抗な選択ゲート線$14_{9(10)}$を低抵抗化するため、そのゲート線$14_{9(10)}$上の層間絶縁膜１５及び隣接配線$16_{9(10)}$を部分的に取り除き、ビット線１８と同一配線層１８ａ，１８ｂを隣接配線$16_{9(10)}$，$16_{9(10)}$及び選択ゲート線$14_{9(10)}$にコンタクトさせて、高低抗な選択ゲート線$14_{9(10)}$を低抵抗の隣接配線$16_{9(10)}$でバイパスさせている。選択時において、選択ゲート線$14_{9(10)}$には高電圧が印加される。この印加電圧の影響が隣接配線$16_{9(10)}$に及びこの配線$16_{9(10)}$がチャージアップして装置の動作に悪影響を及ぼすこともある。また、外部からの電荷によって隣接配線$16_{9(10)}$がチャージアップすることも考えられる。

【００４１】

また、図１６，図１７中の各実施例のうち、図１６（ｃ）は図８（ａ）に、図１７（ａ），（ｂ）はともに図１１（ａ）に、図１７（ｃ）は図２６（ａ）における選択ゲート線のワード線方向における断面図に相当する。

【００４２】

これらの各図のうち、図１６（ｃ）の場合には、高抵抗の選択ゲート線14_9，14_{10}が低抵抗の副選択ゲート線２０で所定間隔毎にバイパスされて、選択ゲート線14_9，14_{10}が低抵抗化された形となっている。しかもこの状態において、選択ゲート上部隣接配線16_9，16_{10}は所定長さ毎のものに分断する、フローティングな状態にあり且つそのまわりを一体化された選択ゲート線14_9，14_{10}；隣接配線16_9，16_{10}で囲まれた状態にある。これにより、選択動作時に、選択ゲート線14_9，14_{10}に高電圧が加えられた場合においても、その影響によって隣接配線16_9，16_{10}がチャージアップするのが防がれる。また、その他の外部から影響によっても、隣接配線16_9，16_{10}がチャージアップするのも防がれる。図１７（ａ），（ｂ）は、図１６（ｃ）の変形例であり、副選択ゲート線２０を各隣接配線16_9，16_{10}に導通させたものである。図１７（ｃ）は比較のために示した従来例である。図１７（ａ）では、上記導通を、図中の各隣接配線16_9，16_{10}の左端側で行っており、同図（ｂ）では右端側で行っている。これらの図１７（ａ），（ｂ）の例においては、隣接配線16_9，16_{10}の電位は選択ゲート線14_9，14_{10}及び副選択ゲート線２０と同じになる。よって、隣接配線16_9，16_{10}がチャージアップするのは防がれる。

【００４３】

図１８，図１９に、また別の実施例を示す。図１８，図１９の実施例では、選択ゲートコンタクト領域において、選択ゲート上部隣接配線16_9，16_{10}が分断されておらず、選択ゲートコンタクト領域内を選択ゲート上部隣接配線16_9，16_{10}が通り抜けている場合である。図１８（ａ），図１９のそれぞれを用いた場合は、選択ゲートコンタクト領域内の配線へのコンタクト数が図８（ａ），図１０を用いた場合と同じなので、図１８，図１９の方式を用いると、図８，１０を用いた場合と同程度のチップ面積を実現でき、従来例に比べて大幅にチップ面積を縮小できる。この図１８，図１９を用いた際には、選択ゲート上部隣接配線は、メモリセルアレイ内で他のどの配線とも接続されない状態にあるが

、メモリセルアレイへの選択ゲート線の入力部分では、選択ゲート線設定電位にある他の配線と接続することも可能であり、この場合も本発明は有効である。また、メモリセルアレイへの選択ゲート線の入力部分においても選択ゲート上部隣接配線が他のどの配線とも接続されず、選択ゲート上部隣接配線がメモリセルアレイ内外の両方において完全にフローティング状態となっている場合においても本発明は有効である。

【００４４】

図２０に、本発明における図３に示したＮＡＮＤセル断面図の変形例を示す。図２０に示したような場合、つまりメモリセルアレイ中のビット線が配線層２０によって形成され、また副選択ゲート線が配線層１８によって形成される場合においても、上述した図８，図１０，図１１，図１２，図１８，図１９などの実施例と同様に、選択ゲートコンタクト領域において、副選択ゲート線18_1，18_2と選択ゲート線14_9，14_{10}のコンタクトを形成でき、本発明を実現できる。

【００４５】

図３０はこの発明に係るデコード系の回路例を示している。すなわち、制御ゲートＣＧのデコーダ内に選択ゲートＳＧのデコード動作が行えるよう組み込まれている。ロウメインデコーダ３０１、ロウサブデコーダ３０２からなり、ロウメインデコーダ３０１の回路は図３１のように構成され、ロウサブデコーダ３０２は図３２りのように構成されている。

【００４６】

図３１に示すロウメインデコーダは、ＮＡＮＤ束からなるメモリセルブロックのうちの１つを選択する回路である。外部から入力されるアドレスは、図示しないアドレスラッチ回路によって内部ロウアドレスに変換され、この内部ロウアドレスによってメモリセルブロックのうちの一つに選択するため、ノードＮ１から図３２に示すようなロウサブデコーダにに信号を供給する。選択されたロウサブデコーダ３０２の入力ノードＮ１の電位は５Ｖ（Ｖcc）、また非選択のロウサブデコーダ３０２り入力ノードＮ１の電位は０Ｖとなる。

【００４７】

図３２に示すロウサブデコーダは、入力信号Ａ，Ｂ，Ｃ，Ｄ，Ｅ、電源ＶＡ、ＶＢ、ＶＣにはそれぞれ読み出し時、書き込み時、消去時の各モードにおいて、表１に示す電位が供給される。Ｖccは通常の電源で例えば５Ｖ、Ｖppは書き込み消去系高電圧、例えば２０Ｖ、Ｖｍ はＶppの中間電位で例えば１０Ｖ、ＧＮＤは０Ｖとして考える。

表　１

	読み出し時	書き込み時	消　去
信号A	Vcc	Vcc	GND
信号B	GND	GND	Vcc
信号C	GND	GND	Vpp
信号D	Vcc	GND	GND
信号E	GND	Vcc	GND
電源VA	Vcc	Vpp	Vpp
電源VB	Vcc	Vm	Vcc
電源Vc	Vcc	Vcc	Vpp

【００４８】

以上、実施例を用いて本発明の説明を行ってきたが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において、種々変更可能である。例えば、上記実施例中では、ＮＡＮＤセル型ＥＥＰＲＯＭを例にとって本発明の説明を行ったが、ＮＯＲ型ＥＥＰＲＯＭやその他の半導体記憶装置においても、メモリセルアレイ中等において、積層形成された複数の配線層が存在し、前記複数の配線層のうち最下層の配線と他配線の

コンタクトをとる領域において本発明を用いると、上述したように、このコンタクト領域幅を小さくでき、従ってチップ面積の縮小を実現できる。

【００４９】

【発明の効果】

以上説明したように本発明によれば、メモリセルアレイ中の選択ゲート配線と他配線との間の接続を行う領域におけるコンタクト数を減らすことができ、これによってメモリセルアレイの面積を縮小でき、従来よりもチップ面積の小さく安価なＥＥＰＲＯＭを得ることができる。

【図面の簡単な説明】

【図１】本発明の実施例に係るＮＡＮＤセル型ＥＥＰＲＯＭの構成を示すブロック図。

【図２】本発明の第１、第２の実施例に係るＮＡＮＤセル構造を示す平面図と等価回路図。

【図３】図２（ａ）のＡ－Ａ′断面図。

【図４】図２（ａ）のＢ－Ｂ′，Ｃ－Ｃ′断面図。

【図５】図３の要部斜視説明図。

【図６】同じくメモリセルアレイの等価回路図。

【図７】同じくメモリセルアレイ中の複数のＮＡＮＤセル配列の平面図。

【図８】本発明の第１，３の実施例に係る図７（図１５）の選択ゲートコンタクト領域の平面図と断面図。

【図９】図８（ｃ）の要部斜視説明図。

【図１０】図８の変形例。

【図１１】本発明の第２，４の実施例に係る図７（図１５）の選択ゲートコンタクト領域の平面図と断面図。

【図１２】図１１（ａ）の変形例。

【図１３】本発明の第３，４の実施例に係る一つのＮＡＮＤセル構成を示す平面図と等価回路図。

【図１４】図１３のＤ－Ｄ′断面図。

【図１５】本発明の第３，４の実施例に係るメモリセルアレイ中の複数のＮＡＮＤセル配列の平面図。

【図１６】メモリセルアレイ中およびメモリセルアレイへの選択ゲート線入力部における選択ゲート線、選択ゲート上部隣接配線、副選択ゲート線の接続を示す図であって、配線の平面図を示す図、第５の実施例に係る配線の断面図を示す図、及び第１の実施例に係る配線の断面図である。

【図１７】メモリセルアレイ中およびメモリセルアレイへの選択ゲート線入力部における選択ゲート線、選択ゲート上部隣接配線、副選択ゲート線の接続を示す図であって、第２の実施例に係る配線の断面図を示す図、及び第２の実施例に係る配線の断面図、及び従来例に係る配線の断面図を示す図。

【図１８】本発明の第６，７の実施例に係る図７（図１５）の選択ゲートコンタクト領域の平面図と断面図。

【図１９】図１８（ａ）の変形例。

【図２０】図３に示したＮＡＮＤセル断面図の変更例を示す図。

【図２１】図３に示したＮＡＮＤセル断面図の変更例を示す図。

【図２２】従来例に係るＮＡＮＤセル構成を示す平面図と等価回路図。

【図２３】図２２（ａ）のＬ－Ｌ′断面図。

【図２４】図２２（ａ）のＭ－Ｍ′およびＮ－Ｎ′断面図。

【図２５】従来例に係るメモリセルアレイ中の複数のＮＡＮＤセル配列の平面図。

【図２６】従来例に係る図１６の選択ゲートコンタクト領域の平面図と断面図。

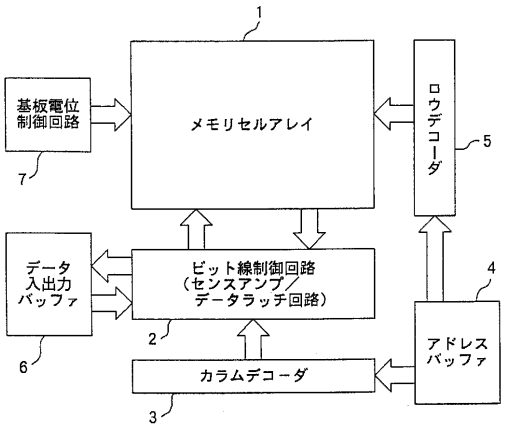
【図２７】図２６（ｂ）の斜視説明図。

【図２８】図２６（ａ）の変形例。

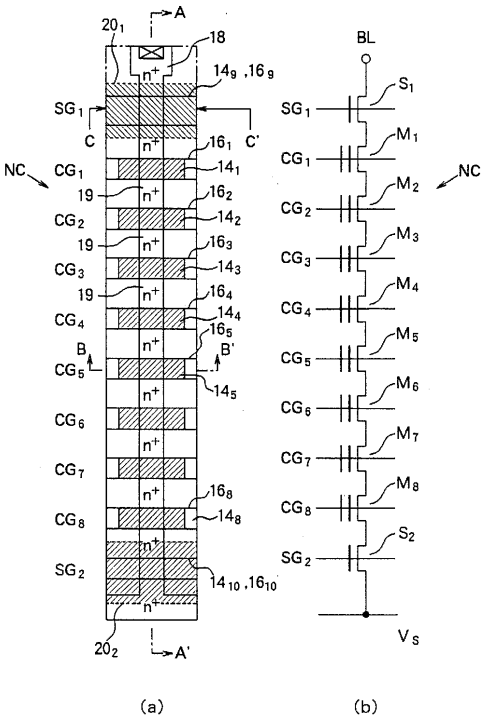
【図２９】従来例に係る選択ゲートコンタクトの製造方法を示す断面図。

【図３０】本発明に係るデコーダ系の要部を示す回路図。
【図３１】図３０のロウメインデコーダの具体的回路図。
【図３２】図３０のロウサブデコーダの具体的回路図。
【符号の説明】
1　メモリセルアレイ
2　ビット線制御回路
3　カラムデコーダ
4　アドレスバッファ
5　ロウデコーダ
6　データ入出力バッファ
7　基板バイアス回路

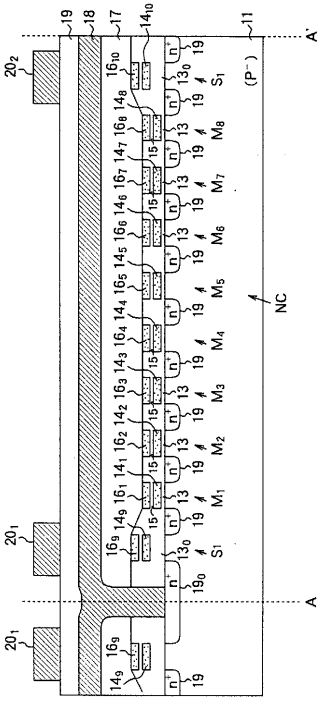
【図１】



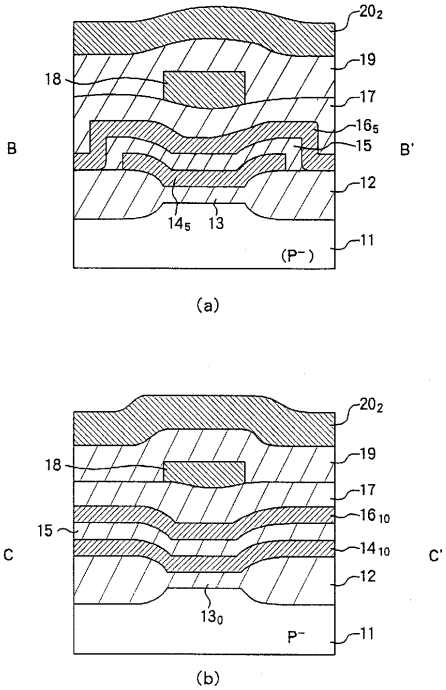
【図２】



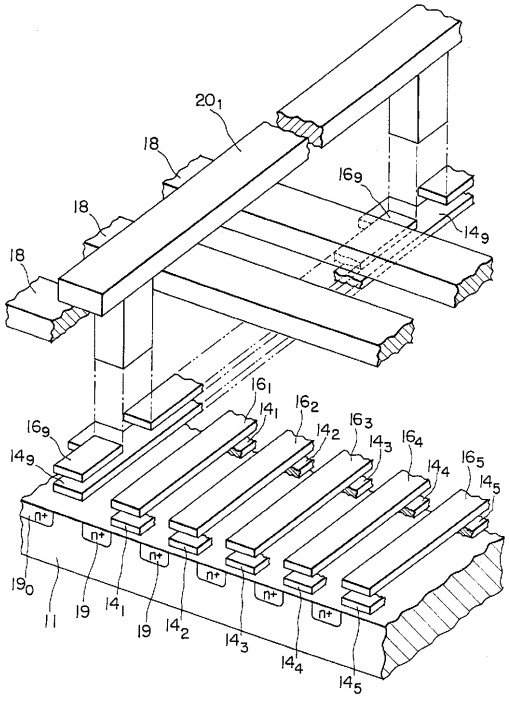
【図３】



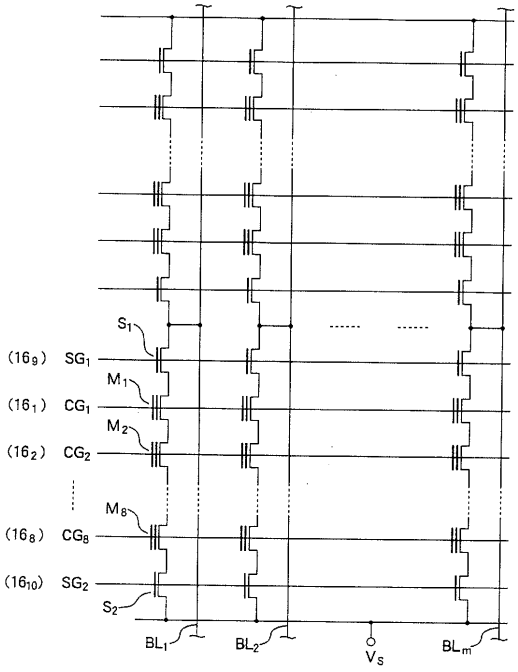
【図４】



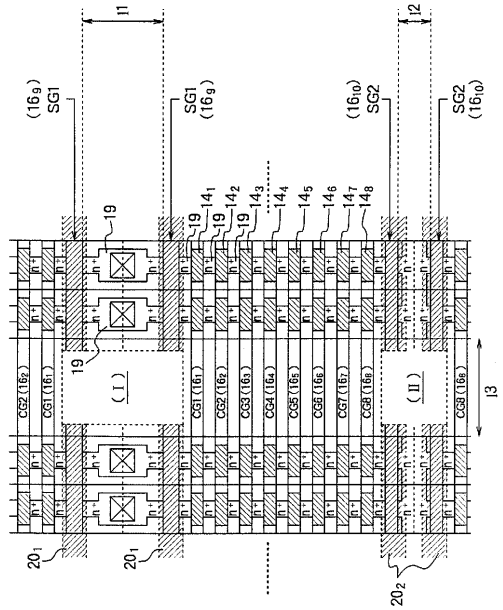
【図５】



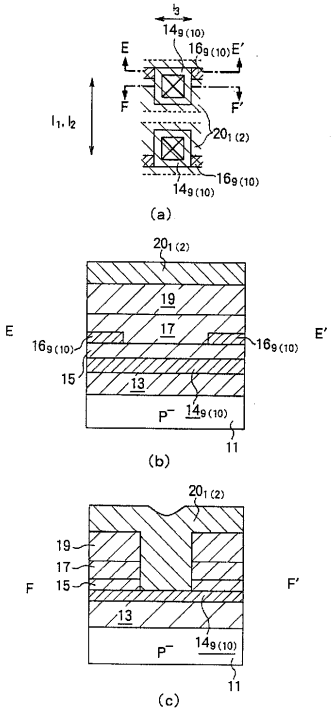
【図６】



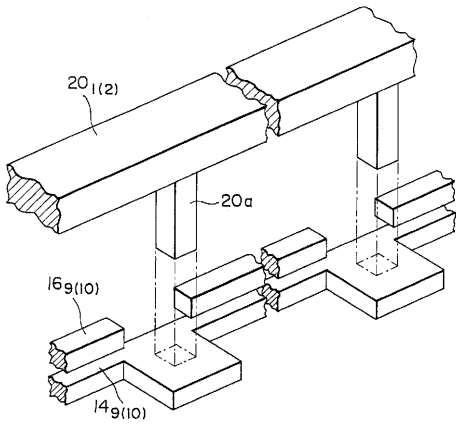
【図７】



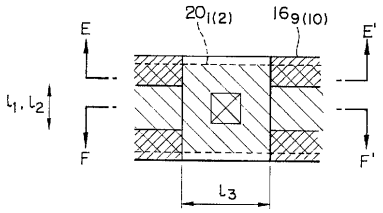
【図８】



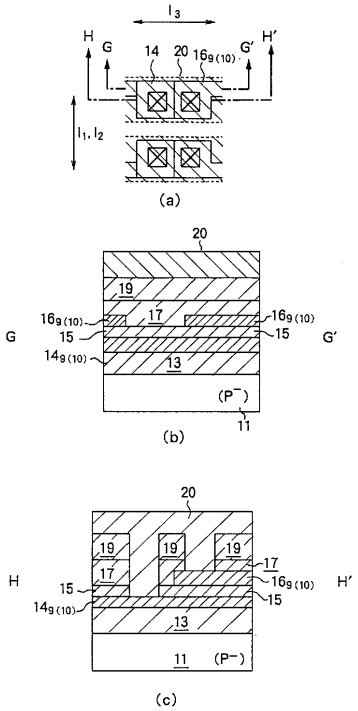
【図９】



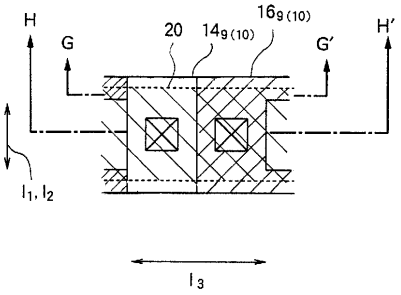
【図１０】



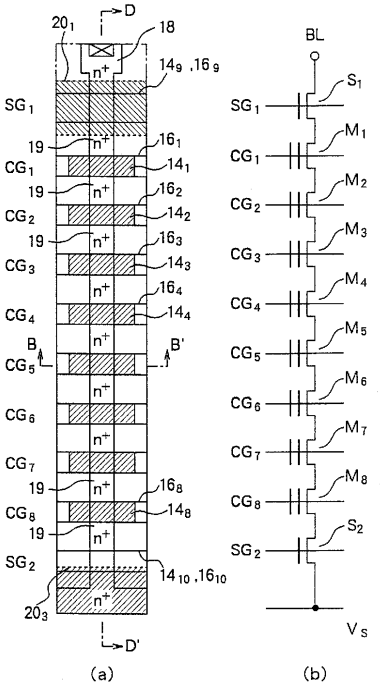
【図１１】



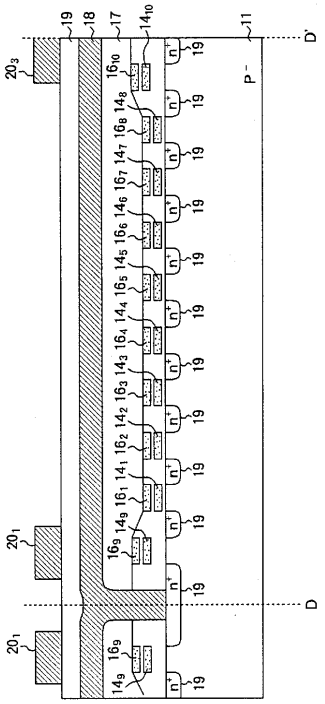
【図１２】



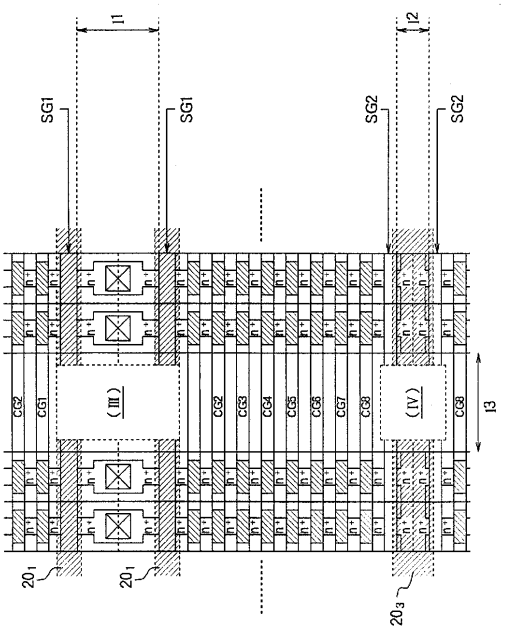
【図１３】



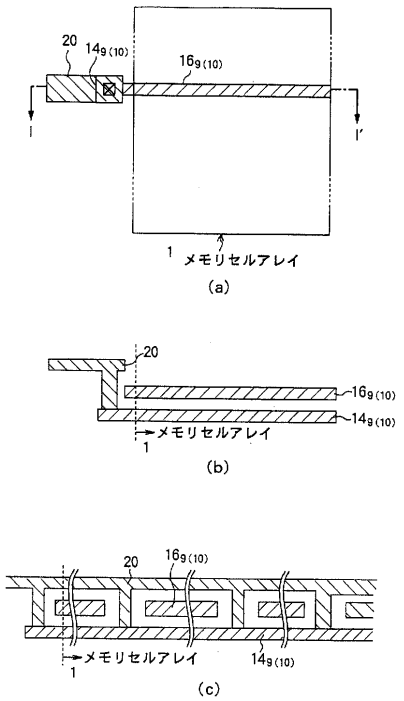
【図１４】



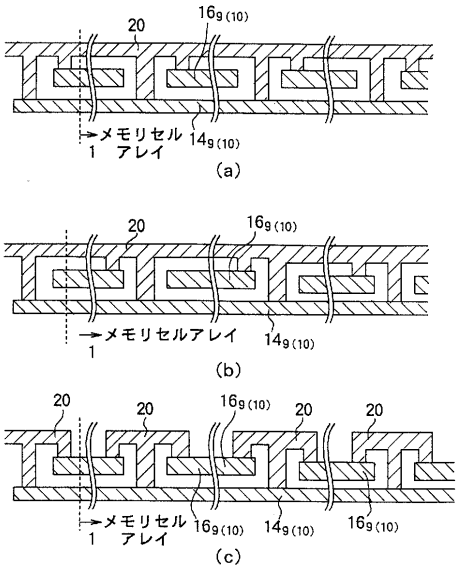
【図１５】



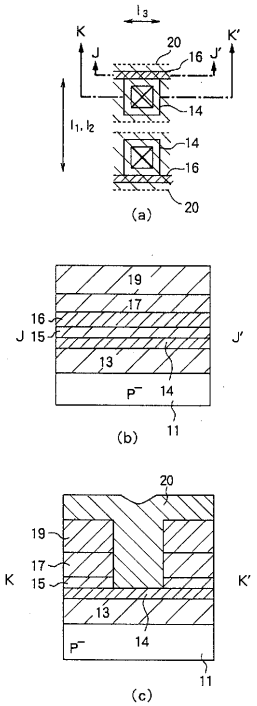
【図１６】



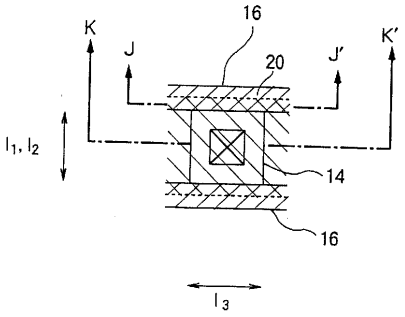
【図１７】



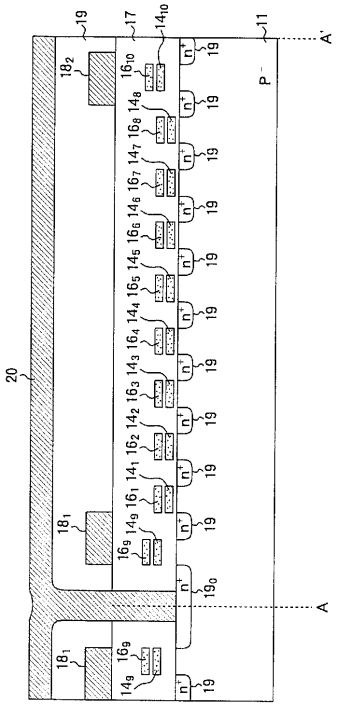
【図１８】



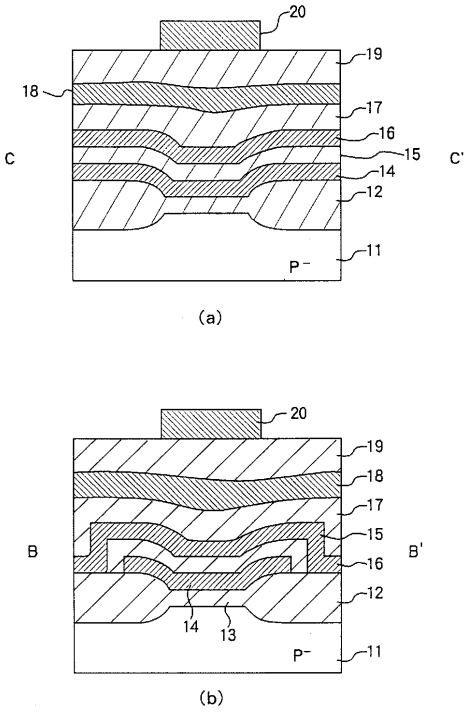
【図１９】



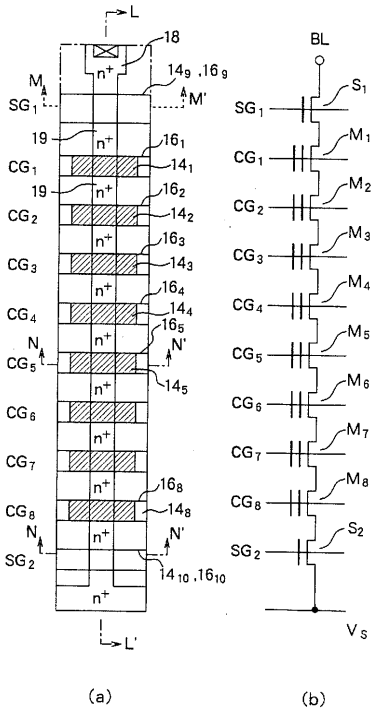
【図２０】



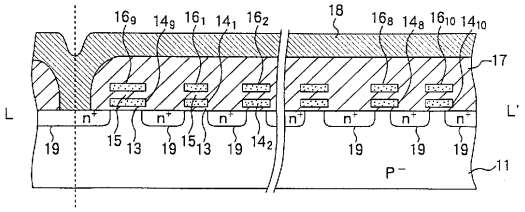
【図２１】



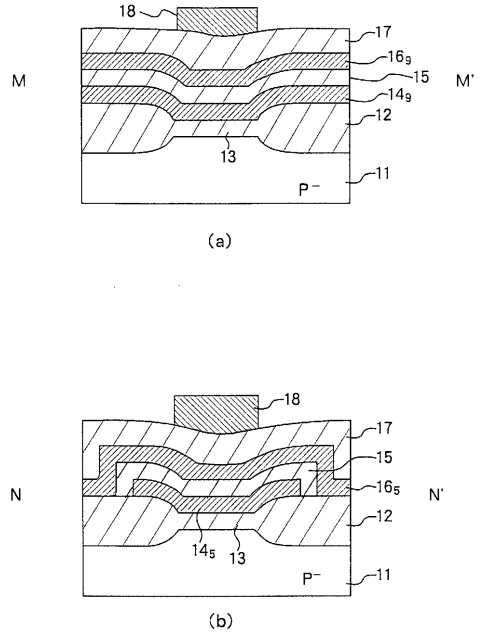
【図２２】



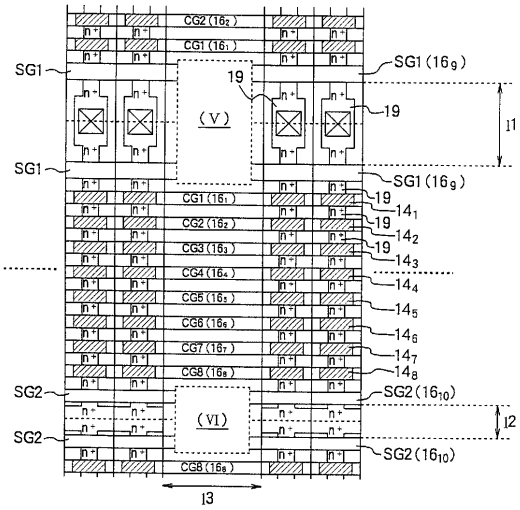
【図２３】



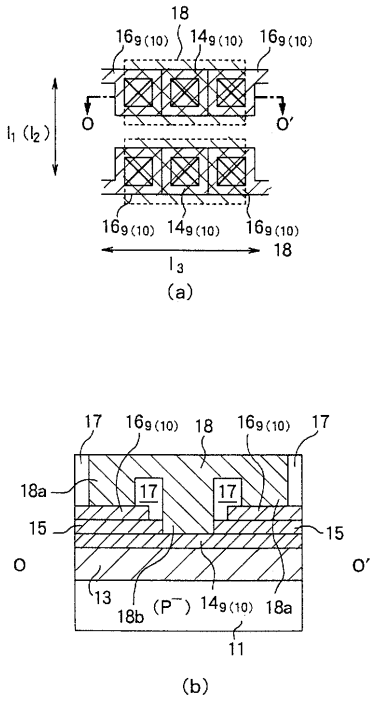
【図２４】



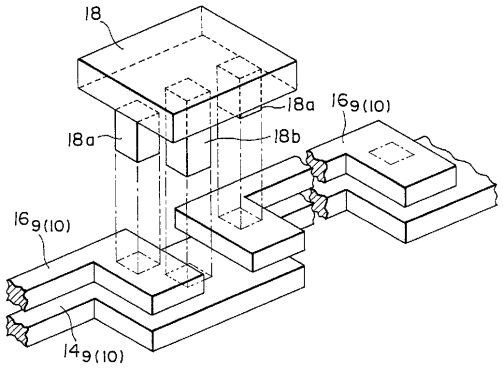
【図２５】



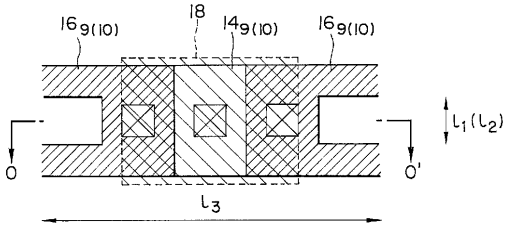
【図２６】



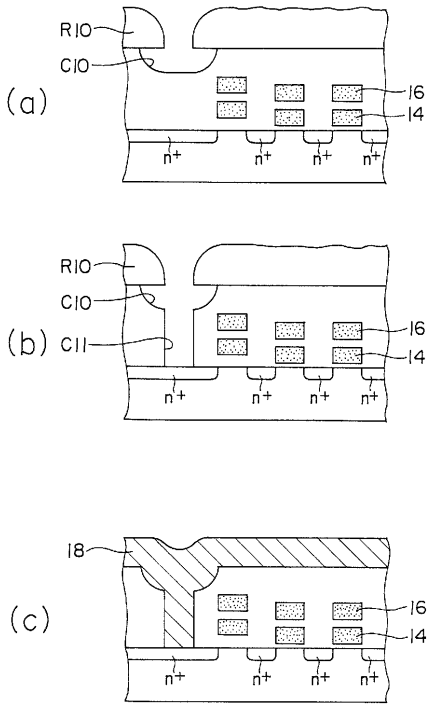
【図２７】



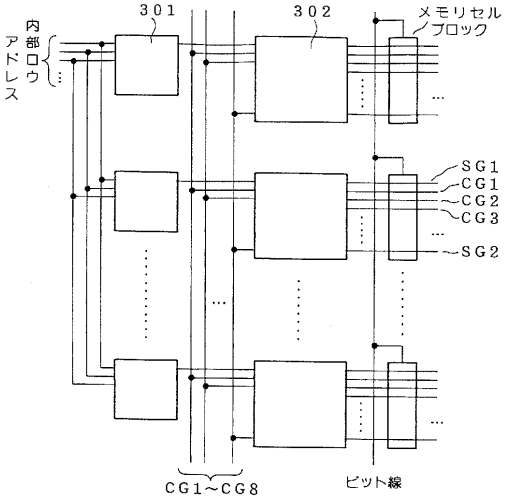
【図２８】



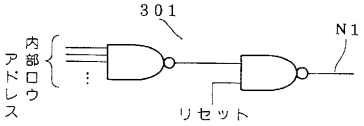
【図２９】



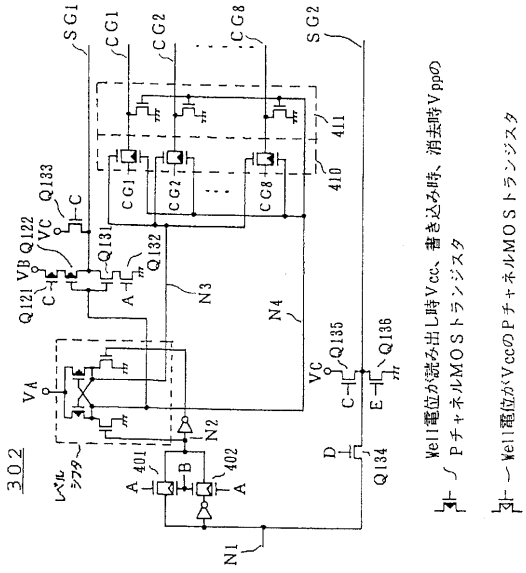
【図３０】



【図３１】



【図３２】



フロントページの続き

審査官　松嶋　秀忠

(56)参考文献　特開昭６２－１１３４７８（ＪＰ，Ａ）
特開昭６３－０２５９７８（ＪＰ，Ａ）
特開平０３－１８５８６０（ＪＰ，Ａ）
特開平０６－１８８３９３（ＪＰ，Ａ）
特開平０６－１１２５０１（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H01L 21/8247
H01L 27/115
H01L 29/788