



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년08월26일
(11) 등록번호 10-1299646
(24) 등록일자 2013년08월19일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01) G02F 1/1335 (2006.01)

(21) 출원번호 10-2006-0099408

(22) 출원일자 2006년10월12일

심사청구일자 2011년10월07일

(65) 공개번호 10-2008-0032958

(43) 공개일자 2008년04월16일

(56) 선행기술조사문헌

JP10096955 A*

JP2004302465 A*

KR1020060082098 A*

KR1020060066271 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

조영제

충청남도 천안시 서북구 늘푸른1길 50, 405동 10
1호 (두정동, 두정4차 푸르지오)

이윤석

충청남도 천안시 서북구 부성8길 29, 계룡 리슈빌
아파트 103동 803호 (두정동, 계룡리슈빌아파트)

(뒷면에 계속)

(74) 대리인

오세준, 권혁수, 송윤호

전체 청구항 수 : 총 13 항

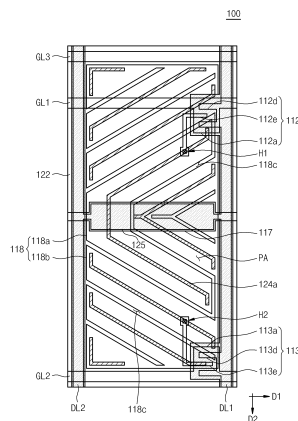
심사관 : 윤성주

(54) 발명의 명칭 표시패널 및 이의 제조방법

(57) 요약

표시패널 및 이의 제조방법에서, 제1 베이스 기관에는 다수의 화소영역이 정의되고, 스토리지 전극은 각 화소영역을 관통하도록 제1 베이스 기관 상에 구비된다. 절연막은 제1 베이스 기관 상에 구비되어 스토리지 전극을 커버하고, 스토리지 전극이 형성된 영역에서 함몰된 구조로 형성된다. 화소전극은 절연막 상에 구비되어 스토리지 전극과 마주한다. 제1 베이스 기관과 마주하는 제2 베이스 기관 상에는 돌출부가 구비된다. 돌출부는 스토리지 전극이 형성된 영역에서 제1 베이스 기관 측으로 돌출되어 절연막이 함몰됨으로 인해서 증가된 표시패널의 셀갭을 보상한다. 따라서, 스토리지 전극이 형성된 영역에의 셀갭을 감소시켜 표시패널에 충전되는 전체 액정량을 절감할 수 있다.

대표도 - 도1



(72) 발명자

맹천재

경기도 수원시 영통구 봉영로1744번길 11, 풍림아
파트 232동 106호 (영통동)

김병현

충청남도 아산시 탕정면 선문로 385, 107동 204호
(홍익아파트)

특허청구의 범위

청구항 1

다수의 화소영역이 정의된 제1 베이스 기판, 상기 각 화소영역 내에서 상기 제1 베이스 기판 상에 구비된 스토리지 전극, 상기 스토리지 전극을 커버하고 상기 스토리지 전극이 형성된 영역에서 함몰된 구조로 형성된 절연막 및 상기 절연막 상에 구비되고 상기 스토리지 전극과 마주하는 화소전극을 포함하는 어레이 기판;

상기 제1 베이스 기판과 마주하는 제2 베이스 기판, 상기 제2 베이스 기판 상에 구비되고 상기 각 화소영역의 주변부에 형성된 제1 블랙 매트릭스, 상기 각 화소영역에 구비되는 색화소로 이루어진 컬러필터층, 및 상기 제2 베이스 기판 상에 구비되고 상기 스토리지 전극이 형성된 영역에 대응하여 상기 제1 베이스 기판 측으로 돌출된 돌출부를 포함하는 대향기판; 및

상기 어레이 기판과 상기 대향기판과의 사이에 개재된 액정층을 포함하며,

상기 돌출부는

상기 제1 블랙 매트릭스와 동일한 물질로 이루어진 제2 블랙 매트릭스; 및

상기 색화소와 상기 제2 블랙 매트릭스 사이에 구비되고, 인접하는 색화소들 중 어느 하나의 색화소와 동일한 제1 더미 색화소를 더 포함하며,

상기 색화소는 상기 스토리지 전극이 형성된 영역에서 상기 제2 블랙 매트릭스를 커버하는 것을 특징으로 하는 표시패널.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

제1항에 있어서, 상기 돌출부는 상기 색화소 상에 구비되고, 상기 인접하는 색화소들 중 상기 선택된 색화소를 제외한 나머지 하나의 색화소와 동일한 제2 더미 색화소를 더 포함하는 것을 특징으로 하는 표시패널.

청구항 9

제1항에 있어서, 상기 대향기판은,

상기 컬러필터층 상에 구비된 공통전극; 및

상기 화소전극과 상기 공통전극과의 사이에 개재되어 상기 화소전극과 상기 공통전극 사이에 갭을 형성하는 갭 유지패턴을 더 포함하는 것을 특징으로 하는 표시패널.

청구항 10

제9항에 있어서, 상기 돌출부는 상기 갭 유지패턴과 동일한 공정을 통해서 상기 공통전극 상에 형성된 더미 갭 유지패턴으로 이루어진 것을 특징으로 하는 표시패널.

청구항 11

제1항에 있어서, 상기 돌출부는 상기 절연막의 함몰된 깊이보다 작거나 같은 높이를 갖는 것을 특징으로 하는 표시패널.

청구항 12

제1항에 있어서, 상기 절연막은,

상기 스토리지 전극을 커버하는 게이트 절연막;

상기 게이트 절연막 상에 구비된 보호막; 및

상기 보호막 상에 구비되고, 상기 스토리지 전극이 형성된 영역에서 함몰된 구조로 이루어진 유기 절연막을 포함하는 것을 특징으로 하는 표시패널.

청구항 13

제1항에 있어서, 상기 화소전극은,

제1 화소전압이 인가되는 제1 서브 화소전극; 및

상기 제1 화소전압보다 낮은 제2 화소전압이 인가되는 제2 서브 화소전극으로 이루어진 것을 특징으로 하는 표시패널.

청구항 14

제13항에 있어서, 상기 화소전극에는 상기 제1 및 제2 서브 화소전극을 전기적으로 분리시키고, 상기 화소전극을 다수의 도메인으로 분할하는 다수의 제1 개구 패턴이 형성되는 것을 특징으로 하는 표시패널.

청구항 15

제14항에 있어서, 상기 대향기관은 상기 화소전극과 마주하는 공통전극을 더 구비하고,

상기 공통전극에는 다수의 제2 개구패턴이 형성되고, 상기 제2 개구패턴들은 상기 제1 개구패턴들과 서로 다른 위치에 형성되어 상기 다수의 도메인을 재분할하는 것을 특징으로 하는 표시패널.

청구항 16

제13항에 있어서, 상기 어레이 기관은,

제1 게이트 라인;

상기 제1 게이트 라인과 소정의 간격으로 이격된 제2 게이트 라인;

상기 제1 및 제2 게이트 라인과 절연되게 교차하는 데이터 라인;

상기 제1 게이트 라인과 상기 데이터 라인에 전기적으로 연결되어 상기 제1 화소전압을 출력하는 제1 박막 트랜지스터; 및

상기 제2 게이트 라인과 상기 데이터 라인에 전기적으로 연결되어 상기 제2 화소전압을 출력하는 제2 박막 트랜지스터를 더 포함하는 것을 특징으로 하는 표시패널.

청구항 17

제16항에 있어서, 상기 제1 서브 화소전극은 상기 제1 박막 트랜지스터의 출력전극에 전기적으로 연결되어 상기 제1 화소전압을 입력받고,

상기 제2 서브 화소전극은 상기 제2 박막 트랜지스터의 출력전극에 전기적으로 연결되어 상기 제2 화소전압을

입력받는 것을 특징으로 하는 표시패널.

청구항 18

화소영역이 정의된 제1 베이스 기판 상에 게이트 전극 및 스토리지 전극을 형성하는 단계;

상기 제1 베이스 기판 상에 상기 게이트 전극 및 스토리지 전극을 커버하는 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 액티브 패턴, 오믹 콘택 패턴, 상기 오믹 콘택 패턴과 동일한 패턴으로 이루어진 소오스 및 드레인 전극을 형성하는 단계;

상기 소오스 및 드레인 전극을 커버하고, 상기 스토리지 전극이 형성된 영역에서 함몰된 구조로 이루어진 절연막을 형성하는 단계;

상기 절연막 상에 화소전극을 형성하는 단계;

상기 제1 베이스 기판과 마주하는 제2 베이스 기판 상에 상기 스토리지 전극이 형성된 영역에 대응하는 돌출부를 형성하는 단계;

상기 제2 베이스 기판 상에 다수의 색화소 중 하나의 선택된 색화소로 이루어진 컬러필터층을 형성하는 단계;

상기 제1 및 제2 베이스 기판을 어셈블리하는 단계; 및

상기 제1 및 제2 베이스 기판 사이에 액정층을 형성하는 단계를 포함하며,

상기 돌출부를 형성하는 단계는,

상기 제2 베이스 기판 상에 차광막을 도포하는 단계;

상기 차광막을 패터닝하여 상기 화소영역의 주변부에 대응하는 제1 블랙 매트릭스 및 상기 스토리지 전극이 형성된 영역에 대응하는 제2 블랙 매트릭스를 형성하는 단계; 및

상기 스토리지 전극이 형성된 영역에 대응하여 상기 컬러필터층 상에 상기 다수의 색화소 중 상기 선택된 색화소를 제외한 나머지 색화소를 형성하는 단계를 포함하는 것을 특징으로 하는 표시패널의 제조방법.

청구항 19

삭제

청구항 20

삭제

청구항 21

제18항에 있어서, 상기 컬러필터층 및 상기 돌출부 상에 공통전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 표시패널의 제조방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0016] 본 발명은 표시패널 및 이의 제조방법에 관한 것으로, 더욱 상세하게는 액정량을 절감할 수 있는 표시패널 및 이의 제조방법에 관한 것이다.

[0017] 일반적으로, 액정표시패널은 어레이 기판, 어레이 기판과 마주하는 컬러필터기판 및 어레이 기판과 컬러필터기판과의 사이에 개재된 액정층으로 이루어진다.

[0018] 어레이 기판은 화상을 나타내는 최소 단위인 복수의 화소로 이루어진다. 화소 각각은 게이트 라인, 데이터 라인, 박막 트랜지스터, 스토리지 전극 및 화소전극을 구비한다. 게이트 라인과 데이터 라인은 게이트 신호와

데이터 신호를 각각 입력받고, 박막 트랜지스터의 게이트 전극과 소오스 전극에 각각 전기적으로 연결된다. 화소전극은 박막 트랜지스터의 드레인 전극에 전기적으로 연결된다.

[0019] 한편, 컬러필터기판은 컬러필터층 및 공통전극을 구비한다. 컬러필터층은 레드, 그린 및 블루 색화소로 이루어지고, 공통전극은 컬러필터층 상에 형성되어 액정층을 사이에 두고 화소전극과 마주한다.

[0020] 상기한 어레이 기판은 5개의 마스크를 이용하는 방법 또는 4개의 마스크를 이용하는 방법을 통해서 제조될 수 있다. 5개의 마스크를 이용하는 방법에서는 박막 트랜지스터의 액티브층과 오믹 콘택층을 패터닝하는 마스크와 소오스 및 드레인 전극을 패터닝하는 마스크가 별개로 구비된다. 반면에, 4개의 마스크를 이용하는 방법의 경우, 박막 트랜지스터의 액티브층, 오믹 콘택층, 소오스 전극 및 드레인 전극은 한 개의 마스크를 이용하여 동시에 패터닝된다. 따라서, 5개의 마스크를 이용하는 방법보다 4개의 마스크를 이용하는 방법의 제조 공정이 단순화된다.

[0021] 4개의 마스크를 이용하여 완성된 어레이 기판에서 스토리지 커패시터는 스토리지 전극 및 화소전극으로 이루어지고, 두 전극 사이에 개재된 절연막이 유전체 역할을 한다. 종래에는, 스토리지 커패시터의 정전용량을 증가시키기 위하여 절연막이 스토리지 전극이 형성된 영역에서 함몰된 구조로 이루어진다. 그러나, 절연막이 함몰된 만큼 액정표시패널에 충전되는 액정량이 증가된다.

발명이 이루고자 하는 기술적 과제

[0022] 따라서, 본 발명의 목적은 액정량을 절감할 수 있고, 균일한 셀갭을 가질 수 있는 표시패널을 제공하는 것이다.

[0023] 본 발명의 다른 목적은 상기한 표시패널을 제조하는데 적용되는 방법을 제공하는 것이다.

발명의 구성 및 작용

[0024] 본 발명에 따른 표시패널은 어레이 기판, 대향기판 및 상기 어레이 기판과 상기 대향기판과의 사이에 개재된 액정층을 포함한다.

[0025] 상기 어레이 기판은 다수의 화소영역이 정의된 제1 베이스 기판, 스토리지 전극, 절연막 및 화소전극으로 이루어진다. 상기 스토리지 전극은 상기 각 화소영역 내에서 상기 제1 베이스 기판 상에 구비되고, 상기 절연막은 상기 스토리지 전극을 커버하고 상기 각 화소영역 중 상기 스토리지 전극이 형성된 영역에서 함몰된 구조로 형성된다. 상기 화소전극은 상기 절연막 상에 구비되고 상기 스토리지 전극과 마주한다.

[0026] 상기 대향기판은 상기 제1 베이스 기판과 마주하는 제2 베이스 기판 및 돌출부를 구비한다. 상기 돌출부는 상기 스토리지 전극이 형성된 영역에 대응하여 상기 제2 베이스 기판 상에 구비되어 상기 제1 베이스 기판 측으로 돌출된다.

[0027] 본 발명에 따른 표시패널의 제조방법에서, 화소영역이 정의된 제1 베이스 기판 상에는 게이트 전극 및 스토리지 전극이 형성된다. 상기 제1 베이스 기판 상에는 상기 게이트 전극 및 스토리지 전극을 커버하는 게이트 절연막이 형성된다. 상기 게이트 절연막 상에는 액티브 패턴, 오믹 콘택 패턴, 상기 오믹 콘택 패턴과 동일한 패턴으로 이루어진 소오스 및 드레인 전극이 형성된다. 상기 소오스 및 드레인 전극을 커버하고, 상기 스토리지 전극이 형성된 영역에서 함몰된 구조로 이루어진 절연막이 형성되고, 상기 절연막 상에는 화소전극이 형성된다. 상기 제1 베이스 기판과 마주하는 제2 베이스 기판 상에는 상기 스토리지 전극이 형성된 영역에 대응하는 돌출부가 형성된다. 상기 제1 및 제2 베이스 기판은 서로 어셈블리되고, 상기 제1 및 제2 베이스 기판 사이에는 액정층이 형성된다.

[0028] 이러한 표시패널 및 이의 제조방법에 따르면, 어레이 기판 측에서 절연막은 스토리지 전극이 형성된 영역에 대응하여 함몰된 구조로 이루어지고, 대향 기판 측에는 절연막의 함몰된 부분에 대응하여 어레이 기판 측으로 돌출된 돌출부가 구비됨으로써, 어레이 기판과 대향 기판의 셀갭이 보상되고, 그 결과 어레이 기판과 대향기판과의 사이에 충전되는 액정량을 절감할 수 있다.

[0029] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.

[0030] 도 1은 본 발명의 일 실시예에 따른 표시패널의 평면도이고, 도 2는 도 1에 도시된 절단선 I-I'에 따라 절단한 단면도이다.

[0031] 도 1 및 도 2를 참조하면, 표시패널(100)은 어레이 기판(110), 상기 어레이 기판(110)과 대향하여 결합하는 컬러필터기판(120) 및 상기 어레이 기판(110)과 상기 컬러필터기판(120)과의 사이에 개재된 액정층으로 이루어진

다.

- [0032] 상기 어레이 기관(110)은 제1 베이스 기관(111) 및 다수의 화소를 포함한다. 상기 제1 베이스 기관(111)에는 다수의 화소영역이 매트릭스 형태로 정의되고, 상기 각 화소영역(PA)에는 하나의 화소가 구비된다. 상기 각 화소영역(PA)에 구비되는 화소의 구조는 모두 동일하므로, 도 1 및 도 2에서는 하나의 화소 구조만을 설명함으로써, 나머지 화소에 대한 설명은 생략한다.
- [0033] 상기 제1 베이스 기관(111) 상에는 상기 화소와 전기적으로 연결되는 제1 데이터 라인(DL1), 제1 및 제2 게이트 라인(GL1, GL2)이 구비된다. 또한, 상기 제1 베이스 기관(111) 상에는 상기 화소와 인접하는 화소에 전기적으로 연결되는 제3 게이트 라인(GL3) 및 제2 데이터 라인(DL2)이 더 구비된다.
- [0034] 구체적으로, 상기 제1 내지 제3 게이트 라인(GL1 ~ GL3)은 제1 방향(D1)으로 연장되고, 상기 제1 및 제2 데이터 라인(DL1, DL2)은 상기 제1 방향(D1)과 직교하는 제2 방향(D2)으로 연장된다. 따라서, 상기 제1 베이스 기관(111)의 화소영역은 상기 제2 및 제3 게이트 라인(GL2, GL3), 제1 및 제2 데이터 라인(DL1, DL2)에 의해서 직사각형 형태로 이루어진다. 여기서, 상기 제1 및 제2 데이터 라인(DL1, DL2)은 상기 제1 내지 제3 게이트 라인(GL1 ~ GL3)과 서로 다른 층 상에 구비되어 서로 전기적으로 절연된다.
- [0035] 상기 화소영역(PA)에 구비된 화소는 제1 및 제2 박막 트랜지스터(112, 113), 게이트 절연막(114), 보호막(115), 유기 절연막(116), 스토리지 전극(117), 화소전극(118)을 포함한다.
- [0036] 상기 제1 박막 트랜지스터(112)는 제1 게이트 전극(112a), 제1 액티브 패턴(112b), 제1 오믹 콘택 패턴(112c), 제1 소오스 전극(112d) 및 제1 드레인 전극(112e)을 포함한다.
- [0037] 상기 제1 게이트 전극(112a)은 상기 제1 게이트 라인(GL1)으로부터 분기되어 상기 제1 베이스 기관(111) 상에 구비된다. 상기 제1 게이트 전극(112a)은 상기 게이트 절연막(114)에 의해서 커버된다. 상기 게이트 절연막(114) 상에는 상기 제1 액티브 패턴(112b) 및 제1 오믹 콘택 패턴(112c)이 형성된다. 상기 제1 오믹 콘택 패턴(112c)은 상기 제1 게이트 전극(112a)이 형성된 영역에서 부분적으로 제거된다. 상기 제1 소오스 전극(112d)과 상기 제1 드레인 전극(112e)은 상기 제1 오믹 콘택 패턴(112c) 상에 형성되고, 상기 제1 오믹 콘택 패턴(112c)이 제거된 영역에서 서로 소정의 간격으로 이격된다.
- [0038] 상기 제2 박막 트랜지스터(113)는 제2 게이트 전극(113a), 제2 액티브 패턴(미도시), 제2 오믹 콘택 패턴(미도시), 제2 소오스 전극(113d) 및 제2 드레인 전극(113e)을 포함한다.
- [0039] 상기 제1 및 제2 박막 트랜지스터(112, 113)는 동일한 단면 구조로 이루어진다. 도 2에서는 제1 박막 트랜지스터(112)의 절단면만을 도시하였으나, 상기 제2 박막 트랜지스터(113)도 이와 동일한 구조로 이루어진다.
- [0040] 상기 제2 박막 트랜지스터(113)의 상기 제2 게이트 전극(113a)은 상기 제2 게이트 라인(GL2)으로부터 분기되어 상기 제1 베이스 기관(111) 상에 구비된다. 상기 제2 게이트 전극(113a)은 상기 게이트 절연막(114)에 의해서 커버된다. 상기 게이트 절연막(114) 상에는 상기 제2 액티브 패턴 및 제2 오믹 콘택 패턴이 형성되고, 상기 제2 오믹 콘택 패턴은 상기 제2 게이트 전극(113a)이 형성된 영역에서 부분적으로 제거된다. 상기 제2 소오스 전극(113d)과 상기 제2 드레인 전극(113e)은 상기 제2 오믹 콘택 패턴 상에 형성되고, 상기 제2 오믹 콘택 패턴이 제거된 영역에서 서로 소정의 간격으로 이격된다.
- [0041] 상기 스토리지 전극(117)은 상기 제1 및 제2 게이트 전극(112a, 113a)과 동일한 물질로 이루어져 상기 제1 베이스 기관(111) 상에 구비되고, 상기 제1 및 제2 게이트 라인(GL1, GL2)과의 사이에 위치한다. 상기 스토리지 전극(117)은 상기 제1 방향(D1)으로 연장된 직사각형 형상으로 이루어진다. 상기 스토리지 전극(117)은 상기 화소영역(PA)에 전체적으로 형성되는 상기 게이트 절연막(114)에 의해서 커버된다.
- [0042] 상기 게이트 절연막(114), 상기 제1 및 제2 박막 트랜지스터(112, 113)는 상기 보호막(115)에 의해서 커버된다. 상기 보호막(115) 상에는 상기 유기 절연막(116)이 더 구비된다. 상기 보호막(115) 및 상기 유기 절연막(116)에는 제1 드레인 전극(112e)을 노출시키는 제1 콘택홀(H1) 및 상기 제2 드레인 전극(113e)을 노출시키는 제2 콘택홀(H2)이 형성된다. 또한, 상기 유기 절연막(116)은 상기 스토리지 전극이 형성된 영역에서 소정의 깊이로 함몰된다.
- [0043] 상기 유기 절연막(116) 상에는 상기 화소전극(118)이 형성된다. 상기 화소전극(118)은 상기 화소영역(PA)의 중앙에 위치하는 상기 스토리지 전극(117)을 기준으로 하여 상기 제1 방향(D1)으로 대칭인 구조로 이루어진다.
- [0044] 상기 화소전극(118)은 상기 스토리지 전극(117)과 마주하여 스토리지 커패시터(Cst)를 형성한다. 여기서, 상기

화소전극(118)과 상기 스토리지 전극(117)과의 사이에 개재된 상기 유기 절연막(116), 상기 보호막(115) 및 상기 게이트 절연막(114)은 유전체 역할을 한다. 이때, 상기 스토리지 전극(117)이 형성된 영역에서 상기 유기 절연막(116)이 완전하게 제거되거나 얇은 두께를 갖도록 부분적으로 제거된다. 이로써, 유전체의 두께에 비례하는 상기 스토리지 커패시터(Cst)의 정전용량이 증가될 수 있다.

[0045] 한편, 상기 화소전극(118)은 제1 화소전압이 인가되는 제1 서브 화소전극(118a) 및 상기 제1 화소전압보다 낮은 제2 화소전압이 인가되는 제2 서브 화소전극(118b)을 포함한다. 이와 같이, 상기 제1 및 제2 서브 화소전극(118a, 118b)에 서로 다른 화소전압이 인가되기 위하여 상기 제1 및 제2 서브 화소전극(118a, 118b)은 서로 다른 박막 트랜지스터에 전기적으로 연결된다.

[0046] 구체적으로, 상기 제1 서브 화소전극(118a)은 상기 제1 콘택홀(H1)을 통해 상기 제1 드레인 전극(112e)과 전기적으로 연결되고, 상기 제2 서브 화소전극(118b)은 상기 제2 콘택홀(H2)을 통해 상기 제2 드레인 전극(113e)과 전기적으로 연결된다. 따라서, 상기 제1 게이트 라인(GL1)으로 인가된 제1 게이트 신호에 응답하여 상기 제1 박막 트랜지스터(112)가 턴온되면, 상기 제1 데이터 라인(DL1)으로 인가된 상기 제1 화소전압이 상기 제1 서브 화소전극(118a)으로 제공된다. 이후, 상기 제2 게이트 라인(GL2)으로 인가된 제2 게이트 신호에 응답하여 상기 제2 박막 트랜지스터(113)가 턴-온되면, 상기 제1 데이터 라인(DL1)으로 인가된 상기 제2 화소전압이 상기 제2 서브 화소전극(118b)으로 제공된다.

[0047] 이와 같이, 상기 제1 및 제2 서브 화소전극(118a, 118b)에 인가되는 전압이 달라짐에 따라서, 상기 제1 및 제2 서브 화소전극(118a, 118b) 상에서 액정의 배열이 달라진다. 그 결과, 해당 영역들에서 서로 다른 광특성이 나타나고, 상호 보상작용을 통해서 상기 표시패널(100)의 화질(예를 들어, 측면 시야각)이 개선될 수 있다.

[0048] 도 1에 도시된 바와 같이, 상기 제1 서브 화소전극(118a)은 누운 V자 형상으로 이루어지고, 상기 스토리지 전극(117)과 일부분 중첩된다. 또한, 상기 제1 서브 화소전극(118a)은 상기 스토리지 전극(117)을 기준으로 하여 상기 제1 방향(D1)으로 대칭인 구조로 이루어진다. 상기 제1 서브 화소전극(118a)이 형성되지 않은 나머지 화소영역(PA)에는 상기 제2 서브 화소전극(118b)이 형성된다.

[0049] 상기 제1 및 제2 서브 화소전극(118a, 118b)은 제1 개구패턴(118c)을 통해 서로 소정의 간격으로 이격되어 전기적으로 절연된다. 또한, 상기 제2 서브 화소전극(118b)에는 상기 제1 개구패턴(118c)이 소정의 간격으로 형성된다. 상기한 제1 개구패턴(118c)은 상기 화소영역(PA)을 다수의 도메인으로 분리시키기 위한 역할을 수행한다.

[0050] 한편, 상기 컬러필터기판(120)은 제2 베이스 기판(121), 제1 블랙 매트릭스(122), 컬러필터층(123), 공통전극(124), 제1 돌출부(125) 및 컬럼 스페이스(135)를 포함하고, 상기 어레이 기판(110)과 대향하여 결합한다.

[0051] 상기 제1 블랙 매트릭스(122)는 차광성 물질로 이루어져 상기 제2 베이스 기판(121) 상에 구비된다. 도 1에 도시된 바와 같이, 상기 제1 블랙 매트릭스(122)는 상기 제1 및 제2 데이터 라인(DL1, DL2), 상기 제1 및 제2 박막 트랜지스터(112, 113)가 형성된 영역에 대응하여 구비된다. 따라서, 상기 제1 블랙 매트릭스(122)는 상기 화소영역(PA)의 주변부에서 광이 누설되는 것을 차단할 수 있다.

[0052] 상기 컬러필터층(123)은 레드, 그린 및 블루 색화소로 이루어지고, 각 색화소는 상기 어레이 기판(110)의 각 화소영역(PA)에 대응하여 구비된다. 본 발명의 일 예로, 상기 화소영역(PA)에는 그린 색화소(G)가 구비된다.

[0053] 상기 공통전극(124)은 상기 컬러필터층(123) 상에 균일한 두께로 형성된다. 상기 공통전극(124)에는 서로 소정의 간격으로 이격된 다수의 제2 개구패턴(124a)이 형성된다. 또한, 상기 화소전극(118)에 형성된 하나의 제1 개구패턴(118c)은 서로 인접하는 두 개의 제2 개구패턴들(124a) 사이에 배치된다. 따라서, 상기 한 화소영역(PA)은 상기 제1 및 제2 개구패턴들(118c, 124a)에 의해서 다수의 도메인(본 발명의 일 예로, 18개 도메인)으로 분할된다.

[0054] 상기 어레이 기판(110)과 상기 컬러필터기판(120)과의 사이에는 액정층이 개재되고, 상기 액정층의 액정분자들은 상기 각 도메인에서 서로 다른 방향으로 배향됨으로써, 상기 표시패널(100)의 시야각이 향상된다.

[0055] 상기 컬럼 스페이스(135)는 상기 공통전극(124) 상에 구비되고, 상기 어레이 기판(110)과 상기 컬러필터기판(120)이 대향하여 결합되면 상기 어레이 기판(110)과 상기 컬러필터기판(120)을 이격시킨다. 따라서, 상기 컬럼 스페이스(135)에 의해서 형성된 상기 어레이 기판(110)과 상기 컬러필터기판(120)과의 사이에는 이격공간이 형성되고, 상기 이격 공간에는 상기 액정층이 충전된다.

[0056] 한편, 상기 스토리지 전극(117)이 형성된 영역은 광이 투과되지 못하는 영역으로써 실질적으로 영상이 표시되지 않음에도 불구하고 상기 액정이 충전된다. 상기 제1 돌출부(125)는 상기 스토리지 전극(117)이 형성된 영역에

충진되는 액정의 양을 감소시키기 위하여 상기 어레이 기관(110) 측으로 돌출되도록 상기 제2 베이스 기관(121) 상에 구비된다.

[0057] 본 발명의 일 예로, 상기 제1 돌출부(125)는 상기 제1 블랙 매트릭스(122)와 동일한 차광성 물질로 이루어져 동시에 패터닝되는 제2 블랙 매트릭스로 이루어진다. 상술한 바와 같이, 상기 스토리지 전극(117)이 형성된 영역은 상기 스토리지 전극(117)에 의해서 광이 투과되지 않는 영역이다. 따라서, 상기 스토리지 전극(117)이 형성된 영역에서 상기 제1 돌출부(125)를 상기 제2 블랙 매트릭스로 형성하여도 상기 표시패널(100)의 개구율은 저하되지 않는다.

[0058] 상기 제1 돌출부(125)의 높이는 상기 유기 절연막(116)이 함몰된 깊이보다 작거나 같고, 상기 제1 돌출부(125)의 폭은 상기 스토리지 전극(117)의 폭보다 작거나 같다. 본 발명의 일 예로, 상기 제1 돌출부(125)의 높이는 상기 제1 블랙 매트릭스(122)의 두께와 동일하다.

[0059] 이와 같이, 상기 스토리지 전극(117)이 형성된 영역에 대응하여 상기 컬러필터기관(120)에 상기 제1 돌출부(125)를 구비함으로써, 상기 스토리지 전극(117)이 형성된 영역에서 액정층의 두께를 감소시킬 수 있다. 그 결과, 상기 표시패널(100)에 개재되는 액정의 전체 체적이 감소하고, 이로써 액정량을 절감할 수 있다.

[0060] 또한, 상기 제1 돌출부(125)는 상기 표시패널(100)의 셀갭(어레이 기관(110)과 컬러필터기관(120)의 이격거리)을 균일하게 하는 역할을 한다. 즉, 상기 유기 절연막(116)이 함몰된 위치에서 상기 유기 절연막(116)이 함몰된 깊이만큼 상기 제1 돌출부(125)의 높이를 조절하면 상기 표시패널(100)의 셀갭이 전체적으로 균일하게 유지될 수 있다. 상기 표시패널(100)의 셀갭은 상기 표시패널(100)의 표시품질에 영향을 미치는 요인이므로, 이와 같이 셀갭이 균일해지면 상기 표시패널(100)의 표시품질이 개선될 수 있다.

[0061] 도 3은 본 발명의 다른 실시예에 따른 표시패널의 스토리지 전극 영역을 나타낸 단면도이다. 단, 도 3에 도시된 구성요소 중 도 2에 도시된 구성요소와 동일한 구성요소에 대해서는 동일한 참조부호를 병기하고, 그에 대한 구체적인 설명은 생략한다.

[0062] 도 3을 참조하면, 스토리지 전극(117)이 형성된 영역에서 컬러필터기관(120)에 구비되는 제2 돌출부(126)는 제2 블랙 매트릭스(126a) 및 더미 색화소(126b)로 이루어진다.

[0063] 상기 제2 블랙 매트릭스(126a)는 상기 컬러필터기관(120)의 제1 블랙 매트릭스(121, 도 2에 도시됨)와 동일한 물질로 이루어져 동시에 패터닝된다. 상기 더미 색화소(126b)는 인접하는 화소영역에 구비되는 색화소들 중 하나로써, 인접하는 화소영역에 색화소를 형성할 때 함께 형성될 수 있다. 본 발명의 일 예로, 상기 더미 색화소(126b)는 레드 색화소(R)로 이루어질 수 있다.

[0064] 이와 같이, 상기 제2 돌출부(126)에 상기 더미 색화소(126b)가 추가되면 상기 제2 돌출부(126)의 전체 높이는 도 2에 도시된 제1 돌출부(125)의 높이보다 증가한다. 따라서, 상기 스토리지 전극(117)이 형성된 영역에서 액정층의 두께가 더 감소되고, 그 결과 상기 표시패널(100)에 충진되는 액정량을 절감할 수 있다.

[0065] 도 4는 본 발명의 또 다른 실시예에 따른 표시패널의 스토리지 전극 영역을 나타낸 단면도이고, 도 5는 본 발명의 또 다른 실시예에 따른 표시패널의 스토리지 전극 영역을 나타낸 단면도이다. 단, 도 4 및 도 5에 도시된 구성요소 중 도 2에 도시된 구성요소와 동일한 구성요소에 대해서는 동일한 참조부호를 병기하고, 그에 대한 구체적인 설명은 생략한다.

[0066] 도 4를 참조하면, 컬러필터기관(120)은 스토리지 전극(117)이 형성된 영역에 구비되는 제3 돌출부(127)를 포함하고, 상기 제3 돌출부(127)는 제1 더미 색화소로 이루어진다.

[0067] 상기 제1 더미 색화소는 인접하는 화소영역에 구비되는 색화소들 중 하나로써, 인접하는 화소영역에 색화소를 형성할 때 함께 형성될 수 있다. 본 발명의 일 예로, 상기 제1 더미 색화소는 레드 색화소(R)로 이루어질 수 있다.

[0068] 도 5를 참조하면, 본 발명의 다른 실시예의 컬러필터기관(120)은 스토리지 전극(117)이 형성된 영역에 구비되는 제4 돌출부(128)를 포함하고, 상기 제4 돌출부(128)는 제1 및 제2 더미 색화소(128a, 128b)로 이루어진다.

[0069] 상기 제1 더미 색화소(128a)는 인접하는 화소영역에 구비되는 색화소들 중 어느 하나이고, 상기 제2 더미 색화소(128b)는 인접하는 화소영역에 구비되는 색화소들 중 다른 하나이다. 따라서, 상기 제1 및 제2 더미 색화소(128a, 128b)는 인접하는 화소영역에 색화소를 형성할 때 함께 형성될 수 있다. 본 발명의 일 예로, 상기 제1 더미 색화소(128a)는 레드 색화소(R)로 이루어지고, 상기 제2 더미 색화소(128b)는 블루 색화소(B)로 이루어진

다.

- [0070] 도 4 및 도 5에 도시된 바와 같이, 상기 컬러필터기판(120)에 제3 및 제4 돌출부(127, 128)를 구비함으로써, 상기 스토리지 전극(117)이 형성된 영역에서 액정층의 두께가 감소시킬 수 있고, 그 결과 상기 표시패널(100)에 충전되는 액정량을 절감할 수 있다.
- [0071] 도 6은 본 발명의 또 다른 실시예에 따른 표시패널의 스토리지 전극 영역을 나타낸 단면도이다. 단, 도 6에 도시된 구성요소 중 도 2에 도시된 구성요소와 동일한 구성요소에 대해서는 동일한 참조부호를 병기하고, 그에 대한 구체적인 설명은 생략한다.
- [0072] 도 6을 참조하면, 본 발명의 다른 실시예의 컬러필터기판(120)은 스토리지 전극(117)이 형성된 영역에 구비되는 제5 돌출부(137)를 포함하고, 상기 제5 돌출부(137)는 더미 컬럼 스페이서로 이루어진다. 상기 더미 컬럼 스페이서(137)는 도 2에 도시된 컬럼 스페이(135)와 동일한 물질로 이루어지고, 동일한 공정을 통해서 동시에 패터닝된다.
- [0073] 상기 더미 컬럼 스페이서(137)는 상기 컬럼 스페이서(135)보다 낮은 높이를 가질 수 있다. 즉, 상기 컬럼 스페이서(135)를 형성하는 공정에서 상기 더미 컬럼 스페이서(137)가 형성될 영역에 슬릿 마스크를 형성하여 상기 더미 컬럼 스페이서(137)의 높이를 상기 컬럼 스페이서(135)보다 낮게 형성할 수 있다. 발명의 일 예로, 상기 더미 컬럼 스페이서(137)는 유기 절연막(116)이 함몰된 깊이보다 작거나 같은 높이로 이루어진다.
- [0074] 이와 같이 상기 컬러필터기판(120)에 상기 더미 컬럼 스페이서(137)를 구비함으로써, 상기 스토리지 전극(117)이 형성된 영역에서 액정층의 두께가 감소시킬 수 있고, 그 결과 상기 표시패널(100)에 충전되는 액정량을 절감할 수 있다.
- [0075] 도 7은 본 발명의 다른 실시예에 따른 표시패널의 평면도이다.
- [0076] 도 7을 참조하면, 본 발명의 다른 실시예에 따른 표시패널(200)은 제1 및 제2 데이터 라인(DL1, DL2), 제1 내지 제3 게이트 라인(GL1 ~ GL3)을 포함한다. 상기 제1 내지 제3 게이트 라인(GL1 ~ GL3)은 제1 방향(D1)으로 연장되고, 상기 제1 및 제2 데이터 라인(DL1, DL2)은 상기 제1 방향(D1)과 직교하는 제2 방향(D2)으로 연장된다.
- [0077] 상기 표시패널(200)은 제1 및 제2 박막 트랜지스터(212, 213), 스토리지 전극(217) 및 화소전극(218)을 더 포함한다. 상기 제1 박막 트랜지스터(212)는 상기 제1 게이트 라인(GL1)과 상기 제1 데이터 라인(DL1)에 전기적으로 연결되고, 상기 제2 박막 트랜지스터(213)는 상기 제2 게이트 라인(GL2)과 상기 제1 데이터 라인(DL1)에 전기적으로 연결된다.
- [0078] 상기 화소전극(218)은 상기 제2 게이트 라인(GL2)과 상기 제3 게이트 라인(GL3)의 사이의 영역에 형성되고, 상기 스토리지 전극(217)은 상기 제1 게이트 라인과 상기 제3 게이트 라인(GL3)의 중간 지점에서 상기 제1 방향(D1)으로 연장된다. 상기 화소전극(218)은 지그재그 형상으로 이루어지고, 상기 중간 지점을 기준으로 상하 대칭 구조로 이루어진다.
- [0079] 상기 화소전극(218)은 제1 및 제2 서브 화소전극(218a, 218b)으로 이루어진다. 상기 제1 서브 화소전극(218a)은 누운 V자 형상으로 이루어지고, 상기 중간 지점을 기준으로 상하 대칭 구조로 이루어진다. 상기 제1 서브 화소전극(218a)이 형성되지 않은 나머지 영역에는 상기 제2 서브 화소전극(218b)이 형성된다. 상기 제1 서브 화소전극(218a)은 상기 제1 박막 트랜지스터(212)에 전기적으로 연결되고, 상기 제2 서브 화소전극(218b)은 상기 제2 박막 트랜지스터(213)에 전기적으로 연결되며, 상기 제1 및 제2 서브 화소전극(218a, 218b)은 서로 전기적으로 절연된다.
- [0080] 상기 제1 및 제2 서브 화소전극(218a, 218b)이 서로 전기적으로 분리되도록 상기 제1 및 제2 서브 화소전극(218a, 218b) 사이에는 제1 개구 패턴(218c)이 형성된다. 여기서, 상기 제1 데이터 라인(DL1)은 상기 화소전극(218)과 평행하게 연장된 적어도 두 개의 변을 구비하도록 절곡된다. 따라서, 화소영역에는 상기 제1 데이터 라인(DL1)과 상기 제1 개구패턴(218c)이 오버랩되는 영역이 존재한다.
- [0081] 상기 표시패널(200)은 상기 화소영역의 주변부에 구비되어 상기 화소영역의 주변에서의 빛샘 현상을 방지하기 위한 제1 블랙 매트릭스(222)를 구비한다. 또한, 상기 표시패널(200)은 상기 제1 데이터 라인(DL1)과 제1 개구 패턴(218c)이 오버랩된 영역에 구비된 제3 블랙 매트릭스(229) 및 상기 스토리지 전극(217)과 평행한 상기 제1 방향(D1)으로 연장된 제4 블랙 매트릭스(225)를 더 구비한다. 상기 제3 블랙 매트릭스(229)는 상기 제1 데이터 라인(DL1)과 상기 제1 개구패턴(218c)이 오버랩된 영역에서의 빛샘 현상을 방지한다. 상기 제4 블랙 매트릭스

(225)는 상기 제3 블랙 매트릭스(229)로부터 분기되고, 상기 스토리지 전극(217)이 형성된 영역에 구비된다.

[0082] 도 1에 도시된 구조와 마찬가지로, 스토리지 커패시터를 증가시키기 위하여 상기 스토리지 전극(217)이 형성된 영역에서 유기 절연막(미도시)은 소정의 깊이로 함몰된다. 그러나, 이러한 구조에서 상기 유기 절연막의 함몰된 부분에는 불필요한 액정이 충전되고, 그 결과 표시패널(200)의 전체 액정량이 증가한다. 상기 제4 블랙 매트릭스(225)는 상기 유기 절연막이 함몰된 위치에서 상기 스토리지 전극(217) 측으로 돌출된다. 상기 제4 블랙 매트릭스(225)는 상기 유기 절연막이 함몰된 위치에 많은 액정이 충전되는 것을 방지하여 상기 표시패널(200)의 전체 액정량을 감소시키는 역할을 수행한다.

[0083] 본 발명의 일 예로, 상기 제4 블랙 매트릭스(225)는 상기 스토리지 전극(217)의 폭보다 작거나 같은 폭을 갖고, 상기 제1 블랙 매트릭스(222)와 동일한 두께를 가진다. 따라서, 상기 제4 블랙 매트릭스(225)에 의해서 상기 표시패널(200)의 개구율이 저하되는 것을 방지할 수 있다.

[0084] 도 7에서는 상기 화소전극(218)이 지그재그 형상으로 절곡된 구조에서 상기 스토리지 전극(217)이 형성된 영역에 대응하여 제4 블랙 매트릭스(225)가 형성된 구조를 제시하였다. 그러나, 도 3 내지 도 6에 도시된 바와 같이, 상기 스토리지 전극(217)이 형성된 영역에 대응하여 다양한 구조의 돌출부가 구비될 수 있다.

[0085] 도 8a 내지 도 8k는 도 2에 도시된 표시패널의 제조 과정을 나타낸 공정도들이다. 다만, 아래에 기재된 제1 박막 트랜지스터(112)에 대한 제조 과정의 설명은 제2 박막 트랜지스터(113)에 관한 제조 과정과 유사하게 적용되므로 상기 제2 박막 트랜지스터(113)의 제조 과정에 대한 별도의 설명은 생략한다.

[0086] 도 8a를 참조하면, 제1 베이스 기판(111) 상에는 게이트 금속막을 형성한 후, 제1 마스크(미도시)를 이용하여 패터닝함으로써 제1 게이트 전극(112a)과 스토리지 전극(117)이 형성된다. 상기 게이트 금속막은 구리, 알루미늄, 은, 크롬 계열의 금속이나 이들의 합금을 증착하여 형성되며, 패터닝 공정에서 상기 게이트 금속막은 식각액을 이용한 습식 식각법으로 식각될 수 있다.

[0087] 도 8b를 참조하면, 제1 게이트 전극(112a)과 스토리지 전극(117) 상에는 게이트 절연막(114)이 형성된다. 상기 게이트 절연막(114)은 무기계 화합물, 예컨대 실리콘 나이트라이드막으로 형성될 수 있다. 상기 게이트 절연막(114)상에는 액티브막(119a)이 형성된다. 상기 액티브막(119a)은 비정질 실리콘막으로 형성될 수 있다. 상기 액티브막(119a) 상에는 불순물 이온을 포함하는 오믹 콘택막(142a)이 형성된다. 상기 게이트 절연막(114), 액티브막(119a) 및 오믹 콘택막(119b)은 플라즈마 화학기상증착법으로 상기 제1 베이스 기판(111)의 전면을 커버하도록 형성된다.

[0088] 상기 오믹 콘택막(119b)상에는 데이터 금속막(119c)이 형성된다. 상기 데이터 금속막(119c), 액티브막(119a) 및 오믹 콘택막(119b)은 포토 공정을 통해서 패터닝된다. 도면에 도시하지는 않았지만, 상기 데이터 금속막(119c) 상에는 감광막 패턴이 형성된다. 상기 감광막 패턴은 상기 데이터 금속막(119c) 상에 감광막을 코팅한 후 제2 마스크(미도시)를 이용하여 상기 감광막을 노광 및 현상하여 형성된 것이다.

[0089] 상기 감광막 패턴은 위치에 따라 상이한 두께를 갖는다. 상기 제1 게이트 전극(112a)이 형성된 영역에서 낮은 두께를 갖는다. 즉, 상기 제1 게이트 전극(112a)이 형성된 영역에서 상기 제2 마스크는 슬릿 마스크 또는 하프톤 마스크가 사용될 수 있다.

[0090] 이후, 상기 감광막 패턴을 식각 마스크로 하여 상기 데이터 금속막(119c), 오믹 콘택막(119b) 및 액티브막(119a)이 식각된다. 상기한 식각 공정에 의해, 데이터 금속막 패턴, 예비 오믹 콘택 패턴 및 액티브 패턴(112b)이 형성된다. 상기 데이터 금속막 패턴, 예비 오믹 콘택 패턴 및 액티브 패턴은 동일 패턴으로 형성된다.

[0091] 다음, 상기 감광막 패턴이 균일하게 제거되어 2차 감광막 패턴이 형성된다. 2차 감광막 패턴을 식각 마스크로 하여 제1 게이트 전극(112a)이 형성된 영역에서 데이터 금속막 패턴 및 예비 오믹 콘택 패턴을 제거한다.

[0092] 도 8c를 참조하면, 데이터 도전막 패턴 및 예비 오믹 콘택 패턴이 식각되어 제1 게이트 전극(112a) 상에는 제1 소오스 전극(112d)과 제1 드레인 전극(112e)이 형성된다. 또한, 예비 오믹 콘택 패턴이 식각되어 오믹 콘택 패턴(112c)이 형성된다. 상기 오믹 콘택 패턴(112c)이 두 부분으로 분리되고, 각각 상기 제1 소오스 전극(112d)과 제1 드레인 전극(112e)과 콘택된다. 상기 오믹 콘택 패턴(112c)의 하부에는 상기 액티브 패턴(112b)이 형성된다.

[0093] 이러한 공정을 통해서, 상기 제1 박막 트랜지스터(112)가 완성된다. 상술한 바와 같이, 상기 액티브 패턴(112b) 및 오믹 콘택 패턴(112c)을 상기 제1 소오스 전극(112d)과 상기 제1 드레인 전극(112e)이 동일한 마스크를 이용

하여 형성함으로써, 공정 절차와 그에 따른 제조 비용을 감소할 수 있다.

- [0094] 도 8d를 참조하면, 상기 제1 박막 트랜지스터(112) 및 게이트 절연막(114) 상에는 제1 투명 절연막(119e) 및 제2 투명 절연막(119f)이 형성된다. 상기 제2 투명 절연막(119f)은 아크릴 성분의 수지로 이루어지고, 노광 및 현상이 가능하도록 감광성을 갖는다. 상기 제2 투명 절연막(119f)은 포지티브 타입 또는 네가티브 타입의 감광성을 가질 수 있으나, 이하에서는 포지티브 타입의 감광성을 가진 경우를 예로 들어 설명한다.
- [0095] 도 8e를 참조하면, 상기 제2 투명 절연막(119f)은 제3 마스크(119d)를 이용하여 노광된다. 상기 제3 마스크(119d)는 투광부(OP1), 슬릿 투광부(SL1) 및 불투광부를 갖는다. 앞서 살핀 바와 같이, 상기 슬릿 투광부(SL)를 갖도록 상기 제3 마스크(119d)는 슬릿 마스크로 이루어질 수 있다.
- [0096] 이후, 현상 공정을 통해서 상기 제2 투명 절연막(119f)이 상기 투광부(OP1)에 대응하여 완전하게 제거됨으로써 제1 개구부(116a)가 형성되고, 상기 슬릿 투광부(SL1)에 대응하여 부분적으로 제거됨으로써 제1 홈(116b)이 형성된 유기 절연막 패턴(119g)이 형성된다. 여기서, 상기 제1 홈(116b)은 상기 스토리지 전극(117)이 형성된 영역에 대응하여 형성된다.
- [0097] 이후, 상기 유기 절연막 패턴(119g)을 식각 마스크로 하여 상기 제1 투명 절연막(119e)을 식각한다.
- [0098] 도 8f를 참조하면, 상기한 식각 공정에 의해서 상기 제1 개구부(116a)에 대응하여 상기 제1 투명 절연막(119e)이 제거됨으로써, 제1 콘택홀(H1)이 형성된 상기 보호막(115)이 형성된다. 상기 보호막(115)에 형성된 상기 제1 콘택홀(H1)은 상기 제1 박막 트랜지스터(112)의 제1 드레인 전극(112e)을 노출시킨다.
- [0099] 또한, 상기 유기 절연막 패턴(119g)이 소정의 두께만큼 균일하게 제거되어 유기 절연막(116)이 형성된다. 상기 유기 절연막(116)은 상기 제1 홈(116b)이 형성된 위치에서 완전하게 제거되거나 또는 부분적으로 잔류할 수 있다. 도 8f에 도시된 바와 같이, 상기 유기 절연막(116)이 상기 제1 홈(116b)이 형성된 위치에서 부분적으로 잔류하면, 상기 유기 절연막(116)은 상기 스토리지 전극(117) 측으로 함몰된 구조를 갖는다.
- [0100] 도 8g를 참조하면, 상기 유기 절연막(116) 상에는 투명 도전막(미도시)이 형성되고, 상기 투명 도전막을 제4 마스크(미도시)를 이용하여 패터닝함으로써 제1 및 제2 서브 화소전극(118a, 118b)을 형성한다. 상기 제1 및 제2 서브 화소전극(118a, 118b)은 제1 개구패턴(118c)을 통해서 서로 전기적으로 분리된다.
- [0101] 상기 제1 서브 화소전극(118a)은 상기 제1 콘택홀(H1)을 통해 상기 제1 박막 트랜지스터(112)의 제1 드레인 전극(112e)과 전기적으로 연결된다. 또한, 상기 제1 서브 화소전극(118a)은 상기 스토리지 전극(117)과 마주한다. 상기 스토리지 전극(117)이 형성된 영역에서 상기 유기 절연막(116), 보호막(115) 및 게이트 절연막(114)은 유전체로써 이용된다.
- [0102] 이러한 과정을 통해서 어레이 기판(110, 도 2에 도시됨)이 완성되고, 이후 컬러필터기판(120, 도 2에 도시됨)은 하기와 같은 제조 과정을 거쳐서 완성된다.
- [0103] 도 8h를 참조하면, 제2 베이스 기판(121) 상에는 크롬 또는 유기 BM으로 이루어진 차광막(미도시)을 적층하고, 이후 상기 차광막을 패터닝하여 제1 및 제2 블랙 매트릭스(122, 125)를 형성한다. 상기 제1 블랙 매트릭스(122)는 제1 데이터 라인(DL1) 및 제1 박막 트랜지스터(112)가 형성된 위치에 대응하여 형성되고, 상기 제2 블랙 매트릭스(125)는 스토리지 전극(117)이 형성된 위치에 대응하여 형성된다.
- [0104] 도 8i를 참조하면, 상기 제1 및 제2 블랙 매트릭스(122, 125)가 형성된 상기 제2 베이스 기판(121) 상에 컬러필터층(123)이 형성된다. 상기 제1 블랙 매트릭스(122)는 화소영역의 주변부에 구비되므로 상기 컬러필터층(123)과 부분적으로 오버랩되지만, 상기 제2 블랙 매트릭스(125)는 화소영역 내에 구비되므로 상기 컬러필터층(123)에 의해서 완전하게 커버된다. 상기 컬러필터층(123)은 레드, 그린 및 블루 색화소로 이루어진다. 상기 컬러필터층(123)은 상기 레드, 그린 및 블루 색화소가 패터닝 공정을 통해서 순차적으로 형성되거나, 잉크젯 프린팅 방식으로 통해서 순차적으로 형성됨으로써 완성될 수 있다.
- [0105] 도 8j를 참조하면, 상기 컬러필터층(123) 상에는 투명 도전막(미도시)이 형성되고, 이후 상기 투명 도전막을 패터닝하여 공통전극(124)을 형성한다. 패터닝 공정을 통해서 상기 공통전극(124)에는 제2 개구패턴(124a)이 형성된다.
- [0106] 도 8k를 참조하면, 상기 공통전극(124) 상에는 기 설정된 셀갭과 동일한 두께를 갖는 이격 절연막(미도시)이 도포되고, 이후, 상기 이격 절연막을 패터닝하여 컬럼 스페이서(135)를 형성한다. 상기 이격 절연막은 감광막으로 이루어질 수 있다. 도 8k에 도시된 바와 같이, 상기 컬럼 스페이서(135)는 상기 제1 블랙 매트릭스(122)가 형성

된 영역 상에 형성된다. 따라서, 상기 표시패널(100, 도 1에 도시됨)의 개구율이 상기 컬러 스페이스(135)에 의해서 저하되는 것을 방지할 수 있다.

[0107] 이와 같이 완성된 상기 컬러필터기판(120)은 이후 어레이 기판(110)과 대향하여 결합한다. 상기 컬러필터기판(120)과 상기 어레이 기판(110)이 어셈블리되기 이전에 상기 컬러필터기판(120) 상에 액정이 적하될 수 있다. 이때, 상기 제2 블랙 매트릭스(125)에 의해서 상기 컬러필터기판(120) 상에 적하되는 액정의 총량이 감소될 수 있다. 따라서, 상기 스토리지 전극(117)이 형성된 영역에 불필요하게 충전되는 액정량을 감소시킬 수 있다.

[0108] 한편, 상기 컬러필터기판(120)과 상기 어레이 기판(110)이 어셈블리된 이후에 두 기판 사이에 액정이 주입될 수 있다. 이때, 상기 제2 블랙 매트릭스(125)는 상기 컬러필터기판(120)과 어레이 기판(110)과의 사이의 이격거리를 감소시킴으로써, 상기 스토리지 전극(117)이 형성된 영역에 불필요하게 충전되는 액정량을 감소시킬 수 있다.

발명의 효과

[0109] 이와 같은 표시패널 및 이의 제조방법에 따르면, 어레이 기판 측에서 절연막은 스토리지 전극이 형성된 영역에 대응하여 함몰된 구조로 이루어지고, 대향 기판 측에는 절연막의 함몰된 부분에 대응하여 어레이 기판 측으로 돌출된 돌출부가 구비된다.

[0110] 따라서, 어레이 기판과 대향 기판의 셀갭이 보상됨으로써 표시패널은 균일한 셀갭을 가질 수 있다. 또한, 절연막의 함몰된 구조로 인해서 증가되었던 액정량이 돌출부의 체적만큼 감소됨으로써, 상기 표시패널에 충전되는 전체 액정량을 절감할 수 있다.

[0111] 이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

[0001] 도 1은 본 발명의 일 실시예에 따른 표시패널의 평면도이다.

[0002] 도 2는 도 1에 도시된 절단선 I-I' 및 절단선 II-II'에 따라 절단한 단면도이다.

[0003] 도 3은 본 발명의 다른 실시예에 따른 표시패널의 스토리지 전극 영역을 나타낸 단면도이다.

[0004] 도 4는 본 발명의 또 다른 실시예에 따른 표시패널의 스토리지 전극 영역을 나타낸 단면도이다.

[0005] 도 5는 본 발명의 또 다른 실시예에 따른 표시패널의 스토리지 전극 영역을 나타낸 단면도이다.

[0006] 도 6은 본 발명의 또 다른 실시예에 따른 표시패널의 스토리지 전극 영역을 나타낸 단면도이다.

[0007] 도 7은 본 발명의 다른 실시예에 따른 표시패널의 평면도이다.

[0008] 도 8a 내지 도 8k는 도 2에 도시된 표시패널의 제조 과정을 나타낸 공정도들이다.

[0009] *도면의 주요 부분에 대한 부호의 설명*

[0010] 100, 200 -- 표시패널 110 -- 어레이 기판

[0011] 112 -- 제1 박막 트랜지스터 113 -- 제2 박막 트랜지스터

[0012] 116 -- 유기 절연막 118a -- 제1 서브 화소전극

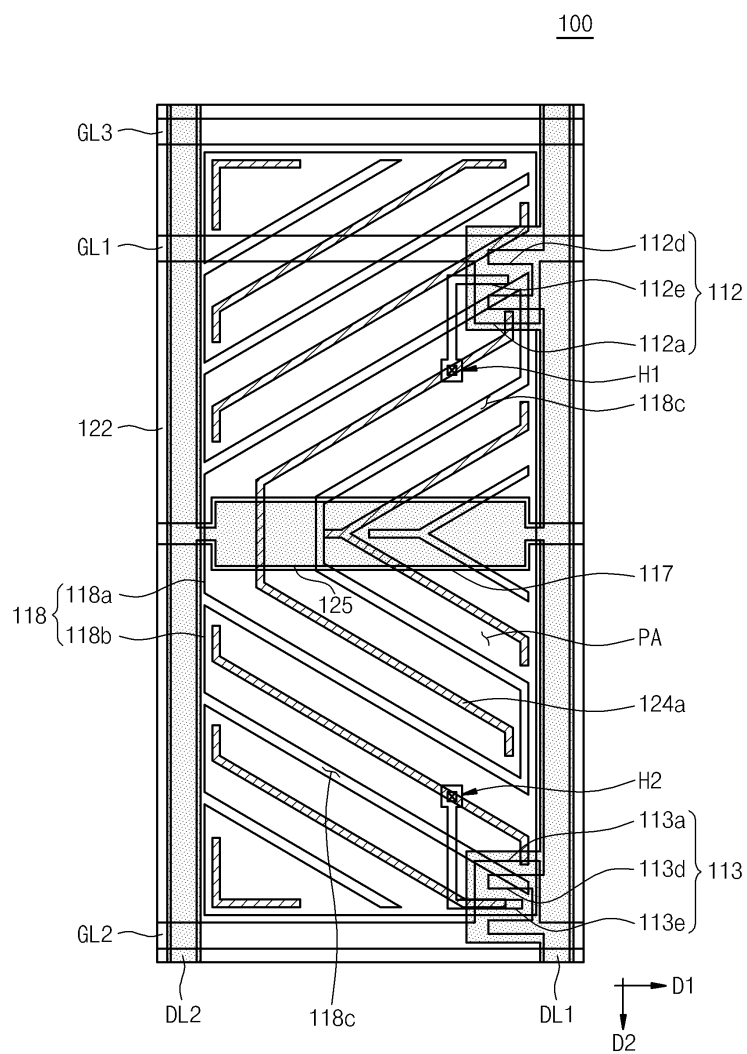
[0013] 118b -- 제2 서브 화소전극 120 -- 컬러필터기판

[0014] 122 -- 제1 블랙 매트릭스 123 -- 컬러필터층

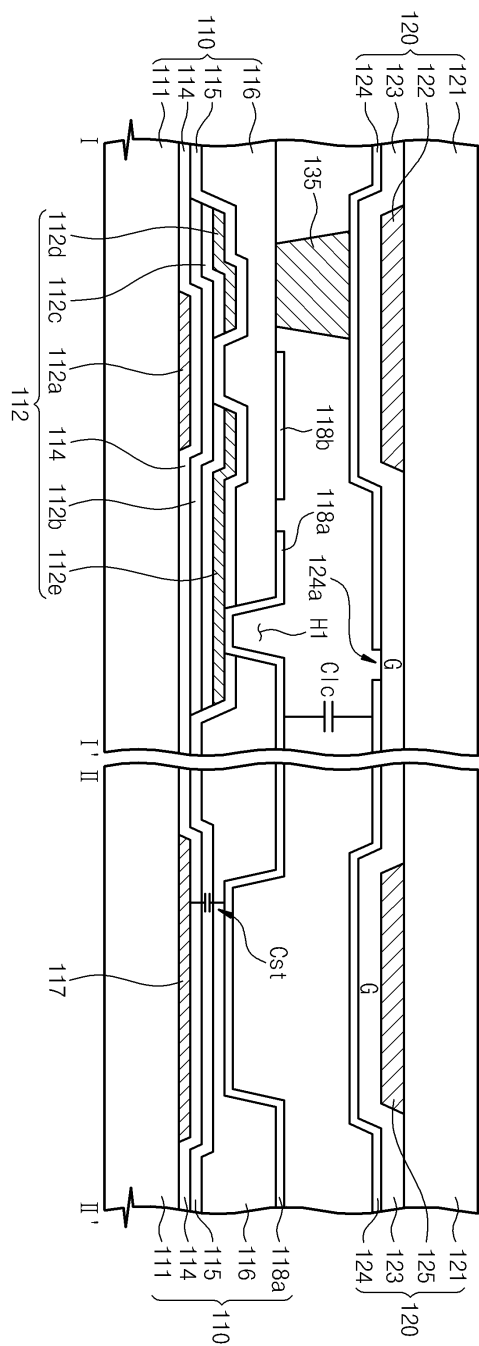
[0015] 124 -- 공통전극 125 -- 제2 블랙 매트릭스

도면

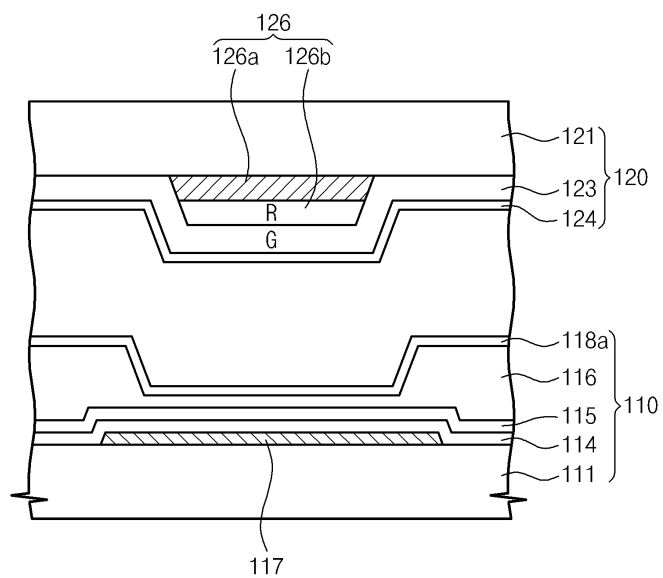
도면1



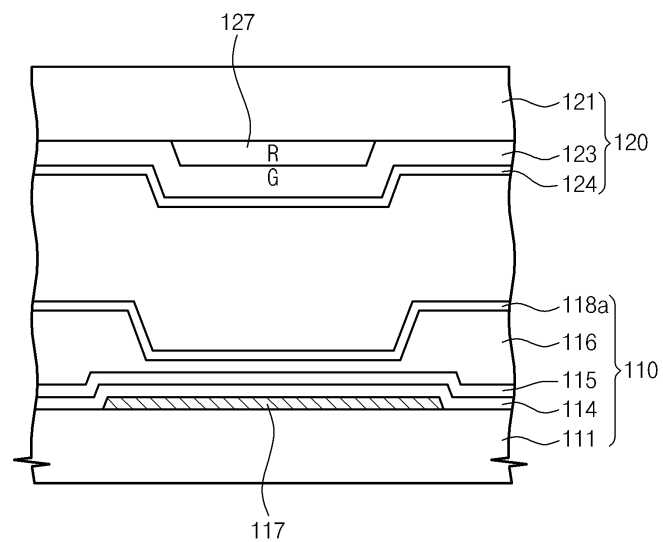
도면2



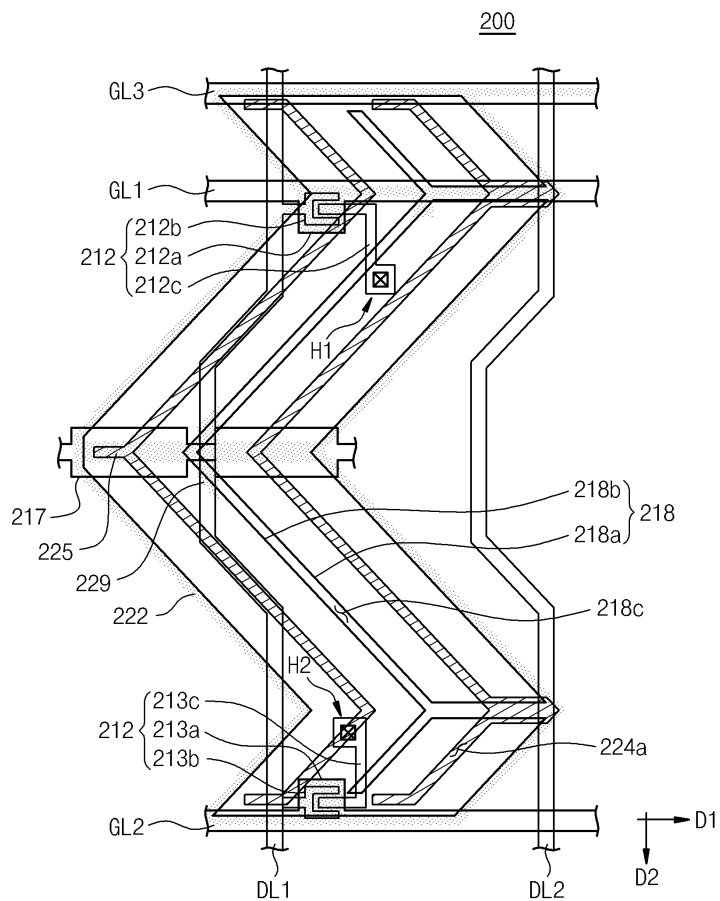
도면3



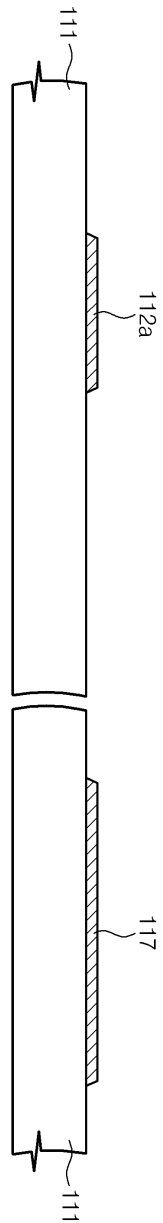
도면4



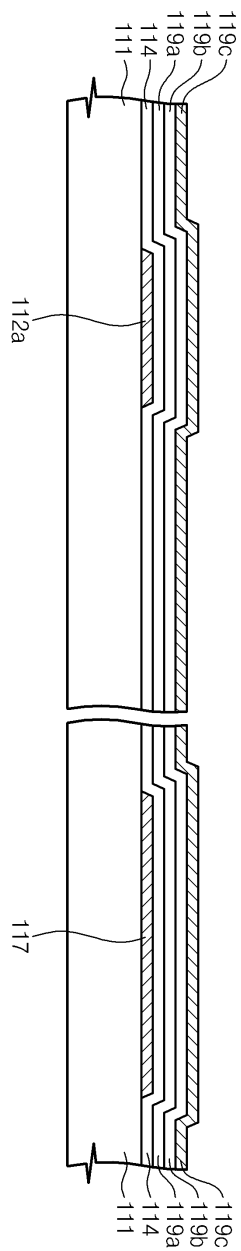
도면7



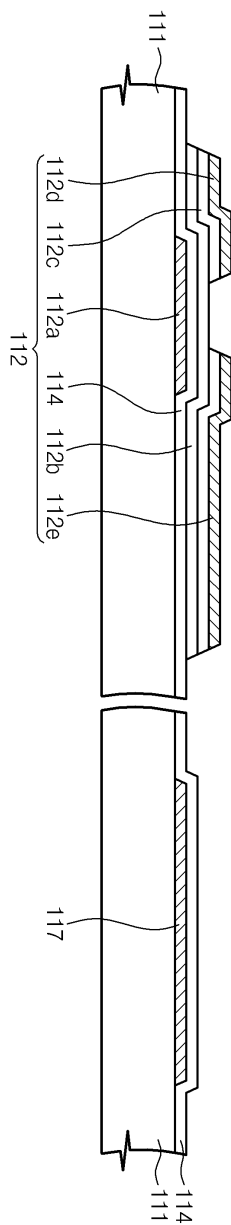
도면8a



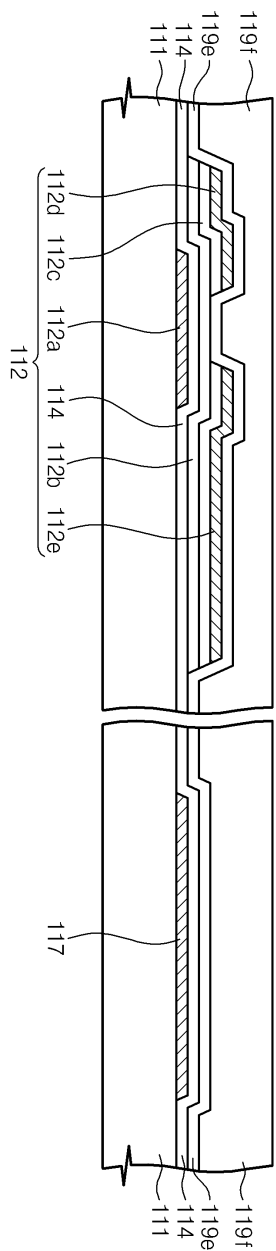
도면8b



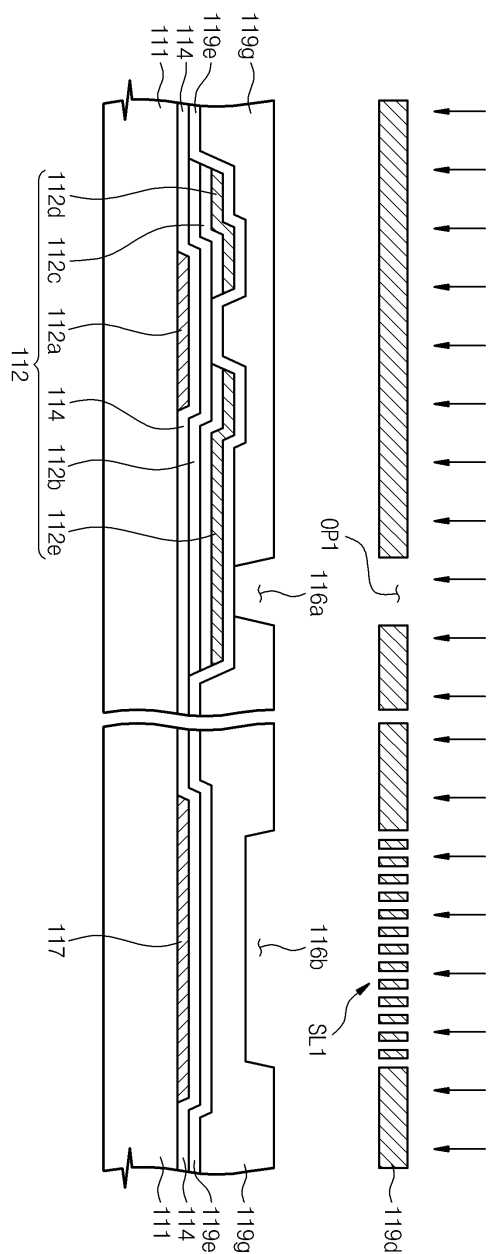
도면8c



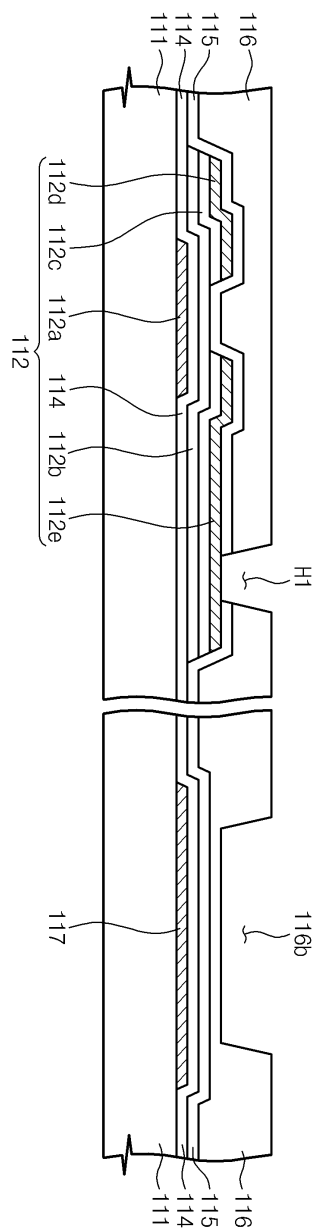
도면8d



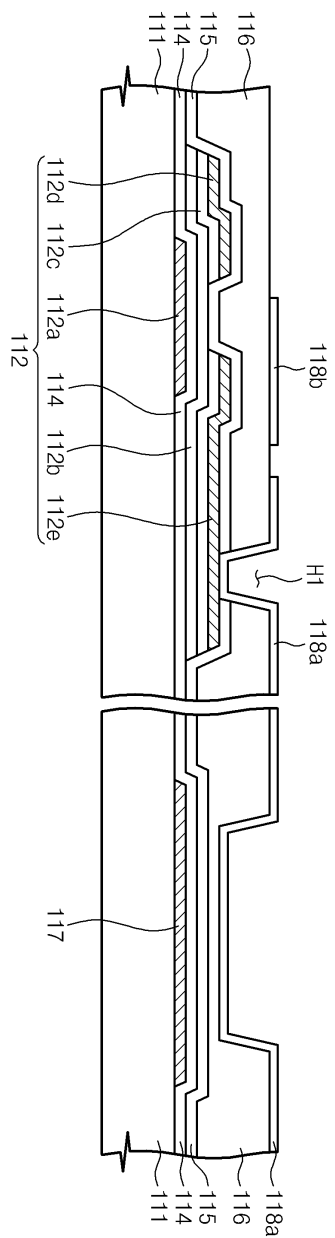
도면8e



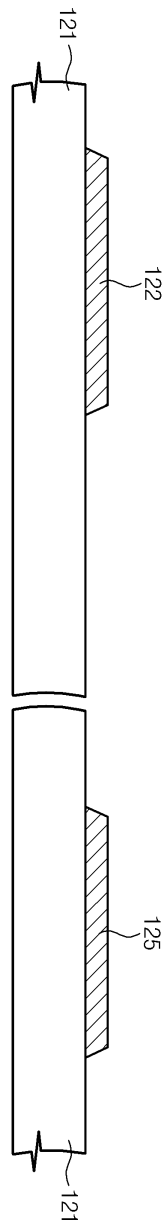
도면8f



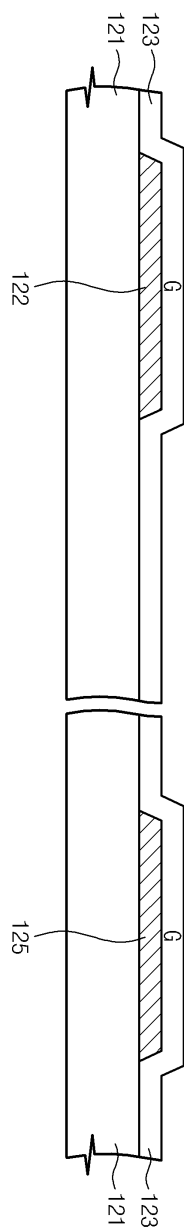
도면8g



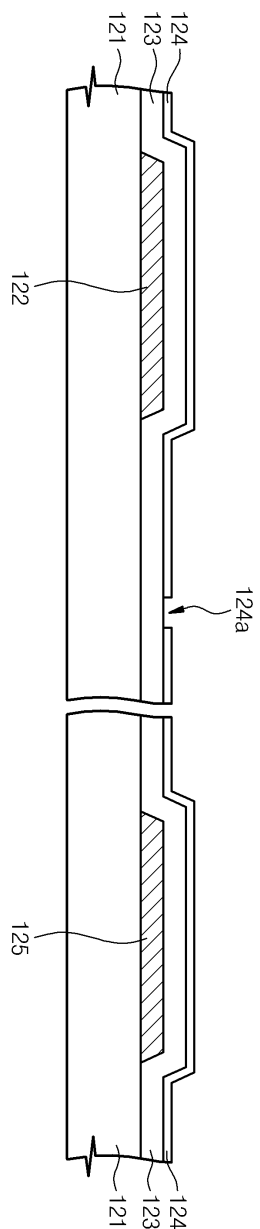
도면8h



도면8i



도면8j



도면8k

