



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0070642
(43) 공개일자 2008년07월30일

(51) Int. Cl.

H01L 31/00 (2006.01)

- (21) 출원번호 10-2008-7010524
- (22) 출원일자 2008년04월30일
심사청구일자 없음
번역문제출일자 2008년04월30일
- (86) 국제출원번호 PCT/US2006/041146
국제출원일자 2006년10월20일
- (87) 국제공개번호 WO 2007/053339
국제공개일자 2007년05월10일
- (30) 우선권주장
11/263,120 2005년10월31일 미국(US)

(71) 출원인

프리스케일 세미컨덕터, 인크.

미합중국 텍사스 (우편번호 78735) 오스틴 윌리엄 캐논 드라이브 웨스트 6501

(72) 발명자

디안, 분-유

미국 78750 텍사스주 오스틴 로클리븐 코브 10201

첸, 지안

미국 78750 텍사스주 오스틴 스위트니스 레인 8413

(뒷면에 계속)

(74) 대리인

양영준, 백만기

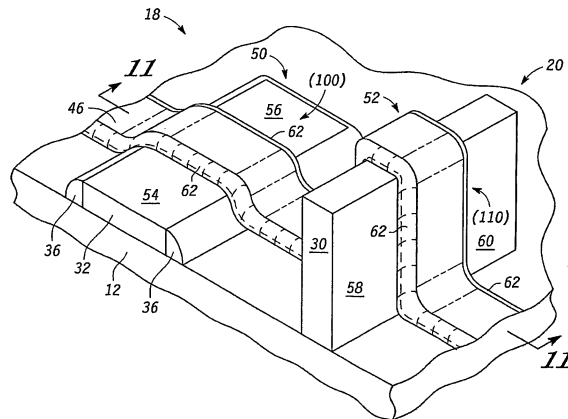
전체 청구항 수 : 총 20 항

(54) 반도체 구조 및 그 형성 방법

(57) 요약

반도체 구조를 형성하는 방법은, 절연층(12) 위에 있는 변형 반도체층(14)을 갖는 기판(10)을 제공하는 단계; 제 1 도전 타입을 갖는 복수의 제1 디바이스를 형성하기 위한 제1 디바이스 영역(18)을 제공하는 단계; 제2 도전 타입을 갖는 복수의 제2 디바이스를 형성하기 위한 제2 디바이스 영역(20)을 제공하는 단계 및 제2 디바이스 영역의 변형 반도체층을 두껍게 하여, 제2 디바이스 영역의 변형 반도체층이 제1 디바이스 영역의 변형 반도체층보다 덜 변형되게 하는 후막화 단계를 포함한다. 이와 달리, 반도체 구조를 형성하는 방법은, 제1 도전 타입을 갖는 제1 영역(18)을 제공하는 단계; 제1 영역의 적어도 액티브 영역(32) 위에 절연층(34)을 형성하는 단계; 절연층을 이방성 에칭하는 단계; 및 절연층의 이방성 에칭 후, 절연층의 적어도 일부 위에 게이트 전극 물질(46)을 피착하는 단계를 포함한다.

대표도 - 도13



(72) 발명자

구옌, 비츠-옌

미국 78733 텍사스주 오스틴 로렐우드 드라이브
110

사다카, 마리암 지.

미국 78738 텍사스주 오스틴 나파 드라이브 3119

장, 다

미국 78717 텍사스주 오스틴 카산드라 드라이브
10137

특허청구의 범위

청구항 1

반도체 구조를 형성하는 방법으로서,

절연층 위에 있는 변형 반도체층(strained semiconductor layer)을 포함하는 기판을 제공하는 단계;

제1 도전 타입을 갖는 복수의 제1 디바이스를 형성하기 위한 제1 디바이스 영역을 제공하는 단계;

제2 도전 타입을 갖는 복수의 제2 디바이스를 형성하기 위한 제2 디바이스 영역을 제공하는 단계 - 상기 제2 도전 타입은 상기 제1 도전 타입과는 상이함 -; 및

상기 제2 디바이스 영역의 상기 변형 반도체층을 두껍게 하여, 상기 제2 디바이스 영역의 변형 반도체층이 상기 제1 디바이스 영역의 변형 반도체층보다 덜 변형되게 하는 후막화(thickening) 단계

를 포함하는 반도체 구조 형성 방법.

청구항 2

제1항에 있어서,

상기 제1 디바이스 영역의 변형 반도체층을 두껍게 하지 않는 단계를 더 포함하는 반도체 구조 형성 방법.

청구항 3

제1항에 있어서,

상기 후막화 단계는 상기 제2 영역의 변형 반도체층을 에피텍셜 성장시키는 단계를 포함하는 반도체 구조 형성 방법.

청구항 4

제1항에 있어서,

상기 기판은 SSOI(strained semiconductor on insulator) 기판을 포함하는 반도체 구조 형성 방법.

청구항 5

제1항에 있어서,

상기 제1 도전 타입은 n형이고, 상기 제2 도전 타입은 p형인 반도체 구조 형성 방법.

청구항 6

제1항에 있어서,

상기 복수의 제1 디바이스는 평면 디바이스를 포함하고, 상기 복수의 제2 디바이스는 수직 디바이스를 포함하는 반도체 구조 형성 방법.

청구항 7

제1항에 있어서,

상기 평면 디바이스에 대한 상기 변형 반도체층의 결정 배향은 (100)을 포함하고, 상기 수직 디바이스에 대한 상기 변형 반도체층의 결정 배향은 (110)을 포함하는 반도체 구조 형성 방법.

청구항 8

제6항에 있어서,

상기 수직 디바이스는 FinFET 디바이스를 포함하는 반도체 구조 형성 방법.

청구항 9

제1항에 있어서,

상기 후막화 단계는,

상기 제1 영역 위에 마스킹층을 형성하는 단계; 및

상기 제2 영역에서는 상기 변형 반도체층을 두껍게하고, 상기 제1 영역에서는 두껍게 하지 않도록 선택적으로 에피텍셜 성장시키는 단계를 포함하는 반도체 구조 형성 방법.

청구항 10

제9항에 있어서,

에피텍셜 성장된 상기 변형 반도체층의 일부의 두께는 상기 마스킹층의 두께보다 두꺼운 반도체 구조 형성 방법.

청구항 11

제9항에 있어서,

상기 선택적으로 에피텍셜 성장시키는 단계는 약 400-950℃ 범위의 온도에서 수행되는 반도체 구조 형성 방법.

청구항 12

제9항에 있어서,

상기 선택적으로 에피텍셜 성장시키는 단계 후, 약 400-1200℃ 범위의 온도에서 상기 반도체 구조를 열처리하는 단계를 더 포함하는 반도체 구조 형성 방법.

청구항 13

제9항에 있어서,

상기 선택적으로 에피텍셜 성장시키는 단계 후, 수소 및 염산으로 이루어진 그룹으로부터 선택된 화학 성분을 포함하는 분위기에서 상기 반도체 구조를 열처리하는 단계를 더 포함하는 반도체 구조 형성 방법.

청구항 14

제1항에 있어서,

상기 제1 디바이스 영역에서의 상기 변형 반도체층의 인장 응력은 1.0GPa보다 큰 반도체 구조 형성 방법.

청구항 15

제1항에 있어서,

상기 제2 디바이스 영역에서의 상기 변형 반도체층의 인장 응력은 약 0GPa인 반도체 구조 형성 방법.

청구항 16

제1항에 있어서,

상기 복수의 제1 디바이스는 n채널 디바이스를 포함하고, 상기 복수의 제2 디바이스는 p채널 디바이스를 포함하는 반도체 구조 형성 방법.

청구항 17

제1항에 있어서,

상기 제1 디바이스 영역의 적어도 액티브 영역 위에 절연층을 형성하는 단계;

상기 절연층을 이방성 에칭하는 단계; 및

상기 절연층의 이방성 에칭 후, 상기 절연층의 적어도 일부 위에 게이트 전극 물질을 피착하는 단계를 더 포함하는 반도체 구조 형성 방법.

청구항 18

반도체 구조를 형성하는 방법으로서,

절연층 위에 있는 변형 반도체층을 포함하는 기판을 제공하는 단계;

제1 도전 타입을 갖는 복수의 제1 디바이스를 포함하는 제1 디바이스 영역을 제공하는 단계;

제2 도전 타입을 갖는 복수의 제2 디바이스를 포함하는 제2 디바이스 영역을 제공하는 단계 - 상기 제2 도전 타입은 상기 제1 도전 타입과는 상이함 -; 및

상기 복수의 제1 디바이스를 형성할 때에는 상기 제1 디바이스 영역에서 상기 변형 반도체층을 에피택셜 성장시키지 않고, 상기 복수의 제2 디바이스를 형성할 때 상기 제2 디바이스 영역에서 상기 변형 반도체층을 에피택셜 성장시키는 단계

를 포함하는 반도체 구조 형성 방법.

청구항 19

제18항에 있어서,

상기 제2 디바이스 영역에서의 상기 변형 반도체층은 상기 제1 디바이스 영역에서의 상기 변형 반도체층보다 작은 인장 응력을 갖는 반도체 구조 형성 방법.

청구항 20

반도체 구조를 형성하는 방법으로서,

절연층 위에 있는 변형 반도체층을 포함하는 기판을 제공하는 단계;

제1 도전 타입을 갖는 복수의 제1 디바이스를 포함하는 제1 디바이스 영역을 제공하는 단계;

제2 도전 타입을 갖는 복수의 제2 디바이스를 포함하는 제2 디바이스 영역을 제공하는 단계 - 상기 제2 도전 타입은 상기 제1 도전 타입과는 상이함 -; 및

상기 복수의 제2 디바이스를 형성할 때 상기 제2 디바이스 영역에서 상기 변형 반도체층을 에피택셜 성장시키는 단계;

상기 제1 디바이스 영역의 적어도 액티브 영역 위에 절연층을 형성하는 단계;

상기 절연층을 이방성 에칭하는 단계; 및

상기 절연층의 이방성 에칭 후, 상기 절연층의 적어도 일부 위에 게이트 전극 물질을 피착하는 단계

를 포함하는 반도체 구조 형성 방법.

명세서

기술분야

<1> 본 발명은 전반적으로 반도체 프로세싱에 관한 것으로, 보다 구체적으로는, 상이한 디바이스 영역을 갖는 반도체 구조에 관한 것이다.

배경기술

<2> 반도체 프로세싱 기술의 진보에 따라, 디바이스들의 사이즈가 지속적으로 축소되고 있다. 그러나, 이러한 디바이스들의 사이즈가 축소됨에 따라, 그 디바이스들 내의 이동성은 누설 전류를 제어하는데 필요한 채널 도핑의 증가로 인해 일반적으로 저하된다. 디바이스들의 스케일링으로 인해 저하된 이동성을 개선하기 위해, 디바이스들이 형성되는 실리콘을 변형(strain)할 수 있다. 예컨대, n형 디바이스에 대해서는, 이동성을 개선하기 위해 실리콘이 인장 변형될 수 있고, p형 디바이스에 대해서는, 이동성을 개선하기 위해 실리콘이 압축 변형될 수 있다. 실리콘의 특정한 변형은 적용된 변형에 따라 디바이스들의 성능에 영향을 미치고, 어떤 타입의 디바이스 성능이 다른 타입의 디바이스 성능보다 나올 수 있다는 점에 유의하여야 한다. 또한, 디바이스들을 프로세싱하는데 이용되는 표면의 결정 배향 및 채널의 결정 방향이 디바이스 성능에 영향을 미치고, 특정한 결정 배향 및

방향이 어떤 타입의 디바이스에 대해 보다 적합할 수도 있다.

<3> CMOS 회로에 있어서는, n형 디바이스, 즉 NMOS 디바이스와, p형 디바이스, 즉 PMOS 디바이스가 필요하다. 그러나, 이러한 상이한 타입의 디바이스들을 집적할 때, 한가지 타입의 디바이스의 성능은 나머지 타입의 디바이스의 프로세싱 적합성으로 인해 저하될 수도 있다. 따라서, 이러한 상이한 타입의 디바이스들에 대해 고성능을 달성하면서 동일한 기판상에 집적하는 것이 필요하다.

발명의 상세한 설명

<8> 전술한 바와 같이, CMOS 회로를 형성할 때에는, 동일한 기판상에 집적될 n형 및 p형 디바이스가 필요하다. 일 실시예에서는, (100)의 표면 결정 배향을 갖는 2축 인장 변형 반도체층이 n형 및 p형 디바이스를 형성하는데 이용된다. 일 실시예에서, n형 디바이스는 평면 또는 수평 디바이스로 형성되고, (100) 결정 배향은 n형 디바이스의 성능을 개선할 수 있다. 또한, 일 실시예에서, p형 디바이스는 FinFET(Fin Field Effect Transistor)와 같은 수직 디바이스로 형성된다. 수직 디바이스로 형성될 때, 채널이 형성되는 표면의 결정 배향은 p형 디바이스의 성능을 개선하게 하는 (110)이 된다. 그러나, 2축 인장 변형 반도체층을 이용해 형성되는 p형 디바이스의 성능을 개선하기 위해, 2축 인장 변형 반도체층내의 진성 장력은 부분적으로 혹은 완전히 제거되도록 완화된다.

<9> 일 실시예에서, 변형을 완화하기 위해, 2축 인장 변형 반도체층은 p형 디바이스가 형성될 영역에서 두꺼워진다. 그 결과, 수직 p형 디바이스가 형성될 영역에서의 반도체층은, 평면 n형 디바이스가 형성될 영역에 비해 덜 인장 변형될 것이다. 일 실시예에서, p형 디바이스가 형성될 영역에서의 반도체층은 어떠한 진성 변형도 남아 있지 않도록 완화되어 진다. 이와 달리, 이러한 영역에서의 반도체층은 부분적으로만 완화될 수도 있다. 반도체층이 두꺼워진 후, 수직 p형 디바이스가 형성될 수 있다. 따라서, n형과 p형 디바이스 모두는, 그 개선된 성능을 유지하면서, 동일하게 변형된 반도체층을 이용해 집적될 수 있다.

<10> 도 1은 절연층(12)과, 그 절연층(12) 상의 변형 반도체층(14)을 갖는 기판(10)을 나타내고 있다. 일 실시예에서, 기판(10)은 SSOI(strained semiconductor on insulator)로 제공될 수 있고, 반도체층(14)은 예를 들어 변형 실리콘, 변형 게르마늄, 변형 실리콘 게르마늄, 변형 실리콘 게르마늄 탄소 합금, 변형 실리콘 카바이드, 변형 탄소-도핑 실리콘, 그 밖의 변형 반도체 물질 또는 그 조합을 포함할 수 있다(기판(10)은 또한 반도체층(14)이 절연층(12) 바로 위에 있는 SSDOI(strained semiconductor directly on insulator)로 지칭될 수도 있다). 일 실시예에서, 변형 반도체층(14)은 약 0.5-0.8% 변형에 대응하는 약 1.0-1.5GPa의 범위에서 평면(in-plane) 2축 인장 응력을 갖는다. 일 실시예에서, 변형 반도체층(14)은 약 1.0GPa보다 큰 평면 2축 인장 응력을 갖는다. 또한, 일 실시예에서, 변형 반도체층(14)은 약 20-60nm 범위의 두께를 가질 수 있다. 일 실시예에서, 변형 반도체층(14)은, 상세히 후술하는 바와 같이, 예를 들어 후속 완화 프로세싱 동안 열적 사이클링을 지탱할 수 있도록 변형이 열적 및 기계적으로 안정하다면 임의의 두께를 가질 수도 있다.

<11> 일 실시예에서, 절연층(12)은 산화물을 포함할 수 있다. 이와 달리, 다른 절연층(12)은 란탄 알루미늄네이트, hafnium 산화물, 질화물, 저 유전 상수(K)(저 K는 실리콘 이산화물보다 낮은 K를 지칭함)를 갖는 임의의 유전체 또는 이들의 조합과 같은 그 밖의 절연 물질을 포함할 수 있다. 또 다른 실시예에서는, 기판(10)이 절연층(12)을 포함하지 않을 수도 있다.

<12> 기판(10)은 제1 도전 타입을 갖는 디바이스를 형성하기 위한 제1 디바이스 영역(18)과, 제2 도전 타입을 갖는 디바이스를 형성하기 위한 제2 디바이스 영역(20)을 포함한다. 일 실시예에서, 영역(18)은 n형 디바이스 혹은 n채널 디바이스가 형성될 n형 영역에 대응하고, 영역(20)은 p형 디바이스 혹은 p채널 디바이스가 형성될 p형 영역에 대응한다. 이에 대하여는, 도 3 내지 도 13을 참조하여 상세히 후술한다. 영역들(18 및 20) 각각이 인접하거나 혹은 인접하지 않은 영역들일 수 있다는 점에 유의하기 바란다. 또한, 기판(10)이 상이한 타입의 디바이스들에 필요한 임의의 수의 영역들을 포함할 수 있다는 점에 유의하기 바란다. 예컨대, 기판(10)은 복수의 n형 영역과 복수의 p형 영역을 포함할 수 있다. 일 실시예에서, 영역(18)은 또한 n형 영역으로 지칭될 수 있고, 영역(20)은 또한 p형 영역으로 지칭될 수도 있다.

<13> 도 2는 영역(18)에서 변형 반도체층(14) 위에 패터닝된 마스크층(16)을 형성한 후, 영역(20)에서의 변형 반도체층(14)을 노출시킨 기판(10)을 나타내고 있다. 일 실시예에서, 패터닝된 마스크층(16)은 질화물 등을 포함하는 하드 마스크이고, 종래의 프로세싱 단계들에 따라 형성 및 패터닝될 수 있다.

<14> 도 3은 영역(20)에서의 변형 반도체층(14)을 완화시키기 위해 영역(20)에서 변형 반도체층(14)의 노출 표면에 반도체층(22)을 성장시킨 후의 기판(10)을 나타내고 있다. 일 실시예에서, 성장된 반도체층(22)은 선택적으로 에피택셜 성장된다. 일 실시예에서, 성장된 반도체층(22)은 패터닝된 마스크층(16)의 두께보다 큰 두께로

성장된다. 이와 달리, 패터닝된 마스크층(16)이 성장된 반도체층(22)보다 두꺼울 수도 있다. 성장된 반도체층(22)은 실리콘, 게르마늄, 실리콘 게르마늄, 실리콘 게르마늄 탄소, 실리콘 카바이드, 기타 III-V 또는 II-VI 반도체 화합물 또는 이들의 조합 등을 포함할 수 있다. 일 실시예에서, 변형 반도체층(14)이 변형 실리콘층이면, 반도체층(22)은 에피텍셜 성장된 실리콘일 수 있다. 일 실시예에서, 반도체층(22)은 약 400-950°C 범위, 보다 바람직하게는 약 800-900°C 범위의 온도에서 성장된다(일반적으로, 성장 온도가 높아질수록 변형 반도체의 더 많은 완화가 가능하다는 점에 유의하기 바란다). 또한, 반도체층(14) 및 성장된 반도체층(22)이 상이한 물질로 형성될 수 있다는 점에 유의하기 바란다. 예컨대, 반도체층(14)이 실리콘이면, 성장된 반도체층(22)은 전술한 목록의 물질들 중 임의의 물질로 형성될 수 있다. 도 3에 도시된 바와 같이, 영역(20)에서의 반도체층(14)과 성장된 반도체층(22)의 조합이 반도체층(24)으로 지칭될 수 있다.

<15> 그 결과, 영역(20)내의 반도체층(14) 부분 또는 그 일부가 영역(18)내의 반도체층(14) 부분 또는 그 일부에 비해 두꺼워진다. 일 실시예에서, 반도체층(24)의 두께는 약 40-100nm의 범위이다. 이와 달리, 반도체층(24)은 약 100nm보다 큰 두께를 가질 수도 있다. 일 실시예에서는, 영역(18)에서의 패터닝된 마스크층(16)의 이용이, 영역(20)에서 변형 반도체층(14)이 두꺼워지게 하면서, 영역(18)에서 변형 반도체층(14)이 두꺼워지는 것을 방지한다는 점에 유의하기 바란다.

<16> 또한, 반도체층(22)이 성장될 때, 영역(20)내의 반도체층(14)의 인장 변형이 완화된다. 성장된 반도체층(22)의 형성 후, 반도체층(24)에서의 잔류 변형을 더 완화시키기 위해 반응성 주변 가스로 열처리한다. 일 실시예에서, 열처리하는 200 밀리 토르를 넘는 압력하에 약 400-1200°C 범위, 보다 바람직하게는 약 900-1100°C 범위의 온도에서 15-30분간 수행된다. 반응성 주변 가스는 염화 수소 또는 수소 등을 포함할 수 있다.

<17> 일 실시예에서는, 열처리 후, 결과물인 반도체층(24)이 완화되도록, 인장 변형이 완전히 제거되고, 약 0GPa의 응력을 갖는다. 일 실시예에서, 인장 응력은 실질적으로 제거된다. 이와 달리, 인장 응력이 적어도 부분적으로 제거될 수도 있다. 기판(10)의 영역(18)내의 패터닝된 마스크층(16)은, 영역(18)내인 반도체층(14) 부분 혹은 그 일부가 인장 변형을 유지하도록 변형 반도체층(14)을 보호한다. 따라서, 영역(20)에서의 반도체층(24)은 영역(18)에서의 변형 반도체층(14)보다 작은 인장 변형을 갖는다. 전술한 바와 같이, 일 실시예에서, 반도체층(14)의 두께는, 완화된 반도체층(24)을 생성하는데 이용되는 전술한 열처리 후에도 인장 응력을 유지할 수 있도록 변형 안정적으로 초기에 선택되어 진다.

<18> 도 4는 성장된 반도체층(22) 위에 산화물층(26)을 형성하기 위한 산화 후의 기판(10)을 나타내고 있다. 산화물층(26)을 형성하는데 종래의 산화 프로세스가 이용될 수 있다. 산화물층(26)의 형성 후에, 패터닝된 마스크층(16)이 제거된다. 예컨대, 패터닝된 마스크층(16)이 패터닝된 질화물 하드 마스크인 일 실시예에서는, 고온 인산 등을 이용한 습식 에칭이 마스크를 제거하는데 이용될 수 있다. 이와 달리, 이 예에서는, 건식 에칭이 이용될 수도 있다. 이와 다른 실시예에서는, 다른 절연 물질을 포함하는 다른 절연층이 산화물층(26) 대신에 이용될 수도 있다.

<19> 도 5는 패터닝된 마스크층(16)의 제거 및 패터닝된 마스크층(28)의 형성 후의 기판(10)을 나타내고 있다. 패터닝된 마스크층(28)은 포토레지스트를 포함하거나, 이와 달리, 하드 마스크일 수 있으며, 종래의 프로세스 및 물질을 이용해 형성 및 패터닝될 수도 있다. 패터닝된 마스크층(28)은, 영역(18)에서 액티브 영역을 규정하고, 영역(20)에서 핀 구조를 규정한다.

<20> 도 6은 패터닝된 마스크층(28)을 이용해 반도체층(14)의 일부 및 성장된 반도체층(22)의 제거 후, 영역(18)내의 액티브 영역(32) 및 영역(20)내의 핀 구조(30)가 되는 기판(10)을 나타내고 있다. 액티브 영역(32)은, 평면 디바이스가 형성될 액티브 영역에 대응한다. 일 실시예에서, 액티브 영역(32)은 평면 n형 디바이스가 형성될 액티브 영역(따라서, n형 액티브 영역으로도 지칭될 수 있음)에 대응한다. 영역(18)은, 필요하다면, 액티브 영역들 각각이 인장 변형 반도체 물질로 형성되는 액티브 영역(32)과 같은 임의의 수의 액티브 영역들을 포함할 수 있다는 점에 유의하기 바란다. 따라서, 이러한 액티브 영역들에서 후속적으로 형성된 n형 디바이스들이 인장 변형 반도체 물질로 인해 개선된 캐리어 이동성을 가질 것이다. 핀 구조(30)는 p형 FinFET 디바이스의 핀 부분에 대응한다. 이와 다른 실시예에서는, 핀 구조(30)가 수직의 단일 혹은 이중 게이트 디바이스 등의 수직 게이트 구조에 대응할 수도 있다는 점에 유의하기 바란다. 영역(20)은 p형 디바이스용의 임의의 수의 핀 구조를 포함할 수 있고, 영역(20)은 FinFET 및 수직의 이중 게이트 디바이스 등과 같은 디바이스들의 조합을 포함할 수도 있다.

<21> 도 7은 패터닝된 마스크층(28)을 제거하고, 액티브 영역(32)과 핀 구조(30) 위에 절연층(34)을 후속 형성한 후의 기판(10)을 나타내고 있다. 패터닝된 마스크층(28)은 종래의 프로세스를 이용해 제거될 수 있다. 절연층

(34)은, 상세히 후술하는 바와 같이, 액티브 영역(32)의 측벽에 인접한 액티브 영역 스페이서를 형성하는데 이용될 수 있다. 절연층(34)은 산화물, 질화물, 산질화물, 고-K 물질(실리콘 이산화물보다 높은 K를 갖는 물질), 저-K 물질, 실리콘 이산화물과 같은 K를 갖는 물질, 혹은 이들의 조합 등을 포함할 수 있다. 예컨대, 일 실시예에서, 절연층(34)은 실리콘 이산화물을 포함할 수 있다. 또한, 절연층(34)이 상이한 절연 물질을 갖는 임의의 층들을 포함할 수도 있다는 점에 유의하기 바란다.

<22> 도 8은 절연층(34)을 이방성 에칭한 후, 영역(18)에서 액티브 영역 측벽 스페이서(36)가 되고, 영역(20)에서 스페이서(38)가 되는 기관(10)을 나타내고 있다. 액티브 영역 측벽 스페이서(36)는 액티브 영역(32)의 측벽에 인접한다. 도시된 실시예에서는, 액티브 영역 측벽 스페이서(36)가 또한 절연층(12)에 인접한다. 또한, 액티브 영역 측벽 스페이서가 액티브 영역(32)을 둘러싸고 있다는 점에 유의하기 바란다. 일 실시예에서, 액티브 영역 측벽 스페이서(36)는 예를 들어 핀(30)으로 형성되는 수직 디바이스로부터와 같이 다른 디바이스로부터 액티브 영역(32)을 분리시킨다. 그러나, 액티브 영역 측벽 스페이서(36)는 다른 평면 디바이스, 다른 수직 디바이스 또는 이들의 임의의 조합을 포함하는 임의의 다른 인접한 디바이스들로부터 액티브 영역(32)을 분리시키는데도 이용될 수 있다. 영역(18)이 그 안에 임의의 수의 액티브 영역을 포함할 수 있고, 각각의 액티브 영역이 스페이서(36)와 같은 주위의 액티브 영역 측벽 스페이서를 포함할 수 있다는 점에 유의하여야 한다. 또한, 절연층(34)이 상이한 절연 물질을 갖는 임의의 수의 층들을 포함할 수 있기 때문에, 액티브 영역 측벽 스페이서(36)는 상이한 절연 물질을 갖는 임의의 수의 층들을 또한 포함할 수 있다는 점에 유의하기 바란다.

<23> 도 9는 영역(20)의 핀 구조를 노출시키면서 영역(18)을 보호하는 패터닝된 마스크층(40)의 형성 후의 기관(10)을 나타내고 있다. 패터닝된 마스크층(40)은, 일 실시예에서, 종래의 프로세싱을 이용해 형성될 수 있는 포토레지스트 마스크이다. 패터닝된 마스크층(40)의 형성 후에, 핀 구조(30)에 인접한 스페이서(38)는 제거된다. 예컨대, 일 실시예에서, 스페이서(38)를 제거하기 위해 등방성 에칭이 수행될 수 있다. 패터닝된 마스크층(40)에 의해 노출된 영역(20)에서의 모든 핀 구조로부터의 스페이서는, 핀 구조(30)에 대해 도시된 바와 같이, 제거될 것이라는 점에 유의하기 바란다. 따라서, 패터닝된 마스크층(40)은, 영역(18)에서 액티브 영역 측벽 스페이서(액티브 영역 측벽 스페이서(36) 등)를 보호하면서, 영역(20)에서 핀 구조에 인접한 스페이서(스페이서(38) 등)의 제거를 가능하게 한다. 스페이서(38)의 제거 후, 패터닝된 마스크층(40)이 제거된다. 패터닝된 마스크층(40)을 제거하는데 종래의 프로세싱이 이용될 수 있다.

<24> 도 10은 패터닝된 마스크층(40)을 제거하고, 게이트 유전체층(42 및 44)의 후속 형성 후의 기관(10)을 나타내고 있다. 일 실시예에서, 게이트 유전체층(42 및 44)은 액티브 영역(32) 위에서 핀 구조(30)의 상부 및 측면을 따라 성장된 산화물이다. 이와 달리, 게이트 유전체층(42 및 44)은 하프늄 산화물, 하프늄 실리케이트 및 기타 하프늄 화합물 등의 고-K 유전 물질일 수 있다. 이와 달리, 다른 고-K 유전 물질이 이용될 수도 있다. 이 실시예에서는, 게이트 유전체층(42)이 액티브 영역(32), 스페이서(36), 절연층(12) 및 핀 구조(30) 위에 피착될 것이다. 이와 달리, 게이트 유전체층(42 및 44)은 상이한 물질 구성 및/또는 두께일 수도 있다.

<25> 일 실시예에서, 패터닝된 마스크층(40) 제거 후, 그리고 게이트 유전체층(42 및 44)의 형성에 앞서, 보디 도핑이 수행될 수 있다. 일 실시예에서, 영역(20)은 액티브 영역(32)으로의 웰 임플란트를 위한 보디 도핑을 수행하는 동안 마스크되며, 영역(18)은 핀 구조(30)상에 보디 도핑을 수행하는 동안 마스크된다. 보디 도핑을 수행하는데 종래의 프로세싱 및 도핑 기법들이 이용될 수 있다는 점에 유의하기 바란다.

<26> 도 11은 액티브 영역(32), 액티브 영역 측벽 스페이서(36) 및 핀 구조(30) 위에 있는 패터닝된 게이트 전극층(46)의 형성 후의 기관(10)을 나타내고 있다. 패터닝된 게이트 전극층(46)은 기관(10)(액티브 영역(32), 액티브 영역 측벽 스페이서(36) 및 핀 구조(30)) 위에 게이트 전극 물질을 형성하고, 이어서 게이트 전극층을 패터닝함으로써 형성될 수 있다. 일 실시예에서, 패터닝된 게이트 전극층(46)은 폴리실리콘 게이트를 형성하는 폴리실리콘 게이트 전극층이다. 이와 달리, 패터닝된 게이트 전극층(46)은 형성될 디바이스용의 원하는 게이트 적층을 형성하기 위한 임의의 게이트 물질(금속을 포함함) 또는 게이트 물질층을 포함할 수 있다. 패터닝된 게이트 전극층(46)을 형성하는데 종래의 프로세싱이 이용될 수 있다. 또한, 고-K 유전 물질이 게이트 유전체층(42 및 44)에 이용되면, 패터닝된 게이트 전극층(46) 아래에 있지 않은 게이트 유전체층(42 및 44)의 일부는 패터닝된 게이트 전극층(46)의 형성 후에 제거될 것이다(도 11에는 이러한 패터닝이 보이지 않지만, 도 12의 3차원 도면을 참조하면 보다 명확해질 것이다).

<27> 도 12는 도 11의 디바이스의 3차원적 도면을 나타내고 있다. 따라서, 도 11의 단면은 패터닝된 게이트 전극층(46)을 통해, 도 12에 도시된 라인을 가로질러 취해진다. 도 12에는 도 1 내지 도 11의 구성요소와 동일한 것을 나타내기 위해 동일한 참조 번호를 사용한다. 게이트 유전체층(42 및 44)은, (도 12를 복잡하지 않게 하기

위해) 도 12에는 도시되어 있지 않지만, 패터닝된 게이트 전극층(46)과 액티브 영역(32) 및 패터닝된 게이트 전극층(46)과 핀 구조(30)의 수직 측벽 사이에 위치되어 있다.

<28> 변형 평면 디바이스(50)는 영역(18)에 형성되고, (예를 들면, FinFET 디바이스 같은) 부분적으로 변형 또는 비 변형의 수직 디바이스(52)는 영역(20)에 형성되어 있다. 도시된 실시예에서, 평면 디바이스(50)는 n형 디바이스이고, 따라서, n형 평면 디바이스(50)라 칭하고, 수직 디바이스(52)는 p형 수직 디바이스이고, 따라서, p형 수직 디바이스(52) 또는 p형 FinFET 디바이스(52)로 칭할 수 있다. 일 실시예에서, 액티브 영역(32)의 표면의 결정 배향은 (100)으로 n형 평면 디바이스의 디바이스 성능을 개선할 수 있고, 핀 구조(30)의 수직 측면 표면의 결정 배향은 (110)으로 p형 수직 디바이스의 디바이스 성능을 개선할 수 있다. 이와 다른 실시예에서, 액티브 영역(32)과 핀 구조(30)에 대하여 상이한 결정 배향을 사용하여, 액티브 영역(32)에 대한 결정 배향은 n형 디바이스 성능을 개선할 수 있고, 핀 구조(30)의 결정 배향은 p형 디바이스 성능을 개선할 수 있다. 또한, 평면 n형 디바이스와 집적된 수직 p형 디바이스를 사용함으로써, 다른 유형의 디바이스 성능을 저하시키지 않으면서 각 유형의 디바이스의 성능이 개선될 수 있도록 각 유형의 디바이스가 자신의 결정 배향을 갖게 할 수 있다. 이와 다른 실시예에서, 평면 디바이스는 p형 디바이스인 반면, 수직 디바이스는 n형 디바이스일 수 있으며, 여기에서, 결정 배향은 각각의 디바이스 유형의 성능을 개선시키기 위한 필요에 따라 설계될 수 있다.

<29> 패터닝된 게이트 전극층(46)을 형성한 후, 예를 들면, 당해 분야에 공지된 바와 같이, 패터닝된 게이트 전극층(46)의 어느 한 쪽에 경사(angled) 임플란트를 사용하여 소스/드레인 확장 영역을 형성할 수 있다. 이와 달리, 소스/드레인 확장 영역이 형성되지 않을 수 있다. (소스/드레인 확장 영역은 또한 전류 전극 확장 영역으로도 칭할 수 있다.)

<30> 도 13은 게이트 스페이서(62) 및 소스/드레인 영역(54, 56, 58 및 60)를 형성 후의, 도 12의 디바이스(50 및 52)의 동일한 3차원 도면을 도시한다. 확장 임플란트 후에, 형성된다면, 도 13에 도시된 바와 같이, 패터닝된 게이트 전극층(46)의 측벽을 따라 게이트 스페이서(62)가 형성된다. 게이트 스페이서(62)는 종래의 프로세스 및 재료(또는 재료의 조합)를 사용하여 형성되어, 디바이스의 게이트 전극과 액티브 영역 사이를 분리할 수 있다. 예를 들면, 디바이스(50)에서, 게이트 스페이서(62)는 액티브 영역(32)과 패터닝된 게이트 전극층(46) 사이를 분리하고, 디바이스(52)에서, 게이트 스페이서(62)는 액티브 영역(핀(30))과 패터닝된 게이트 전극층(46) 사이를 분리한다. 따라서, 게이트 스페이서(62)는, 액티브 영역의 측벽 스페이서(36)와는 달리, 디바이스의 게이트 부분으로부터 디바이스의 액티브 영역을 분리하는데, 이는 디바이스의 액티브 영역을 다른 주위의 디바이스와 분리하거나 디바이스의 게이트 부분과는 부분을 분리한다.

<31> 게이트 스페이서(62)를 형성한 후, 액티브 영역(32)의 상부에 깊은 소스/드레인 임플란트를 형성하여, 평면 디바이스(50)의 소스/드레인 영역(54 및 56)를 형성하고, 핀 구조(30)의 수직 측벽에 형성하여, 수직 디바이스(52)의 소스/드레인 영역(58 및 60)을 형성한다. 종래의 임플란트, 불순물, 농도, 및 프로세스를 사용하여 소스/드레인 영역(54, 56, 58 및 60)을 형성할 수도 있다. 소스/드레인 영역(54, 56, 58 및 60)은 전류 전극 영역(54, 56, 58 및 60)으로도 지칭될 수 있다. 그 후, 종래의 프로세싱을 사용하여 반도체 디바이스를 실질적으로 완료한다.

<32> 액티브 영역의 측벽 스페이서(36)는 최종 디바이스에 남아 있다는 것을 유의하자. 즉, 예를 들면, (평면 디바이스(50) 같은) 반도체 디바이스의 형성을 완료한 후에, 액티브 영역의 측벽 스페이서(36)는 반도체 디바이스에 여전히 남아 있게 된다. 전술한 바와 같이, 일 실시예에서, 액티브 영역의 측벽 스페이서(36)의 적어도 일부 위에 패터닝된 게이트 전극층(46)을 형성하고, 여기에서, 액티브 영역의 측벽 스페이서(36)는 패터닝된 게이트 전극층(46)의 형성 후에 남아 있고 결과적으로 제거되지 않는다.

<33> 또한, 도 12 및 도 13에 도시된 바와 같이, 액티브 영역의 측벽 스페이서(36)는 액티브 영역(32)을 둘러싼다는 것을 유의하자(여기에서 액티브 영역(32)과 핀 구조(30)는 페이지의 정면으로 연장된다). 따라서, 일 실시예에서, 액티브 영역의 측벽 스페이서(36)는 액티브 영역(32)과 같은 디바이스의 액티브 영역과, 반도체 구조의 적어도 비-게이트(non-gate) 부분을 분리한다. 반도체 구조는 모든 또는 일부의 기관(10) 및 디바이스 또는 그 내부에 형성된 피쳐(feature)를 지칭할 수 있다. 예를 들면, 반도체 구조는, 예를 들면, 디바이스(52) 같은 다른 디바이스(또는 기관(10)에 형성된 임의의 다른 디바이스) 같은 다른 디바이스 또는 주위의 다른 영역을 지칭할 수 있고, 여기에서, 반도체 구조의 비-게이트 부분은 디바이스의 게이트 부분이 아닌 (예를 들면, 디바이스(52)의 핀(30) 같은) 부분을 포함할 수 있다. 이들 비-게이트 부분은, 예를 들면, 이웃하는 디바이스 또는 다른 이웃하는 영역 또는 디바이스의 게이트 부분이 아닌 그 밖의 것을 포함할 수 있다. 이 방식에서, 액티브 영역의 측벽 스페이서(36)는 액티브 영역(32)을 다른 디바이스 또는 주위의 영역으로부터 분리한다. 예를 들면,

액티브 영역의 측벽 스페이서(36)는, 액티브 영역(32)와 액티브 영역(32) 위에 있는 패터닝된 게이트 전극층(46)의 부분을 분리하기보다는, 디바이스의 액티브 영역(32)과 (디바이스(52) 같은) 또 다른 디바이스 또는 주위의 영역을 분리한다. 게이트 스페이서(62)는 액티브 영역(32) 위에 있는 패터닝된 게이트 전극층(46)의 부분과 액티브 영역(32)을 분리한다는 것을 유의하자.

- <34> 일 실시예에서, 패터닝된 게이트 전극층(46)을 형성한 후에, 핀 구조(30)를 가압식으로 변형하여 p형 FinFET 디바이스(52)의 성능을 더 개선할 수 있다. 예를 들면, 일 실시예에서, 고압으로 변형된 캡핑층을, FinFET 디바이스의 핀 구조에 가압 단축 응력을 포함하는 영역(20)의 (핀 구조(30)와 같은) 핀 구조 위에 선택적으로 퇴적할 수 있다(본 실시예에서, 고압으로 변형된 캡핑층은 영역(18)에 형성하지 않음으로써, 영역(18)에 있는 액티브 영역의 변형을 방해하지 않도록 한다).
- <35> 따라서, 인장 변형 반도체 기판을 사용하여 성능이 개선된(즉, 캐리어 이동성이 개선된) n형 및 p형 디바이스 모두를 형성하는 방법을 이해할 수 있게 된다. 인장 변형 반도체 기판을 사용하여 기판의 제1 영역 내에 액티브 영역을 형성함으로써, n형 디바이스에 보다 적합한 결정 방향 및 인장 변형을 사용하여 형성되어, 이동성이 보다 개선된다. 또한, 인장 변형 반도체 기판의 부분에 인장 응력을 선택적으로 완화하거나 감소시킴으로써, 성능 저하없이 p형 디바이스를 형성할 수 있다. 즉, 완화된(또는 심지어 가압 변형) 핀 구조를 사용하여 (FinFET 디바이스 또는 수직 더블 게이트 디바이스 같은) 수직 p형 디바이스를 형성하기 위해 기판의 제2 영역에 있는 인장 변형 반도체 기판의 적어도 일부를 완화하여 사용한다.
- <36> 또한, 수직 및 평면 디바이스를 집적함으로써, 도전성 유형이 서로 다른 디바이스의 성능을 개선하는 결정 배향을 사용할 수 있다. 예를 들면, (FinFET 또는 수직 더블 게이트 디바이스 같은) 수직 p형 디바이스를 형성함으로써 p형 디바이스에 보다 적합한 결정 배향을 사용할 수 있는 한편, 평면 n형 디바이스를 형성함으로써 n형 디바이스에 보다 적합한 결정 배향을 사용할 수 있기 때문에, 두 유형 디바이스 모두의 캐리어 이동성을 향상시킬 수 있게 된다. 대안으로, 사용되는 결정 배향에 따라, 수직 n형 디바이스를 평면 p형 디바이스와 집적할 수 있다.
- <37> 도 1 내지 도 12를 참조하여 설명된 실시예는 평면 2축 인장 응력을 갖는 변형 반도체층(14)을 참조하여 설명하였지만, 진술한 설명은 또한, 예를 들면, 2축 가압식 응력, 단축 인장 응력, 또는 단축 가압식 응력 같은 다른 스트레스를 갖는 반도체층(14)에도 적용된다. 예를 들면, 수평 디바이스는 단축 또는 쌍축 장력 또는 가압식 변형 반도체 기판을 사용하여 형성될 수 있는 한편, 단축 또는 쌍축 장력 또는 가압식 변형 반도체 기판의 다른 부분을 완화하여 수직 디바이스를 형성할 수 있다. 즉, 수직 디바이스를 형성하기 위해 영역에 있는 반도체 기판의 두껍게 함 및 이 영역의 후속 열 처리(이들 모두는 도 3을 참조하여 진술됨)를 또한 사용하여, 단축 가압식 스트레스 반도체 기판, 단축 장력 스트레스 반도체 기판, 또는 단축 가압식 변형 반도체 기판의 변형을 제거하거나 줄일 수 있다.
- <38> 또한, 액티브 영역의 측벽 스페이서(36) 같은 액티브 영역의 측벽 스페이서를 사용하여 디바이스의 액티브 영역과 다른 디바이스(다른 평면 디바이스, 다른 수직 디바이스, 또는 다른 디바이스들의 조합), 주위 영역, 또는 다른 주위의 비-게이트 부분 간을 분리하는 방법을 이해할 수 있다. 이 방식에서, 기판으로부터 형성된 액티브 영역은 주위 디바이스 또는 영역으로부터 보다 양호하게 분리될 수 있다. 예를 들면, 액티브 영역의 측벽 스페이서를 사용함으로써, 예를 들면, 평면 및 수직 디바이스 같은 서로 다른 유형의 디바이스의 집적을 개선할 수 있다.
- <39> 진술한 설명에서, 본 발명은 특정 실시예를 참조하여 설명되었다. 그러나, 당해 분야에 능숙한 사람은, 아래의 청구범위에 설명되는 본 발명의 범위를 벗어나지 않고 다양한 수정 및 변경이 이루어질 수 있다는 것을 이해할 수 있다. 따라서, 상세한 설명 및 도면은 제한적이기보다는 예시적인 것으로 간주되어야 하고, 그러한 모든 수정은 본 발명의 범위 내에 포함되도록 하고자 한다.
- <40> 이익, 다른 이점, 및 문제에 대한 해결은 특정 실시예와 관련하여 진술하였다. 그러나, 이익, 이점, 문제에 대한 해결, 및 임의의 이익, 이점 또는 해결책이 발생하거나 보다 명백하게 될 수 있는 임의의 구성요소(들)는 임의의 또는 모든 청구항의 임계적, 필수 또는 기본적 특징 또는 구성요소로서 해석되어서는 안된다. 본 명세서에서 사용되는 바와 같이, 용어 "포함하는", "구비하는" 또는 임의의 다른 변경에는 구성요소의 리스트를 포함하는 프로세스, 방법, 물품 또는 장치가 단지 그들 구성요소만을 포함하는 것이 아니라 표면적으로 리스트되지 않거나 또는 그러한 프로세스, 방법, 물품 또는 장치에 내재된 다른 구성 요소를 포함하도록 비배타적으로 포괄하는 것을 커버하고자 한다.

도면의 간단한 설명

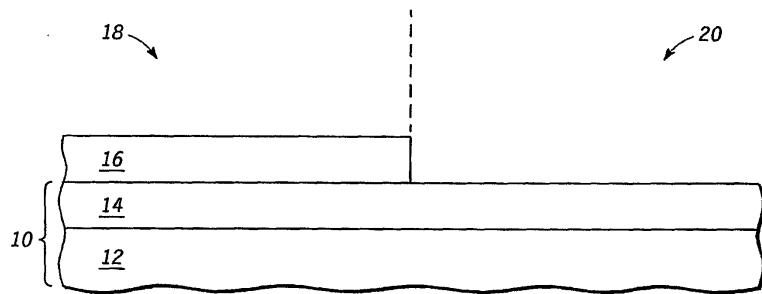
- <4> 도 1 내지 도 11은 본 발명의 일 실시예에 따라 평면 디바이스 및 수직 디바이스를 형성하는데 이용되는 여러 프로세싱 단계들의 단면도.
- <5> 도 12 및 도 13은 도 11의 디바이스들의 3차원 도면.
- <6> 유사한 참조 부호가 유사한 요소들에 부여되어 있는 첨부된 도면을 참조하여 본 발명을 예로서 설명한다.
- <7> 당업자들이라면, 도면들의 구성요소들이 간결하게 도시되어 있으며, 실제 비율과 정확히 일치하게 도시되어 있는 않다는 점을 알 것이다. 예컨대, 일부 구성요소들의 치수는 본 발명의 실시예들의 이해를 돕기 위해 다른 구성요소들의 치수에 비해 다소 과장될 수도 있다.

도면

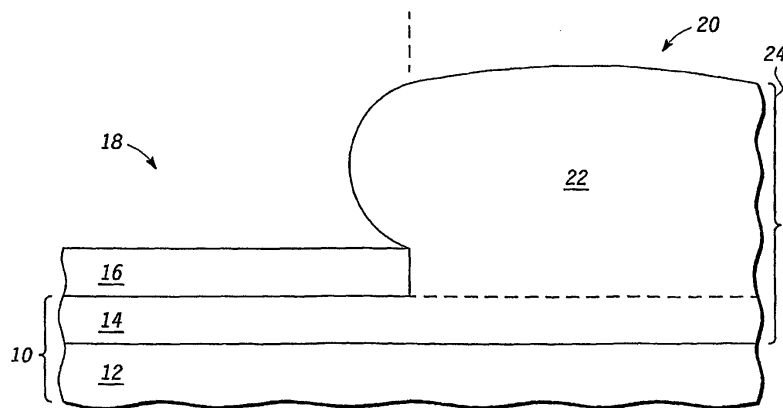
도면1



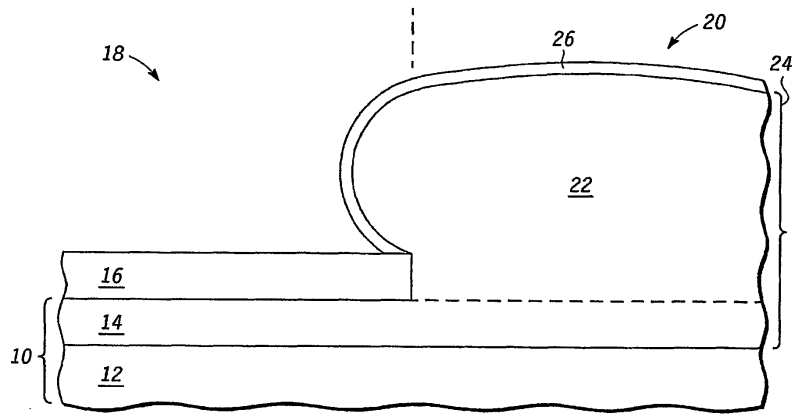
도면2



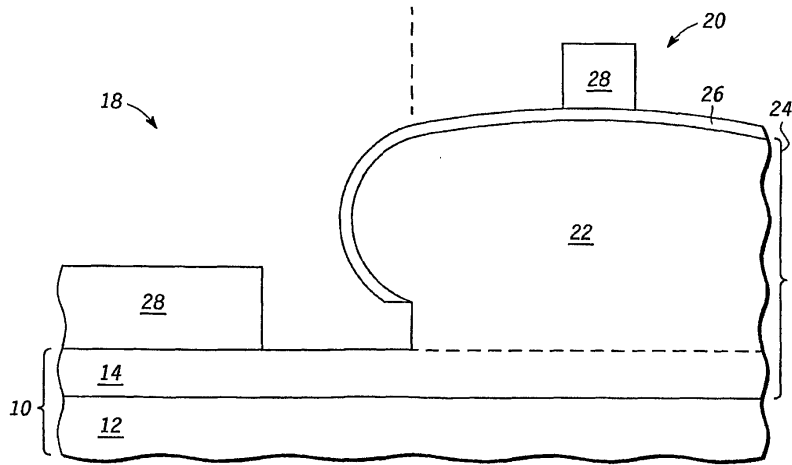
도면3



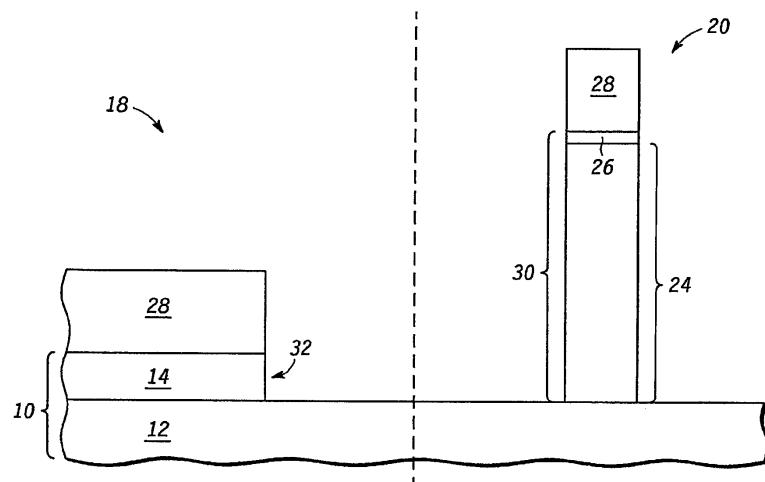
도면4



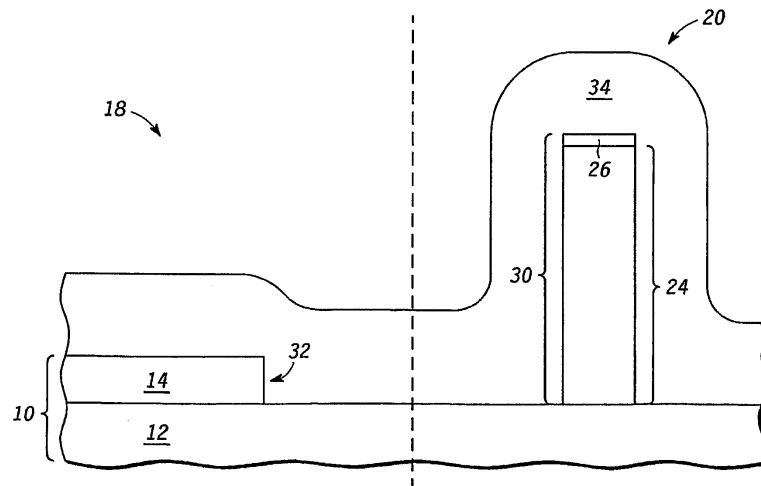
도면5



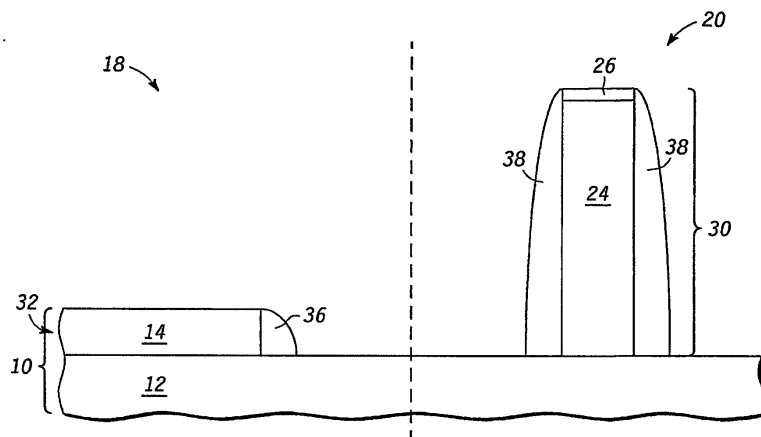
도면6



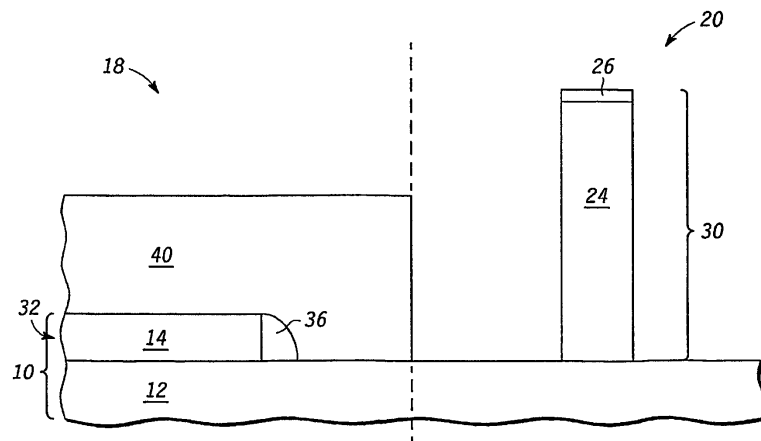
도면7



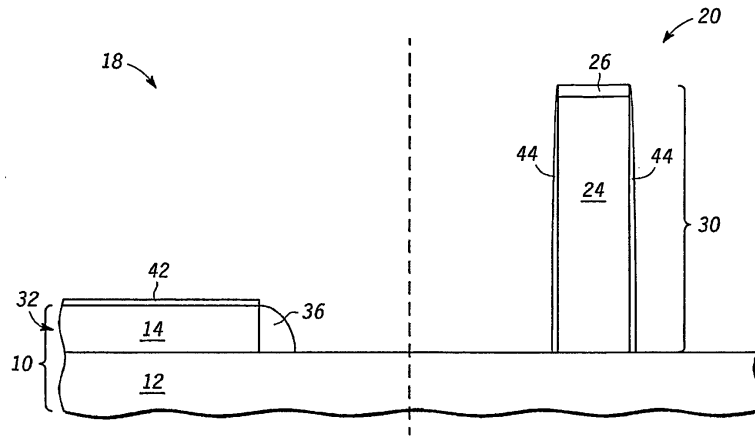
도면8



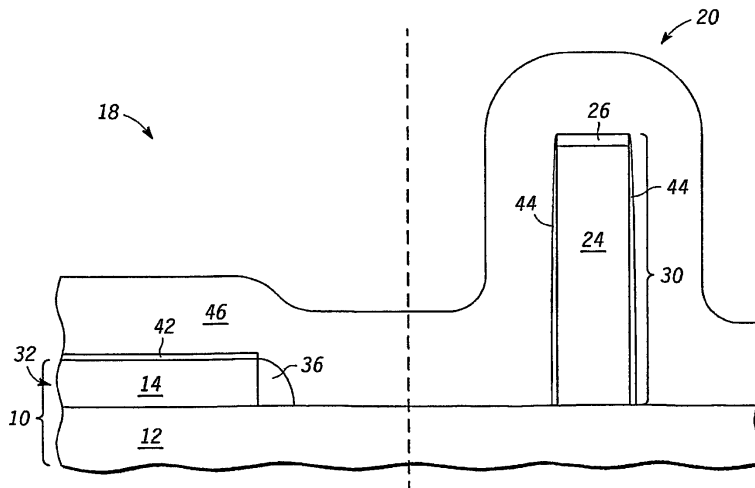
도면9



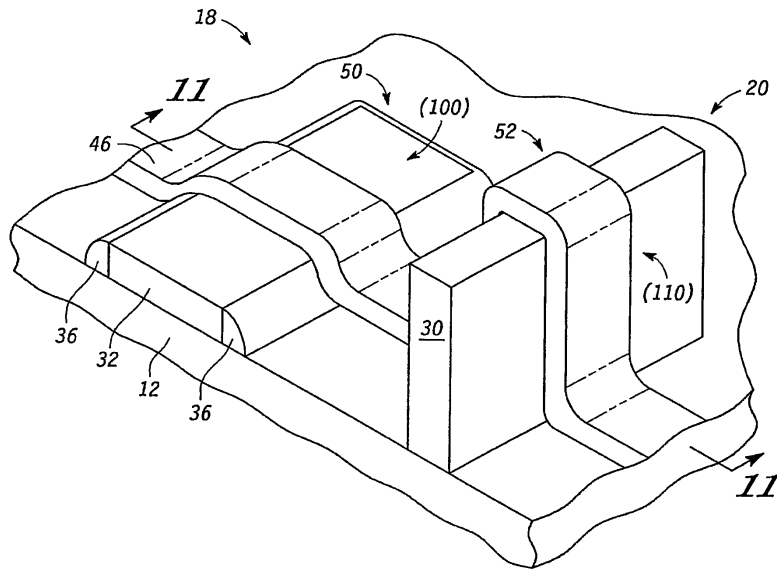
도면10



도면11



도면12



도면13

